



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

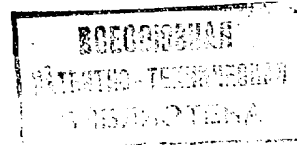
(19) **SU** (11) **1587635** **A1**

(51) $5 \text{ H } 03 \text{ M } 3/02$

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4455792/24-24

(22) 07.07.88

(46) 23.08.90. Бюл. № 31

(71) Ереванский политехнический институт им. К. Маркса

(72) Р.Р. Бадалян

(53) 681.325(088.8)

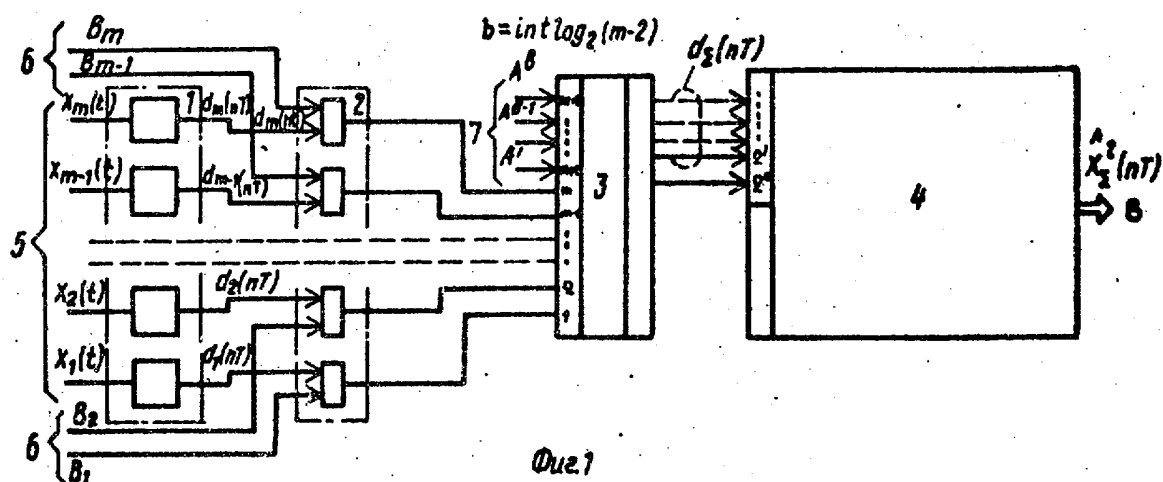
(56) Joseph L., Donald L., Carodnick J. Realization of ADM Arithmetic Signal Processors. - IEEE Trans on Comm, 1979, vol. com 27, № 8.

Погрибной В.А., Яковлев В.П. Дельта-модуляция при цифровой фильтрации, корреляционном анализе и дискретном преобразовании Фурье. - Зарубежная электроника, 1987, № 8.

(54) УСТРОЙСТВО ДЛЯ АЛГЕБРАИЧЕСКОГО СУММИРОВАНИЯ СИГНАЛОВ В ФОРМАТЕ ЛИНЕЙНОЙ ДЕЛЬТА-МОДУЛЯЦИИ

(57) Изобретение относится к вычис-

лительной технике и может быть использовано для цифровой обработки сигналов. Цель изобретения - расширение функциональных возможностей. Устройство, содержащее m кодеров 1, элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 2, обеспечивает увеличение количества параллельно суммируемых сигналов до m и произвольный выбор их количества в диапазоне от 2 до m . Достигается это введением блока вычисления функции $d_{\Sigma}(kT) = \varphi[d_i(kT)]$, адресной информацией которого являются все возможные наборы дельта-модулированных последовательностей суммируемых сигналов и количество суммируемых сигналов, а вычисляемой информацией - амплитудное значение суммарного сигнала в произвольный период дискретизации. 2 ил.



(19) **SU** (11) **1587635** **A1**

Изобретение относится к вычислительной технике и может быть использовано для цифровой обработки сигналов.

Цель изобретения - расширение функциональных возможностей.

На фиг. 1 представлена структурная схема устройства; на фиг. 2 - временные диаграммы, поясняющие суммирование в формате линейной дельта-модуляции.

Устройство содержит m кодеров 1, m элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 2, блок 3 вычисления функции $d_{\Sigma}(kT) = \psi[d_i(kT)]$, 15 накапливающий сумматор 4, группу аналоговых входов 5, группу входов 6 управления режимом работы, группу управляющих входов 7, выход 8.

Алгоритм суммирования в формате дельта-модуляции можно представить следующим образом. Если $x_i(t)$ (где $i=1, \dots, m$) аналоговые сигналы такие, что их частотные полосы ограничены сверху величиной $f_{\max}$, а они преобразуются при помощи кодера дельта-модуляции в дельта-модулированные последовательности

$$\{d_1(nT)\}, \dots, \{d_m(nT)\},$$

где n - номер отсчета;

$T=f_q^{-1}$ - период дискретизации;

f_q - частота дискретизации, причем $f_q \gg f_{\max}$,

то сумму аналоговых сигналов $x_{\Sigma}(nT) = \sum_{i=1}^m x_i(t)$ можно с требуемой точностью выразить через оценки сигналов

$\hat{x}_1^l(nT), \dots, \hat{x}_m^l(nT)$ и представляющие собой 1-разрядные двоично-позиционные импульсные кодомодулированные (ИКМ) сигналы

$$\hat{x}_{\Sigma}^l(nT) = \sum_{i=1}^m \hat{x}_i^l(nT), \quad (1)$$

где $\hat{x}_i^l(nT) = \sum_{k=0}^n d_i(kT)$.

Выражение (1) можно представить в виде

$$\hat{x}_{\Sigma}^l(nT) = \hat{x}_{\Sigma}^l(n-1)T + d_{\Sigma}(nT), \quad (2)$$

где $d_{\Sigma}(nT) = \sum_{i=1}^m d_i(nT)$ - шаг квантования суммарного сигнала за n -й период дискретизации. Учитывая, что $d_i(kT) \in \{0, 1\}$, где "0" и "1" имеют логический смысл и "0" соответствует "-1", а "1" - "+1", где "+1" и "-1" - нормированный шаг квантования (одна условная единица), можно показать, что

$d_{\Sigma}(kT)$ представляют собой многоуровневые сигналы, и количество различных уровней $d_{\Sigma}(kT)$, определяемое различными наборами $d_i(kT)$, будет равняться $(m+1)$, следовательно, количество разрядов, необходимых для представления $d_{\Sigma}(nT)$, составит

$$c = \text{intlog}_2(m+1).$$

Устройство для алгебраического суммирования сигналов в формате линейной дельта-модуляции работает следующим образом.

До начала работы необходимо произвести установку группы входов 6 управления режимом работы по следующему правилу: если i -е слагаемое должно участвовать в общей сумме со знаком "-", то соответствующая дельта-модулированная последовательность должна быть инвертирована и, следовательно, сигнал $B_i=1$, если же i -е слагаемое участвует в общей сумме со знаком "+", то $B_i=0$, и соответствующая ему дельта-модулированная последовательность поступает на адресный вход блока 3 без изменений. В блоке 3 записана функция $d_{\Sigma}(kT) = \psi[d_i(kT)]$, показывающая зависимость шага квантования суммарного сигнала от различных наборов $d_i(kT)$, при этом наборы $d_i(kT)$ можно рассматривать как ряд адресов, по которым записаны соответствующие значения $d_{\Sigma}(kT)$. Кроме этого, можно организовать произвольный выбор количества параллельно суммируемых сигналов в диапазоне $2, \dots, m$. Для этого группа управляющих входов 7 устройства используется в качестве старших разрядов адресного входа блока 3 A_j , где $j=0, \dots, b$, а $b = \text{intlog}_2(m-2)$.

Аналоговые сигналы преобразуются в кодерах 1 в дельта-модулированные последовательности, i -й элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 2 служит для определения знака i -го аналогового сигнала (в зависимости от сигнала управления режимом работы B_i). Полученные дельта-модулированные последовательности являются младшими разрядами адресного входа блока 3. Блок 3, накапливающий сумматор 4 и кодеры 1 тактируются частотой дискретизации. С выхода блока 3 в каждый период дискретизации считывается шаг квантования суммарного сигнала, который подается на вход накапливающего сумматор-

ра 4, осуществляющего постоянное цифровое суммирование, и на выходе устройства в конце каждого такта устанавливается результирующий сигнал $\hat{x}_x^t(kT)$, представленный многоразрядным двоично-позиционным кодом в формате ИКМ.

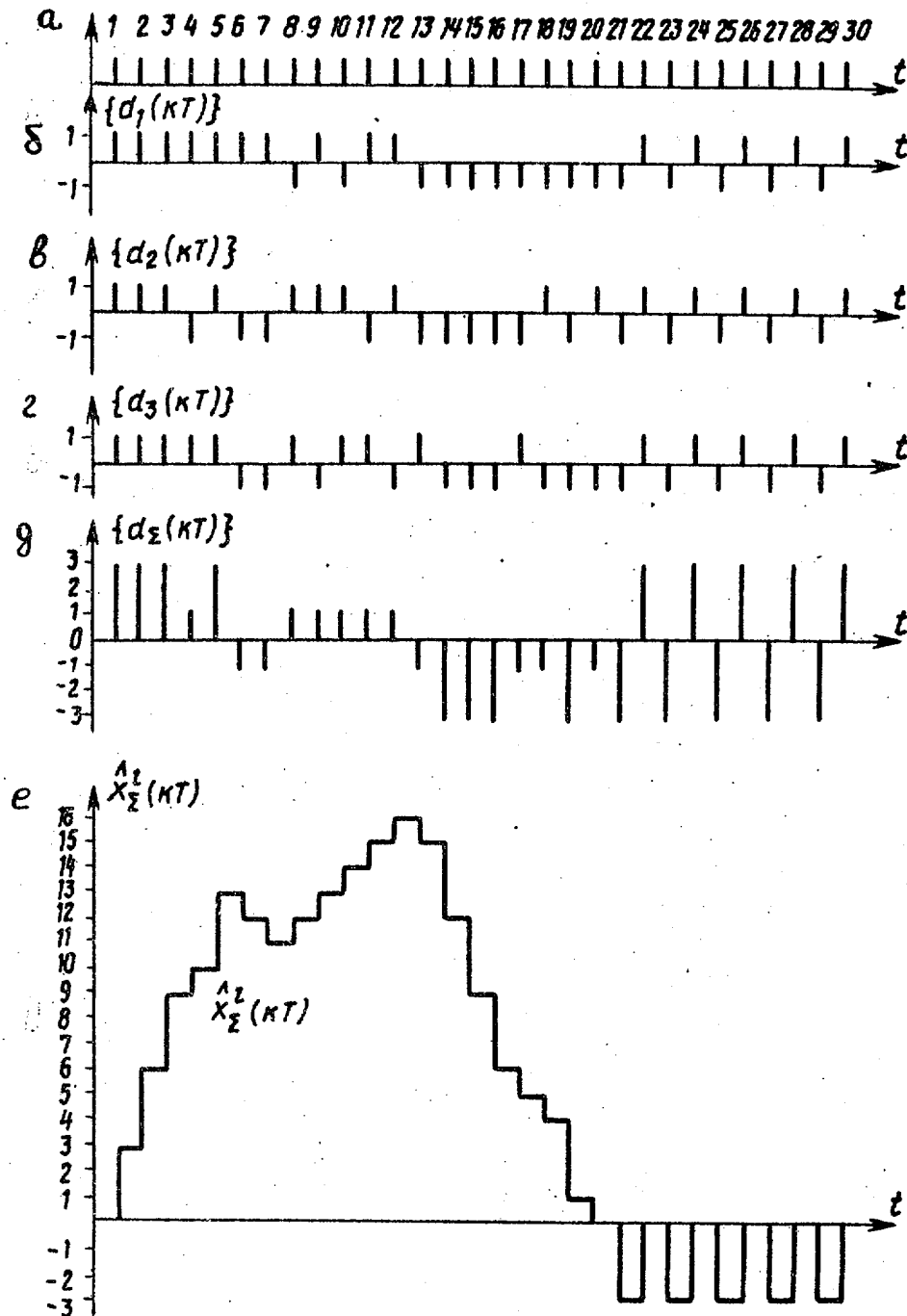
Наборы $d_x(kT)$ в блоке 3 могут быть записаны в требуемом типе кода (дополнительном или обратном). Можно показать, что значение младшего информационного разряда блока 3 с весом 2^0 зависит от типа используемого кода и четности-нечетности количества слугаемых устройства, поэтому он может не записываться в блок 3, а его значение подаваться непосредственно на младший разряд 2^0 накапливающего сумматора.

На фиг.2 приведены временные диаграммы, поясняющие суммирование трех сигналов ($m=3$), причем на временной диаграмме а показаны такты дискретизации линейного дельта-модулированного сигнала, на диаграммах б, в и г - некоторые гипотетические последовательности $\{d_1(kT)\}$; $\{d_2(kT)\}$ и $\{d_3(kT)\}$, реализуемые в кодерах, на диаграмме д - амплитудное значение сигналов, считываемых из блока 3 (необходимо учитывать, что на выходе блока 3 амплитудное значение выражается в двоичном дополнительном или обрат-

ном коде) в каждый период дискретизации, на диаграмме е - амплитудное значение результирующего суммарного сигнала $\hat{x}_x^t(kT)$ и формате ИКМ.

Ф о р м у л а и з о б р е т е н и я

Устройство для алгебраического суммирования сигналов в формате линейной дельта-модуляции, содержащее m кодиров линейной дельта-модуляции, m элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, накапливающий сумматор, причем i -й (где $i=1, \dots, m$) аналоговый вход устройства является входом i -го кодера, выход которого соединен с первым входом i -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, i -й вход управления режимом работы устройства является вторым входом i -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, а выход накапливающего сумматора является выходом устройства, о т л и ч а ю щ е е с я т е м , что, с целью расширения функциональных возможностей, в него введен блок вычисления функции $d_x(kT) = \varphi[d_i(kT)]$, причем i -разряд адресного входа блока вычисления функции соединен с выходом i -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, а $\text{intlog}_2(m-2)$ разрядов адресного входа - с управляющими входами устройства, выход блока вычисления функции соединен с информационным многоразрядным входом накапливающего сумматора.



Фиг.2

Составитель А. Петров

Редактор С. Пекарь Техред Л. Сердюкова Корректор М. Кучерявая

Заказ 2427

Тираж 656

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101