

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6889872号
(P6889872)

(45) 発行日 令和3年6月18日 (2021.6.18)

(24) 登録日 令和3年5月26日 (2021.5.26)

(51) Int. Cl.		F I			
HO2M	1/08	(2006.01)	HO2M	1/08	A
HO2M	7/48	(2007.01)	HO2M	7/48	E

請求項の数 12 (全 20 頁)

(21) 出願番号	特願2019-568522 (P2019-568522)	(73) 特許権者	000006622
(86) (22) 出願日	平成30年2月2日 (2018.2.2)		株式会社安川電機
(86) 国際出願番号	PCT/JP2018/003608		福岡県北九州市八幡西区黒崎城石2番1号
(87) 国際公開番号	W02019/150555	(74) 代理人	110003096
(87) 国際公開日	令和1年8月8日 (2019.8.8)		特許業務法人第一テクニカル国際特許事務所
審査請求日	令和2年6月18日 (2020.6.18)	(72) 発明者	氏田 祐
			福岡県北九州市八幡西区黒崎城石2番1号
			株式会社安川電機内
		(72) 発明者	樋口 雅人
			福岡県北九州市八幡西区黒崎城石2番1号
			株式会社安川電機内
		(72) 発明者	吉見 太佑
			福岡県北九州市八幡西区黒崎城石2番1号
			株式会社安川電機内

最終頁に続く

(54) 【発明の名称】 半導体素子の駆動回路、半導体素子の駆動方法、およびモータ制御装置

(57) 【特許請求の範囲】

【請求項 1】

主電流を通电する一対の主端子と前記主電流の流通状態を制御する制御電圧を付加する制御端子とを備える半導体素子に対し、入力される制御信号の変化に対応して前記制御電圧の経時的増減変化を制御する半導体素子の駆動回路であって、

前記制御信号の変化に応じて出力する駆動電圧を切り替える駆動電圧切替部と、

前記制御電圧を低速で増減変化させる低速制御部と、

前記低速制御部による前記制御電圧の変化速度を増速させる増速制御部と、

前記増速制御部による増速制御の有無と増速変化の大きさを切り替える増速切替部と、を有することを特徴とする半導体素子の駆動回路。

10

【請求項 2】

前記増速切替部は、

前記駆動電圧切替部による前記駆動電圧の切り替え後から所定時間経過した切替タイミングで前記増速制御部による増速制御の有無を切り替えるタイミング調整部を有していることを特徴とする請求項 1 記載の半導体素子の駆動回路。

【請求項 3】

前記切替タイミングは、

前記半導体素子における前記一対の主端子の間の主端子間電圧の増減変化期間中に設定されることを特徴とする請求項 2 記載の半導体素子の駆動回路。

【請求項 4】

20

前記増速切替部は、

前記半導体素子をターンオンする場合には、前記切替タイミングで前記増速制御部の増速制御を有りから無しに切り替えることを特徴とする請求項 3 記載の半導体素子の駆動回路。

【請求項 5】

前記増速切替部は、

前記半導体素子をターンオフする場合には、前記切替タイミングで前記増速制御部の増速制御を無しから有りに切り替えることを特徴とする請求項 3 記載の半導体素子の駆動回路。

【請求項 6】

前記増速切替部は、

前記主電流の増減変化状態を検出する通電検出部と、

前記通電検出部が増減変化状態を検出した際に前記増速制御部による増速制御の増速変化を大きくさせるよう切り替える通電切替部と、
を有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体素子の駆動回路。

【請求項 7】

前記通電検出部は、

前記主端子に対してその通電方向を軸とした軸周りに包囲する配置の回路基板上のパターン配線であることを特徴とする請求項 6 記載の半導体素子の駆動回路。

【請求項 8】

前記通電検出部は、

回路基板上的前記主電流のパターン配線に対してその通電方向を軸とした軸周りに包囲する配置の磁性体コアと、

前記磁性体コアに対してその通磁方向を軸とした軸周りに包囲する回路基板上的パターン配線とを有していることを特徴とする請求項 6 記載の半導体素子の駆動回路。

【請求項 9】

前記低速制御部は、

前記増速制御部による増速制御時よりも増速変化が小さくなるよう前記制御端子の電流を制限する制御抵抗であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の半導体素子の駆動回路。

【請求項 10】

前記増速制御部は、

前記制御端子へ追加する電流の付加と非付加の切り替えとその電流量を制御する半導体スイッチング素子であることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体素子の駆動回路。

【請求項 11】

直流電力を交流に電力変換してモータに給電するモータ制御装置であって、

請求項 1 乃至 10 のいずれか 1 項に記載の半導体素子の駆動回路と、

前記主電流の流通状態の制御により前記電力変換を行う前記半導体素子と、

前記制御信号を出力する制御部と、

を有することを特徴とするモータ制御装置。

【請求項 12】

主電流を通電する一対の主端子と前記主電流の流通状態を制御する制御電圧を付加する制御端子とを備える半導体素子に対し、入力される制御信号の変化に対応して前記制御電圧の経時的増減変化を制御する半導体素子の駆動方法であって、

前記制御信号の変化に応じて出力する駆動電圧を切り替えることと、

前記制御電圧を低速で増減変化させることと、

前記制御電圧の変化速度を増速させることと、

増速制御の有無と増速変化の大きさを切り替えることと、

10

20

30

40

50

を実行することを特徴とする半導体素子の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示の実施形態は、半導体素子の駆動回路、半導体素子の駆動方法、およびそれを用いたモータ制御装置に関する。

【背景技術】

【0002】

特許文献1には、主電流の通電状態に応じてスイッチング素子のスイッチング速度を制御する駆動回路の構成が開示されている。 10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特許第4713347号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら上記従来技術では、電流変化によりスイッチング速度制御を開始するため通電状態の切り替え時間を所定時間以上確保した場合には電力ロスが増大してしまう。 20

【0005】

本発明はこのような問題点に鑑みてなされたものであり、切り替え時間を確保しつつ電力ロスの削減が可能な半導体素子の駆動回路、半導体素子の駆動方法、およびそれを用いたモータ制御装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するため、本発明の一の観点によれば、主電流を通電する一対の主端子と前記主電流の流通状態を制御する制御電圧を付加する制御端子とを備える半導体素子に対し、入力される制御信号の変化に対応して前記制御電圧の経時的増減変化を制御する半導体素子の駆動回路であって、前記制御信号の変化に応じて出力する駆動電圧を切り替える駆動電圧切替部と、前記制御電圧を低速で増減変化させる低速制御部と、前記低速制御部による前記制御電圧の変化速度を増速させる増速制御部と、前記増速制御部による増速制御の有無と増速変化の大きさを切り替える増速切替部と、を有する半導体素子の駆動回路が適用される。 30

【0007】

また、本発明の別の観点によれば、直流電力を交流に電力変換してモータに給電するモータ制御装置であって、請求項1乃至10のいずれか1項に記載の半導体素子の駆動回路と、前記主電流の流通状態の制御により前記電力変換を行う前記半導体素子と、前記制御信号を出力する制御部と、を有するモータ制御装置が適用される。

【0008】

また、本発明の別の観点によれば、主電流を通電する一対の主端子と前記主電流の流通状態を制御する制御電圧を付加する制御端子とを備える半導体素子に対し、入力される制御信号の変化に対応して前記制御電圧の経時的増減変化を制御する半導体素子の駆動方法であって、前記制御信号の変化に応じて出力する駆動電圧を切り替えることと、前記制御電圧を低速で増減変化させることと、前記制御電圧の変化速度を増速させることと、増速制御の有無と増速変化の大きさを切り替えることと、を実行する半導体素子の駆動方法が適用される。

【発明の効果】

【0009】

本発明によれば、切り替え時間を確保しつつ電力ロスの削減が可能となる。 50

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】一実施形態の駆動回路の制御内容を模式的に表す制御ブロック図である。

【図 2】実施形態の駆動回路の具体的な実装例を表す回路図である。

【図 3】比較例の駆動回路の回路図である。

【図 4】比較例の駆動回路によるターン ON シーケンスのタイムチャートである。

【図 5】比較例の駆動回路によるターン OFF シーケンスのタイムチャートである。

【図 6】実施形態の駆動回路のうちターン ON 制御で機能する部分を表す部分回路図である。

【図 7】実施形態の駆動回路によるターン ON シーケンスのタイムチャートである。

10

【図 8】実施形態の駆動回路のうちターン OFF 制御で機能する部分を表す部分回路図である。

【図 9】実施形態の駆動回路によるターン OFF シーケンスのタイムチャートである。

【図 10】実施形態の駆動回路による制御フローを表すフローチャートである。

【図 11】通電検出部をサーチコイルで実装する場合の構成例を示す図である。

【図 12】通電検出部をトランスで実装する場合の構成例を示す図である。

【図 13】駆動回路を適用したモータ制御装置全体の回路構成を概略的に表す図である。

【発明を実施するための形態】

【 0 0 1 1 】

以下、一実施形態について図面を参照しつつ説明する。

20

【 0 0 1 2 】

< 半導体素子の駆動回路の制御構成例 >

まず、図 1 を参照しつつ、本実施形態の半導体素子の駆動回路の制御構成の一例について説明する。

【 0 0 1 3 】

図 1 は本実施形態の半導体素子の駆動回路の制御内容を模式的な制御ブロック図で示している。本実施形態の例では、駆動対象の半導体素子として MOSFET を適用するものとし、主回路に設けたこの MOSFET のターン ON とターン OFF のそれぞれのスイッチング制御においてそのゲート端子とソース端子間に付加するゲート電圧（制御電圧）の経時的増減変化を当該駆動回路が制御する。この図 1 において、駆動回路 1 は、駆動電圧切替部 2 と、低速制御部 3 と、増速制御部 4 と、増速切替部 5 とを有する。

30

【 0 0 1 4 】

駆動電圧切替部 2 は、特に図示しない外部の上位制御装置から入力される制御信号の変化に応じて、出力する駆動電圧を正極電位（図示する例の +Vcc 電位）と負極電位（図示する例の 0 電位）のいずれかに切り替える機能を有している。制御信号は、H レベルと L レベルの 2 値で表される信号であり、駆動電圧切替部 2 は制御信号が H レベルである場合には駆動電圧を正極電位で出力し、制御信号が L レベルである場合には駆動電圧を負極電位で出力する。

【 0 0 1 5 】

低速制御部 3 は、主回路の MOSFET（以下、主回路 MOSFET 100 という）のゲート端子 Gm（制御端子）とソース端子 Sm 間に付加するゲート電圧（制御電圧）を低速で増減変化させるよう、上記ゲート電圧を印加させる機能を有している。例えば低速制御部 3 は、後述するように上記駆動電圧切替部 2 によって駆動電圧が切り替わった際にゲート端子 Gm に流入または流出する電流を制限し、ゲート電圧を低速で増減変化させる。

40

【 0 0 1 6 】

増速制御部 4 は、上記低速制御部 3 による主回路 MOSFET 100 のゲート電圧の増減変化の変化速度を増速させるよう制御する機能を有している。図示する例では、増速制御部 4 は、上記低速制御部 3 が主回路 MOSFET 100 のゲート端子 Gm に流入する電流に対してさらに多い電流を流入させ充電する、または流出する電流に対してさらに多い

50

電流を流出され放電することで上述した増速制御を行う。この増速制御の内容については、後に詳述する。

【 0 0 1 7 】

増速切替部 5 は、上記増速制御部 4 による増速制御の有無（作動・非作動、機能・非機能）と増速変化の大きさを切り替える機能を有している。この図 1 において、増速切替部 5 は、タイミング調整部 6 と、通電検出部 7 と、通電切替部 8 とを有している。

【 0 0 1 8 】

タイミング調整部 6 は、上記駆動電圧切替部 2 による駆動電圧の切り替え後から所定時間経過した切替タイミングで上記増速制御部 4 による増速制御の有無を切り替える機能を有している。

10

【 0 0 1 9 】

通電検出部 7 は、主回路 MOSFET 100 がそのドレイン端子 Dm とソース端子 Sm（一对の主端子）の間で通電する主電流の増減変化状態（経時的に一定状態ではなく増減変化している状態）を検出する機能を有している。

【 0 0 2 0 】

通電切替部 8 は、上記通電検出部 7 が主電流の増減変化状態を検出した際に上記増速制御部 4 による増速制御の増速変化を大きくさせるよう切り替える機能を有している。

【 0 0 2 1 】

なお、以上の増速切替部 5 における増速制御の切り替え機能についても、後に詳述する。

20

【 0 0 2 2 】

< 駆動回路の具体的な回路構成例 >

次に、上記図 1 で示した本実施形態の駆動回路 1 の具体的な実装例である回路図を図 2 に示す。この図 2 において、上記駆動電圧切替部 2 は、いわゆるプッシュプル回路 2 1 で構成されており、制御信号が H レベルである場合には駆動電圧を +Vcc 電位で出力し、制御信号が L レベルである場合には駆動電圧を 0 電位で出力する。

【 0 0 2 3 】

上記低速制御部 3 は、上記プッシュプル回路 2 1 の出力と主回路 MOSFET 100 のゲート端子 Gm との間に接続された固定抵抗値のゲート抵抗 3 1（制御抵抗）で構成されており、プッシュプル回路 2 1 が出力する電流を制限して主回路 MOSFET 100 のゲート端子 Gm に入力する。

30

【 0 0 2 4 】

上記タイミング調整部 6 は、例えば特に図示しない CR 時定数タイマ回路などで構成されており、本実施形態の例ではターン ON タイミング調整回路 6 1 とターン OFF タイミング調整回路 6 2 の 2 つの調整回路を有している。

【 0 0 2 5 】

ターン ON タイミング調整回路 6 1 は、上記プッシュプル回路 2 1 が出力する駆動電圧が 0 電位から +Vcc 電位に切り替わった際に、後述するターン ON 増速制御用 MOSFET 4 1 のゲート閾値電圧を超える電圧を出力する。それから経時的に出力電圧を連続降下させ、駆動電圧の切り替わりから所定時間経過した切り替えタイミングで上記ゲート閾値電圧以下となるよう CR 時定数が設定されている。

40

【 0 0 2 6 】

ターン OFF タイミング調整回路 6 2 は、上記プッシュプル回路 2 1 が出力する駆動電圧が +Vcc 電位から 0 電位に切り替わった際に、後述するターン OFF 増速制御用 MOSFET 4 2 のゲート閾値電圧より低い電圧を出力する。それから経時的に出力電圧を連続上昇させ、駆動電圧の切り替わりから所定時間経過した切り替えタイミングで上記ゲート閾値電圧以上となるよう CR 時定数が設定されている。

【 0 0 2 7 】

上記通電検出部 7 は、主回路 MOSFET 100 が接続する主回路（図示する例ではソース端子 Sm に接続する回路部分）において主電流の通電量が増減変化した際に、その潜

50

在インダクタンス成分や配線間の磁氣的結合によって生じる変化量に応じた電圧を検出する回路で構成されている。なお、この通電検出部 7 の具体的な実装構成例については、後に詳述する。

【 0 0 2 8 】

上記通電切替部 8 は、例えば特に図示しない C R 回路などで実装する通電切替回路 8 1 で構成されており、上記通電検出部 7 が上記変化量に応じた電圧を検出した際に所定の電圧を電流検出信号として出力する。

【 0 0 2 9 】

上記増速制御部 4 は、図示する例では半導体スイッチング素子の M O S F E T で構成されており、本実施形態の例ではターン O N 増速制御用 M O S F E T 4 1 とターン O F F 増速制御用 M O S F E T 4 2 の 2 つの M O S F E T を有している。

10

【 0 0 3 0 】

ターン O N 増速制御用 M O S F E T 4 1 は、そのソース端子 S 1 が + V c c 側に接続され、そのドレイン端子 D 1 が主回路 M O S F E T 1 0 0 のゲート端子 G m に接続され、そのゲート端子 G 1 には上記ターン O N タイミング調整回路 6 1 の出力電圧と上記通電切替回路 8 1 の出力電圧を加算した電圧が付加される。

【 0 0 3 1 】

ターン O F F 増速制御用 M O S F E T 4 2 は、そのソース端子 S 2 が主回路 M O S F E T 1 0 0 のソース端子 S m に接続され、そのドレイン端子 D 2 が主回路 M O S F E T 1 0 0 のゲート端子 G m に接続され、そのゲート端子 G 2 には上記ターン O F F タイミング調整回路 6 2 の出力電圧と上記通電切替回路 8 1 の出力電圧を加算した電圧が付加される。

20

【 0 0 3 2 】

なお以上において、各調整回路 6 1 , 6 2 の出力電圧と通電切替回路 8 1 の出力電圧を加算する加算器 4 3 , 4 4 は、例えば特に図示しない C R 回路等で実装すればよい。また、セルフターンオンなど誤ったターン O N の防止のため、プッシュプル回路 2 1 とターン O F F 増速制御用 M O S F E T 4 2 と主回路（つまり主回路 M O S F E T 1 0 0 のソース端子 S m 側）間の回路構成を、制御信号が L レベルである場合には駆動電圧を 0 未満の負電圧とする逆バイアスになるようにしてもよい（特に図示せず）。

【 0 0 3 3 】

< 本実施形態の特徴 >

30

上述したように M O S F E T（この場合は主回路 M O S F E T 1 0 0）などの半導体素子は、主回路における大電流の通電と遮断を切り替えるスイッチング素子に用いられる。このような半導体素子は、ゲート端子 G m とソース端子 S m 間に付加するゲート電圧（制御電圧）の高さとその付加時間に応じて他のソース端子 S m とドレイン端子 D m の間における主電流（つまり主回路 M O S F E T 1 0 0 のドレイン電流）の流通状態（通電、遮断）と通電量、及び主端子間電圧（つまり主回路 M O S F E T 1 0 0 のドレイン電圧）が変化する。そして例えばインバータ等の電力変換装置への適用を想定した場合は、モータ端子に発生するサージの回避などを理由として、主端子間電圧の増減変化期間を所定時間以上に確保する規格が規定されている。

【 0 0 3 4 】

40

しかしながら、通電と遮断を切り替えている間には、瞬時的な主端子間電圧と主電流の積であるスイッチングロスが生じてしまい、通電と遮断の切り替え時間を長く取るほどスイッチングロスを積算した消費電力の総量が増大してしまう。

【 0 0 3 5 】

これに対して本実施形態では、主回路 M O S F E T 1 0 0 のゲート電圧を制御する駆動回路 1 において、制御信号の変化に応じて出力する駆動電圧を切り替える駆動電圧切替部 2 と、ゲート電圧を低速で増減変化させる低速制御部 3 と、低速制御部 3 によるゲート電圧の変化速度を増速させる増速制御部 4 と、増速制御部 4 による増速制御の有無と増速変化の大きさを切り替える増速切替部 5 と、を有している。

【 0 0 3 6 】

50

これにより、制御信号の変化後における主電流と主端子間電圧の増減変化シーケンスを低速モードと増速モード（後述する第一増速区間、第二増速区間）の組合せで設定できる。つまり、主電流と主端子間電圧それぞれの時系列増減変化曲線における傾斜を多様な組合せで設計できる。このため、どのような時系列制御特性を有する半導体素子を駆動対象とした場合でも、その制御特性曲線と主端子間電圧の最低増減変化期間に応じてスイッチングロスの総量が少なくなるように主電流と主端子間電圧の増減変化シーケンスを設計できる。以下、このような本実施形態の機能の詳細について、順次説明する。

【0037】

＜主回路MOSFETの時系列制御特性とスイッチングロスについて＞

まず、主回路MOSFET100の時系列制御特性とスイッチングロスについて詳細に説明するために、図3に示すような比較例の駆動回路91を適用した場合について説明する。この図3に示す比較例の駆動回路91においては、上記図2に示した本実施形態の駆動回路1と比較して各タイミング調整回路61、62と、各増速制御用MOSFET41、42と、各加算器43、44と、通電検出部7と、通電切替回路81を備えていない点で相違している。つまり、比較例の駆動回路91は、駆動電圧切替部2のプッシュプル回路21が制御信号に応じて切り替えて出力する+Vcc電位と0電位の各駆動電圧を、それぞれ低速制御部3であるゲート抵抗31の電流制限によりゲート電圧が低速で増減変化するように主回路MOSFET100のゲート端子Gmに入力するだけの構成となる。このような比較例の駆動回路91で主回路MOSFET100をターンON制御した場合のシーケンスタイムチャートを図4に、ターンOFF制御した場合のシーケンスタイムチャートを図5にそれぞれ示す。

【0038】

まず図4のターンONシーケンスにおいては、当該シーケンス開始前の初期状態として主回路MOSFET100のドレイン電流（つまり主回路の主電流に相当）が0であり、また主回路MOSFET100のドレイン電圧（この場合のソース端子Smとドレイン端子Dmの間の端子間電圧に相当）がほぼ直流母線204（後述の図13参照）間の電圧（OFF電圧）となっている。そして、制御信号がLレベルからHレベルに切り替えられた際に（図中のt1のタイミング参照）、当該ターンONシーケンスが開始され、それまで0電位であった主回路MOSFET100のゲート電圧が増加する（図中の工程I参照）。

【0039】

そしてゲート電圧が主回路MOSFET100のゲート閾値電圧を超えた際には（図中のt2のタイミング参照）、ゲート電圧の上昇に従い主回路MOSFET100のドレイン電流が0から負荷電流まで増加する（図中の工程II参照）。ここで、本比較例において、このようにドレイン電流が増加する工程IIに要した時間をドレイン電流の増減変化期間Tiとする。

【0040】

そして上記工程IIの終了時点（図中のt3のタイミング参照）から後には、ドレイン電圧がOFF電圧からMOSFET100のON電圧まで減少する（図中の工程III参照）。また、この工程IIIの間においては、ゲート電圧はほぼ一定に維持し続ける。このようにドレイン電圧が減少する工程IIIに要した時間をドレイン電圧の増減変化期間Tvとする。

【0041】

そして上記工程IIIの終了時点（図中のt4のタイミング参照）から後には、ゲート電圧が駆動電圧の+Vccまで増加する（図中の工程IV参照）。そしてこの工程IVが終了した際には（図中のt5タイミング参照）、当該主回路MOSFET100が主電流の遮断状態から通電状態へ移行するターンONシーケンスが終了する。

【0042】

以上のように主回路MOSFET100の半導体素子では、ターンONシーケンスの全工程I～IV中においてゲート電圧の上昇に従い、先にドレイン電流が0から負荷電流に

10

20

30

40

50

増加した後にドレイン電圧がOFF電圧からON電圧へ減少するという時系列制御特性を有している。

【0043】

このような主回路MOSFET100の時系列制御特性は、図5に示すターンOFFシーケンスにおいても逆の時系列順で現れる。すなわち、上記工程Iをゲート閾値電圧以下のゲート電圧の増減変化工程、上記工程IIをドレイン電流の増減変化工程、上記工程IIIをドレイン電圧の増減変化工程、及び上記工程IVを最大値近傍のゲート電圧の増減変化工程とした場合、制御信号がHレベルからLレベルに切り替えられて当該ターンOFFシーケンスが開始されてから工程IV→工程III→工程II→工程Iの逆順を経る時系列制御特性となる。

10

【0044】

つまり、主回路MOSFET100の半導体素子では、ターンOFFシーケンスの全工程IV～I中においてゲート電圧の減少に従い、先にドレイン電圧がON電圧からOFF電圧に増加した後にドレイン電流が負荷電流から0へ減少するという時系列制御特性を有している。

【0045】

以上のようなMOSFETの時系列制御特性に起因して、ドレイン電流とドレイン電圧のいずれかが増減変化して通電と遮断を切り替えている間においては、逐次、瞬時的に主端子間電圧（ドレイン電圧）と主電流（ドレイン電流）の積で算出されるスイッチングロスが生じてしまう。そして、ターンONシーケンスとターンOFFシーケンスのいずれにおいても、それぞれのシーケンス全体で見ればドレイン電流の増減変化期間 T_i とドレイン電圧の増減変化期間 T_v の各期間で積算した総量でスイッチングロス（各図中のハッチング部分参照）が発生する。

20

【0046】

また一方で、主回路MOSFET100の半導体素子では、例えばゲート抵抗31の抵抗値を下げて、ターンONシーケンスにおけるゲート端子Gmに流入する電流を増やすほど、もしくはターンOFFシーケンスにおけるゲート端子Gmから流出する電流を増やすほど、各工程I～IVにおけるゲート電圧の増減変化の変化率を大きくでき、つまりその増減変化曲線の傾きを大きくできる（ただし、工程IIIにおけるゲート電圧はほぼ一定）。これは、各工程I～IVそれぞれの経時的な進行速度を増速させ、ドレイン電流、ドレイン電圧、及びゲート電圧の増減変化を増速させることに相当する。

30

【0047】

このことから、ゲート抵抗31の固定抵抗値を低く設定してゲート端子Gmから流入または流出する電流を増やした場合には、各工程I～IVのそれぞれに要する時間を短縮化することになり、すなわちスイッチング時間全体（つまりターンONシーケンス又はターンOFFシーケンスの全体所要時間）の短縮化によるスイッチングロス総量の削減が可能となる。

【0048】

しかしながら、主回路MOSFET100の半導体素子の利用に当たっては、モータ端子に発生するサージ電圧回避などを理由として主端子間電圧の増減変化期間 T_v を所定時間以上に確保する規格が制定されている。つまり、スイッチング時間の短縮化によるスイッチングロス総量の削減と、主回路の健全性との間にはトレードオフの関係がある。

40

【0049】

以上のような主回路MOSFET100の制御特性に対して、本実施形態の駆動回路1ではスイッチング時間を確保しつつ電力ロスの削減が可能となるよう、ゲート電圧に対する増速制御を局所的に行える機能を有している。

【0050】

<実施形態の駆動回路による増速制御について>

以下、本実施形態の駆動回路1が備える増速制御の機能について説明する。まず図6は、上記図2に示した本実施形態の駆動回路1のうちターンON制御に対応して機能する部

50

分だけを抜き出した部分回路図を示し、図 7 はそのターン ON シーケンスのタイムチャートを示している。

【 0 0 5 1 】

これら図 6、図 7 において、上述したようにターン ON タイミング調整回路 6 1 は、制御信号が H レベルに立ち上がった際に + V c c 電位に切り替わった駆動電圧に基づいて、ターン ON 増速制御用 MOS F E T 4 1 のゲート閾値電圧を超える電圧を出力する。それからターン ON タイミング調整回路 6 1 は経時的にその出力電圧を連続降下させ、工程 I I I の途中（ドレイン電圧の増減変化期間 T v の途中）の切り替えタイミングで上記ゲート閾値電圧以下となるよう変化させる。なお、ターン ON 増速制御用 MOS F E T 4 1 は P チャンネル型であるため、ターン ON タイミング調整回路 6 1 の出力電圧は + V c c 電位を基準で示されている。

10

【 0 0 5 2 】

また、主回路における主電流の増加状態を通電検出部 7 が検出している間、つまりドレイン電流が増加している工程 I I の間だけ、通電切替回路 8 1 が電流検出信号として電流変化量に応じた所定の電圧（上記理由で負電位で図示）を出力する。

【 0 0 5 3 】

ここで、各増速制御用 MOS F E T 4 1、4 2 の半導体スイッチング素子は、そのゲート電圧が当該素子特有のゲート閾値電圧よりも低い場合には、ソース端子 S 1、S 2 とドレイン端子 D 1、D 2 の間が遮断状態となる。また、ゲート電圧がゲート閾値電圧より高い場合には、その電圧超過分に応じてソース端子 S 1、S 2 とドレイン端子 D 1、D 2 の間の通電量が增大する。このように各増速制御用 MOS F E T 4 1、4 2 の半導体スイッチング素子は、スイッチング機能と通電量の調整機能を併せ持つ制御特性を有している。そして、このターン ON 制御の場合における増速制御とは、ターン ON 増速制御用 MOS F E T 4 1 が主回路 MOS F E T 1 0 0 のゲート端子 G m に対してゲート抵抗 3 1 から流入する電流よりも増加させるかを操作することになる。

20

【 0 0 5 4 】

このような制御特性のターン ON 増速制御用 MOS F E T 4 1 に対し上記のように増減変化するゲート電圧を付加することで、ターン ON シーケンス中の各工程 I ~ I V ではそれぞれ対応した増速制御が行われる。

【 0 0 5 5 】

30

すなわち、工程 I においては、ゲート閾値電圧を少しだけ超過したターン ON タイミング調整回路 6 1 の出力電圧だけでターン ON 増速制御用 MOS F E T 4 1 に増速制御を行わせる。つまり、ゲート抵抗 3 1 のみから流入する電流よりも、主回路 MOS F E T 1 0 0 のゲート端子 G m に流入する電流を少しだけ多い電流となるようにする。これにより、当該工程 I では、上記比較例と比較して少しだけ主回路 MOS F E T 1 0 0 のゲート電圧の増加率を大きくした増速制御が行われ、当該工程 I の所要時間が短縮化される。以下、このような比較的低速での増速制御を行う区間を第一増速区間という。

【 0 0 5 6 】

また工程 I I においては、ゲート閾値電圧を超過したターン ON タイミング調整回路 6 1 の出力電圧と所定の一定正電圧で出力される電流検出信号との和で、ターン ON 増速制御用 MOS F E T 4 1 に増速制御を行わせる。つまり、主回路 MOS F E T 1 0 0 のゲート端子 G m に流入する電流を当該工程 I よりも多い電流となるようにする。これにより、当該工程 I I では、上記比較例と比較して主回路 MOS F E T 1 0 0 のゲート電圧の増加率を十分大きくした増速制御が行われ、当該工程 I I の所要時間であるドレイン電流の増加変化期間 T i ' (< T i) が短縮化される。以下、このような比較的高速での増速制御を行う区間を第二増速区間という。

40

【 0 0 5 7 】

また工程 I I I においては、ターン ON タイミング調整回路 6 1 の出力電圧がゲート閾値電圧を超過している前半期間（図中に示す工程 I I I ' 参照）と、ゲート閾値電圧を下回る後半期間（図中に示す工程 I I I ' ' 参照）とに区画される。

50

【0058】

そのうち工程ⅠⅠⅠ'においては、上記工程Ⅰと同様に比較的低速での増速制御が行われる第一増速区間となり、上記比較例と比較して主回路MOSFET100のドレイン電圧の減少率を大きくした増速制御が行われる（ただしゲート電圧はほぼ一定）。

【0059】

また工程ⅠⅠⅠ''においては、ターンONタイミング調整回路61の出力電圧がゲート閾値電圧を下回り、また通電切替回路81からの電流検出信号の加算もないため、ターンON増速制御用MOSFET41による増速制御が無い状態となる。これにより、当該工程ⅠⅠⅠ''では、上記比較例と同様にゲート抵抗31による電流のみが主回路MOSFET100のゲート端子Gmに付加され、第一増速区間である上記工程ⅠⅠⅠ'よりも長い所要時間で当該工程ⅠⅠⅠ''が実行される。

10

【0060】

ここで、工程ⅠⅠⅠ'の所要時間は上記比較例と比較して短縮化されるが、その他方で工程ⅠⅠⅠ''の所要時間が伸長化されていることで、結果的に工程ⅠⅠⅠ'と工程ⅠⅠⅠ''を併せたドレイン電圧の減少変化期間Tvで規定の最短時間を確保できるようになり、ドレイン電圧の減少変化期間Tv全体における平均的な減少変化率 dV/dt の増大を抑制できる。そしてこのようにドレイン電圧の減少変化期間Tvが規定の最短時間以上に確保できるよう工程ⅠⅠⅠ'から工程ⅠⅠⅠ''への切り替えタイミングを設定するには、ターンONタイミング調整回路61のCR時定数とゲート抵抗31の抵抗値の組合せを適宜調整すればよい。

20

【0061】

そして工程ⅠⅤにおいては、上記工程ⅠⅠⅠ''と同様にターンON増速制御用MOSFET41による増速制御が無い状態となり、上記比較例における工程ⅠⅤと同等の所要時間と増加率で主回路MOSFET100のゲート電圧が増加する。

【0062】

以上のような本実施形態の駆動回路1によるターンONシーケンスにおいては、上記比較例と比較してスイッチングロスの総量を減少させることができる。具体的には、工程ⅠⅠにおけるドレイン電流の増加変化期間Ti'が短縮化($<Ti$)された分だけその間のスイッチングロスの総量が減少する。また、工程ⅠⅠⅠ'と工程ⅠⅠⅠ''におけるドレイン電圧の増減変化曲線が減少方向で凹状に屈曲している分だけその間のスイッチングロスの総量が減少する。したがって、これらを併せた全体のスイッチングロスの総量（図7中のハッチング面積）が、上記比較例の場合（図7中の点線領域参照）と比較して十分に削減できる。

30

【0063】

このような本実施形態の増速制御によるドレイン電圧増減変化期間Tvの維持とシーケンス全体におけるスイッチングロス総量の削減効果は、ターンOFFシーケンスにおいても同様に得ることができる。図8は、上記図2に示した本実施形態の駆動回路1のうちターンOFF制御に対応して機能する部分だけを抜き出した部分回路図を示し、図9はそのターンOFFシーケンスのタイムチャートを示している。なお、このターンOFF制御の場合における増速制御とは、ターンOFF増速制御用MOSFET42が主回路MOSFET100のゲート端子Gmに対してどれだけ放電するかを操作することになる。

40

【0064】

図9に示すタイムチャートにおいては、制御信号がHレベルからLレベルに切り替えられて当該ターンOFFシーケンスが開始されてから、工程ⅠⅤ→工程ⅠⅠⅠ''→工程ⅠⅠⅠ'→工程ⅠⅠ→工程Ⅰの逆順を経て実行される。そして工程ⅠⅤと工程ⅠⅠⅠ''では増速制御が行われず、工程ⅠⅠⅠ'では比較的低速での増速制御が行われる第1増速区間となり、工程ⅠⅠでは比較的高速での増速制御が行われる第2増速区間となり、工程Ⅰでは比較的低速での増速制御が行われる第1増速区間となる。これにより、工程ⅠⅠⅠ'と工程ⅠⅠⅠ'を併せたドレイン電圧の増加変化期間Tvで規定の最短時間を確保できるとともに、工程ⅠⅠⅠ''、工程ⅠⅠⅠ'、及び工程ⅠⅠを併せた全体のスイッチング

50

ロス の 総 力 を 上 記 比 較 例 と 比 較 し て 十 分 に 削 減 で き る。

【 0 0 6 5 】

< 制 御 フ ロ ー >

本 実 施 形 態 の 駆 動 回 路 1 に よ る 制 御 フ ロ ー を 図 1 0 に 示 す。こ の 図 1 0 に 示 す フ ロ ー チ ャ ー ト は、上 記 図 1 に 示 し た 駆 動 回 路 1 に よ る 主 回 路 M O S F E T 1 0 0 の 駆 動 方 法 を、当 該 駆 動 回 路 1 に お け る 各 部 の 機 能 で 逐 次 処 理 し た と み な し た 場 合 の 処 理 手 順 を 示 し た も の で あ る。

【 0 0 6 6 】

ま ず ス テ ッ プ S T 1 0 で、駆 動 電 圧 切 替 部 2 が、制 御 信 号 の 変 化 に 応 じ て 駆 動 電 圧 を 切 り 替 え て 出 力 す る。

10

【 0 0 6 7 】

次 に ス テ ッ プ S T 2 0 へ 移 り、低 速 制 御 部 3 が、主 回 路 M O S F E T 1 0 0 の ゲ ー ト 電 圧 を 低 速 で 増 減 変 化 さ せ る よ う ゲ ー ト 端 子 G m に ゲ ー ト 電 圧 を 印 加 す る。

【 0 0 6 8 】

次 に ス テ ッ プ S T 3 0 へ 移 り、増 速 切 替 部 5 が、増 速 制 御 部 4 に よ る 増 速 制 御 の 有 無 と 増 速 変 化 の 大 き さ を 切 り 替 え、上 記 増 速 制 御 部 4 が、上 記 低 速 制 御 部 3 に よ る ゲ ー ト 電 圧 の 変 化 速 度 を 制 御 す る。そ し て、上 記 ス テ ッ プ S T 1 0 へ 戻 り、同 様 の 手 順 を 繰 り 返 す。

【 0 0 6 9 】

< 実 施 形 態 の 効 果 >

以 上 説 明 し た よ う に、本 実 施 形 態 の 半 導 体 素 子 の 駆 動 回 路 1 は、制 御 信 号 の 変 化 に 応 じ て 出 力 す る 駆 動 電 圧 を 切 り 替 え る 駆 動 電 圧 切 替 部 2 と、主 回 路 M O S F E T 1 0 0 の ゲ ー ト 電 圧 を 低 速 で 増 減 変 化 さ せ る よ う そ の ゲ ー ト 端 子 G m に ゲ ー ト 電 圧 を 印 加 さ せ る 低 速 制 御 部 3 と、低 速 制 御 部 3 に よ る ゲ ー ト 電 圧 の 変 化 速 度 を 増 速 さ せ る 増 速 制 御 部 4 と、増 速 制 御 部 4 に よ る 増 速 制 御 の 有 無 と 増 速 変 化 の 大 き さ を 切 り 替 え る 増 速 切 替 部 5 と、を 有 し て い る。

20

【 0 0 7 0 】

こ れ に よ り、制 御 信 号 の 変 化 後 に お け る 主 回 路 M O S F E T 1 0 0 の ド レ イ ン 電 流 (主 電 流) と ド レ イ ン 電 圧 (主 端 子 間 電 圧) の 増 減 変 化 シ ー ケ ン ス を 低 速 モ ー ド と 増 速 モ ー ド (第 一 増 速 区 間、第 二 増 速 区 間) の 組 合 せ で 設 定 で き る。つ ま り、ド レ イ ン 電 流 と ド レ イ ン 電 圧 そ れ ぞ れ の 時 系 列 増 減 変 化 曲 線 に お け る 傾 斜 を 多 様 な 組 合 せ で 設 計 で き る。こ の た め、ど の よ う な 時 系 列 制 御 特 性 を 有 す る 主 回 路 の 半 導 体 素 子 を 駆 動 対 象 と し た 場 合 で も、そ の 制 御 特 性 曲 線 と ド レ イ ン 電 圧 の 最 低 増 減 変 化 期 間 T_v に 応 じ て ス イ ッ チ ン グ ロ ス の 総 量 が 少 な く な る よ う に ド レ イ ン 電 流 と ド レ イ ン 電 圧 の 増 減 変 化 シ ー ケ ン ス を 設 計 で き る。こ の 結 果、切 り 替 え 時 間 を 確 保 し つ つ 電 力 ロ ス の 削 減 が 可 能 と な る。な お、駆 動 回 路 1 が 駆 動 対 象 と す る 主 回 路 の 半 導 体 素 子 は、上 記 M O S F E T に 限 ら れ ず 絶 縁 ゲ ー ト バ イ ポ ー ラ ト ラ ン ジ ス タ (I G B T) と 逆 並 列 ダ イ オ ード の 組 み 合 わ せ を 駆 動 対 象 と し て も よ い。

30

【 0 0 7 1 】

ま た、本 実 施 形 態 で は 特 に、増 速 切 替 部 5 は、駆 動 電 圧 切 替 部 2 に よ る 駆 動 電 圧 の 切 り 替 え 後 か ら 所 定 時 間 経 過 し た 切 替 タイ ミ ン グ で 増 速 制 御 部 4 に よ る 増 速 制 御 の 有 無 を 切 り 替 え る タイ ミ ン グ 調 整 部 6 を 有 し て い る。こ れ に よ り、主 回 路 M O S F E T 1 0 0 に お け る タ ー ン O N 及 び タ ー ン O F F の い ず れ の 切 り 替 え シ ー ケ ン ス に お い て も、駆 動 電 圧 の 切 り 替 え タイ ミ ン グ を 基 準 と し た 所 定 時 間 経 過 後 の 意 図 し た タイ ミ ン グ で ド レ イ ン 電 流 と ド レ イ ン 電 圧 の 増 減 変 化 曲 線 の 傾 斜 を 変 化 さ せ る こ と が で き る よ う 増 減 変 化 シ ー ケ ン ス を 任 意 に 設 計 で き る。

40

【 0 0 7 2 】

ま た、本 実 施 形 態 で は 特 に、切 替 タイ ミ ン グ は、主 回 路 M O S F E T 1 0 0 に お け る ド レ イ ン 電 圧 の 増 減 変 化 期 間 T_v 中 に 設 定 さ れ る。こ れ に よ り、主 回 路 M O S F E T 1 0 0 に お け る タ ー ン O N 及 び タ ー ン O F F の い ず れ の 切 替 シ ー ケ ン ス に お い て も、ド レ イ ン 電 圧 の 増 減 変 化 期 間 T_v 中 に お け る 増 減 変 化 曲 線 の 傾 斜 を 変 化 さ せ る こ と が で き、切 り 替 え 時 間 を 確 保 し つ つ ス イ ッ チ ン グ ロ ス の 総 量 が 少 な く な る よ う、ド レ イ ン 電 圧 の 増 減 変 化 シ

50

ーケンスを任意に設計できる。

【0073】

また、本実施形態では特に、増速切替部5は、主回路MOSFET100をターンONする場合には、切替タイミングで増速制御部4の増速制御を有りから無しに切り替える。これにより、ターンONの切替シーケンスにおいて、ドレイン電圧の減少変化期間 T_v 中における減少変化曲線の傾斜を急傾斜（低い増速モード：第二増速区間）から緩傾斜（低速モード）に変化させることができ、切り替え時間を確保しつつスイッチングロスの総量が少なくなるよう、ドレイン電圧の増減変化シーケンスを設計できる。

【0074】

また、本実施形態では特に、増速切替部5は、主回路MOSFET100をターンOFFする場合には、切替タイミングで増速制御部4の増速制御を無しから有りに切り替える。これにより、ターンOFFの切替シーケンスにおいて、ドレイン電圧の増加変化期間 T_v 中における増加変化曲線の傾斜を緩傾斜（低速モード）から急傾斜（低い増速モード：第二増速区間）に変化させることができ、切り替え時間を確保しつつスイッチングロスの総量が少なくなるよう、ドレイン電圧の増減変化シーケンスを設計できる。

【0075】

また、本実施形態では特に、増速切替部5は、ドレイン電流の増減変化状態（一定状態ではなく増減変化している状態）を検出する通電検出部7と、通電検出部7がドレイン電流の増減変化状態を検出した際に増速制御部4による増速制御の増速変化を大きくさせる（第二増速区間）よう切り替える通電切替部8と、を有する。これにより、ドレイン電流の増減変化期間 $T_{i'}$ 中においてさらに増速変化の大きい増速モード（第二加速区間）でゲート電圧を増減変化させることができ、スイッチングロスの総量が少なくなるようドレイン電流の増減変化シーケンスを設計できる。

【0076】

また、本実施形態では特に、低速制御部3は、増速制御部4による増速制御時よりも増速変化が小さくなるよう主回路MOSFET100のゲート端子 G_m への電流を制限するゲート抵抗31で実装される。これにより、低速制御部3を安価かつ機能的に実装できる。

【0077】

また、本実施形態では特に、増速制御部4は、主回路MOSFET100のゲート端子 G_m へ追加する電流の付加と非付加の切り替えとその電流量を制御する半導体スイッチング素子（実施形態の例のMOSFET）で実装される。これにより、増速制御部4を機能的に実装できる。なお、増速制御部4に用いられる半導体スイッチング素子は、上記MOSFETに限られずバイポーラトランジスタで実装してもよい。

【0078】

< 通電検出部の実装構成例 >

上記実施形態で説明したように、通電検出部7は、主回路MOSFET100が接続する主回路において主電流の通電量が増減変化した際に、その潜在インダクタンス成分によって当該主回路に生じる変化量に応じた電圧を検出する回路で構成してもよい。しかしながら、主回路MOSFET100のモジュールパッケージ内の回路配線では、主電流の増減変化状態を検出するのに必要な潜在インダクタンスが得られない場合がある。この場合には、主回路MOSFET100のモジュールパッケージの外部において主回路に相当する主電流通電配線に対して通電検出部7を配置することが考えられる。以下においては、そのように主回路MOSFET100のモジュールパッケージの外部に配置する場合の通電検出部7の実装構成例について説明する。

【0079】

（通電検出部をサーチコイルで実装する場合）

図11は、通電検出部7をいわゆるサーチコイルで実装する場合の構成例を示しており、図11(a)はサーチコイルを備えた回路基板の平面図、図11(b)はその回路基板及び装着した主回路MOSFETモジュールパッケージの側面図を示している。この図1

10

20

30

40

50

1において、主回路MOSFETモジュールパッケージ101は、その内部で主回路に接続するパッケージ端子102（図示する例では3本）が回路基板103を直交して貫通するように固定され、主電流は回路基板103を貫通して図示しない配線へ流れるよう構成されている。そしてそのパッケージ端子102に対し、その主電流の通電方向（つまり円柱形状にあるパッケージ端子102の軸方向）を軸とした軸周りに包囲する配置で回路基板103の表面に配線されたパターン配線104がサーチコイルとして機能する。なお、このサーチコイルのパターン配線104は、図示するように主回路MOSFETモジュールパッケージ101と逆側の回路基板103の表面に配線する以外にも、主回路MOSFETモジュールパッケージ101と同じ側の回路基板103の表面に配線してもよい（図示省略）。このように通電検出部7をサーチコイルで実装することで、主回路MOSFETモジュールパッケージ101の内部配線レイアウトによらず安定した主電流の増減変化状態の検出機能を安価に実装できる。

10

【0080】

（通電検出部をトランスで実装する場合）

図12は、通電検出部7をトランスで実装する場合の構成例を示しており、図12（a）はトランスを備えた回路基板の平面図（図12（b）中の矢視XIIa - XIIaの断面図）、図12（b）はその回路基板の側断面図（図12（a）中の矢視XIIb - XIIbの断面図）を示している。この図12において、回路基板103には主電流が通電する主回路パターン配線105が配線されており、その通電方向を軸とした軸周りに包囲する配置で環状の磁性体コア106が回路基板103を貫通するよう設けられている。そして、その磁性体コア106の通磁方向（つまり環状にある磁性体コア106の周方向）を軸とした軸周りに包囲する配置で回路基板103の表面に検出用パターン配線107が配線されている。これら主回路パターン配線105と、磁性体コア106と、検出用パターン配線107の組合せがトランスとして機能する。なお、検出用パターン配線107は、図示するように主回路パターン配線105と同じ側の回路基板103の表面に配線する以外にも、主回路パターン配線105と逆側の回路基板103の表面に配線してもよい（図示省略）。このように通電検出部7をトランスで実装することでも、主回路MOSFETモジュールパッケージ101の内部配線レイアウトによらず安定した主電流の増減変化状態の検出機能を安価に実装できる。

20

【0081】

< 駆動回路の適用例 >

上記実施形態の駆動回路1の適用例としては、例えば直流電力を所定周波数の交流電力にPWM電力変換し、これを駆動電力としてモータ（回転型、直動型）に給電するモータ制御装置などがある。以下、このモータ制御装置の構成例について説明する。

30

【0082】

図13を用いて、本実施形態に係るモータ制御装置全体の回路構成について説明する。図13に示すように、モータ制御装置200は、3相交流電源201に接続するコンバータ202と、モータ203に接続するとともに直流母線204を介してコンバータ202にも接続するインバータ205を備える。

【0083】

コンバータ202は、整流部211と、平滑コンデンサ212とを備えている。整流部211は、6つのダイオード213からなるダイオードブリッジであり、3相交流電源201からの交流電力を全波整流して直流母線204に出力する。平滑コンデンサ212は、直流母線204間を渡すように接続され、上記整流部211が全波整流した直流電力を平滑する。以上の構成によって、コンバータ202は、3相交流電源201から供給される交流電力を整流、平滑して直流電力に変換し、正極側のP線及び負極側のN線の2本1組からなる直流母線204に直流電力を出力する。

40

【0084】

インバータ205は、ブリッジ回路221と、上記実施形態の駆動回路1と、制御電源223と、制御回路224と、I/O225とを備えている。

50

【 0 0 8 5 】

ブリッジ回路 2 2 1 は、この例の上記主回路 M O S F E T 1 0 0 の半導体素子で構成する 6 つのアームスイッチング素子 1 0 0 をブリッジ接続したデバイスである。詳しくは、この例の主回路 M O S F E T 1 0 0 を 2 つ直列に接続して 1 組とし、上記直流母線 2 0 4 に対して 3 組並列に接続している。そのうち、以下では、直流母線 2 0 4 の正極側（P 線側）に接続する主回路 M O S F E T 1 0 0 を上アームスイッチング素子 1 0 0 U といい、負極側（N 線側）に接続する主回路 M O S F E T 1 0 0 を下アームスイッチング素子 1 0 0 D という。3 組それぞれにおける上アームスイッチング素子 1 0 0 U と下アームスイッチング素子 1 0 0 D の間の中間点が、各相に対応してモータ 2 0 3 に接続されている。各アームスイッチング素子 1 0 0 は、それぞれのゲート電圧（制御電圧）を駆動回路 1 により制御されることでその導通状態（O N 状態）と遮断状態（O F F 状態）を切り替える（つまりターン O N、ターン O F F）。

10

【 0 0 8 6 】

駆動回路 1 は、後述の制御回路 2 4 から入力される制御信号に基づき、ブリッジ回路 2 2 1 の各アームスイッチング素子 1 0 0 に対しそれぞれのゲート電圧（制御電圧）を制御することでその O N 状態と O F F 状態を切り替える（つまり、ターン O N、ターン O F F）。なお、駆動回路 1 は、ブリッジ回路 2 2 1 における 6 つのアームスイッチング素子 1 0 0（主回路 M O S F E T 1 0 0）にそれぞれ個別に対応して設けられ、各ゲート端子 G m とソース端子 S m にそれぞれ接続されるものであるが、この図 1 3 中では図示の煩雑を避けるために 1 つの駆動回路 1 のみ示している。

20

【 0 0 8 7 】

制御回路 2 2 4（制御部）は、電力制御用のソフトウェアを実行する C P U 等で構成されており、図示しない上位制御装置から I / O 2 2 5 や図示しない信号入力回路等を介して入力されるモータ制御指令に基づいて、モータ 2 0 3 に所望の電力を供給するよう各駆動回路 1 に制御信号を出力する。この制御信号は上記モータ制御指令に対応する P W M 制御により出力されるものであり、ブリッジ回路 2 2 1 の各アームスイッチング素子 1 0 0 に対してそれぞれ直流母線 2 0 4 間の直流電力を各組の間接続位置から 3 相交流モータ 2 0 3 の各相に対応して出力させるよう駆動回路 1 を制御する。

【 0 0 8 8 】

制御電源 2 2 3 は、例えば 3 相交流電源 2 0 1 の 2 相に接続してインバータ 2 0 5 内の各部に電力を供給する。

30

【 0 0 8 9 】

以上の構成のモータ制御装置 2 0 0 では、上記実施形態の駆動回路 1 を適用していることで、モータ端子でのサージを回避しつつ、スイッチングロスを削減したモータへの駆動電力の給電が可能となる。

【 0 0 9 0 】

なお、以上の説明において、「垂直」「平行」「平面」等の記載がある場合には、当該記載は厳密な意味ではない。すなわち、それら「垂直」「平行」「平面」とは、設計上、製造上の公差、誤差が許容され、「実質的に垂直」「実質的に平行」「実質的に平面」という意味である。

40

【 0 0 9 1 】

また、以上の説明において、外観上の寸法や大きさが「同一」「等しい」「異なる」等の記載がある場合は、当該記載は厳密な意味ではない。すなわち、それら「同一」「等しい」「異なる」とは、設計上、製造上の公差、誤差が許容され、「実質的に同一」「実質的に等しい」「実質的に異なる」という意味である。

【 0 0 9 2 】

また、以上既に述べた以外にも、上記実施形態や各変形例による手法を適宜組み合わせ利用しても良い。

【 0 0 9 3 】

その他、一々例示はしないが、上記実施形態や各変形例は、その趣旨を逸脱しない範囲

50

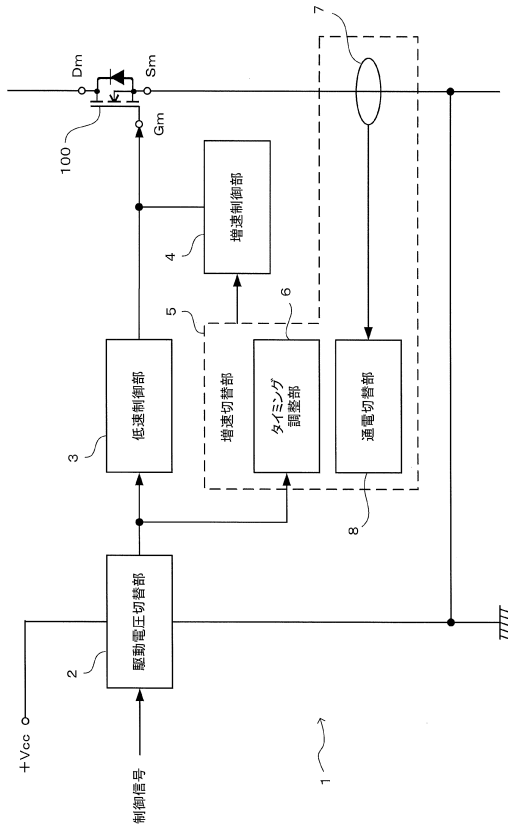
内において、種々の変更が加えられて実施されるものである。

【符号の説明】

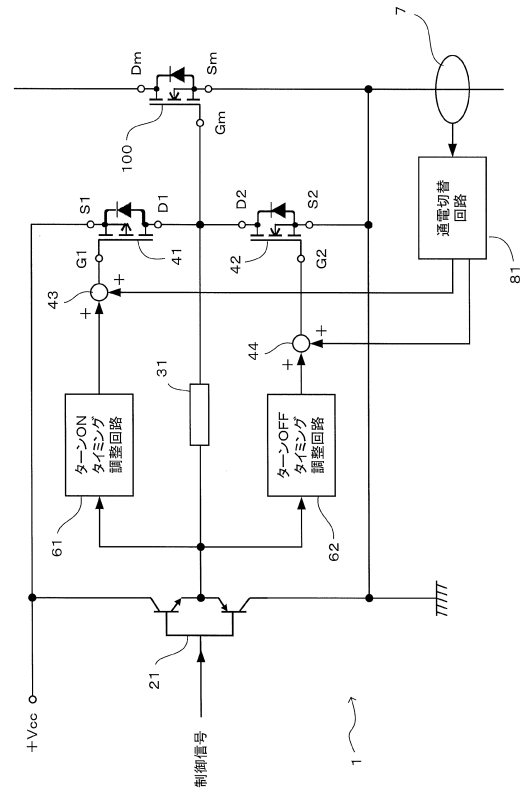
【 0 0 9 4 】

1	駆動回路	
2	駆動電圧切替部	
3	低速制御部	
4	増速制御部	
5	増速切替部	
6	タイミング調整部	
7	通電検出部	10
8	通電切替部	
2 1	プッシュプル回路（駆動電圧切替部）	
3 1	ゲート抵抗（低速制御部、制御抵抗）	
4 1	ターンオン増速制御用 MOSFET（増速制御部、半導体スイッチング素子）	
4 2	ターンオフ増速制御用 MOSFET（増速制御部、半導体スイッチング素子）	
6 1	ターンオンタイミング調整回路（タイミング調整部）	
6 2	ターンオフタイミング調整回路（タイミング調整部）	
8 1	通電切替回路（通電切替部）	20
1 0 0	主回路 MOSFET（半導体素子）	
1 0 3	回路基板	
1 0 4	パターン配線	
1 0 5	主回路パターン配線	
1 0 6	磁性体コア	
1 0 7	検出用パターン配線	
2 2 4	制御回路（制御部）	
G m	主回路 MOSFET のゲート端子（制御端子）	
D m	主回路 MOSFET のドレイン端子（主端子）	
S m	主回路 MOSFET のソース端子（主端子）	30

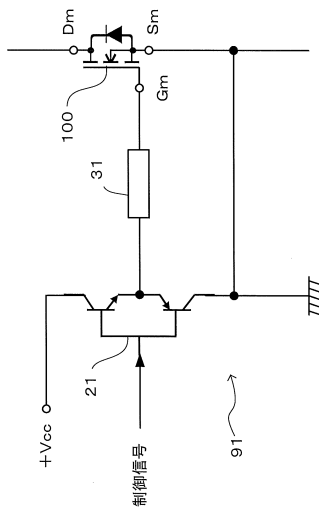
【図 1】



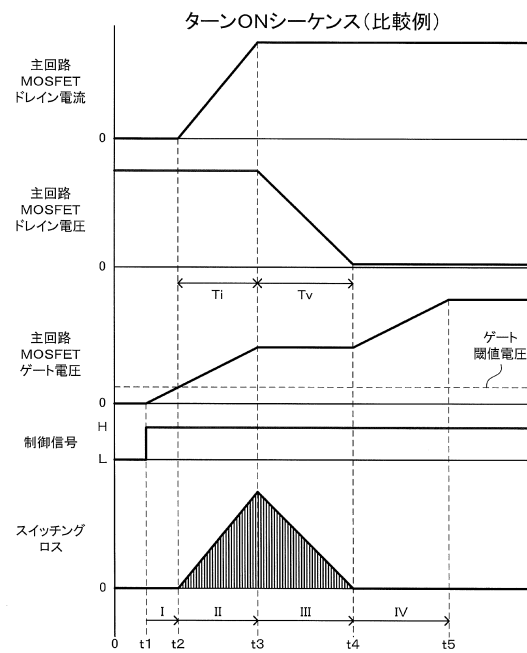
【図 2】



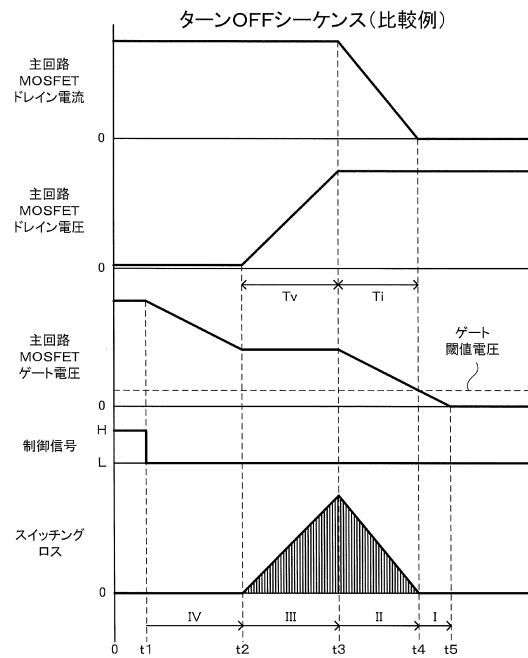
【図 3】



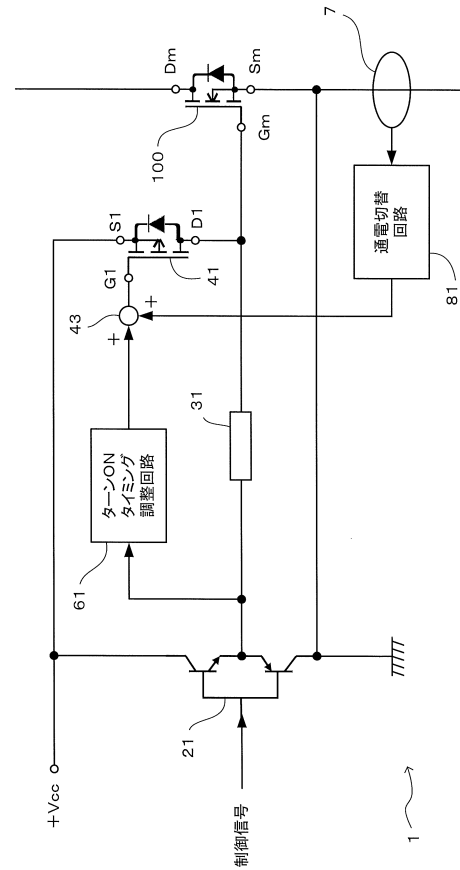
【図 4】



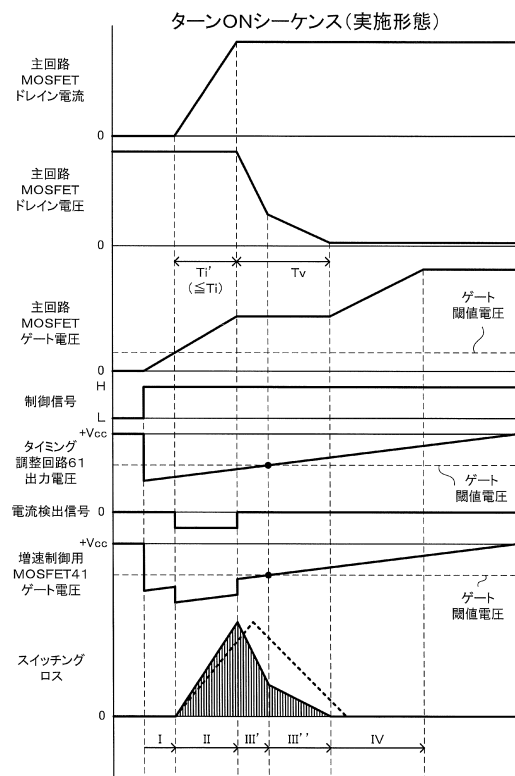
【図5】



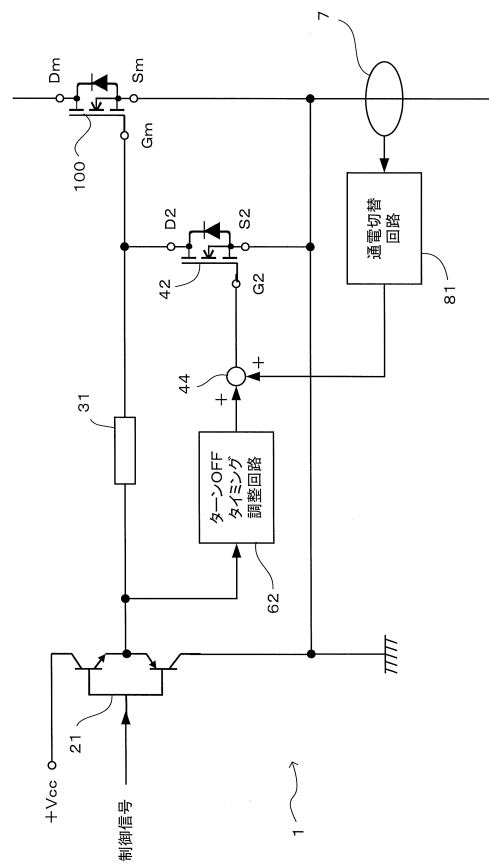
【図6】



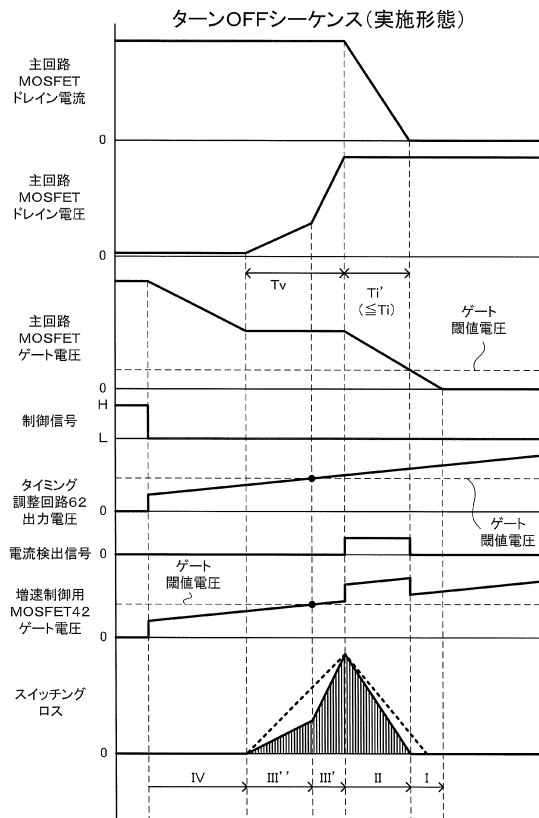
【図7】



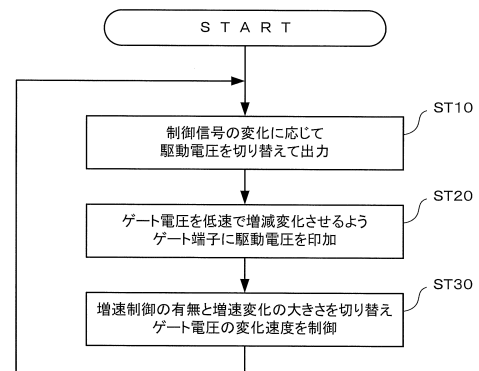
【図8】



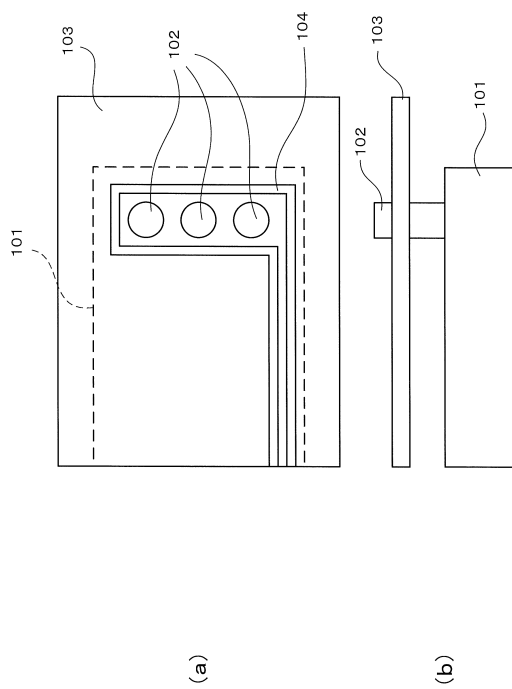
【図 9】



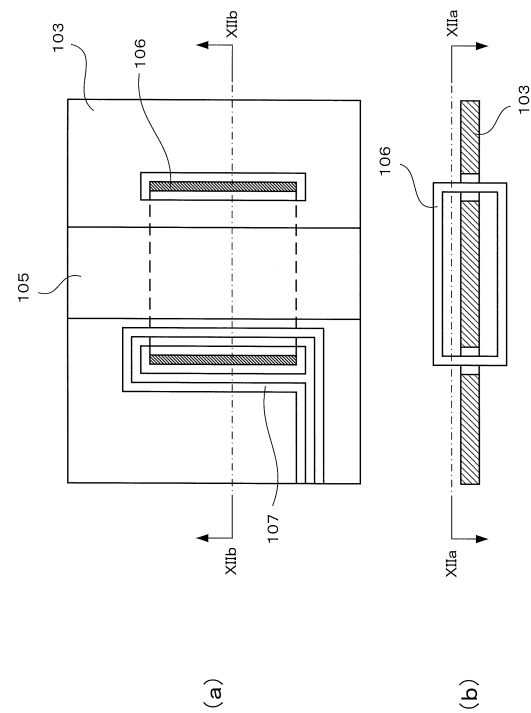
【図 10】



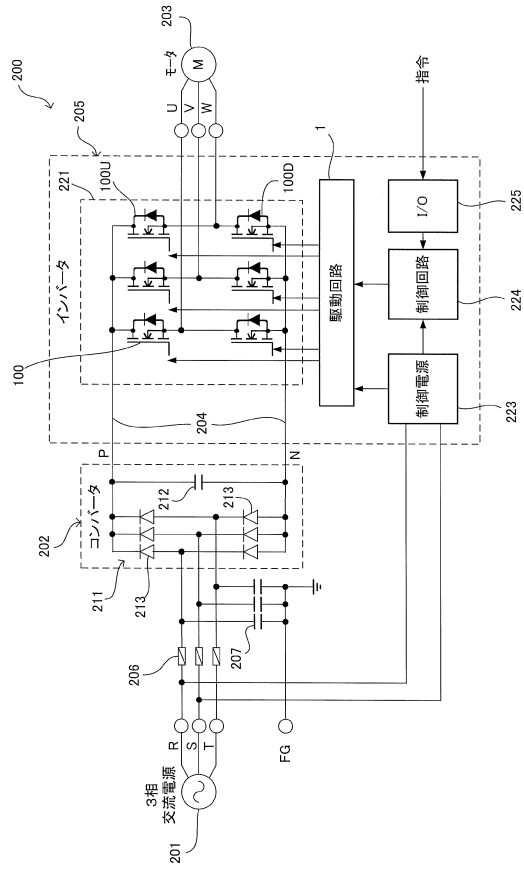
【図 11】



【図 12】



【図 13】



フロントページの続き

(72)発明者 金田 平次

福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内

審査官 高野 誠治

(56)参考文献 特開 2 0 0 7 - 2 2 8 7 6 9 (J P , A)

特開 2 0 1 6 - 1 2 7 6 8 6 (J P , A)

特開 2 0 1 3 - 1 8 7 9 5 5 (J P , A)

特開 2 0 0 5 - 3 0 0 1 7 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M 1 / 0 0 - 1 / 4 4

H 0 2 M 7 / 4 2 - 7 / 9 8