



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년08월04일
(11) 등록번호 10-0910481
(24) 등록일자 2009년07월27일

(51) Int. Cl.

H03K 17/62 (2006.01)

(21) 출원번호 10-2004-7003403
(22) 출원일자 2002년09월05일
심사청구일자 2007년06월08일
(85) 번역문제출일자 2004년03월05일
(65) 공개번호 10-2004-0033025
(43) 공개일자 2004년04월17일
(86) 국제출원번호 PCT/US2002/028198
(87) 국제공개번호 WO 2003/021779
국제공개일자 2003년03월13일

(30) 우선권주장

60/317,482 2001년09월05일 미국(US)

(56) 선행기술조사문현

US04734775 A1*

*는 심사관에 의하여 인용된 문현

전체 청구항 수 : 총 26 항

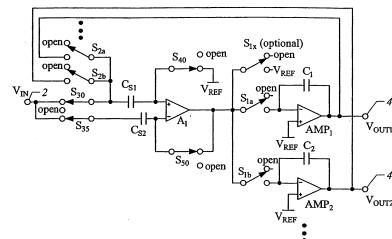
심사관 : 김자영

(54) 아날로그 역다중화기

(57) 요 약

아날로그 역다중화기(도 6)는 입력 증폭기(A_1)와, 출력 증폭기들(AMP_1 - AMP_N)을 포함한다. 증폭기들(AMP_1 - AMP_N)의 출력과 변환된 (-)입력은 각 커패시터(C_1 - C_N)에 의해 연결된다. 스위치들(S_{1a} , S_{1b})은 증폭기(A_1)의 출력을 (AMP_1 - AMP_N) 중 하나의 변환된 입력에 연결한다. 스위치들(S_{2a} , S_{2b} , 등)은 (AMP_1 - AMP_N) 중 하나의 출력에 연결한다. 스위치들(S_{2a} , S_{2b} , 등)과 스위치들(S_{1a} , S_{1b} , 등)은 쌍으로 함께 열리고 닫힌다. (A_1)를 통한 (AMP_1 - AMP_N)의 출력으로부터 피드백과 함께, (AMP_1 - AMP_N)의 게인과 어떠한 오프셋이라도 (A_1)의 게인에 의해 나누어진다. 증폭기(A_1)는 그 입력에 연결된 커패시터들(C_{s1} , C_{s2})을 갖는다. 스위치(S_{50})는 증폭기(A_1)의 변환된 입력을 그 출력에 연결하고, 스위치(S_{40})는 (A_1)의 비-변환된 입력을 (AMP_2)에 인가된 (V_{REF})와 매칭하는 전압기준(V_{RER})에 연결한다. 스위치(S_{30})와 스위치(S_{35})는 (C_{s1})와 (C_{s2})를 역다중화기 입력(2)에 연결한다. 동작에 있어서, 스위치들(S_{40} , S_{50} , S_{30} 및 S_{35})은 초기에 닫혀있고, 반면에 스위치들(S_{2a} , S_{2b} , 등)은 양 커패시터(C_{s1})(C_{s2})를 충전하고 (A_1)의 입력과 출력을 (V_{REF})에 연결하기 위해 열려있다. 스위치(S_{50})는 (A_1)의 게인 어러와 오프셋을 나누기 위해 피드백을 제공한다. 그 후 스위치들(S_{30} , S_{35} , S_{40} 및 S_{50})이 열리고, 반면에 스위치들(S_{2a} , S_{2b} , 등) 중 하나는 출력 전압들(V_{OUT1} - V_{OUTN})의 하나를 구동시키기 위해 하나의 스위치(S_{1a} , S_{1b} , 등)와 함께 닫힌다. (A_1)의 입력과 출력 그리고 연결된 (AMP_1 - AMP_N)는 초기에 (V_{REF})에 있고, 매우 짧은 결정 시간이 필요하다.

대 표 도 - 도6



특허청구의 범위

청구항 1

변환된 (-)입력, 비-변환된 (+)입력 그리고 출력을 갖는 입력 증폭기(A_1);

각각 변환된 (-)입력, 비-변환된 (+)입력 그리고 출력을 갖는 출력 증폭기들(AMP_1-AMP_N);

각각 상기 출력 증폭기들 중 하나의 변환된 (-)입력을 그 출력에 연결하는 피드백 커패시터들(C_1-C_N);

제 1 단자와, 상기 입력 증폭기(A_1)의 비-변환된 (+)입력에 연결된 제 2 단자를 갖는 제 1 입력 커패시터(C_{s1});

제 1 단자와, 상기 입력 증폭기(A_1)의 변환된 (-)입력에 연결된 제 2 단자를 갖는 제 2 입력 커패시터(C_{s2});

각각 상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 출력과 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자를 선택적으로 연결하는 출력 피드백 스위치들(S_{2a}, S_{2b} , 등등);

각각 상기 입력 증폭기(A_1)의 출력과 상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 변환된 (-)입력을 선택적으로 연결하는 증폭기 연결 스위치들(S_{1a}, S_{1b} , 등등);

상기 입력 증폭기(A_1)의 변환된 (-)입력과 출력을 선택적으로 연결하는 입력 증폭기 피드백 스위치(S_{50});

상기 입력 증폭기(A_1)의 비-변환된 (+)입력을 전압 기준 공급(V_{REF})에 선택적으로 연결하는 기준 연결 스위치(S_{40});

아날로그 역다중화기의 입력을 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자에 선택적으로 연결하기 위한 제 1 입력 연결 스위치(S_{30}); 및

아날로그 역다중화기의 입력을 상기 제 2 입력 커패시터(C_{s2})의 제 1 단자에 선택적으로 연결하기 위한 제 2 입력 연결 스위치(S_{35})를 포함하는 아날로그 역다중화기.

청구항 2

제 1 항에 있어서,

각 증폭기 연결 스위치들(S_{1a}, S_{1b} , 등등)은,

상기 입력 증폭기(A_1)의 출력을 상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 변환된 (-)입력에 연결하는 소스-드레인 경로를 갖고, 스위치 제어 입력 신호를 수신하도록 연결된 게이트를 갖는 PMOS 트랜지스터; 및

상기 PMOS 트랜지스터에 병렬로 연결된 소스-드레인 경로를 갖고, 상기 스위치 제어 입력 신호의 역을 수신하도록 연결된 게이트를 갖는 NMOS 트랜지스터를 포함하는 아날로그 역다중화기.

청구항 3

제 1 항에 있어서,

상기 증폭기 연결 스위치들(S_{1a}, S_{1b} , 등등) 각각은,

제 1 단에서 상기 입력 증폭기(A_1)의 출력에 연결된 소스-드레인 경로를 갖고, 스위치 제어 입력 신호를 수신하도록 연결된 게이트를 갖는 제 1 PMOS 트랜지스터;

제 1 단에서 상기 제 1 PMOS 트랜지스터의 소스-드레인 경로의 제 2 단에 연결되고, 제 2 단에서 상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 변환된 (-)입력에 연결된 소스-드레인 경로를 갖고, 상기 스위치 제어 입력 신호를 수신하도록 연결된 게이트를 갖는 제 2 PMOS 트랜지스터;

상기 제 1 PMOS 트랜지스터와 병렬로 연결된 소스-드레인 경로를 갖고, 상기 스위치 제어 입력의 역을 수신하는

게이트를 갖는 제 1 NMOS 트랜지스터; 및

상기 제 2 PMOS 트랜지스터와 병렬로 연결된 소스-드레인 경로를 갖고, 상기 스위치 제어 입력의 역을 수신하는 게이트를 갖는 제 2 NMOS 트랜지스터를 포함하는 아날로그 역다중화기.

청구항 4

제 3 항에 있어서,

상기 제 1 PMOS 트랜지스터의 게이트 넓이는 상기 제 2 PMOS 트랜지스터의 게이트 넓이 절반보다 작고,

상기 제 1 NMOS 트랜지스터의 게이트 넓이는 상기 제 2 NMOS 트랜지스터의 게이트 넓이 절반보다 작은 아날로그 역다중화기.

청구항 5

제 1 항에 있어서,

상기 전압 기준 공급(V_{REF})은 상기 출력 증폭기들(AMP_1 - AMP_N)의 비-변환된 (+)입력에 연결된 아날로그 역다중화기.

청구항 6

제 1 항에 있어서,

상기 입력 증폭기는 제 1 값(V_{dd1})과 제 2 값(V_{ss1}) 사이의 범위에 있는 출력 전압을 갖고, 상기 전압 기준 공급(V_{REF})의 전압은 상기 제 1 값(V_{dd1})과 제 2 값(V_{ss1}) 사이에 있는 아날로그 역다중화기.

청구항 7

제 1 항에 있어서,

상기 입력 증폭기는 제 1 값(V_{dd1})과 제 2 값(V_{ss1}) 사이의 범위에 있는 출력 전압을 갖고, 상기 스위치 제어 입력으로 공급된 전압은 상기 제 1 값(V_{dd1})과 상기 제 2 값(V_{ss1}) 사이에 있는 아날로그 역다중화기.

청구항 8

제 1 항에 있어서,

상기 출력 피드백 스위치들(S_{2a} , S_{2b} , 등등) 각각은 상기 증폭기 연결 스위치들(S_{1a} , S_{1b} , 등등) 중 어느 하나와 대응되어 동시에 단히지만, 동시에 열리지는 않는 아날로그 역다중화기.

청구항 9

제 1 항에 있어서,

상기 증폭기 연결 스위치들(S_{1a} , S_{1b} , 등등)의 어느 것도 단히지 않을 때 상기 입력 증폭기(A_1)의 출력을 상기 전압 기준 공급(V_{REF})에 연결하기 위해 단히는 기준 스위치(S_{1x})를 더 포함하는 아날로그 역다중화기.

청구항 10

제 1 항에 있어서,

상기 출력 패드백 스위치들(S_{2a} , S_{2b} , 등등)과 증폭기 연결 스위치들(S_{1a} , S_{1b} , 등등)은 상기 입력 증폭기 피드백 스위치(S_{50}), 기준 연결 스위치(S_{40}), 제 1 입력 연결 스위치(S_{30}), 그리고 제 2 입력 연결 스위치(S_{35})가 단힐 때 열린 상태를 유지하는 아날로그 역다중화기.

청구항 11

제 1 항에 있어서,

상기 입력 증폭기 피드백 스위치(S_{50})와 기준 연결 스위치(S_{40})는 상기 제 1 입력 연결 스위치(S_{30})와 제 2 입력 연결 스위치(S_{35})가 열리기 전에 열리는 아날로그 역다중화기.

청구항 12

제 1 입력, 제 2 입력 그리고 출력을 갖는 입력 증폭기(A_1);

각각 제 1 입력, 제 2 입력 그리고 출력을 갖는 출력 증폭기들(AMP_1-AMP_N);

각각 상기 출력 증폭기들 중 하나의 제 1 입력을 그 출력에 연결하는 피드백 커패시터들(C_1-C_N);

제 1 단자와, 상기 입력 증폭기(A_1)의 제 1 입력에 연결된 제 2 단자를 갖는 제 1 입력 커패시터(C_{s1});

제 1 단자와, 상기 입력 증폭기(A_1)의 제 2 입력에 연결된 제 2 단자를 갖는 제 2 입력 커패시터(C_{s2});

상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 출력과 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자를 연결하기 위한 적어도 하나의 출력 피드백 스위치(S_2);

상기 입력 증폭기(A_1)의 출력과 상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 제 1 입력을 선택적으로 연결하기 위한 적어도 하나의 증폭 연결 스위치(S_1);

상기 입력 증폭기(A_1)의 제 1 입력을 전압 기준 공급(V_{REF})에 선택적으로 연결하기 위한 기준 연결 스위치(S_{40});

아날로그 역다중화기의 입력을 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자에 선택적으로 연결하기 위한 제 1 입력 연결 스위치(S_{30}); 및

아날로그 역다중화기의 입력을 상기 제 2 입력 커패시터(C_{s2})의 제 1 단자에 선택적으로 연결하기 위한 제 2 입력 연결 스위치(S_{35})를 포함하는 아날로그 역다중화기.

청구항 13

제 12 항에 있어서,

상기 입력 증폭기(A_1)의 제 2 입력과 출력을 선택적으로 연결하는 입력 증폭기 피드백 스위치(S_{50})를 더 포함하는 아날로그 역다중화기.

청구항 14

제 12 항에 있어서,

상기 전압 기준 공급(V_{REF})이 상기 출력 증폭기들(AMP_1-AMP_N)의 제 2 입력에 연결되는 역다중화기.

청구항 15

입력 증폭기(A_1)와 복수의 출력 증폭기들(AMP_1-AMP_N)을 이용하여 입력 신호를 역다중화하는 방법으로, 상기 방법은,

전압 기준 공급(V_{REF})이 상기 입력 증폭기(A_1)의 제 1 및 제 2 입력과 출력에 연결되도록 스위치를 연결하는 단계;

상기 전압 기준 공급(V_{REF})을 상기 입력 증폭기(A_1)의 제 1 및 제 2 입력과 출력에 인가하는 상기 스위치가 열린 후, 상기 전압 기준 공급(V_{REF})에서 공급되는 값과 대응되는 전하를 저장하고, 저장된 상기 전하는 입력 증폭기(A_1)의 제 1 및 제 2 입력으로 유지되는 커패시터를 사용하는 단계;

상기 전압 기준 공급(V_{REF})을 상기 입력 증폭기(A_1)의 제 1 및 제 2 입력과 출력에 연결하는 상기 스위치를 여는

단계;

상기 입력 증폭기(A_1)의 출력을 상기 출력 증폭기들(A_1-A_N) 중 소정의 하나의 입력에 연결하고, 상기 입력 증폭기(A_1)의 제 1 입력이 상기 입력 신호(V_{IN})를 수신하도록 하는 단계; 및

상기 출력 증폭기의 출력을 상기 입력 증폭기(A_1)의 제 2 입력에 연결하는 단계를 포함하는 역다중화 방법.

청구항 16

제 1 및 제 2 입력, 그리고 출력을 포함하는 입력 증폭기(A_1)와 제 1 및 제 2 입력, 그리고 출력을 각각 포함하는 복수의 출력 증폭기들(AMP_1-AMP_N)을 이용하여 입력 신호(V_{IN})를 역다중화하는 방법으로,

상기 방법은:

제 1 단자와, 상기 입력 증폭기(A_1)의 제 1 입력에 연결된 제 2 단자를 갖는 제 1 입력 커패시터(C_{s1})를 제공하는 단계;

제 1 단자와, 상기 입력 증폭기(A_1)의 제 2 입력에 연결된 제 2 단자를 갖는 제 2 입력 커패시터(C_{s2})를 제공하는 단계;

입력 단자(2)에서 상기 입력 신호(V_{IN})를 수신하는 단계;

상기 입력 단자(2)를 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자에 선택적으로 연결하는 단계;

상기 입력 단자(2)를 상기 제 2 입력 커패시터(C_{s2})의 제 1 단자에 선택적으로 연결하는 단계;

상기 입력 증폭기(A_1)의 출력을 상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 제 1 입력에 선택적으로 연결하는 단계; 및

상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 출력을 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자에 선택적으로 연결하는 단계를 포함하는 역다중화 방법.

청구항 17

제 16 항에 있어서,

상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 제 1 입력을 그 출력에 각각 연결하는 피드백 커패시터(C_1-C_N)를 제공하는 단계를 더 포함하는 역다중화 방법.

청구항 18

제 16 항에 있어서,

상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 제 1 입력이 상기 입력 증폭기(A_1)의 출력에 연결될 때, 상기 출력 증폭기들(AMP_1-AMP_N) 중 상기 하나의 출력은 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자에 동시에 연결되도록 실행되는 역다중화 방법.

청구항 19

제 16 항에 있어서,

상기 입력 증폭기(A_1)의 제 2 입력을 상기 입력 증폭기(A_1)의 출력에 선택적으로 연결하는 단계; 및

상기 입력 증폭기(A_1)의 제 1 입력을 기준 전압(V_{REF})에 선택적으로 연결하는 단계를 더 포함하며,

상기 선택적 연결은, 동시에, 상기 입력 증폭기(A_1)의 제 1 입력은 상기 기준 전압(V_{REF})에 연결되고, 상기 입력 증폭기(A_1)의 제 2 입력은 상기 입력 증폭기(A_1)의 출력에 연결되며, 상기 입력 단자(2)는 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자에 연결되고, 그리고 상기 입력 단자(2)는 상기 제 2 입력 커패시터(C_{s2})의 제 1 단자에

연결되도록 실행되며, 그리고

상기 입력 증폭기(A_1)의 제 2 입력이 상기 입력 증폭기(A_1)의 출력에 연결될 때 상기 출력 증폭기들(AMP_1-AMP_N) 중 어느 것의 출력도 상기 제 1 입력 커패시터(C_{S1})의 제 1 단자에 연결되지 않으며, 상기 입력 증폭기(A_1)의 제 1 입력은 상기 기준 전압(V_{REF})에 연결되고, 상기 입력 단자(2)는 제 1 입력 커패시터(C_{S1})의 제 1 단자에 연결되며, 그리고 상기 입력 단자(2)는 상기 제 2 입력 커패시터(C_{S2})의 제 1 단자에 연결되는 역다중화 방법.

청구항 20

제 19 항에 있어서,

기준 전압(V_{REF})을 상기 출력 증폭기들(AMP_1-AMP_N) 각각의 제 2 입력에 제공하는 단계; 및

상기 입력 증폭기(A_1)의 출력이 상기 출력 증폭기들(AMP_1-AMP_N) 중 어느 하나의 제 1 입력에 연결되어 있지 않을 때, 상기 입력 증폭기(A_1)의 출력을 상기 기준 전압(V_{REF})에 연결하는 단계를 더 포함하는 역다중화 방법.

청구항 21

변환된 (-)입력, 비-변환된 (+)입력 그리고 출력을 갖는 입력 증폭기(A_1)와, 각각 변환된 (-)입력, 비-변환된 (+)입력 그리고 출력을 갖는 복수의 출력 증폭기들(AMP_1-AMP_N)을 사용하여 입력 신호(V_{IN})를 역다중화하는 방법으로,

상기 방법은:

제 1 단자와, 상기 입력 증폭기(A_1)의 비-변환된 (+)입력에 연결된 제 2 단자를 갖는 제 1 입력 커패시터(C_{S1})를 제공하는 단계;

제 1 단자와, 상기 입력 증폭기(A_1)의 변환된 (-)입력에 연결된 제 2 단자를 갖는 제 2 입력 커패시터(C_{S2})를 제공하는 단계;

입력 단자(2)에서 상기 입력 신호(V_{IN})를 수신하는 단계;

상기 입력 단자(2)를 상기 제 1 입력 커패시터(C_{S1})의 제 1 단자에 선택적으로 연결하는 단계;

상기 입력 단자(2)를 상기 제 2 입력 커패시터(C_{S2})의 제 1 단자에 선택적으로 연결하는 단계;

상기 입력 증폭기(A_1)의 출력을 상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 변환된 (-)입력에 선택적으로 연결하는 단계; 및

상기 입력 증폭기(A_1)의 변환된 (-)입력을 상기 입력 증폭기(A_1)의 출력에 선택적으로 연결하는 단계를 포함하는 역다중화 방법.

청구항 22

제 21 항에 있어서,

상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 상기 변환된 (-)입력을 그 출력에 각각 연결하는 피드백 커패시터(C_1-C_N)를 제공하는 단계; 및

상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 출력을 상기 제 1 입력 커패시터(C_{S1})의 제 1 단자에 선택적으로 연결하는 단계를 더 포함하며,

상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 변환된 (-)입력이 상기 입력 증폭기(A_1)의 출력에 연결될 때, 상기 출력 증폭기들(AMP_1-AMP_N) 중 상기 하나의 출력은 상기 제 1 입력 커패시터(C_{S1})의 제 1 단자에 동시에 연결되도록 실행되는 역다중화 방법.

청구항 23

제 21 항에 있어서,

상기 입력 증폭기(A_1)의 비-변환된 (+)입력을 기준 전압(V_{REF})에 선택적으로 연결하는 단계를 더 포함하며,

상기 선택적 연결은, 동시에, 상기 입력 증폭기(A_1)의 비-변환된 (+)입력은 상기 기준 전압(V_{REF})에 연결되고, 상기 입력 증폭기(A_1)의 변환된 (-)입력은 상기 입력 증폭기(A_1)의 출력에 연결되며, 상기 입력 단자(2)는 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자에 연결되고, 그리고 상기 입력 단자(2)는 상기 제 2 입력 커패시터(C_{s2})의 제 1 단자에 연결되도록 실행되며, 그리고

상기 입력 증폭기(A_1)의 상기 비-변환된 (+)입력이 상기 기준 전압(V_{REF})에 연결될 때 상기 출력 증폭기들(AMP_1-AMP_N)의 어떤 출력도 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자에 연결되지 않으며, 상기 입력 증폭기(A_1)의 변환된 (-)입력은 상기 입력 증폭기(A_1)의 출력에 연결되고, 상기 입력 단자(2)는 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자에 연결되며, 그리고 상기 입력 단자(2)는 상기 제 2 입력 커패시터(C_{s2})의 제 1 단자에 연결되는 역다중화 방법.

청구항 24

제 23 항에 있어서,

기준 전압(V_{REF})을 상기 출력 증폭기들(AMP_1-AMP_N) 각각의 비-변환된 (+)입력에 제공하는 단계; 및

상기 입력 증폭기(A_1)의 출력이 상기 출력 증폭기들(AMP_1-AMP_N) 중 어느 하나의 변환된 (-)입력에 연결되어 있지 않을 때, 상기 입력 증폭기(A_1)의 출력을 상기 기준 전압(V_{REF})에 연결하는 단계를 더 포함하는 역다중화 방법.

청구항 25

제 1 및 제 2 입력, 그리고 출력을 포함하는 입력 증폭기(A_1)와, 제 1 및 제 2 입력, 그리고 출력을 각각 포함하는 복수의 출력 증폭기들(AMP_1-AMP_N)을 이용하여 입력 신호(V_{IN})를 역다중화하는 방법으로,

상기 방법은:

제 1 단자와, 상기 입력 증폭기(A_1)의 제 1 입력에 연결된 제 2 단자를 갖는 제 1 입력 커패시터(C_{s1})를 제공하는 단계;

제 1 단자와, 상기 입력 증폭기(A_1)의 제 2 입력에 연결된 제 2 단자를 갖는 제 2 입력 커패시터(C_{s2})를 제공하는 단계;

입력 단자(2)에서 상기 입력 신호(V_{IN})를 수신하는 단계; 및

동시에, 상기 입력 단자(2)를 상기 제 2 입력 커패시터(C_{s2})의 제 1 단자에 연결하고, 상기 입력 증폭기(A_1)의 출력을 상기 출력 증폭기들(AMP_1-AMP_N) 중 하나의 제 1 입력에 연결하며, 그리고 상기 출력 증폭기들(AMP_1-AMP_N) 중 상기 하나의 출력을 상기 제 1 입력 커패시터(C_{s1})의 제 1 단자에 연결하는 단계를 포함하는 역다중화 방법.

청구항 26

제 25 항에 있어서,

상기 동시적 연결 이전에, 상기 입력 증폭기(A_1)의 상기 제 1 및 제 2 입력과 출력은, 상기 출력 증폭기들(AMP_1-AMP_N) 각각의 제 2 입력에 인가된 기준 전압 레벨(V_{REF})이 되도록 하는 역다중화 방법.

명세서

기술 분야

<1> 본 발명은 단일 입력라인으로부터 다중 출력라인들 중 하나로 신호를 분배하기 위한 아날로그 역다중화기에 관한 것이다. 특히, 본 발명은 아날로그 역다중화기가 그 증폭기에 의한 최소 오프셋을 갖고, 그리고 최소 증폭기 결정시간을 갖고, 비디오 입력 신호를 몇 개의 비디오 표시 칼럼 드라이버들 중 하나에 분배하기 위한 아날로그 역다중화기에 관한 것이다.

배경 기술

<2> 도 1은 아날로그 역다중화기의 하나의 종래 구성의 도시한다. 아날로그 역다중화기는 입력(2)에서 수신한 다중화된 아날로그 입력전압(V_{IN})을 출력들(4_1-4_N)의 각각에 출력전압($V_{OUT1}-V_{OUTN}$)을 공급하기 위하여 스위치(S_1)를 이용하여 역다중화되도록 한다. 논리제어 구동 스위치(S_1)는 입력전압(V_{IN})이 하나의 특정한 출력버퍼(AMP_1-AMP_N)로 향하도록 스위치(S_1)를 토글한다. 이 방식으로, 입력에 제공된 입력전압(V_{IN})은 많은 출력버퍼들(AMP_1-AMP_N) 중 하나로 역다중화될 수 있다.

<3> 입력(2)에서 입력전압(V_{IN})이 출력(4_1)에서 출력전압(V_{OUT1})으로 샘플된다고 한다면, 스위치(S_1)는 증폭기(A_1)를 커패시터(C_1)와 증폭기(AMP_1)의 입력으로 연결하기 위하여 닫힌다. V_{IN} 에서 전압이 커패시터(C_1)로 샘플되고 버퍼된 전압은 V_{OUT1} 에 나타난다. 그 후 스위치(S_1)가 열린다. 유지 커패시터(C_1)는 샘플된 전압을 계속 유지하고, 따라서 V_{OUT1} 에서 전압은 일정한 시간 동안 일정하게 유지된다. 동일한 방식으로, 입력(2)에서 입력전압(V_{IN})은 커패시터들(C_2-C_N) 중 다른 하나와 그에 대응하는 증폭기(AMP_2-AMP_N)를 이용하여 입력전압(V_{IN})을 샘플하고 유지하도록 스위치(S_1)를 이용하여 연결될 수 있다.

<4> 도 1의 구성을 갖는 아날로그 역다중화기의 바람직하지 않는 효과는 다음과 같다:

<5> (1) 증폭기(A_1) 및 증폭기(AMP_1-AMP_N)는 모두 V_{IN} 에서 신호로부터 전압 오프셋을 만들어낸다;

<6> (2) 증폭기(A_1) 및 증폭기(AMP_1-AMP_N)는 모두 +1의 게인을 갖는 것을 보여주나, 게인 에러는 발생되지 않는다;

<7> (3) 페디스털 전압 오프셋 에러는 스위치(S_1)가 열릴 때 일어난다;

<8> (4) 출력 증폭기들(AMP_1-AMP_N)은 동일하지 않고 또는 V_{IN} 에서 동일한 입력전압이 각 출력($V_{OUT1}-V_{OUTN}$)에서 서로 다른 출력을 발생한다.

<9> 아날로그 역다중화기의 성능을 향상시키기 위해 몇 가지의 접근이 이용되어 왔다. 이 접근들이 아래에 설명될 것이다.

A. 첫번째 개량

<11> 도 1의 아날로그 역다중화기에 대한 첫번째 개량이 도 2에 도시되어 있다. 동작에 있어서, 입력(2)에서 전압(V_{IN})이 출력(4_1)에서 출력전압(V_{OUT1})으로서 샘플된다고 한다면, 스위치(S_1)가 닫혀 증폭기(A_1)의 출력을 커패시터(C_1)와 증폭기(AMP_1)의 비-변환된 입력에 연결한다. 동시에 두번째 스위치(S_2)가 닫히고, 증폭기(AMP_1)의 출력을 증폭기(A_1)의 변환된 입력에 연결한다. 도 1로부터 도 2로 이행된 구성요소들은 동일한 부호가 붙여져 있고, 비록 그것들이 서로 다른 방식으로 연결되더라도, 구성요소들이 다음의 숫자들로 이행된 것이라는 점에 주목해야 한다. 도 2의 스위치 상태에 대한 등가 회로가 도 3에 도시되어 있다.

<12> 출력 증폭기(AMP_1)로부터 A_1 으로의 피드백과 함께, 등가 회로는 단위 게인 구성을 갖는 것으로 한다. 상기 회로가 안정되고 증폭기(A_1)와 증폭기(AMP_1) 양자의 게인이 매우 크다고 한다면, AMP_1 의 어떠한 오프셋이라 할지라도 A_1 의 게인에 의해 나누어진다. 전압(V_{IN})과 증폭기(A_1)의 오프셋의 합은 유지 커패시터(C_1)에 샘플된다. 즉,

$$V_{OUT1} = V_{IN} + V_{os}(A_1 \text{의 오프셋})$$

<14> 도 2의 구성의 잊점은 다음과 같다:

<15> (1) AMP_1 의 전압 오프셋은 A_1 의 게인에 의해 나누어진다;

<16> (2) 게인 에러 또는 AMP_1 는 A_1 의 게인에 의해 나누어진다.

<17> 도 2의 구성의 바람직하지 않은 효과는 다음과 같다:

<18> (1) 증폭기(A_1)의 전압 오프셋;

<19> (2) 스위치(S_2)가 열릴 때 그의 전하 주입에 의해 유발된 전압 오프셋;

<20> (3) 증폭기(A_1)의 게인 에러; 및

<21> (4) 스위치(S_2)가 닫힌 후 긴 결정 시간

<22> 도 2의 스위치(S_2)가 닫히지 전에, 증폭기(A_1)는 개방 루프 구성으로 될 것이다. 따라서 그 출력은 결정되지 않은 전압 상태에 있게 될 것이다. 증폭기(A_1)는 "포화"된다. 증폭기(A_1)는 그것이 결정되기 전에 그 출력을 그리칭(glitching)하고 링(ringing)함으로써 "액티브" 영역으로 되돌아간다(결정시간은 일렬로 연결된 증폭기들의 대역폭과 위상 여유도에 달려있다). 증폭기(A_1)의 출력이 링할 때, V_{OUT1} 도 마찬가지고, 바람직하지 않은 효과를 낸다.

<23> B. 두번째 개량

<24> 도 1의 아날로그 역다중화기에 대한 두번째 개량이 도 4에 도시되어 있다. 도 4의 회로에 있어서, 유지 커페시터(C_1 , C_2 , 등)는 각 출력 증폭기들(AMP_1 , AMP_2 , 등)의 변환된 입력과 출력 사이에 위치해 있다. 스위치들(S_1 , S_2)은 증폭기(A_1)의 출력과 그 비-변환된 입력 사이에 출력 증폭기들(AMP_1 , AMP_2 , ...) 중 하나를 연결하기 위해 쌍으로 동작한다. 스위치(S_3)는 스위치들(S_1 , S_2)이 연결되지 않을 때 A_1 의 출력을 기준전압(V_{REF})에 연결한다. 출력 증폭기들(AMP_1 , AMP_2 , ...)의 비-변환된 입력은 기준(V_{REF})에 같은 방식으로 연결된다.

<25> 동작에 있어서 첫째 V_{IN} 은 V_{OUT} 으로 샘플된 것으로 가정된다. 그 후 스위치(S_1)가 닫히고 증폭기(A_1)의 출력을 커페시터(C_1)와 증폭기(AMP_1)의 변환된 입력에 연결한다. 동시에 스위치(S_2)가 닫히고, 증폭기(AMP_1)의 출력을 증폭기(A_1)의 비-변환된 입력에 연결한다. 스위치(S_1)와 스위치(S_3)는 중첩되지 않고, 또는 동시에 연결되지 않는다. 이러한 연결과 등가인 회로가 도 5에 도시되어 있다.

<26> 피드백과 함께, 상기 회로는 단위 게인 구성으로 된다. 증폭기(A_1)와 증폭기(AMP_1)의 게인이 크다면,

<27> $V_{OUT} \sim V_{IN} + V_{os1}$ (증폭기(A_1)의 오프셋).

<28> 피드백 경로에 있는 증폭기(AMP_1)와 함께, 그 변환된 입력(그것은 또한 증폭기(A_1)의 출력이다)은 대략 V_{REF} 와 동등하다. 이 단위 게인 구성은 빨리 결정되기 때문에, 스위치(S_1)의 양측은 스위치(S_1)가 닫히기 전에 대략 V_{REF} 가 되어야만 한다.

<29> 따라서 증폭기(A_1)의 출력은 스위치(S_1)가 닫히지 전에 대략 V_{REF} 가 되어야만 한다. 이것은 스위치(S_3)를 켜므로서(주의: 스위치(S_1)와 스위치(S_3)는 중첩되지 않는다) A_1 의 출력을 V_{REF} 로 클램핑함으로써 이루어진다. 이것은 증폭기(A_1)가 더 빠른 결정 시간으로 되는 "액티브" 영역에 머물게 한다.

<30> 도 4의 구성의 잊점은 다음과 같다:

<31> (1) 증폭기(AMP_1)의 전압 오프셋이 A_1 의 게인에 의해 나누어지고, 그것은 무시할 수 있다.

<32> (2) 결정시간이 감소된다(스위치(S_1)의 양측에서의 전압이 대략 동일하고 증폭기(A_1)는 스위치(S_1)가 닫힐 때 그 액티브 영역에 있다)

<33> (3) AMP_1 의 게인 에러는 A_1 의 게인에 의해 나누어진다.

<34> 도 4의 구성의 바람직하지 않은 효과는 다음과 같다:

<35> (1) 증폭기(A_1)의 전압 오프셋이 남아있다;

<36> (2) 증폭기(A_1)의 게인 에러가 남아있다;

<37> (3) 출력 커패시터로의 스위치(S_1)의 전하 주입이 출력에 오프셋 에러를 유발한다.

발명의 상세한 설명

<38> 본 발명에 따르면, 증폭기(AMP_1-AMP_N)와 증폭기(A)의 전압 오프셋과 게인 에러가 최소값으로 나누어진 아날로그 역다중화기가 제공된다. 더욱이 아날로그 역다중화기는 최소 결정시간을 갖고, 스위치(S)로부터 출력으로의 전하 주입은 최소 오프셋 에러를 발생한다.

<39> 본 발명에 따른 아날로그 역다중화기(도 6 참조)는 도 2와 유사하게 입력 증폭기(A_1), 복수의 출력 증폭기들(AMP_1-AMP_N)을 포함한다. 증폭기들(AMP_1-AMP_N)의 출력과 변환된 (-)입력은 도 2에 도시된 바와 같이 각 커패시터(C_1-C_N)에 의해 연결된다. 또한, 도 2에 유사하게, 스위치(S_1)(도 6의 경우 다중 스위치(S_{1a}, S_{1b} , 등))는 증폭기(A_1)의 출력을 증폭기들(AMP_1-AMP_N)의 각 하나의 변환된 입력에 연결한다. 도 2에 유사하게, 스위치(S_2)(도 6의 경우 다중 스위치(S_{2a}, S_{2b} , 등))는 증폭기들(AMP_1-AMP_N)중 하나의 출력을 증폭기(A_1)의 비-변환된 입력에 연결한다. 도 2에서와 같이, 스위치(S_{2a}, S_{2b} , 등)는 스위치(S_{1a}, S_{1b} , 등)의 각 하나와 함께 스위치하는 기능을 할 수 있다. 도 2에서와 같이, 증폭기들(AMP_1-AMP_N)의 출력으로부터 A_1 를 통한 피드백과 함께, AMP_1-AMP_N 의 어느 것의 오프셋 뿐만 아니라 게인이 A_1 의 게인에 의해 나누어진다.

<40> 도 2의 회로와 달리, 증폭기(A_1)는 그 비-변환된 입력에 연결된 커패시터(C_{s1})과 그 변환된 입력에 연결된 다른 커패시터(C_{s2})를 갖는다. 스위치(S_{50})는 증폭기(A_1)의 변환된 입력을 그 출력에 연결하고, 스위치(S_{40})는 증폭기(A_1)의 비-변환된 입력을 증폭기(AMP_2)의 비-변환된 입력에 공급된 전압기준(V_{REF})과 매칭하는 전압기준(V_{REF})에 연결한다. 스위치(S_{30})는 커패시터(C_{s1})를 역다중화기 입력(2)을 수신하도록 연결하고, 반면에 스위치(S_{35})는 커패시터(C_{s2})를 역다중화기 입력(2)에 연결한다. 동작에 있어서, 스위치(S_{40}, S_{50}, S_{30} 및 S_{35})는 초기에 닫혀있고, 반면에 스위치(S_{2a}, S_{2b} , 등)는 증폭기(A_1)의 입력과 그 출력 모두 V_{REF} 에 있도록 양 커패시터(C_{s1}, C_{s2})를 V_{REF} 까지 충전하기 위해 열려 있다. 스위치(S_{50})는 증폭기(A_1)의 게인 에러와 오프셋이 나누어지도록 피드백을 제공한다. 그 후 스위치들(S_{30}, S_{35}, S_{40} 및 S_{50})이 열리고, 반면에 스위치들(S_{2a}, S_{2b} , 등) 중 하나는 스위치들(S_{1a}, S_{1b} , 등)에 대응하여 닫힌다. A_1 과 그에 대응하는 증폭기(AMP_1-AMP_N)의 입력과 출력은 초기에 V_{REF} 에 있을 것이기 때문에, 각 출력전압($V_{OUT1} - V_{OUTN}$)을 안정시키기 위해 매우 작은 결정 시간이 필요할 것이다.

<41> 스위칭 속도를 향상시키기 위해 일실시예로, 스위치들(S_{1a}, S_{1b} , 등)이 결합된 PMOS와 NMOS 전송 게이트로 만들어진 CMOS 스위치로서 형성된다. NMOS 트랜지스터는 회로가 빨리 스위치되는 것을 가능하게 하고, 반면에 PMOS 트랜지스터는 회로 결정후에 NMOS 트랜지스터에만 전형적으로 존재하는 전압 오프셋을 제거한다. CMOS 스위치를 사용할 때, 하나의 실시예로 액티브 스위치에 의해 발생된 어떠한 전하 오프셋이라도 제거하기 위해 절반 크기인 더미 스위치가 CMOS 스위치에 직렬로 부가될 수 있다. 다른 실시예에서, 스위치(S_{1a}, S_{1b} , 등)를 위한 트랜지스터의 게이트 크기는 이 스위치들로 인한 어떠한 오프셋이라도 제한하기 위해 감소된다.

실시예

<57> 본 발명에 따른 아날로그 역다중화기에 대한 접근이 도 6에 도시되어 있다. 이 회로를 사용하고 S_{1a}, S_{1b}, \dots 및 S_{2a}, S_{2b}, \dots 등을 스위칭하여, 논리 제어는 V_{IN} 가 샘플되고 출력 버퍼들(AMP_1-AMP_N) 중 특정한 하나에 유지되게 가능할 수 있다. 도 6은 다중 스위치(S_{1a}, S_{1b}, \dots 및 S_{2a}, S_{2b}, \dots)를 사용하는 것을 도시하고 있으나, 단일 스위치가 스위치(S_{1a}, S_{1b}, \dots 및 S_{2a}, S_{2b}, \dots) 모두를 대신하여 사용될 수 있다. 그러나 다중 스위치를 사용하면 입력 증폭기(A_1)를 출력 증폭기들(AMP_1-AMP_N)의 하나 이상에 동시에 연결하는 것이 가능하다. 더욱이 비록 S_{1a}, S_{2a}

와 같은 스위치가 전형적으로 종래기술 설계에서 함께 동시에 열리고 닫히더라도 본 발명에서 상기 스위치들은 동시에 닫히거나 닫히지 않을 수 있다.

<58> 동작의 설명을 위해, 도 6의 시스템을 단순화시키기 위해, 도 7은 V_{IN} 이 출력 증폭기(AMP_1)로 샘플된 것으로 가정하여, 단지 두 개의 증폭기만이 도시된 것이 포함된다. 더욱이 초기에 증폭기(A_1)의 게인은 $A1$ 이고, 증폭기(AMP_1)의 게인은 $A2$ 인 것으로 가정된다. 도 7에서 스위치의 연결은 전압(V_{REF})이 입력에서 유지되도록 하고 증폭기들(AMP_1-AMP_N)중 하나에 증폭기(A_1)를 연결하기 전 증폭기(A_1)와 증폭기들(AMP_1-AMP_N)의 출력이 각 단계를 위해 도시된 등가회로와 함께 이어서 설명된다.

<59> A. 제 1 단계

<60> 먼저, 스위치(S_{40} , S_{50} , S_{30} 및 S_{35})가 닫히고, 도 7에 도시된 회로부를 만드는 것이 도 8의 등가회로에 도시된 바와 같이 나타난다. 증폭기(A_1)는 단위 게인 구성으로 된다. 증폭기(AMP_1)는 "유지"상태에 있고, 미리 설정된 V_{OUT1} 을 일정하게 유지한다. 따라서 다음이 적용된다.

$$<61> V_X = A1(V_+ + V_{OS1} - V_-)$$

$$<62> = A1(V_{REF} + V_{OS1} - V_X)$$

$$<63> V_X(1+A1) = A1(V_{REF} + V_{OS1})$$

$$<64> V_X = [A1/(1+A1)](V_{REF} + V_{OS1})$$

$$<65> 커패시터(C_{S1})를 가로지르는 전압 = $V_{CS1} = V_{IN} - V_{REF}$$$

$$<66> 커패시터(C_{S2})를 가로지르는 전압 = $V_{CS2} = V_{IN} - V_X$$$

$$<67> = V_{IN} - [A1(1+A1)](V_{REF} + V_{OS1})$$

<68> B. 제 2 단계

<69> 다음으로, 스위치(S_{40})와 스위치(S_{50})가 열려 도 9에 도시된 바와 같은 회로를 구성한다. 스위치(S_{40})와 스위치(S_{50})가 열릴 때, 커패시터(C_{S1})와 커패시터(C_{S2})로 주입된 전하가 있다. $S_{40}/C_{S1} - S_{50}/C_{S2}$ 일 경우 오프셋은 공통 모드가 될 것이다. 스위치(S_{40})의 크기가 S_{50} 이고 $C_{S1} = C_{S2}$ 라고 한다면, 전하 주입에 의해 유발된 양 커패시터들에 대한 오프셋은 동일할 것이다.

<70> C. 제 3 단계

<71> 다음으로, 도 9에서 스위치가 열리는 것에 부가하여, 스위치(S_{30})와 스위치(S_{35})가 열려 도 10에 도시된 바와 같은 회로를 구성한다. 이 상태에 대한 추가 선택사항으로서, 스위치(S_{IX})가 닫혀, V_X 를 V_{REF} 에 연결할 수 있고, 따라서 V_X 는 V_{REF} 로 클램프된다. 스위치(S_{IX})는 그 후 단계 4 전에 열린다.

<72> D. 제 4 단계

<73> 다음으로, 스위치(S_{1a} , S_{2a} 및 S_{35})가 닫혀 도 11에 도시된 바와 같은 회로를 구성한다. 도 11에 구성된 바와 같이, 이 출원의 부록 1의 식이 적용된다.

<74> E. 제 5 단계

<75> 다음으로, 스위치(S_{1a})가 도 12에 도시된 바와 같이 다시 열리고, 증폭기(AMP_1)가 샘플되고 출력(V_{OUT})에서 전압(V_{IN})을 유지할 것이다.

<76> F. 제 6 단계

<77> 다음으로, 또는 스위치(S_{1a})와 함께, V_{IN} 가 출력 증폭기(AMP_1)에 의해 샘플되고 유지되었기 때문에 다음의 샘플링을 준비하기 위해 스위치(S_{2a})가 재개방된다. 이제 논리 제어는 다른 증폭기(예를 들어 AMP_2)로 V_{IN} 를 샘플하는

것을 시작할 수 있다. AMP_2 로 샘플링하는 것과 함께, 그 후 여기에 설명된 모든 단계가 AMP_1 가 AMP_2 로 대체되어 다시 실행된다. V_{IN} 이 AMP_2 로 샘플된 이후, 논리 제어는 V_{IN} 를 다른 증폭기 등으로 샘플한다. 전압 처리를 극복하기 위해, 출력 증폭기들(AMP_1 - AMP_N)은 V_{IN} 의 다음 샘플링에 의해 반복적으로 리프레시된다.

<78> 본 발명에 따른 구성의 잇점은 다음과 같다:

<79> (1) 증폭기(A_1)와 증폭기(AMP_1) 양자에 대한 오프셋은 A_1 의 개인에 의해 감소된다;

<80> (2) 스위치(S_{1a})의 양측이 스위치(S_{1a})가 닫히기 전에 동일한 전위로 되기 때문에 회로가 빨리 결정된다; 그리고

<81> (3) 양 증폭기에 대한 CMRR과 개인 에러가 교정된다.

<82> 스위치(S_{1a})에서 전하 주입을 향상시키기 위해, 다음의 부가적인 단계가 수행될 수 있다.

<83> (1) 작은 스위치 사용; 그리고

<84> (2) 다음과 같은 전하 주입 취소 기술의 사용:

<85> - CMOS에서, PMOS와 NMOS 전송 게이트 사용; 그리고

<86> - 더미 스위치 사용.

<87> 작은 스위치의 사용은, 단순히 작은 게이트 크기로 스위치를 구성하는 하나 또는 그 이상의 트랜지스터의 사용을 함축한다. 작아진 게이트 크기는 전하 축적을 감소시키고, 그에 따라 스위치가 열리거나 닫힐 때 전하 주입을 감소시킨다. 전형적으로, 고전압 전송 게이트는 그것에 적용된 더 높은 전압에 견디기 위해 치수가 크다. 큰 게이트 크기 때문에, 많은 전하가 게이트가 "ON" 상태에 있을 때 게이트 아래에 놓이게 될 것이다. 스위치가 열릴 때, 전하가 출력 증폭기에서 보았을 때 오프셋을 만드는 유지 커패시터로 주입될 것이다. 전압 구동 전송 게이트 스위치는 고전압과 접지 사이에 있을 것이다. 전송 게이트에서 스윙하는 큰 전압은 많은 스위치의 중첩 용량을 통해 유지 커패시터에 공급되고, 다른 소스 오프셋을 제공한다.

<88> CMOS 설계의 사용은 보다 적은 전하 축적을 일으키는 PMOS 트랜지스터를 사용하기 때문에 전하 주입의 감소를 가능하게 한다. CMOS 설계는 PMOS 트랜지스터 보다 초기에 더 빨리 켜는 NMOS 트랜지스터를 포함한다. CMOS 고전압 설계에서, 전하 주입은 출력 증폭기의 유지 커패시터에 여전히 오프셋을 제공할 것이다. 오프셋은 스위치가 열릴 때 유지 커패시터로 주입된 게이트 아래의 전하에 의해 유발된다. 오프셋의 양은 (1) 스위치의 제어 전압 스윙과 (2) 스위치의 크기에 의해 결정된다.

<89> 스위치(S_{1a})에 사용되는 저전압 CMOS 스위치(10)는 도 13에 도시된 바와 같이 PMOS와 NMOS 트랜지스터(11),(12)를 포함한다. NMOS 트랜지스터(11)와 PMOS 트랜지스터(12)의 소스-드레인 경로는 증폭기(A_1)의 출력과 증폭기(AMP_1)의 입력 사이에 병렬로 연결된다. 트랜지스터(11),(12)의 게이트는 상보 제어신호(Φ)(Φ bar)를 수신한다.

<90> 오프셋을 피하기 위해, 더미 스위치의 사용 뿐만 아니라 특정한 제어 전압이 도 13에 더 도시된 바와 같이 적용될 수 있다. 도 13의 접근에서, 두 개의 공급 전이 증폭기(A_1)를 위해 사용된다(V_{dd} =고전압; V_{1d} =저전압). 증폭기(A_1)의 출력이 V_{1d} 이상으로 가는 것이 방지된다(증폭기(A_1)의 출력은 V_{ss1} 와 V_{1d} 사이에서 스윙할 수 있다. V_{ss1} 와 V_{1d} 는 함께 뮤일 수 있다). 더미 스위치(15)는 저전압 스위치(10)를 형성하는 트랜지스터(11),(12)의 전송 게이트의 절반 크기인 전송 게이트를 갖는다. 더미 스위치(10)의 전송 게이트는, 스위치(10)과 유사하게, 신호(Φ),(Φ bar)에 의해 구동된다. 신호(Φ),(Φ bar)는 V_{1d} 와 V_{ss1} 의 전압 사이에서 스윙한다. 증폭기(A_1)의 출력은 V_{1d} 이상으로 되는 것이 방지되고 저전압 스위치(10)와 더미 스위치(15)는 스위치(S_{1a}) 대신에 사용될 수 있다.

<91> 저전압 스위치(작은 게이트 에어리어-게이트하의 작은 전하)를 사용함으로써, 전하 주입과 클럭 피드스루에 의해 유발된 오프셋이 더욱 작아질 수 있다. 스위치(10)의 절반 크기인 더미 스위치(15)는 스위치(10)에 의해 발생된 전하를 없애는데 사용될 수 있다.

<92> 다른 개량은 V_{1d} 와 V_{ss} 사이에 V_{REF} 의 전압을 갖는 것이다. 회로가 단위 개인 구성으로 결정될 때, 증폭기(A_1)의 출력은 V_{REF} 에 있게 될 것이다. 선택된 V_{REF} 전압은 스위치(S_{1a})에 있는 PMOS와 NMOS 트랜지스터의 크기에 달려있

다. 만약 스위치(S_{1a})에 있는 PMOS와 NMOS 트랜지스터가 같은 크기라면, 양 트랜지스터에서 전하(전자와 채결합하는 정공)는 만약 다음의 조건이라면 서로 상쇄될 것이다:

<93> $V_{REF} = (V_{1d} + V_{ss})/2$

<94> 증폭기(A_1)의 회로 구현의 예가 도 14에 도시되어 있다. 증폭기(A_1)는 서로 다른 방식으로 연결된 두 개의 PMOS 트랜지스터(21, 22)를 포함한다. 트랜지스터(21)는 증폭기(A_1)의 변환된 (-)입력을 형성하는 게이트를 갖고, 반면에 트랜지스터(22)의 게이트는 증폭기(A_1)의 비-변환된 (+)입력을 형성한다. 트랜지스터(21, 22)의 소스는 V_{dd} 에 연결된 전류싱크로부터 공급된다. 트랜지스터(21, 22)의 드레인은 각 NMOS 트랜지스터(24, 25)를 통해 V_{ss} 에 연결된다. V_{ss} 와 V_{ss1} 는 동일한 전압임에 유의한다. 그 후 트랜지스터(24, 25)는 각 NMOS 트랜지스터(27, 28)를 갖는 전류미러구성에 연결된다. 트랜지스터(27)는 V_{1d} 와 V_{ss1} 사이에 트랜지스터(30)와 직렬로 연결된 소스-드레인 경로를 갖고, 트랜지스터(28)는 V_{1d} 와 V_{ss1} 사이 트랜지스터(31)에 직렬로 연결된 소스-드레인 경로를 갖는다. 트랜지스터(28, 31)의 소스-드레인 경로 사이 연결은 증폭기(A_1)의 출력을 형성한다.

<95> 비록 본 발명이 특별하게 이상과 같이 설명되었지만, 이것은 단지 통상의 기술을 가진 자에게 본 발명이 어떻게 제조되고 사용되는가를 가르치기 위한 것이다. 많은 부가적인 변형이 본 발명의 범위에 있게 되고, 그 범위는 아래의 청구범위에 의해 정해진다.

산업상 이용 가능성

<96> 본 발명은 증폭기의 전압 오프셋과 개인 애러가 최소 값으로 나누어진 아날로그 역다중화기를 제공한다. 더욱이 본 발명에 따른 아날로그 역다중화기는 최소 결정 시간을 갖고, 스위치로부터 출력으로의 전하 주입은 최소 오프셋 애러를 발생한다.

도면의 간단한 설명

<42> 본 발명의 상세는 다음의 첨부된 도면과 함께 설명될 것이다.

<43> 도 1은 아날로그 역다중화기의 하나의 종래 구성이다;

<44> 도 2는 도 1의 아날로그 역다중화기에 대한 첫번째 개량을 도시하고 있다;

<45> 도 3은 도 2의 스위치 상태에 대한 등가 회로를 도시하고 있다;

<46> 도 4는 도 1의 아날로그 역다중화기에 대한 두 번째 개량을 도시하고 있다;

<47> 도 5는 도 4의 스위치 상태에 대한 등가회로를 도시하고 있다;

<48> 도 6은 본 발명에 따른 아날로그 역다중화기를 도시하고 있다.

<49> 도 7은 단지 입력 증폭기(A_1)와 출력 증폭기(AMP_1) 사이만 연결된 도 6의 아날로그 역다중화기를 도시하고 있다;

<50> 도 8은 도 7의 스위치 상태에 대한 등가회로를 도시하고 있다;

<51> 도 9는 스위치들(S_{40} , S_{50})이 열려 있는 도 7에 대한 등가회로를 도시하고 있다;

<52> 도 10은 도 9의 S_{40} , S_{50} 가 열려 있고 부가적으로 스위치(S_{30} , S_{35})가 열려 있는 도 7에 대한 등가회로를 도시하고 있다;

<53> 도 11은 스위치(S_{30} , S_{40} , S_{50})가 열려 있고, 스위치(S_{2a} , S_{1a})가 닫혀 있는 도 7에 대한 등가회로를 도시하고 있다;

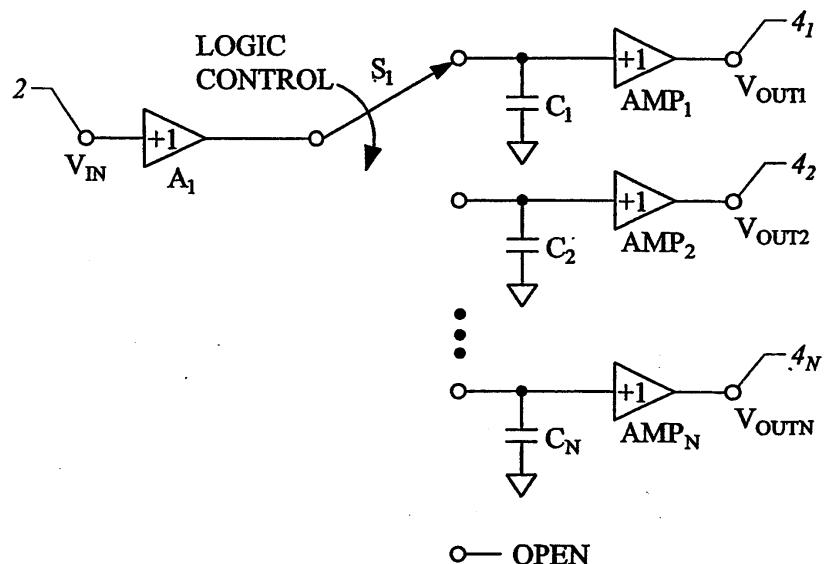
<54> 도 12는 스위치(S_{30} , S_{40} , S_{50})가 열려 있고, 스위치(S_{2a})가 닫혀 있고, 스위치(S_{1a})가 다시 열려 있는 것에 대한 등가회로를 도시하고 있다.

<55> 도 13은 스위치(S_{1a})를 만드는데 사용되는 트랜지스터와, 전압이 전하 주입으로 인한 어떠한 오프셋이라도 감소시키기 위해 인가된 것을 도시하고 있다;

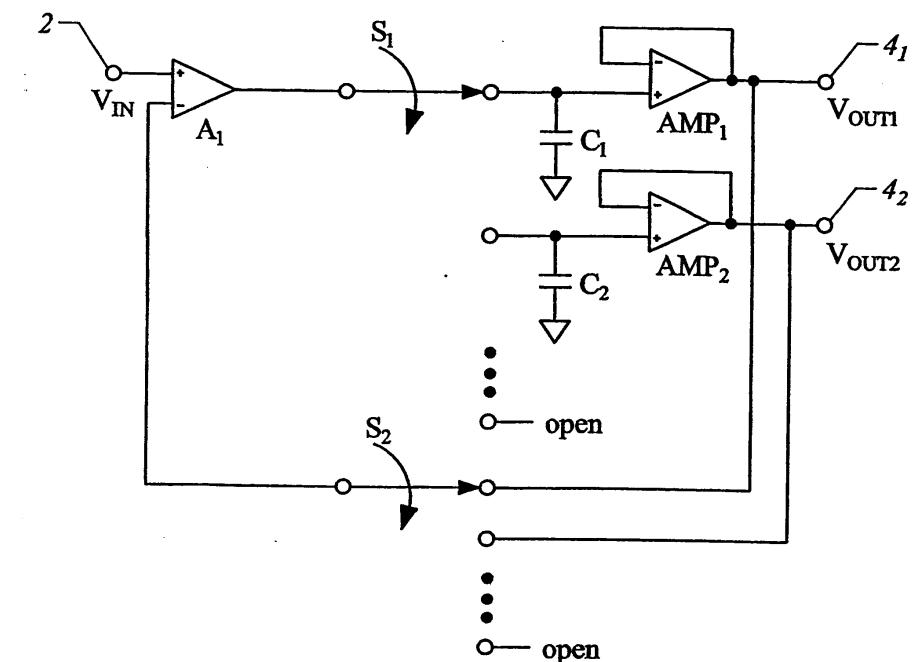
<56> 도 14는 입력 증폭기(A_1)의 실시예를 위한 구성요소를 도시하고 있다.

도면1

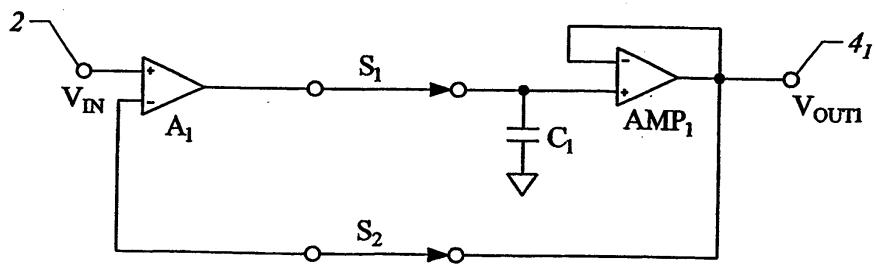
도면1



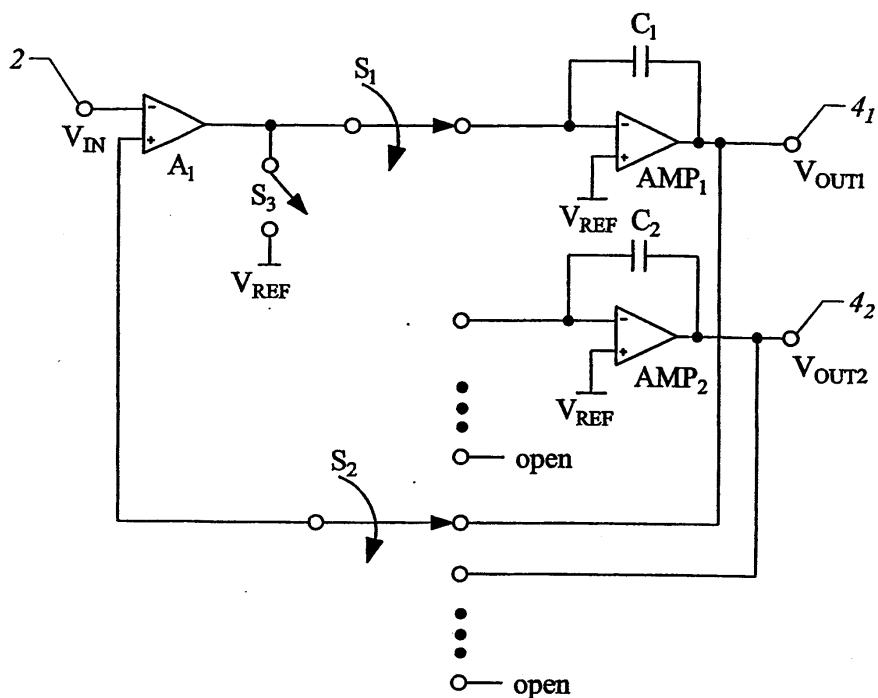
도면2



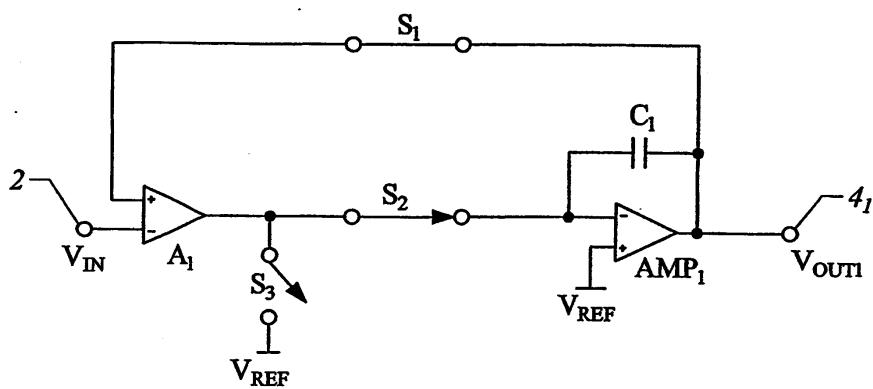
도면3



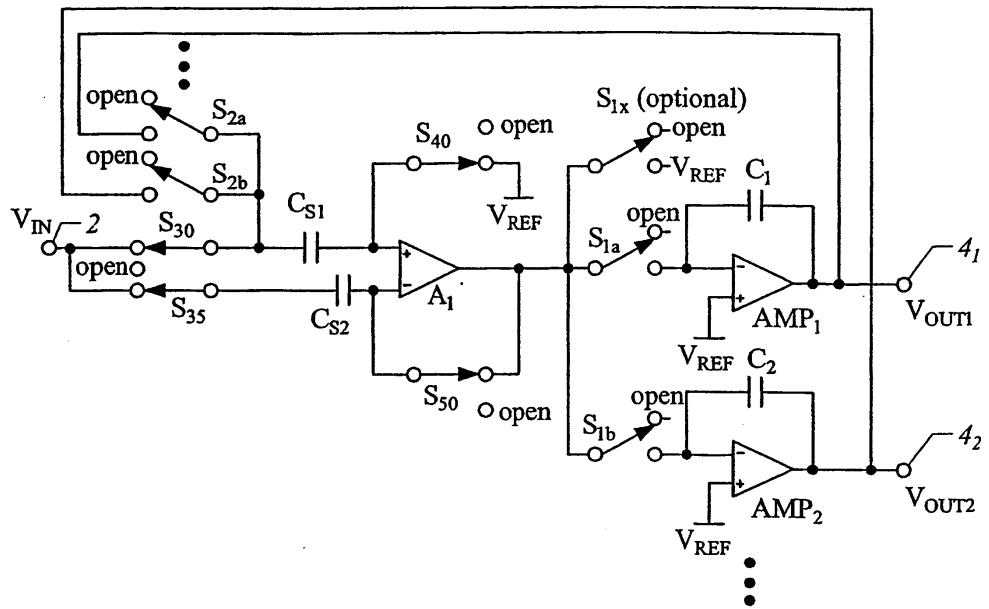
도면4



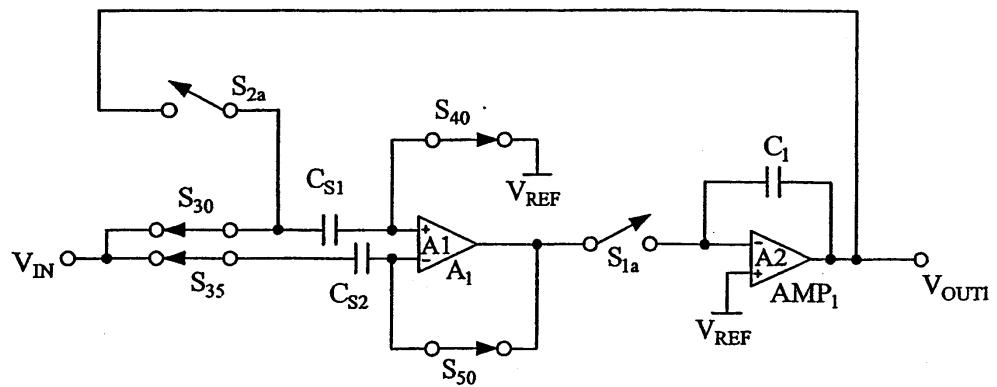
도면5



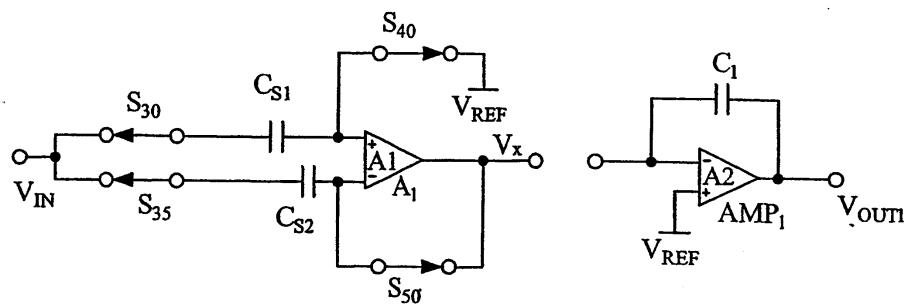
도면6



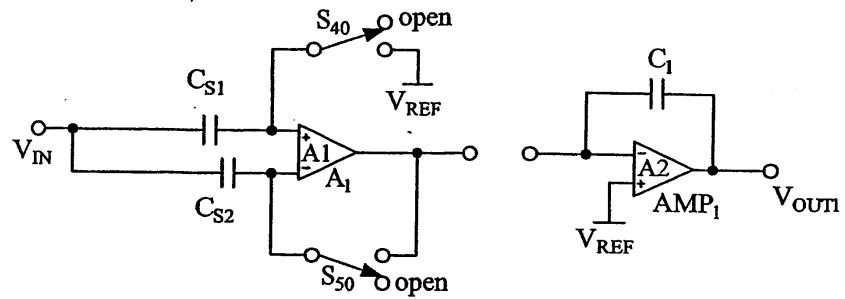
도면7



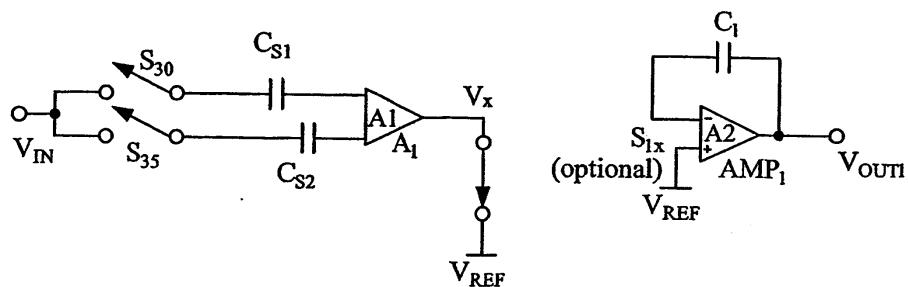
도면8



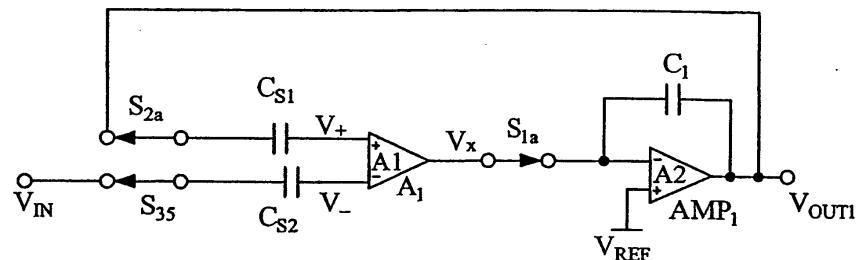
도면9



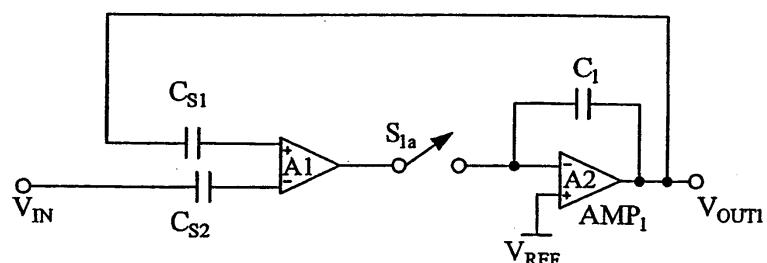
도면10



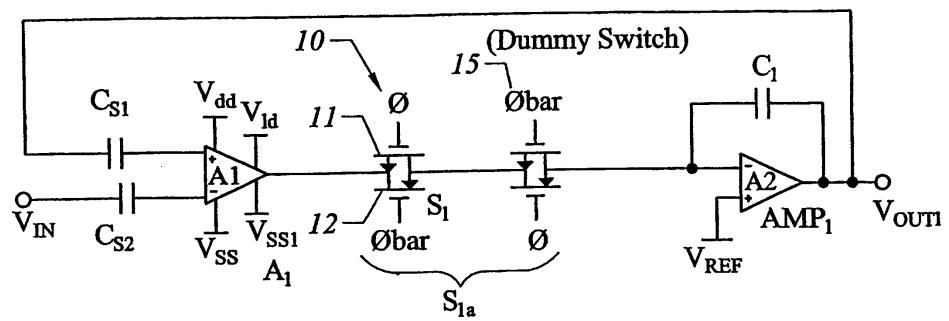
도면11



도면12



도면13



도면14

