

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020年10月15日(15.10.2020)



(10) 国际公布号
WO 2020/206959 A1

- (51) 国际专利分类号:
H01L 29/775 (2006.01)
- (21) 国际申请号: PCT/CN2019/109382
- (22) 国际申请日: 2019年9月30日(30.09.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201910291624.6 2019年4月12日(12.04.2019) CN
- (71) 申请人: 广东致能科技有限公司(GUANGDONG ZHINENG TECHNOLOGIES, CO. LTD.) [CN/CN]; 中国广东省广州市黄埔区长岭路30号19栋139房, Guangdong 510530 (CN)。
- (72) 发明人: 黎子兰(LI, Zilan); 中国广东省广州市黄埔区长岭路30号19栋139房, Guangdong 510530 (CN)。
- (74) 代理人: 北京天驰君泰律师事务所(TIANTAI LAW FIRM); 中国北京市朝阳区北辰东路8号汇宾大厦6层, Beijing 100101 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: HIGH HOLE MOBILITY TRANSISTOR (HHMT) AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种高空穴迁移率晶体管(HHMT)及其制造方法

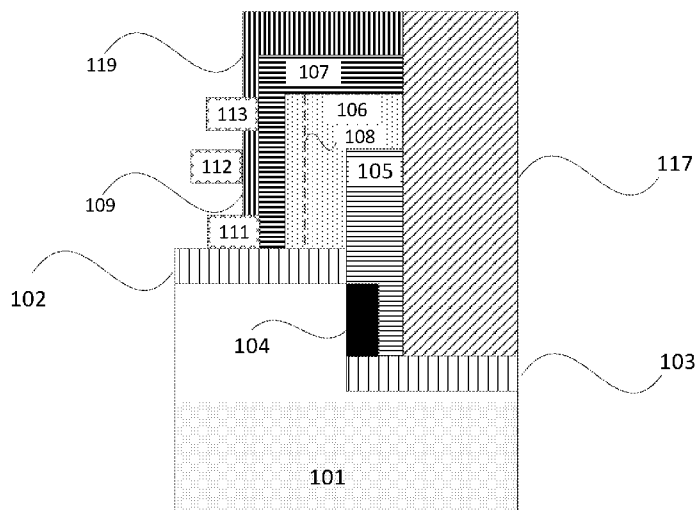


图1

(57) Abstract: A high hole mobility transistor (HHMT 100), comprising: a vertical interface (121); a channel layer (106) provided outside the vertical interface (121); a channel providing layer (107) provided outside the channel layer (106), vertical two-dimensional hole gas 2DHG being formed in the channel layer (106) adjacent to an interface between the channel layer (106) and the channel providing layer (107); a first electrode (111) configured to be electrically connected to the vertical two-dimensional hole gas 2DHG; a second electrode (113) configured to be electrically connected to the vertical two-dimensional hole gas 2DHG; and a gate electrode (112) provided outside the channel providing layer (107). Also involved is a method for manufacturing the high hole mobility transistor (HHMT 100), comprising: forming a vertical interface (121); forming a channel layer (106) outside the vertical interface (121); forming a channel providing layer (107) outside the channel layer (106), wherein vertical two-dimensional hole gas 2DHG is formed in the channel layer (106) adjacent to an interface between the channel layer (106) and the channel providing layer (107); and forming a first



WO 2020/206959 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

electrode (111) and a second electrode (113) in electric contact with the two-dimensional hole gas 2DHG, as well as a gate electrode (113) in contact with a Schottky diode.

(57) 摘要: 一种高空穴迁移率晶体管(HHMT 100), 包括: 垂直界面(121); 沟道层(106), 其设置在垂直界面(121)之外; 沟道提供层(107), 其设置在沟道层(106)之外, 沟道层(106)中邻近沟道层(106)与沟道提供层(107)的界面形成垂直的二维空穴气2DHG; 第一电极(111), 其经配置能够与垂直的二维空穴气2DHG电连接; 第二电极(113), 其经配置能够与垂直的二维空穴气2DHG电连接; 以及栅电极(112), 其设置在沟道提供层(107)之外。还涉及一种高空穴迁移率晶体管(HHMT100)的制造方法, 包括: 形成垂直界面(121); 在垂直界面(121)之外形成沟道层(106); 在沟道层(106)之外形成沟道提供层(107), 其中沟道层(106)中邻近沟道层(106)与沟道提供层(107)的界面形成垂直的二维空穴气2DHG; 以及形成与二维空穴气2DHG电接触的第一电极(111)和第二电极(113)以及肖特基接触的栅电极(113)。

一种高空穴迁移率晶体管(HHMT)及其制造方法

技术领域

5 本发明涉及半导体技术领域，特别涉及一种高空穴迁移率晶体管(HHMT)及其制造方法。

背景技术

10 III族氮化物半导体是重要的半导体材料，主要包括 AlN、GaN、InN 及这些材料的化合物如 AlGa_nN、InGa_nN、AlInGa_nN 等。由于具有直接带隙、宽禁带、高击穿电场强度等优点，以 GaN 为代表的 III 族氮化物半导体在发光器件、电力电子、射频器件等领域具有广阔的应用前景。

15 与传统的 Si 等非极性半导体材料不同，III 族氮化物半导体具有极性，即是极性半导体材料。极性半导体具有许多独特的特性。尤为重要，在极性半导体的表面或两种不同的极性半导体界面处存在固定极化电荷。这些固定极化电荷的存在可吸引可移动的电子或空穴载流子，从而形成二维电子气 2DEG 或二维空穴气 2DHG。这些二维电子气 2DEG 或二维空穴气 2DHG 的产生不需要附加电场，也不依赖于半导体内的掺杂效应，是自发产生的。极性半导体界面处的二维电子气或二维空穴气可以具有较高的面电荷密度。同时，由于不需要
20 掺杂，二维电子气或二维空穴气受到的离子散射等作用也大大减少，因此具有较高的迁移率。较高的面电荷密度和迁移率使得这种界面处自发产生的二维电子或空穴气体具有良好的导通能力和很高的响应速度。

25 结合氮化物半导体本身固有的高击穿电场强度等优点，这种二维电子气或二维空穴气可被用于制作高空穴迁移率晶体管，在高能量、高电压或高频率的应用中性能显著优于传统的 Si 或 GaAs 器件。现有技术中，高电子迁移率晶体

管有了较多发展，而高空穴迁移率晶体管却发展比较缓慢。

发明内容

5 本发明提出一种高空穴迁移率晶体管(HHMT)，包括：垂直界面；沟道层，其设置在垂直界面之外；沟道提供层，其至少部分覆盖沟道层的第一侧面，其中，沟道层中邻近沟道层与沟道提供层的第一侧面形成垂直的二维空穴气 2DHG；第一电极，其经配置能够与二维空穴气 2DHG 电连接；第二电极，其经配置能够与二维空穴气 2DHG 电连接；以及栅电极，其设置在沟道提供层之外。

10 如上所述的高空穴迁移率晶体管，其中第一侧面为 III 族氮化物半导体的 (000-1) 面，其中 III 族氮化物半导体为 GaN。

如上所述的高空穴迁移率晶体管，其中垂直界面是 Si (111) 面、蓝宝石 Al₂O₃ 的(0001)面、SiC 的(0001) 或 (000-1) 面、或者 GaN 本征衬底的 (0001) 面。

15 如上所述的高空穴迁移率晶体管，其中第一电极或第二电极与沟道提供层之间形成欧姆接触。

如上所述的高空穴迁移率晶体管，其中第一电极、第二电极和栅电极位于二维空穴气 2DHG 的同侧。

20 如上所述的高空穴迁移率晶体管，其中第一电极和第二电极和栅电极的水平高度相同或者竖直位置相同。

如上所述的高空穴迁移率晶体管，其中第一电极和第二电极与栅电极分别位于二维空穴气 2DHG 的两侧。

如上所述的高空穴迁移率晶体管，其中第一电极在沟道层下方延伸。

如上所述的高空穴迁移率晶体管，其中第一电极为漏极。

25 如上所述的高空穴迁移率晶体管，其中第二电极在沟道层上方延伸。

如上所述的高空穴迁移率晶体管，其中第二电极为源极。

如上所述的高空穴迁移率晶体管，进一步包括垂直界面上的成核层。

如上所述的高空穴迁移率晶体管，进一步包括在成核层与沟道层之间的缓冲层。

5 如上所述的高空穴迁移率晶体管，进一步包括在沟道层远离二维空穴气 2DHG 的第二侧形成的屏蔽层。

如上所述的高空穴迁移率晶体管，进一步包括沟道层和沟道提供层下方延伸的绝缘层。

10 如上所述的高空穴迁移率晶体管，进一步包括沟道提供层与栅电极之间的栅绝缘层。

根据本发明的另一个方面，提出一种高空穴迁移率晶体管（HHMT），包括：鳍柱（Fin Column），其至少一侧包括垂直延伸的沟道层和沟道提供层，其中沟道层中邻近沟道层与沟道提供层的界面形成垂直的二维空穴气 2DHG；第一电极，其与鳍柱欧姆接触，并且与 2DHG 电连接；第二电极，其与鳍柱
15 欧姆接触，并且与 2DHG 电连接；第三电极，其设置在鳍柱上。

如上所述的高空穴迁移率晶体管，其中第一电极或第二电极为源极或漏极；第三电极为栅极。

如上所述的高空穴迁移率晶体管，进一步包括沟道提供层与栅电极之间的栅绝缘层。

20 如上所述的高空穴迁移率晶体管，其中第一电极、第二电极和第三电极位于鳍柱的侧面。

如上所述的高空穴迁移率晶体管，其中第一电极位于鳍柱的顶部。

如上所述的高空穴迁移率晶体管，其中第二电极位于鳍柱的底部。

25 如上所述的高空穴迁移率晶体管，其中第二电极的面积大于鳍柱底面的面积。

根据本发明的另一个方面，提出一种高空穴迁移率晶体管（HHMT）的制造方法，包括：形成垂直界面；在垂直界面之外形成沟道层；形成至少部分覆盖沟道层的第一侧面的沟道提供层，其中，第一侧面为 III 族氮化物半导体的（000-1）面，沟道层中邻近沟道层与沟道提供层的界面形成垂直的二维空穴气 2DHG；以及形成与二维空穴气 2DHG 电接触的第一电极和第二电极以及沟道提供层外的栅电极。

如上所述的方法，其中 III 族氮化物半导体为 GaN。

如上其中垂直界面形成于衬底上。

如上所述的方法，其中沟道提供层与栅电极之间包括栅绝缘层。

10 如上所述的方法，其中，在形成第一电极或第二接触欧姆电极之前，包括横向蚀刻沟道提供层或横向蚀刻沟道提供层和部分沟道层。

如上所述的方法，进一步包括在垂直界面上形成成核层，其中，形成成核层的过程中通入含氯气体。

15 如上所述的方法，进一步包括：形成与二维空穴气 2DHG 电接触第二电极以及栅电极；去除部分或全部衬底；以及在沟道层和沟道提供层下方形成第一电极。

本发明提供一种高空穴迁移率晶体管（HHMT）及其制造方法，为 HHMT 的应用提供了新的基础。

20 附图说明

图 1 为本发明实施例高空穴迁移率晶体管结构示意图；

图 2A-图 2Q 为本发明一个实施例高空穴迁移率晶体管的制造方法流程图；

图 3 为本发明一个实施例 Si 衬底高空穴迁移率晶体管结构示意图；

图 4 是本发明一个实施例非 Si 衬底高空穴迁移率晶体管结构示意图；

25 图 5A 为本发明一个实施例的电极垂直排布非 Si 衬底高空穴迁移率晶体管

俯视图；

图 5B 为本发明一个实施例一种电极垂直排布立体结构示意图；

图 6A 为本发明一个实施例的电极水平排布或斜向排布非 Si 衬底高空穴迁移率晶体管俯视图；

5 图 6B 电极水平排布立体结构示意图；

图 7A 为根据本发明一个实施例无二维电子气高空穴迁移率晶体管结构示意图；

图 7B 为根据本发明一个实施例无二维电子气高空穴迁移率晶体管结构示意图；

10 图 7C 为根据本发明一个实施例无二维电子气高空穴迁移率晶体管结构示意图；

图 7D 为根据本发明一个实施例无二维电子气高空穴迁移率晶体管结构示意图；

15 图 8 为本发明一个实施例 HHMT 的结构示意图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，
20 所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

在以下的详细描述中，可以参看作为本申请一部分用来说明本申请的特定实施例的各个说明书附图。在附图中，相似的附图标记在不同图式中描述大体
25 上类似的组件。本申请的各个特定实施例在以下进行了足够详细的描述，使得具备本领域相关知识和技术的普通技术人员能够实施本申请的技术方案。应当

理解，还可以利用其它实施例或者对本申请的实施例进行结构、逻辑或者电性的改变。

本发明提出了一种具有垂直沟道结构的高空穴迁移率晶体管。图 1 是根据本发明一个实施例的高空穴迁移率晶体管结构示意图。如图所示，高空穴迁移率晶体管 HHMT 100 包括衬底 101。衬底 101 具有高度不同的两个区域 120 和 130，形成台阶状的结构。由此，在两个区域 120 和 130 中间形成了垂直界面 121。

在衬底 101 上形成垂直界面 121 更利于制程工艺的设计，是一种较佳的实施例。然而本发明的方案并不仅限于此。在一些实施例中，垂直界面 121 也可以不形成于衬底 101 上。例如，可以通过在衬底上以垂直取向生长晶体或者蚀刻衬底上的已有结构而形成垂直界面 121。

垂直界面的晶格具有六角对称性。例如，垂直界面是 Si (111) 面、蓝宝石 Al_2O_3 的(0001)面、SiC 的(0001) 或(000-1)面、或者 GaN 本征衬底的(0001)面。进一步地，当垂直界面形成于衬底上时，衬底可以是对应的 Si 衬底、蓝宝石 Al_2O_3 衬底、SiC 衬底、或者 GaN 本征衬底。

HHMT100 进一步包括垂直界面 121 之外的沟道层 106 和沟道提供层 107。沟道层 106 更靠近垂直界面 121。在一些实施例中，沟道层 106 的高度高于垂直界面 121 的高度。沟道提供层 107 生长在沟道层 106 之外。在沟道层 106 内，邻近沟道提供层 107 的界面上形成二维空穴气 2DHG 108。在一些实施例中，沟道提供层 107 形成在沟道层 106 特定的第一侧面上，以获得 2DHG 108。

非限定性地描述，沟道层 106 和沟道提供层 107 为具有极性的晶体。在二者的界面上形成异质结：晶格结构的突变引起极化电荷的积累。如果极化电荷为正，那么自由电子将倾向于补偿这些极化电荷。如果界面良好，则在临近界面的之处形成二维电子气 2DEG。同样地，如果极化电荷为负，那么在临界界面的之处就会形成二维空穴气 2DHG。非限定性地描述，在异质结的互补异质

界面上极化电荷极性相反。以 GaN 为例，GaN 的 (0001) 面与 AlGaIn 形成的异质结界面就会形成 2DEG；而 GaN 的 (000-1) 面与 AlGaIn 形成的异质结界面就会形成 2DHG。

5 在一些实施例中，第一侧面可以是 GaN 的 (000-1) 面。当然，GaN 以外其他能够形成异质结的晶体也可能应用于本发明之中，包括但不限于 Ga/GaAs, InGaP/GaAs 等。

10 在一些实施例中，HHMT100 还包括成核层 104。成核层 104 生长在垂直界面 121 上。例如，成核层 104 可以为 AlN。在一些实施例中，HHMT100 还包括缓冲层 105。缓冲层 105 生长在成核层 104 上。例如，缓冲层 105 可以具有单层或多层结构，包括 AlN、GaN、AlGaIn、InGaIn、AlInN 和 AlGaInN 中一种或多种。沟道层 106 生在成核层 104 或者缓冲层 105 之上。

HHMT100 包括第一电极 111、第二电极 113 和第三电极 112。在一些实施例中，第一电极 111 和第二电极 113 与沟道提供层形成欧姆接触，从而与 2DHG 108 电接触。

15 在一些实施例中，第一电极 111 作为漏极，提供在沟道层 106 或沟道提供层 107 上靠近衬底 101 的一侧。第二电极 113 作为源极，提供在沟道层 106 或沟道提供层 107 上远离衬底 101 一侧。通常情况下，作为漏极的第一电极 111 接入的高电压，作为源极的第二电极 113 远离第一电极 111，以有利于提高耐压，减少损耗。

20 第三电极 112 作为栅极，提供在沟道提供层 107 之外。第三电极 112，也被称作栅电极，其控制在第一电极 111 与第二电极 113 之间的通道区域中的电流强度。在一些实施例中，第三电极 112 与沟道提供层 107 形成肖特基接触。在一些实施例中，沟道提供层 107 之外还包括其他层，例如：帽层、栅绝缘层等。第三电极与帽层或栅绝缘层接触而不与沟道提供层 107 直接接触。第三电
25 极 112 电压可控制沟道层-沟道提供层形成的异质结势阱的深度，控制势阱中

2DHG 的面电荷密度，进而控制 HHMT 100 中第一电极 111 和第二电极 113 之间的工作电流。

优选地，第三电极 112 位于第一电极 111 和第二电极 113 之间，更靠近第二电极 113。在作为漏极的第一电极 111 接入的高电压情况下，这样的设置增大了漏极和栅极之间的距离，能有效提升高空穴迁移率晶体管的耐压性。

图 1 示出了 HHMT 100 三个电极的一种布置方式。第一电极 111 位于下方；第三电极 112 位于第一电极 111 上方；而第二电极 113 位于第三电极 112 上方，即具有相同的竖直位置。衬底 101 上方仅能观察到第三电极 112。这样，能够最大限度地减少芯片面积，提高集成度。在一些实施例中，第一电极 111、第二电极 113 和第三电极 112 横向布置而具有相同的水平高度。这样的设置有利于引线的连接。第一电极 111 或第二电极 113 都可以成为源极或者漏极。

如图 1 所示，第一电极 111 和第二电极 113 位于沟道层 106 之外。在一些实施例中，第一电极 111 和第二电极 113 也可以分别在沟道层 106 的上方或者下方两侧延伸。

在一些实施例中，衬底 101 与沟道层 106 和沟道提供层 107 之间包括第一隔离层 102。隔离层 102 水平横向延伸，其材料可以为 SiO_2 等绝缘材料。隔离层 102 将 HHMT 100 与衬底 101 隔离，能够避免衬底 101 对于器件性能产生影响，使得器件提高耐压和减小暗电流的能力都有明显提升。

在一些实施例中，衬底 101 与除衬底 101 外其他结构之间包括第二隔离层 103。第二隔离层 103 水平横向延伸，其材料可以为 SiO_2 等绝缘材料。第二隔离层 103 将 HHMT 100 与衬底 101 隔离，能够避免衬底 101 对于器件性能产生影响，使得器件提高耐压和减小暗电流的能力都有明显提升。

在一些实施例，沟道层 106 远离 2DHG 108 的第二侧包括屏蔽层 117。沟道层 106 的第一侧和第二侧为相对的两侧，其中第一侧与 2DHG 108 接近。屏蔽层 117 的存在使得沟道层 106 的这一侧并不会形成二维空穴气 2DHG。在一

些实施例中，屏蔽层 117 占据沟道层 106 远离 2DHG 一侧的第一电极 111 与第二电极 113 对应位置之间的大部分或者绝大部分区域，从而在水平方向上将衬底 101 与沟道层 106 隔离。这样能够进一步避免衬底 101 对于器件性能产生影响。

5 在一些实施例中，屏蔽层 117 可以包围或者部分包围沟道层 106 和沟道提供层 107。例如，屏蔽层 117 可以延伸到沟道层 106 和沟道提供层 107 的上方。或者，再进一步，屏蔽层 117 可以包覆沟道层 106 和沟道提供层 107。这样，从而将 HHMT100 进一步隔离，减少周围其他材料的影响。在一些实施例中，屏蔽层 117 的材料可以为 SiO_2 等绝缘材料。屏蔽层 117 将 HHMT 100 隔离或
10 部分隔离，对于提高器件的耐压和减小暗电流都有明显帮助。

在一些实施例，在沟道提供层 107 和第三电极 112 之间可以包括栅绝缘层 109。栅绝缘层 109 将第三电极 112 和沟道提供层 107 隔离开，这样可以大幅降低第三电极 112 和第一电极 111 之间的漏电流。同时栅绝缘层 109 还能钝化沟道提供层 107 表面，可以进一步提升高空穴迁移率晶体管工作更稳定性。

15 在一些实施例中，在沟道提供层 107 和第三电极 112 之间可以包括帽层（例如 AlGaN 或 GaN）。在一些实施例，在沟道提供层 107 上可以包括钝化层 119。例如，钝化层 119 可以占据第一电极 111 和第二电极 113 之间覆盖沟道提供层的部分以及覆盖栅电极 112 的部分，从而对内部的沟道层 106 以及沟道提供层 107 提供保护。在一些实施例中，钝化层 119 的材料可以为 SiN、 SiO_2 等绝缘
20 材料。帽层和钝化层对于减小漏极电流崩塌，维持极化特性产生的 2DHG 有帮助。同时，也能减小栅极泄漏电流，防止沟道提供层 107 在生长完后的降温过程中发生开裂，增强源、漏极欧姆接触和击穿电压。

根据本发明一个实施例，衬底 101 的材料可以是 Si、SiC、本征 GaN 或蓝宝石 Al_2O_3 。在一些实施例中，选择相较其他材料成本较低，工艺更为成熟的
25 Si 衬底。衬底中的 Si 会与沟道层 106 中的 GaN 发生回熔效应，影响沟道层 106

的生长。因此，引入成核层 104，其材料可以是 AlN，覆盖 Si 衬底 101 的垂直界面 121，以避免 Si 衬底 101 中的 Si 与沟道层 106 中的 GaN 直接接触。当衬底为非 Si 材料时，成核层 104 也可以存着但不是必需的。

5 在一些实施例中，当衬底 101 为非本征 GaN 衬底时，优选地引入缓冲层 105 以减少晶格差异带来的影响。缓冲层 105 可以是 AlN、GaN、AlGa_nN、InGa_nN、AlInN 和 AlGaInN 中一种或多种，可以减小衬底 101 与沟道层 106 之间的晶格常数和热膨胀系数等差异带来的影响，有效避免氮化物外延层出现龟裂等情况。缓冲层 105 也是 HHMT100 的可选择的结构。

10 根据本发明一个实施例，沟道层 106 的材料可以是 GaN。根据本发明一个实施例，沟道提供层 107 的材料可以是 AlGa_nN。如本领域技术人员所了解的，例如背景技术中提及的，沟道层 106 和沟道提供层 107 还可以是其他材料。这里不再赘述。

15 由于自发极化和压电极化效应的存在，沟道层 106 与沟道提供层 107 界面处有很强的极化电荷。这些极化电荷的存在，会吸引并导致界面处 2DHG。在一些实施例中，垂直界面 121 为 Si 衬底的 (111) 面、GaN 的 (0001) 面等，沟道层为 GaN，沟道提供层 107 仅形成于沟道层 106 左侧，即 GaN 的 (000-1) 面，形成只包含 2DHG 108 的 HHMT 100。比如，垂直界面 121 为 Si 衬底的 (111) 面、GaN 的 (0001) 面等，沟道提供层 107 形成于沟道层 106 左右两侧，左侧可以形成 2DHG 的高空穴迁移率晶体管或其他结构，右侧可以形成 2DEG 的高
20 电子迁移率晶体管或其他结构。如本领域技术人员所了解的，这些变化都在本发明的范围之内。

25 在一些实施例中，更有利地实施仅包括 2DHG 的高空穴迁移率晶体管。例如，图 1 所示的结构中，去除 2DEG 能够避免 2DEG 对各个电极的电势变化做出响应，从而不会增加寄生电容和漏电通道，也不会增大高空穴迁移率晶体管的漏电流。因此，图 1 所述结构的 HHMT 100 工作稳定性更佳。在一些实施例

中,为了实现这种结构,可以使衬底 101 和屏蔽层 103 形成的台阶结构足够高,再生长成核层 104、缓冲层 105、沟道层 106、沟道提供层 107 等结构。

5 在一些实施例中,隔离层 102、第二隔离层 103、屏蔽层 117、栅绝缘层 109 和外绝缘层 119 的材料可以是由至少一种绝缘材料诸如硅氧化物、硅氮氧化物或硅氮化物形成,并也可以具有单层或者多层结构。

如本发明的一些实施例中所示的,包括形成在垂直方向上 2DHG 的高空穴迁移率晶体管具有许多优良的特性。首先,高空穴迁移率晶体管的耐压能力大大提高。即使采用成本更低工艺更为成熟的 Si 衬底,高空穴迁移率晶体管的耐压能力也与本征 GaN 衬底上的高空穴迁移率晶体管接近。其次,本发
10 明的垂直沟道器件与衬底的接触面积相对较小,受衬底的影响也相对较少,比较容易克服传统的平面器件容易出现外延层龟裂等问题。进一步地,通过提升垂直沟道的排布密度,可以增加器件的导电面积,能够更为充分地利用衬底的面积。

如本领域技术人员所知,以上的描述仅仅是示例性的说明高空穴迁移率晶
15 体管的结构。高空穴迁移率晶体管还存在着多种其他的结构或者在这些结构上的改进、变更、或者变型,以提供不同的特性或者功能。这些结构及其改进、变更或变型在本发明的技术构思之下,也可以应用于本发明的方案中。

本发明还提出一种高空穴迁移率晶体管的制造方法。图 2A-图 2Q 为根据
20 本发明一个实施例的高空穴迁移率晶体管的制造方法流程图。在本实施例中,以 Si 衬底上所制作器件为例。如本领域技术人员所理解,其他衬底如本征 GaN、 Al_2O_3 (蓝宝石)、SiC 等,也可以实现类似结构。

如图所示,HHMT 的制造方法 200 包括:在步骤 210,在衬底 201 上形成垂直界面 221,如图 2A 所示。由此,衬底 201 上形成高低不同的第一区域 215 和第二区域 217。垂直界面 221 在第一区域 215 与第二区域 217 之间。

25 在步骤 220,在衬底上生长保护层,覆盖垂直表面 221,如图 2B 所示。在

一些实施例中，在衬底 201 上使用 LPCVD 等技术生长 SiN，覆盖衬底 201。然后通过具有垂直取向的刻蚀技术，仅保留在垂直界面 221 的 SiN 形成的保护层 231。保护层 231 覆盖衬底垂直界面 221。

在步骤 230，在衬底 201 上方形成第二隔离层 202 和隔离层 203，如图 2C 所示。在衬底上覆盖有第二隔离层 202 和隔离层 203。在一些实施例中，可以通过氧化技术生长 SiO₂，从而在衬底上 201 形成绝缘层。由于衬底 201 的垂直界面 221 上覆盖有保护层 231，衬底 201 的垂直界面 221 上基本没有第二隔离层 202 和隔离层 203 生长。本领域技术人员应当理解，其他形成第二隔离层和隔离层的方法也可以应用于此。

在步骤 240，去除保护层，如图 2D 所示。在一些实施例中，通过选择性蚀刻技术，去除垂直界面 221 上 SiN，使得衬底 201 的垂直界面 221 曝露，但同时保留了衬底 201 上的第二隔离层 202 和隔离层 203。

本领域技术人员应当理解，还存在其他技术以在衬底上形成第二隔离层和隔离层，但同时曝露衬底的垂直界面。例如，可以在水平衬底上生长绝缘层。然后，绝缘层的一部分覆盖掩膜，通过光刻蚀刻绝缘层和衬底，使衬底形成第一区域 215 和第二区域 217，其中第一区域 215 覆盖有绝缘层，第二区域 217 和垂直界面 221 曝露。再在所有暴露的表面上形成保护层。再以各向异性的蚀刻方式蚀刻第二区域 217 上的保护层并保留垂直界面 221 上的保护层。之后在第二区域 217 上表面形成绝缘层，然后再选择性的蚀刻保护层。这样可以在第一区域 215 和第二区域 217 上覆盖绝缘层的同时使得垂直界面 221 曝露。

在步骤 250，在衬底 201 曝露的垂直表面 221 上形成成核层 204，如图 2E 所示。对于 Si 衬底，由于 Ga 原子的回熔(melt-back)效应，采用 AlN 成核层 204。如本领域技术人员所知，GaN 可以直接在 Al₂O₃（蓝宝石）、SiC 或本征 GaN 上成核生长，但是晶体质量控制较难。因此，在一般工艺过程中都会引入成核层 204。在某些情况下，可以不必包括步骤 205 以引入例如低温 GaN 或者 AlN

的成核层 204。

AIN 选区生长能力较弱，所以在第二隔离层 202 和隔离层 203 上也可能会有一定的生长，这对半导体器件有不利的影
5 响。在一些实施例中，可以在生长 AIN 后取出晶圆，通过具有各项异性的蚀刻，仅保留垂直面上的 AIN 成核层而把其他地方的 AIN 去除，例如，利用垂直向下离子轰击的干法蚀刻。由于垂直表面上的 AIN 受到的离子轰击较弱而其他面上的 AIN 受到的轰击较强，这样就可以实现仅保留垂直面上的 AIN 的目标。

在一些实施例中，想要去除第二隔离层 202 和隔离层 203 上的 AIN 还可以在形成成核层的过程中通入腐蚀性气体，例如：氯气或含氯气体。由于第二隔
10 离层 202 和隔离层 203 是非晶或多晶结构，在氯气氛下，AIN 在第二隔离层 202 和隔离层 203 上更难成核。另外，即使在第二隔离层 202 和隔离层 203 出现了 AIN 附着，由于附着在第二隔离层 202 和隔离层 203 上的 AIN 同样为非晶或多晶结构，氯气对其具有较强的腐蚀性，附着的 AIN 会被氯气蚀刻掉。而成核层部分的 AIN 是单晶结构，氯气对其的腐蚀很弱，成核层部分的 AIN 能在氯气
15 氛下较好的生长。因此，这种方法同样能实现成核层的选区生长。

在步骤 260，在成核层上形成缓冲层，如图 2F 所示。在成核层 204 上通过外延生长形成缓冲层 205。如前所述，在本发明的半导体器件的结构中，缓冲层并不是必需的。在本质上看，缓冲层和沟道层的性质非常接近，甚至可以
20 是同一种材料。或者说，基本的结构是沟道层/沟道提供层，而在沟道层和成核层之间可以有缓冲层。

在步骤 270，在衬底上方形成屏蔽层，如图 2G 所示。通过薄膜沉积技术生长 SiO₂，在已形成的结构上整体覆盖绝缘层。然后，通过选择性刻蚀的方式，去除部分绝缘层，仅保留垂直界面右侧的部分，形成屏蔽层 217。在一些实施例中，保留的屏蔽层 217 的高度高于缓冲层 205 的高度。

25 由于垂直界面具有六角对称性，如果直接生长沟道层和沟道提供层会使器

件内既包含 2DHG 又包含 2DEG。在衬底上方某一侧形成屏蔽层，能有效避免器件中不需要的 2DEG 或 2DHG 的形成。在一些实施例中，还包括其他形成屏蔽层的方式，例如：在去除保护层之前，先在垂直界面的一侧形成屏蔽层，再去除保护层露出衬底垂直界面，然后再形成成核层和缓冲层。

5 在步骤 280，在缓冲层上形成沟道层，如图 2H 所示。在一些实施例中，沟道层 206 的高度低于屏蔽层 217 的高度。例如，在缓冲层 205 上通过外延生长形成沟道层 206。由于沟道层的右侧被屏蔽层阻挡，因此仅有左侧的垂直面曝露出来。在一些实施例中，这个曝露的垂直面即为 GaN 的 (000-1) 面。

在步骤 290，在沟道层上形成沟道提供层，如图 2I 所示。例如，在沟道层
10 206 上通过外延生长形成沟道提供层 207。沟道提供层 207 覆盖沟道层 206 的上表面以及沟道层 206 左侧曝露的垂直面。沟道层 206 的右侧，由于有屏蔽层 217 的阻挡，而不会生长沟道提供层。

从根本上说，最为关键的是形成沟道。沟道是在具有较窄禁带宽度氮化物
15 半导体/较宽禁带宽度氮化物半导体的界面处产生的，位于具有较低禁带宽度的沟道层内并靠近沟道层/沟道提供层的界面处。最为常见的例子是 GaN/AlGaN 界面，即沟道层 206 为 GaN，沟道提供层 207 为 AlGaN。由于沟道层左侧为 GaN (000-1) 面，所以，形成的沟道中的载流子为空穴。空穴主要在沟道内流动，具有较高的迁移率和电荷密度，形成二维空穴气 2DHG。

在步骤 2100，在绝缘层 202 上形成第一电极 211，如图 2J 所示。在一些
20 实施例中，可以蚀刻定义漏区的沟道提供层 207 以及部分沟道层 206，然后在曝露的区域形成第一电极 211。电极沉积方法可以使用，例如：电子束蒸发物理沉积方法或电化学方法。第一电极 211 与沟道层 206 接触，并能够与 2DHG 电连接，形成欧姆接触。在一些实施例中，可以不必进行部分蚀刻。在沟道提供层 207 定义漏区的部分形成第一电极 211。第一电极 211 与沟道提供层 207
25 形成接触，并也能够实现与 2DHG 电连接，形成欧姆接触。

通常来说第一电极材料为金属。在一些实施例中，在第一电极沉积的过程中除了底部会沉积，侧面也会有少量沉积，可以通过各向同性刻蚀去除在侧壁的不需要沉积的金属层。

在步骤 2110，形成钝化层 209，包覆沟道提供层 207 以及第一电极 211，
5 如图 2K 所示。在沟道提供层 207 外可以通过材料沉积的方式在沟道提供层 207 上形成绝缘层 209。例如，通过 CVD 技术生长 SiO_2 。

在步骤 2120，去除栅电极区域位置上方的钝化层 209，如图 2L 所示。在一些实施例中，可以将栅电极区域位置上方的钝化层完全去除，曝露出栅电极区域位置上方的沟道提供层 207。在另一些实施例中，可以选择保留部分钝化
10 层，而不必曝露出沟道提供层 207。在形成栅电极之后，沟道提供层 207 与栅电极之间的钝化层能够成为栅绝缘层。

在步骤 2130，在钝化层 209 上形成第三电极 212，如图 2M 所示。第三电极 212 作为栅极提供在沟道提供层 209 之外。第三电极 212 与栅绝缘层或者沟道提供层 207 形成肖特基接触。第三电极可以使用，例如：电子束蒸发物理沉
15 积方法或电化学方法形成。

通常来说第三电极材料为金属。在一些实施例中，在第三电极沉积的过程中除了底部会沉积，侧面也会有少量沉积，可以通过各向同性腐蚀去除在侧壁的不需要沉积的金属层。

在步骤 2140，形成钝化层 209，包覆第三电极，如图 2N 所示。在一些实
20 施例中，可以通过 CVD 沉积的方式形成钝化层 209，包覆第三电极。例如，通过 CVD 沉积生长 SiO_2 。

在步骤 2150，去掉第一电极区域位置上方的钝化层 209，如图 2O 所示。与步骤 2110 类似，通过选择性蚀刻技术，刻蚀曝露出第一电极区域位置上方的钝化层，但同时保留了沟道提供层外的部分绝缘层。

25 在步骤 2160，在钝化层 209 上形成第二电极 213，如图 2P 所示。与步骤

290 类似，可以部分蚀刻源极对应位置的钝化层 209 和沟道提供层 207 或者部分沟道层 206，在曝露的沟道层 206 之外形成第二电极 213。电极形成方法可以使用，例如：电子束蒸发物理沉积方法或电化学方法。第二电极 213 与沟道提供层 207 接触，并且能够与 2DHG 形成欧姆连接。

5 通常来说第二电极材料为金属。在一些实施例中，在第二电极沉积的过程中除了底部会沉积，侧面也会有少量沉积，可以通过各向同性腐蚀去除在侧壁的不需要沉积的金属层。

在步骤 2170，形成钝化层 209，包覆第二电极 213，如图 2Q 所示。在一些实施例中，可以通过 CVD 沉积的方式形成钝化层 209。例如，通过 CVD 沉积生长 SiO_2 。

10 在一些实施例中，沟道提供层上形成绝缘层时，可以在外延生长完氮化物半导体后在同一生长设备中原位(in-situ)生成，例如原位生长 SiN 绝缘层，也可以在晶片取出后再额外生成。

图 3 为本发明一个实施例高空穴迁移率晶体管 HHMT 结构示意图。在图 3 的实施例中，在沟道层的另一侧还形成了二维电子气 2DEG。如图所示，高空穴迁移率晶体管 300 包括：衬底 301、成核层 304、缓冲层 305、沟道层 306、沟道提供层 307、第二隔离层 302 和隔离层 303 等。在沟道提供层 307 上一侧形成与 2DHG 308 欧姆接触的第一电极 333 和第二电极 330 以及在沟道提供层 307 上的与沟道提供层 307 构成肖特基接触的第三电极 332。与图 1 所示高空穴迁移率晶体管类似的结构在此不再赘述。在图 3 所示的实施例中，在沟道层 306 的左侧形成 HHMT。然而，相较图 1 中的结构，图 3 所示结构制备工艺更加简单。

25 图 4 是根据本发明一个实施例的高空穴迁移率晶体管 HHMT 的结构示意图。在图 4 所示的实施例中，衬底可以采用 GaN 本征衬底。这种结构和制程工艺都相对简单。

如图所示，HHMT 400 包括衬底 401 以及形成于衬底 401 上垂直界面，从而形成台阶状的衬底结构。HHMT 400 包括成沟道层 406 和沟道提供层 407。沟道层 406 长在衬底 401 的垂直界面之外。沟道提供层 407 生在沟道层 406 之外并覆盖沟道层 406。在沟道层 406 内靠近沟道提供层 407 的界面附近形成 2DHG 409 和 2DEG 408。在沟道提供层 407 上形成与 2DHG 欧姆接触的第一电极 411 和第二电极 413，以及在沟道提供层 407 上的与沟道提供层 407 构成肖特基接触的第二电极 412。在其他一些实施例中，衬底材料也可以为 SiC 或蓝宝石 Al_2O_3 。

在图 5A-5B 和图 6A-6B 的实施例中示出了 HHMT 两个电极的不同布置。图 5A 为本发明一个实施例的 HHMT 的俯视图；图 5B 为本发明一个实施例 HHMT 电极设置的立体图。如图所示，HHMT 500 包括：沟道层 501、沟道提供层 502、2DEG 503、2DHG 504、第一电极 505、第二电极 506 和第三电极 507。如图 5B 所示，第一电极 505、第二电极 506 和第三电极 507 垂直排布而在图 5A 中仅能看到第二电极 506。这种排布方式有利于减小占据的芯片面积。

图 6A 为本发明一个实施例 HHMT 的俯视图；图 6B 为本发明一个实施例 HHMT 电极设置的立体图。

如图所示，高空穴迁移率晶体管 600 包括：沟道层 601、沟道提供层 602、2DEG 603、2DHG 604、第一电极 605、第二电极 606 和第三电极 607。结合图 4 所示结构，在图 6A 和图 6B 中示出实施例中，第一电极 605、第二电极 606 和第三电极 607 横向排布，具有相同的水平高度。

如本领域技术人员所知，以上的描述仅仅是示例性的说明高空穴迁移率晶体管的结构。高空穴迁移率晶体管还存在着多种其他的结构或者在这些结构上的改进、变更、或者变型，以提供不同的特性或者功能。这些结构及其改进、变更或变型在本发明的技术构思之下，也可以应用于本发明的方案中。

图 7A-7C 中示出了其他结构的单侧 HHMT 结构。图 7A 是根据本发明一

个实施例的单侧 HHMT 结构示意图。与图 4 实施例的结构类似，高空穴迁移率晶体管 700 包括衬底 701、沟道层 702 和沟道提供层 703。如图所示，在沟道层 702 外的沟道提供层 703 生长完成后，蚀刻右侧部分的沟道提供层 703。这样，只在左侧存在 2DHG 704，从而得到单侧 2DHG 的高空穴迁移率晶体管。

5 在一些实施例中，沟道层 702 顶面可以保留部分沟道提供层。在一些实施例中，可以引入绝缘层 707 以覆盖沟道层 702。

图 7B 是根据本发明另一个实施例的单侧高空穴迁移率晶体管结构示意图。与图 4 实施例的结构类似，高空穴迁移率晶体管 720 包括衬底 701、沟道层 702 和沟道提供层 703。如图所示，在沟道层 702 生长完后，生长绝缘层 708。

10 接下来，蚀刻掉沟道层 702 左侧的绝缘层 708，然后生长沟道提供层 703。即生成沟道层后采用绝缘层保护沟道层，再生长沟道提供层。这样，只在左侧存在 2DHG 704，从而得到单侧 2DHG 的高空穴迁移率晶体管。

图 7C 是根据本发明另一个实施例的单侧高电子迁移率晶体管结构示意图。与图 4 实施例的结构类似，高电子迁移率晶体管 720 包括衬底 701、隔离层 702、屏蔽层 703、成核层 703、缓冲层 704、沟道层 706、沟道提供层 707、栅绝缘层 709、钝化层 719、第一电极 711、第二电极 713 和第三电极 712。

15

如图所示，在成核层 704 生长前，先在衬底形成右高左低台阶，同时高低台阶间包含沟槽的结构。然后生长绝缘层，接着刻蚀沟槽内靠近垂直界面的绝缘层，使衬底的垂直界面曝露出来。再分别生长成核层 704、缓冲层 705、沟道层 706 和沟道提供层 707。这样，只在左侧存在 2DHG 708，从而得到单侧 2DHG 的高电子迁移率晶体管。类似地，形成左高右低，同时高低台阶间包含沟槽的结构，再生长沟道层 706 和沟道提供层 707，得到单侧 2DEG 的高电子迁移率晶体管。

20

图 7D 是根据本发明另一个实施例的单侧高空穴迁移率晶体管结构示意图。与图 4 实施例的结构类似，高空穴迁移率晶体管 720 包括衬底 701、隔离

25

层 702、屏蔽层 703、沟道层 706、沟道提供层 707、第一电极 711、第二电极 713 和第三电极 712。

如图所示，在生长沟道层 706 到一定高度后，在沟道层上方形成第三电极 712，但仍暴露部分沟道层 706。然后，继续在暴露出的沟道层 706 上继续生长沟道层 706，覆盖部分第三电极 712。在生长沟道提供层 707，但仅保留左侧的沟道提供层 707，从而得到单侧 2DHG 704。在沟道层 706 和沟道提供层 707 右侧再形成屏蔽层 703，从而得到第三电极 712 在右侧，而第一电极和第三电极在左侧的高空穴迁移率晶体管。

图 8 为本发明一个实施例 HHMT 的结构示意图。如图所示，HHMT 800 包括：沟道层 802、沟道提供层 803、2DHG 804、屏蔽层 809、第一电极 835、第二电极 830 和第三电极 832。与其他实施例的结构不同，第一电极 835 沿着沟道层 802 和沟道提供层 803 的下方横向延伸。在一些实施例中，第一电极 835 设置在衬底上。在完成第一电极 835 上方的结构制备后，保留下方的衬底。在一些实施例中，第一电极 835 下方的衬底可以部分或全部去除。这样，第一电极 835 可以从下方引出实现电连接；而第二电极 830 和第三电极 832 仍从上方引出实现电连接。与所有电极都是从上方引出实现电连接的方案相比，由于第一电极电压较高，需要较大的绝缘距离，对缩小器件尺寸不利。而图 8 所示结构中，从器件上方引出具有较低电位的第二电极和第三电极而从器件下方引出第一电极，能够有效的节省了空间，降低了寄生电容电感，也利于后续的器件封装。进一步地，图 8 所示的结构通过去除硅衬底降低了器件的热阻，热量可以有效地两面导出，尤其是第一电极可直接与导热装置连接，能够极大地减低了热阻。

在制备图 8 所示 HHMT 时，可以先形成第二电极和第三电极。然后去除大部分或全部硅衬底以暴露 2DHG 804 后，再形成第一电极 835。在一些实施例中，由于去除衬底后晶圆的机械强度大幅降低，优选地在去除硅衬底前给晶

圆增加支撑结构。

在一些实施例中，第二电极 830 沿着沟道层 806 和/或沟道提供层 807 的上方横向延伸。第二电极设置于器件的上方有利于后期的电连接，也有利于电极之间的隔离，提高耐压和减少暗电流。

5

如本领域技术人员所知，以上的描述仅仅是示例性的说明高空穴迁移率晶体管的结构。高空穴迁移率晶体管还存在着多种其他的结构或者在这些结构上的改进、变更、或者变型，以提供不同的特性或者功能。这些结构及其改进、变更或变型在本发明的技术构思之下，也可以应用于本发明的方案中。

10

权 利 要 求 书

1. 一种高空穴迁移率晶体管(HHMT)，包括：
垂直界面；
沟道层，其设置在垂直界面之外；
5 沟道提供层，其至少部分覆盖沟道层的第一侧面，其中，沟道层中邻近沟道层与沟道提供层的第一侧面形成垂直的二维空穴气 2DHG；
第一电极，其经配置能够与二维空穴气 2DHG 电连接；
第二电极，其经配置能够与二维空穴气 2DHG 电连接；以及
栅电极，其设置在沟道提供层之外。
- 10 2. 根据权利要求 1 所述的高空穴迁移率晶体管，其中第一侧面为 III 族氮化物半导体的 (000-1) 面。
3. 根据权利要求 2 所述的高空穴迁移率晶体管，其中 III 族氮化物半导体为 GaN。
4. 根据权利要求 1 所述的高空穴迁移率晶体管，其中垂直界面是 Si (111)
15 面、蓝宝石 Al_2O_3 的(0001)面、SiC 的(0001) 或 (000-1) 面、或者 GaN 本征衬底的 (0001) 面。
5. 根据权利要求 1 所述的高空穴迁移率晶体管，其中第一电极或第二电极与沟道提供层之间形成欧姆接触。
6. 根据权利要求 1 所述的高空穴迁移率晶体管，其中第一电极、第二电极
20 和栅电极位于二维空穴气 2DHG 的同侧。
7. 根据权利要求 1 所述的高空穴迁移率晶体管，其中第一电极和第二电极和栅电极的水平高度相同或者竖直位置相同。
8. 根据权利要求 1 所述的高空穴迁移率晶体管，其中第一电极和第二电极与栅电极分别位于二维空穴气 2DHG 的两侧。
- 25 9. 根据权利要求 1 所述的高空穴迁移率晶体管，其中第一电极在沟道层下方延伸。

10. 根据权利要求 9 所述的高空穴迁移率晶体管，其中第一电极为漏极。
11. 根据权利要求 1 所述的高空穴迁移率晶体管，其中第二电极在沟道层上方延伸。
12. 根据权利要求 11 所述的高空穴迁移率晶体管，其中第二电极为源极。
- 5 13. 根据权利要求 1 所述的高空穴迁移率晶体管，进一步包括垂直界面上的成核层。
14. 根据权利要求 13 所述的高空穴迁移率晶体管，进一步包括在成核层与沟道层之间的缓冲层。
15. 根据权利要求 1 所述的高空穴迁移率晶体管，进一步包括在沟道层
10 远离二维空穴气 2DHG 的第二侧形成的屏蔽层。
16. 根据权利要求 1 所述的高空穴迁移率晶体管，进一步包括沟道层和沟道提供层下方延伸的绝缘层。
17. 根据权利要求 1 所述的高空穴迁移率晶体管，进一步包括沟道提供层与栅电极之间的栅绝缘层。
- 15 18. 一种高空穴迁移率晶体管（HHMT），包括：
鳍柱（Fin Column），其至少一侧包括垂直延伸的沟道层和沟道提供层，其中沟道层中邻近沟道层与沟道提供层的界面形成垂直的二维空穴气 2DHG；
第一电极，其与鳍柱欧姆接触，并且与 2DHG 电连接；
第二电极，其与鳍柱欧姆接触，并且与 2DHG 电连接；
20 第三电极，其设置在鳍柱上。
19. 根据权利要求 18 所述的高空穴迁移率晶体管，其中第一电极或第二电极为源极或漏极；第三电极为栅极。
20. 根据权利要求 18 所述的高空穴迁移率晶体管，进一步包括沟道提供层与栅电极之间的栅绝缘层。
- 25 21. 根据权利要求 18 所述的高空穴迁移率晶体管，其中第一电极、第二电极和第三电极位于鳍柱的侧面。

22. 根据权利要求 18 所述的高空穴迁移率晶体管，其中第一电极位于鳍柱的顶部。

23. 根据权利要求 18 所述的高空穴迁移率晶体管，其中第二电极位于鳍柱的底部。

5 24. 根据权利要求 23 所述的高空穴迁移率晶体管，其中第二电极的面积大于鳍柱底面的面积。

25. 一种高空穴迁移率晶体管（HHMT）的制造方法，包括：
形成垂直界面；
在垂直界面之外形成沟道层；

10 形成至少部分覆盖沟道层的第一侧面的沟道提供层，其中，第一侧面为 III 族氮化物半导体的（000-1）面，沟道层中邻近沟道层与沟道提供层的界面形成垂直的二维空穴气 2DHG；以及

形成与二维空穴气 2DHG 电接触的第一电极和第二电极以及沟道提供层外的栅电极。

15 26. 根据权利要求 25 所述的方法，其中 III 族氮化物半导体为 GaN。

27. 根据权利要求 25 所述的方法，其中垂直界面形成于衬底上。

28. 根据权利要求 25 所述的方法，其中沟道提供层与栅电极之间包括栅绝缘层。

29. 根据权利要求 25 所述的方法，其中，在形成第一电极或第二接触欧姆电极之前，包括横向蚀刻沟道提供层或横向蚀刻沟道提供层和部分沟道层。

30. 根据权利要求 25 所述的方法，进一步包括在垂直界面上形成成核层，其中，形成成核层的过程中通入含氯气体。

31. 根据权利要求 25 所述的方法，进一步包括：形成与二维空穴气 2DHG 电接触第二电极以及栅电极；去除部分或全部衬底；以及在沟道层和沟道提供层下方形成第一电极。

25

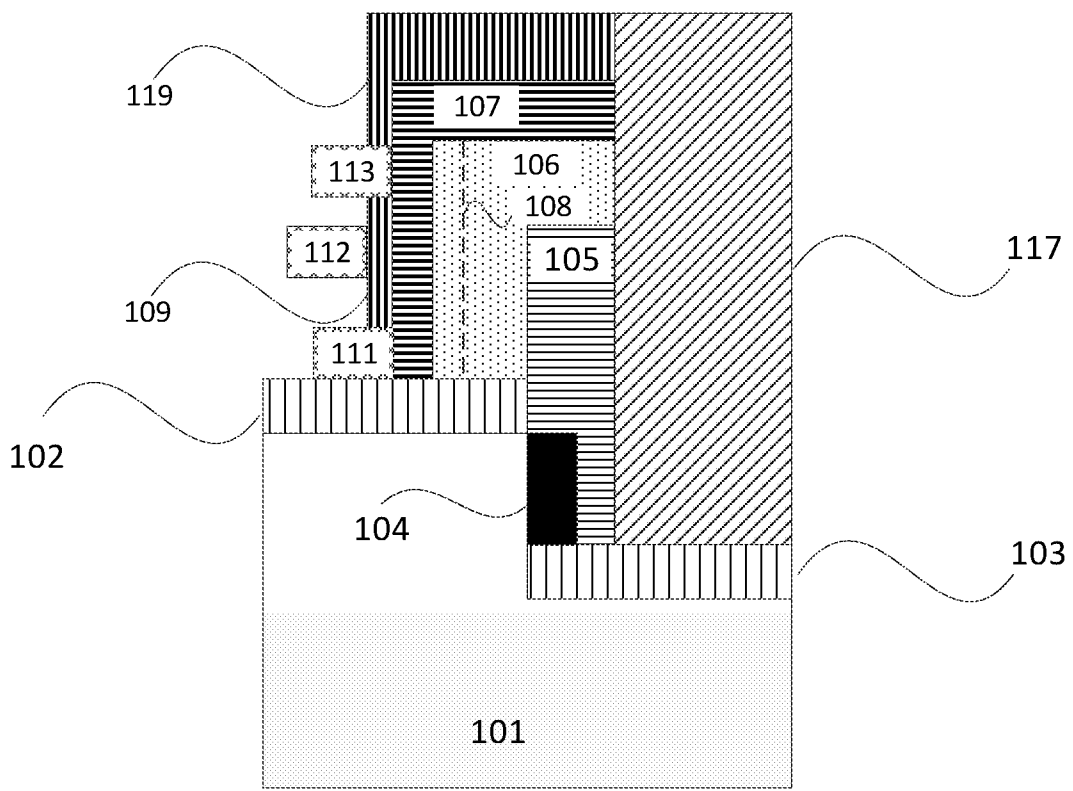


图 1

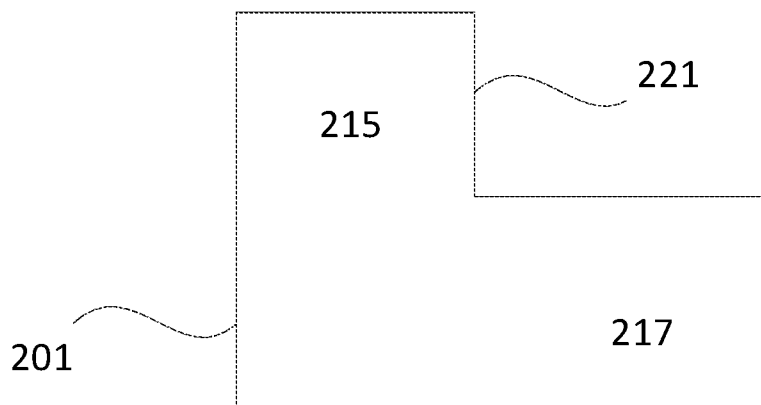


图 2A

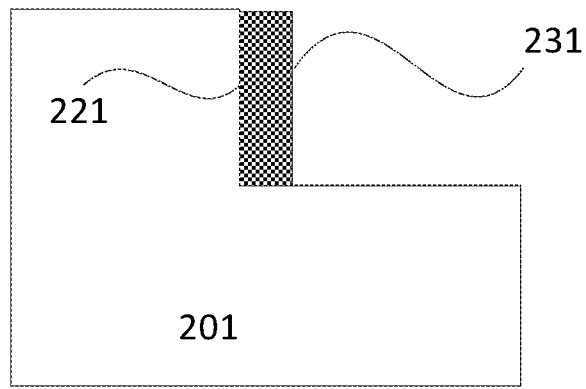


图 2B

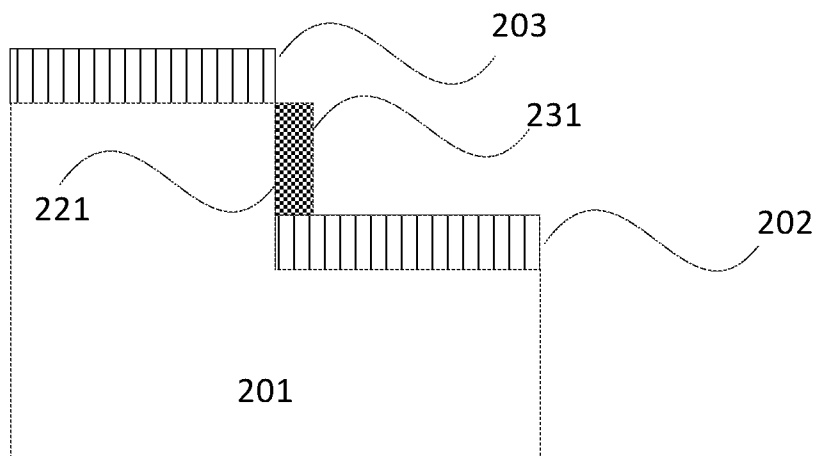


图 2C

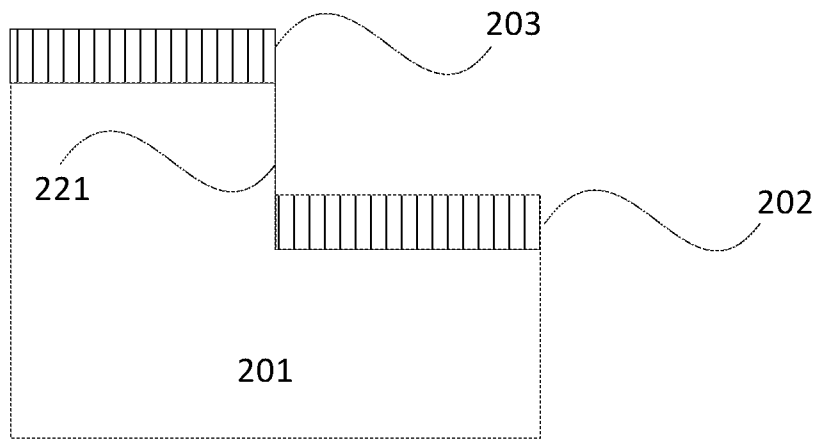


图 2D

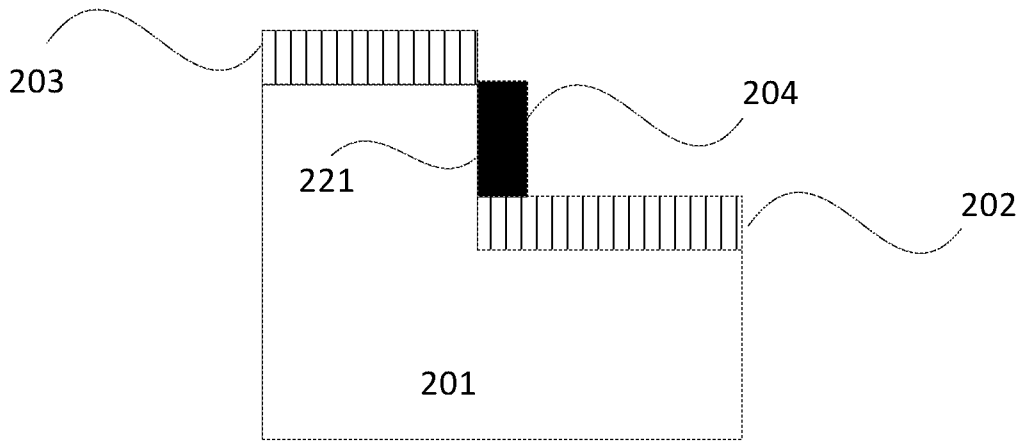


图 2E

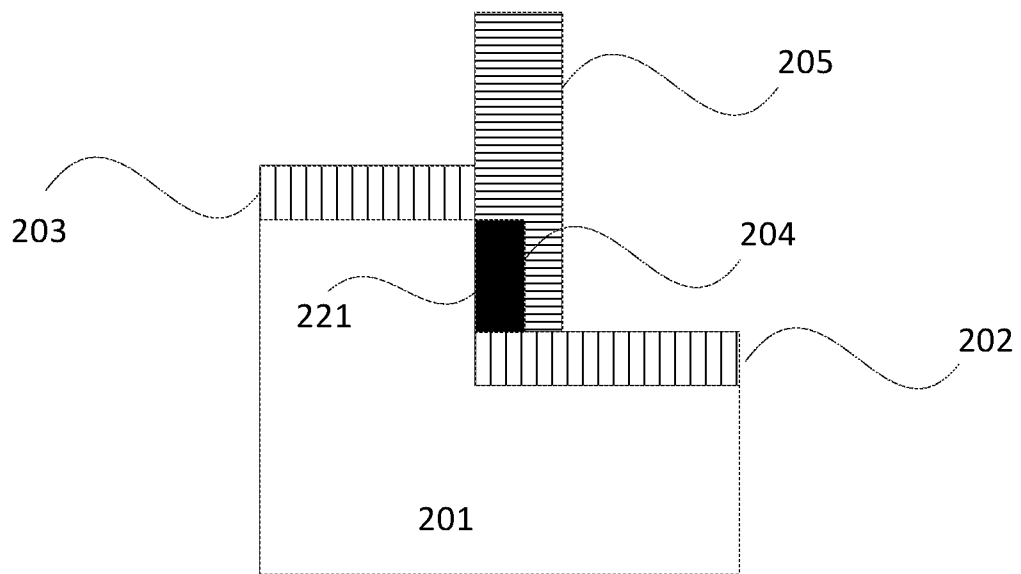


图 2F

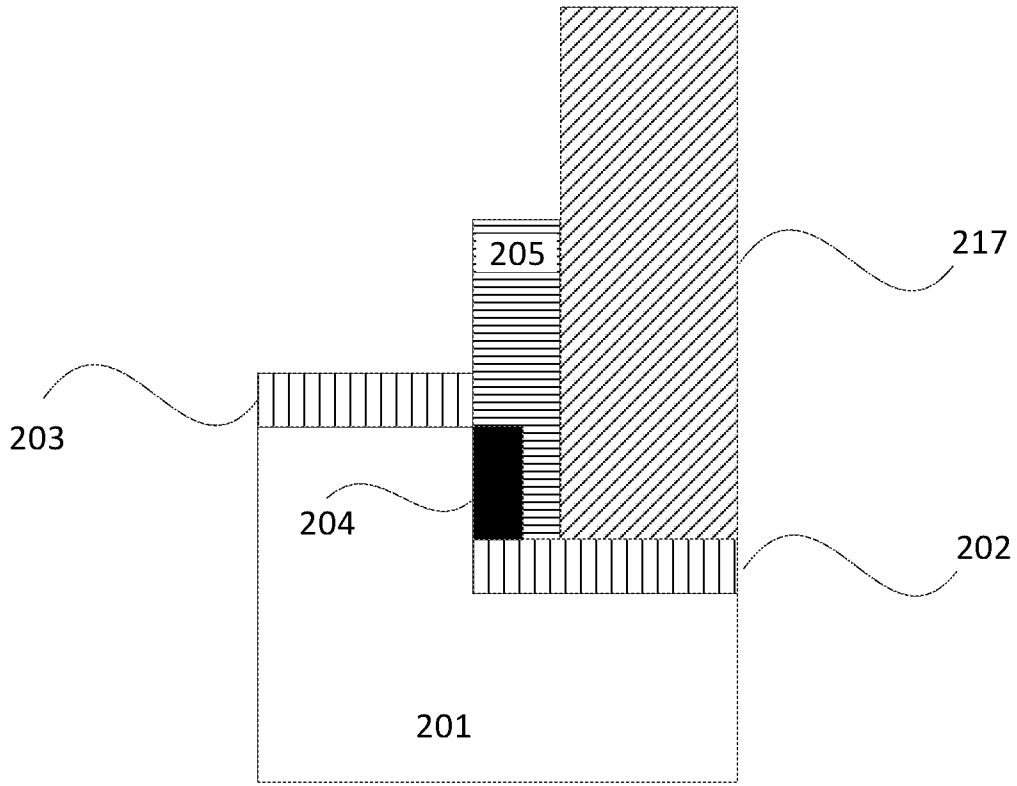


图 2G

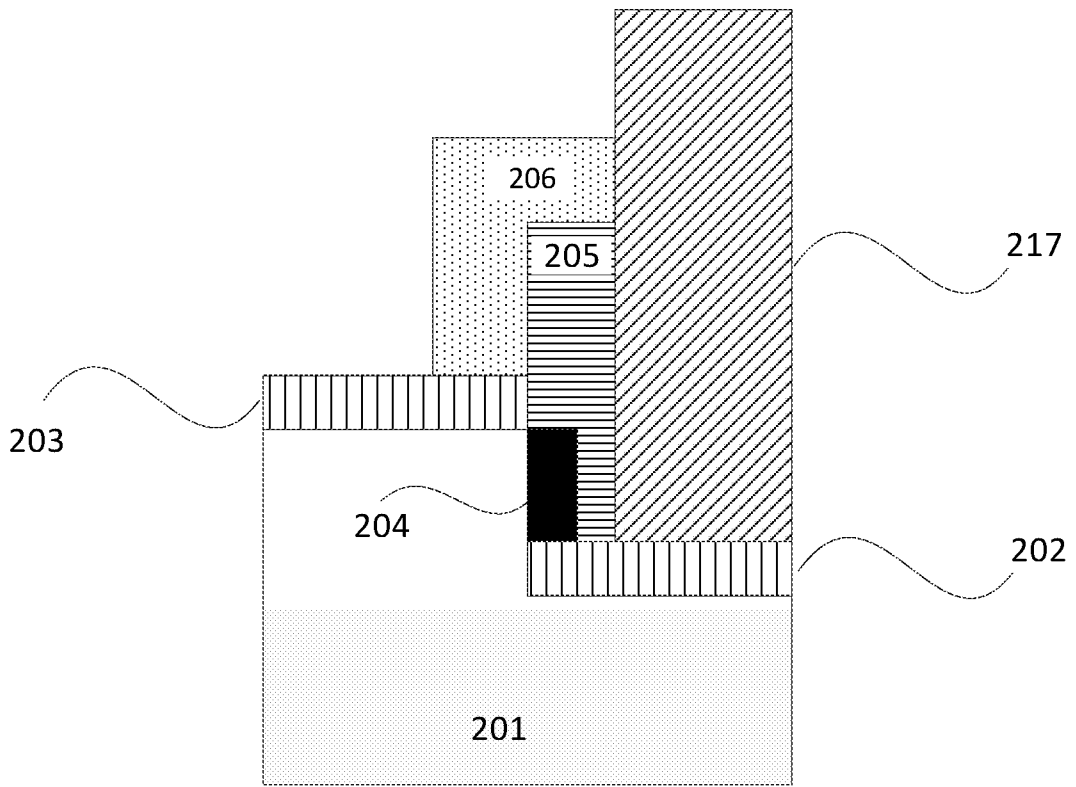


图 2H

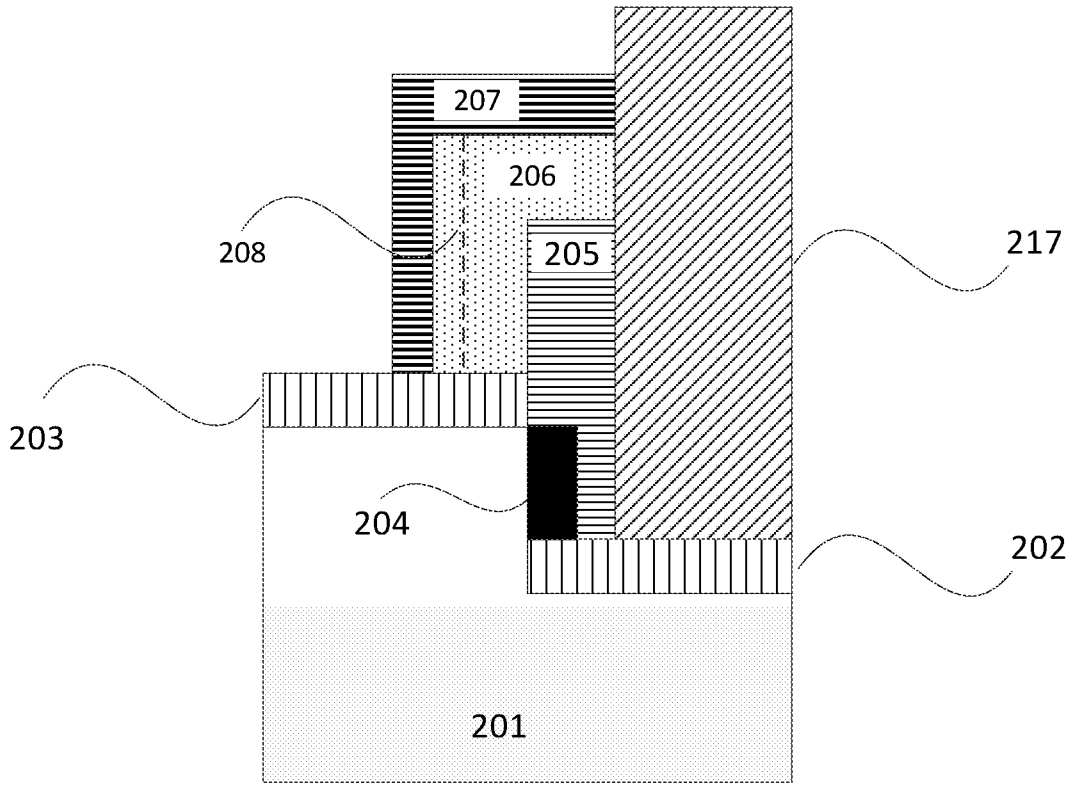


图 2I

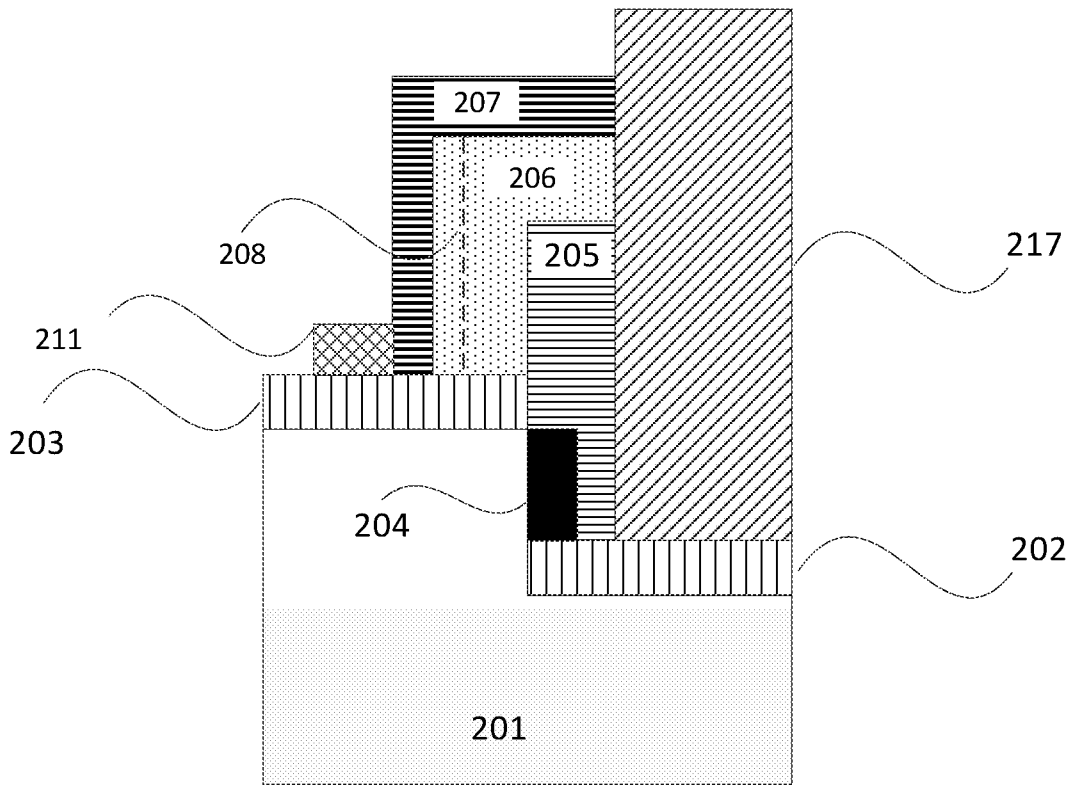


图 2J

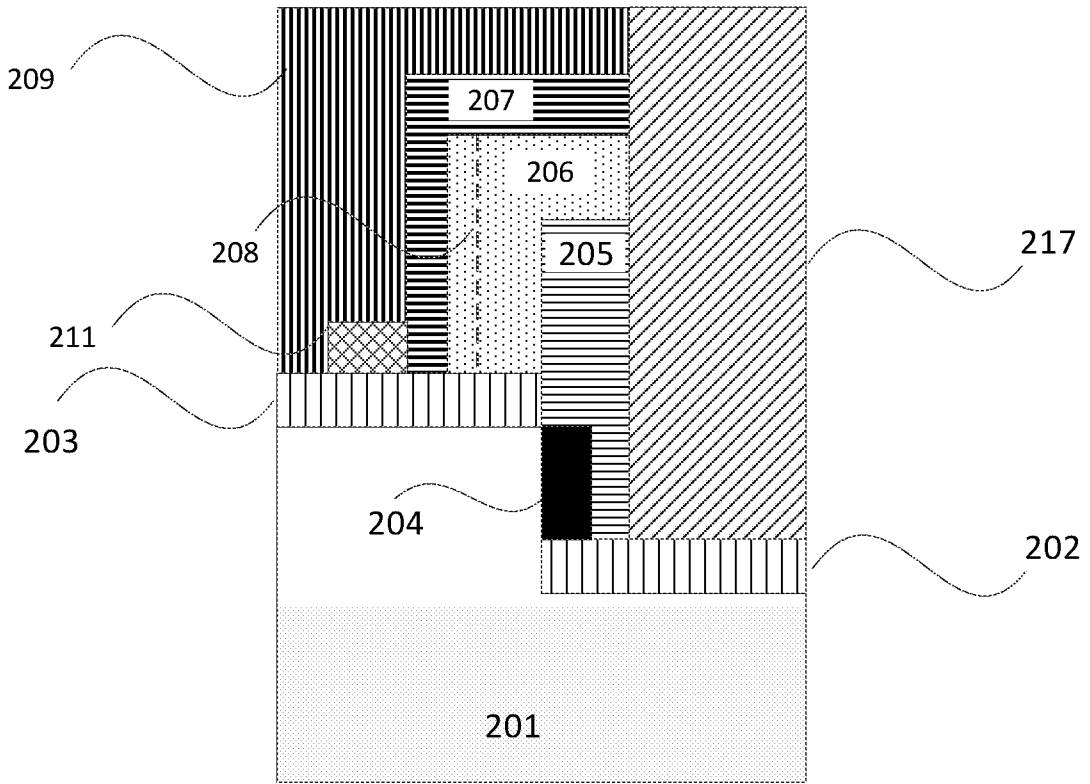


图 2K

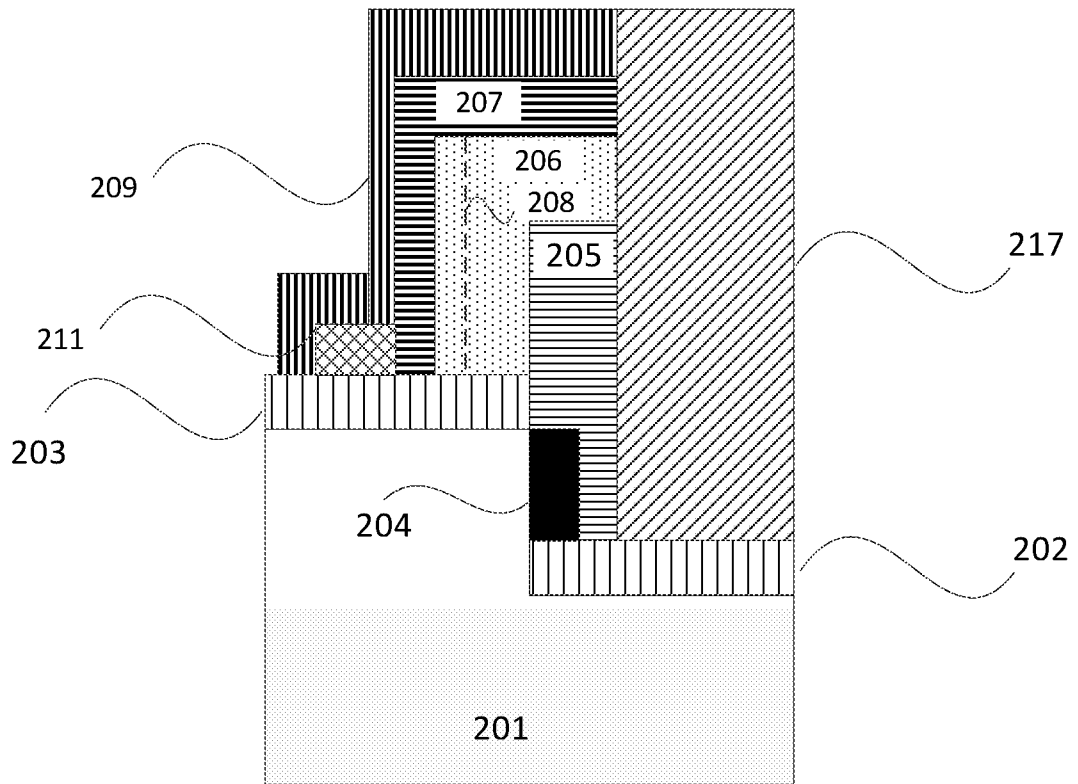


图 2L

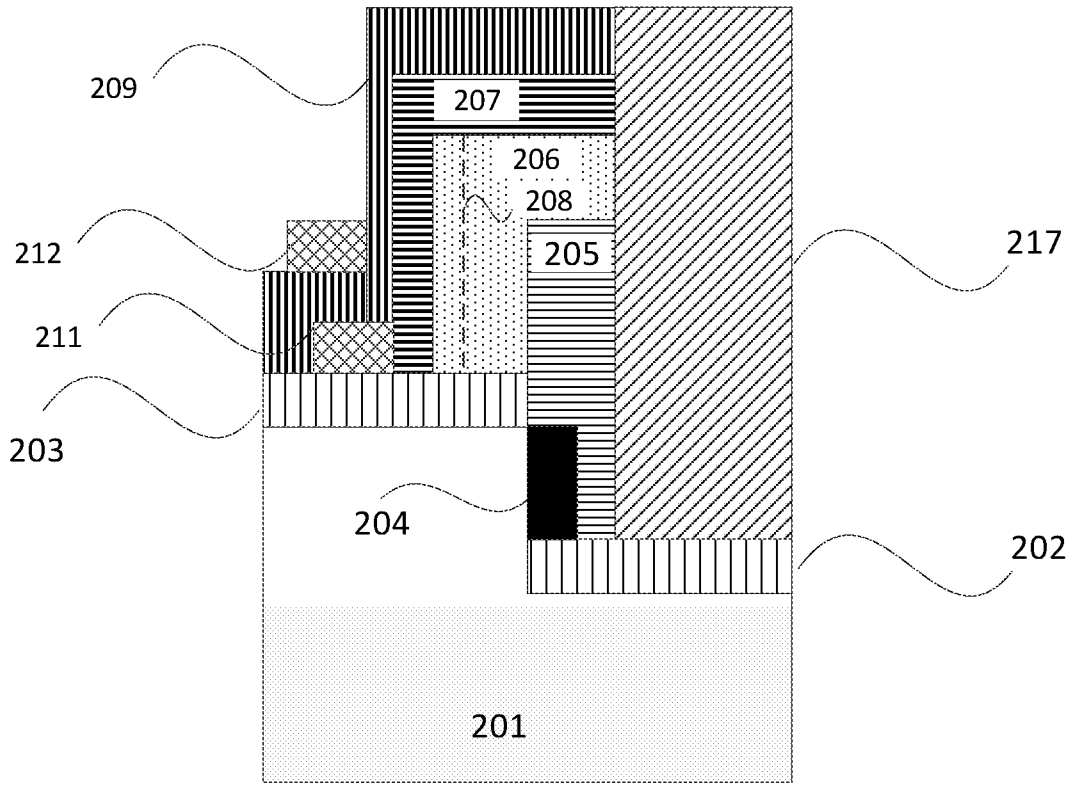


图 2M

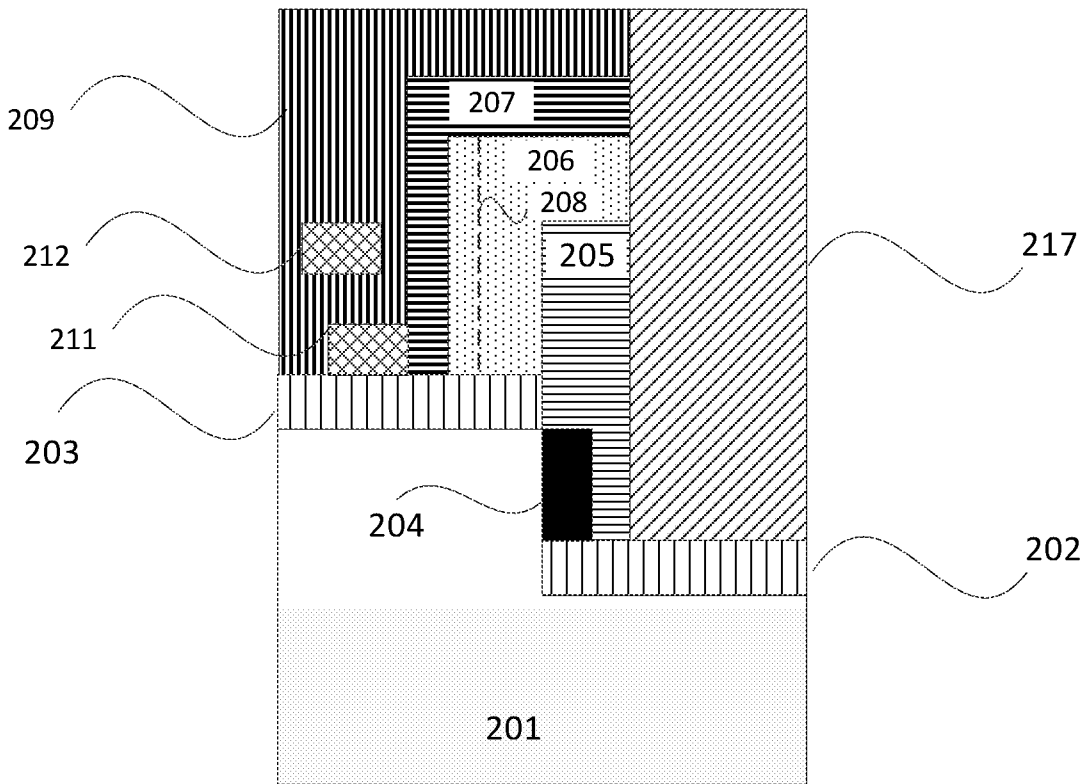


图 2N

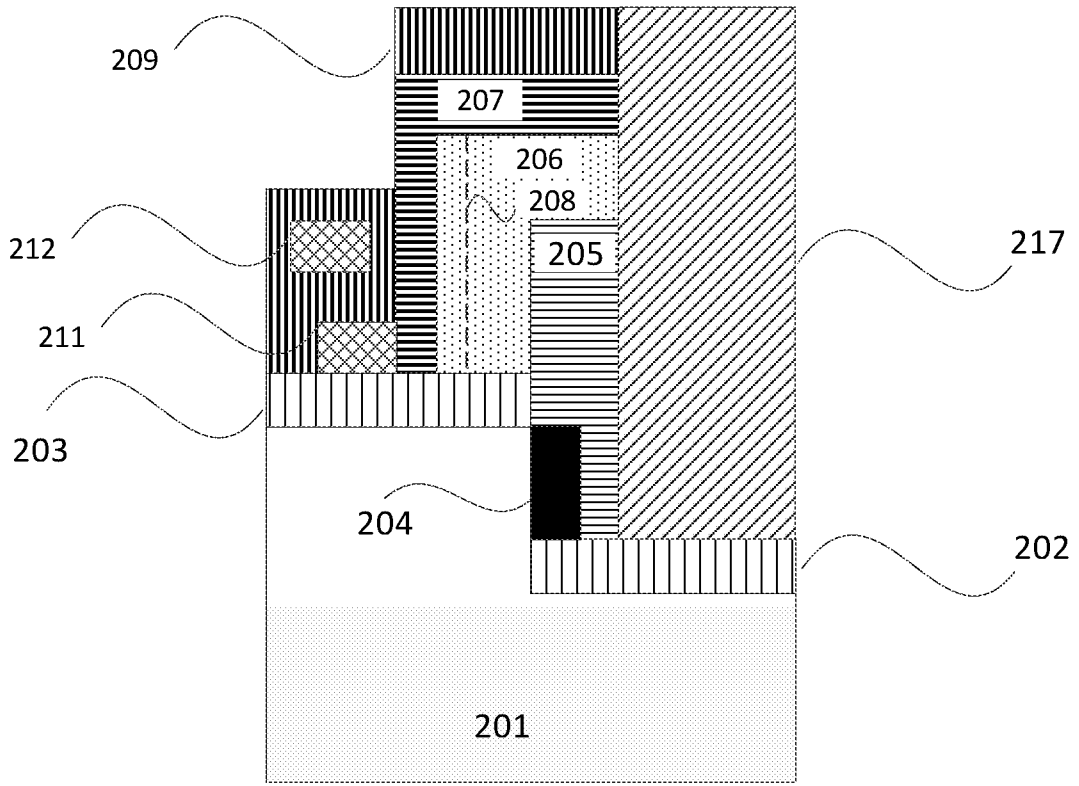


图 20

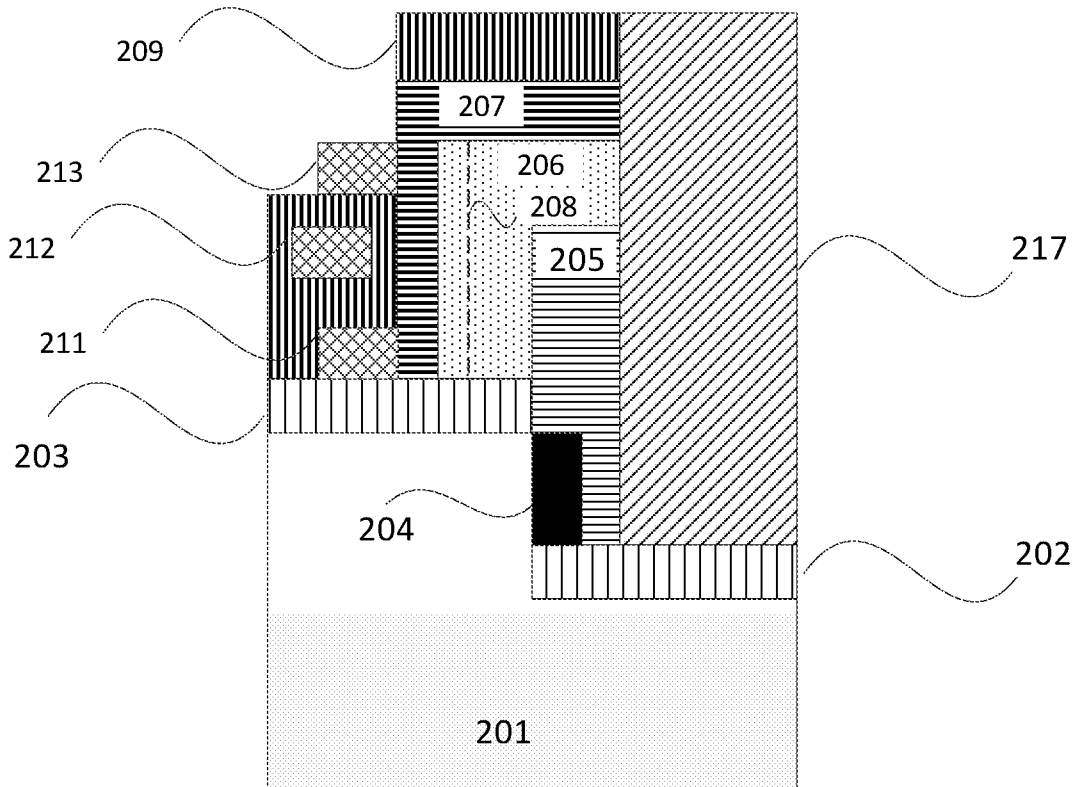


图 2P

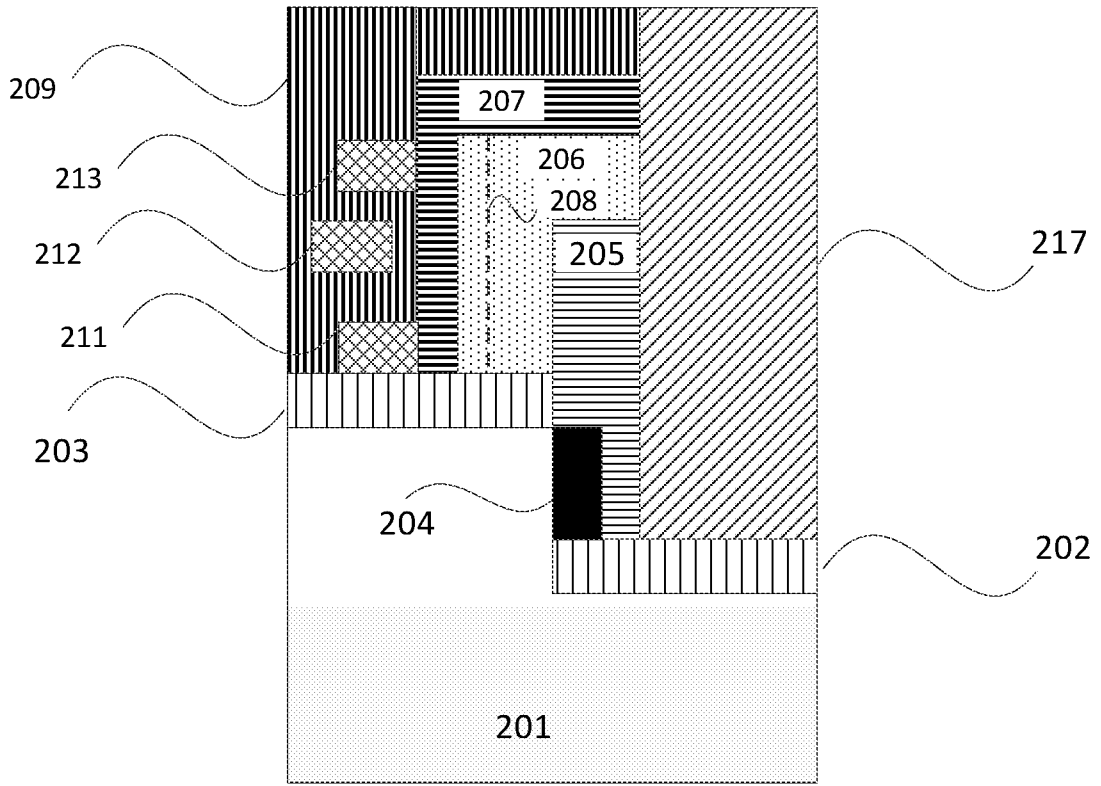


图 2Q

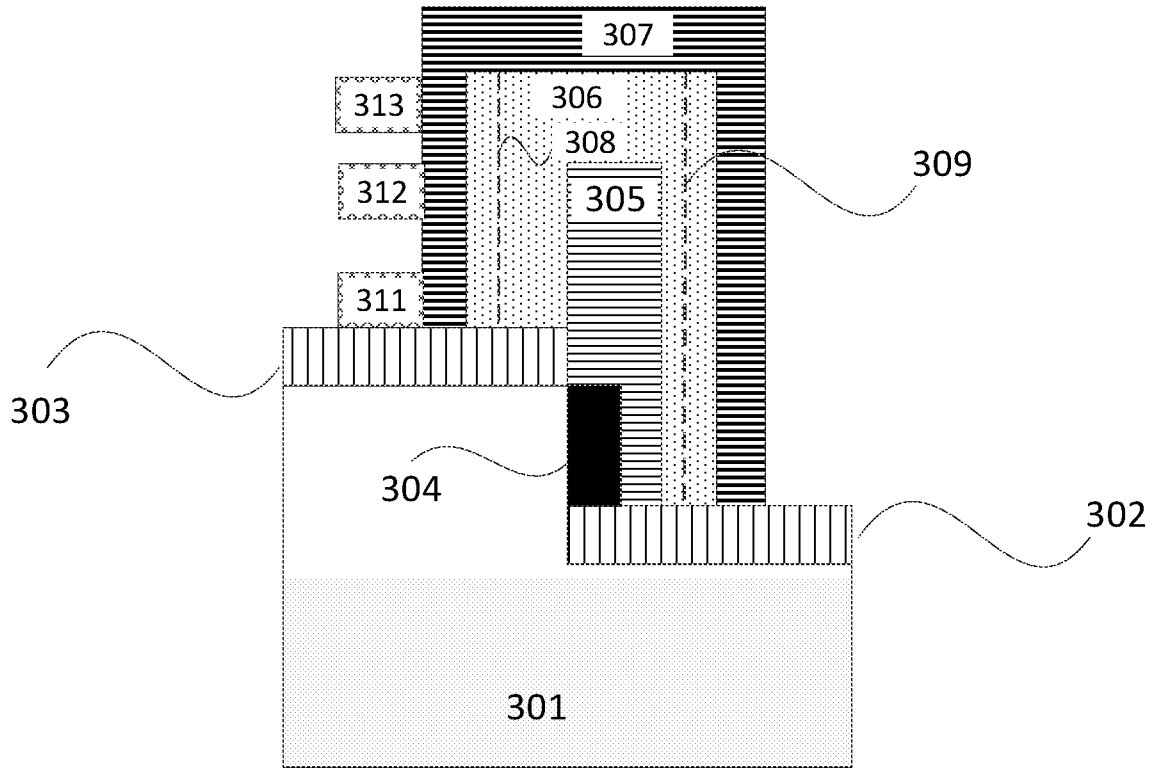


图 3

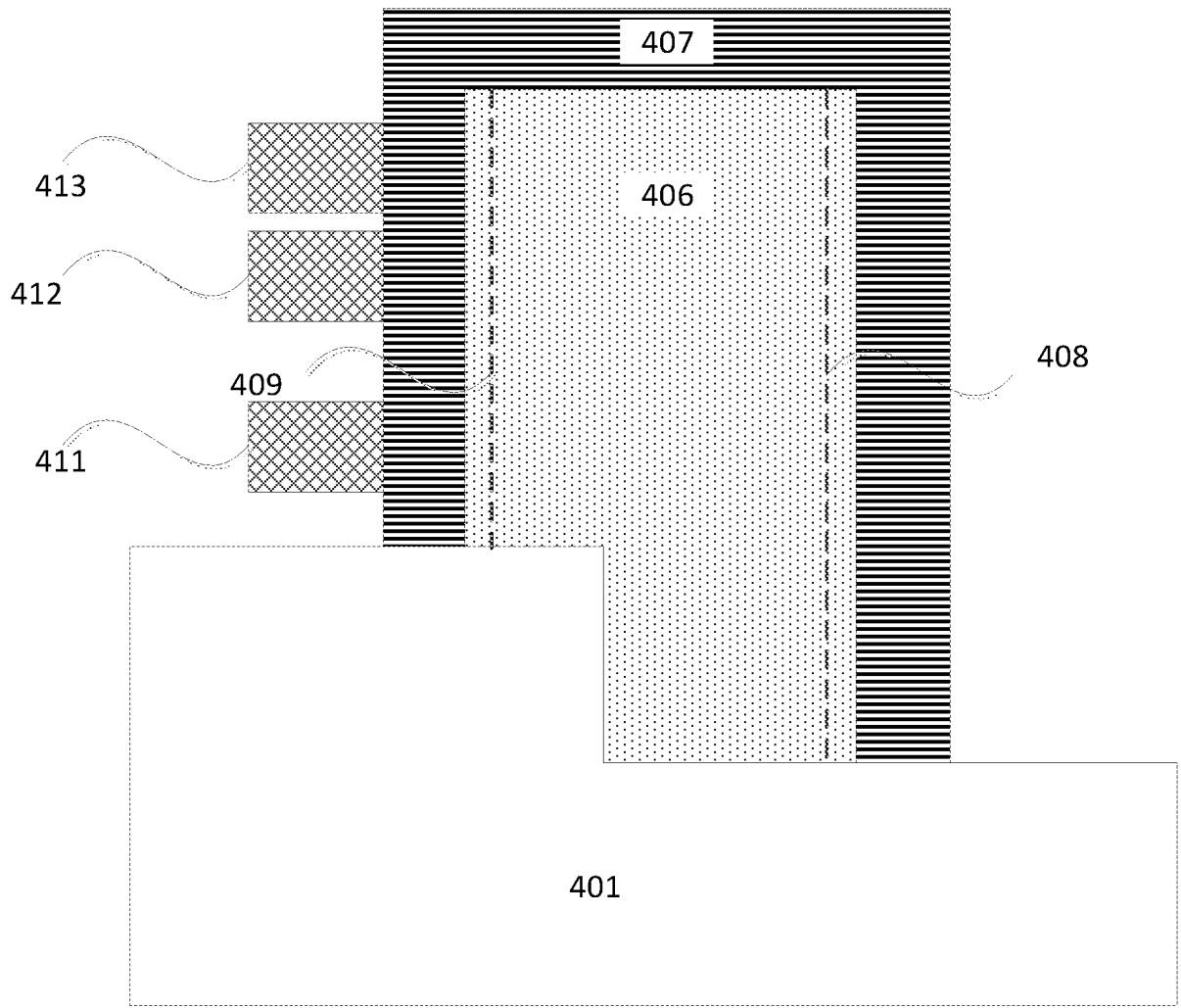


图 4

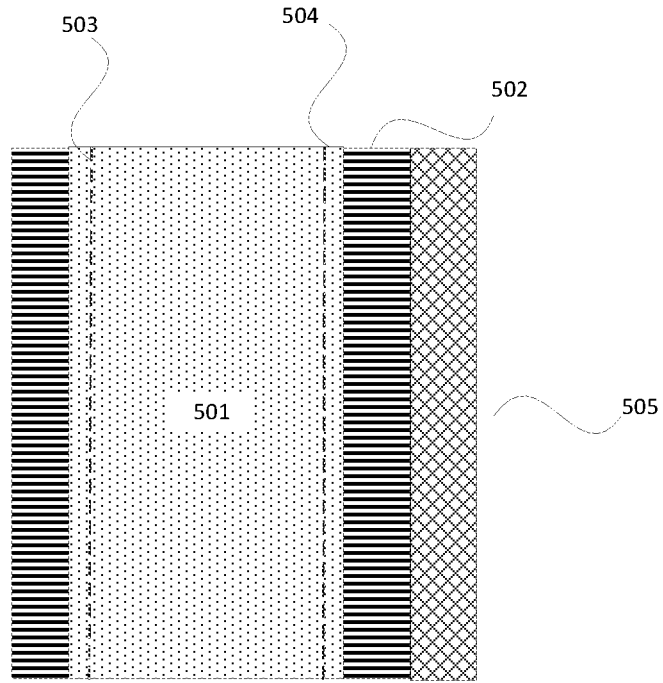


图 5A

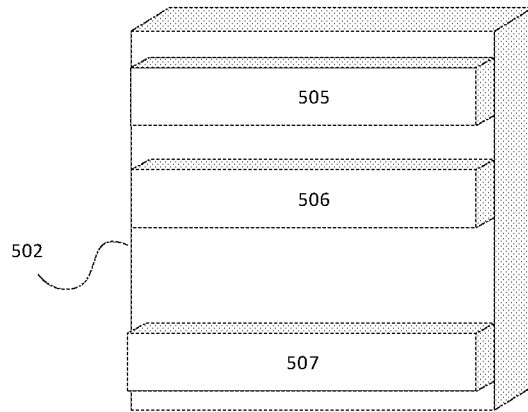


图 5B

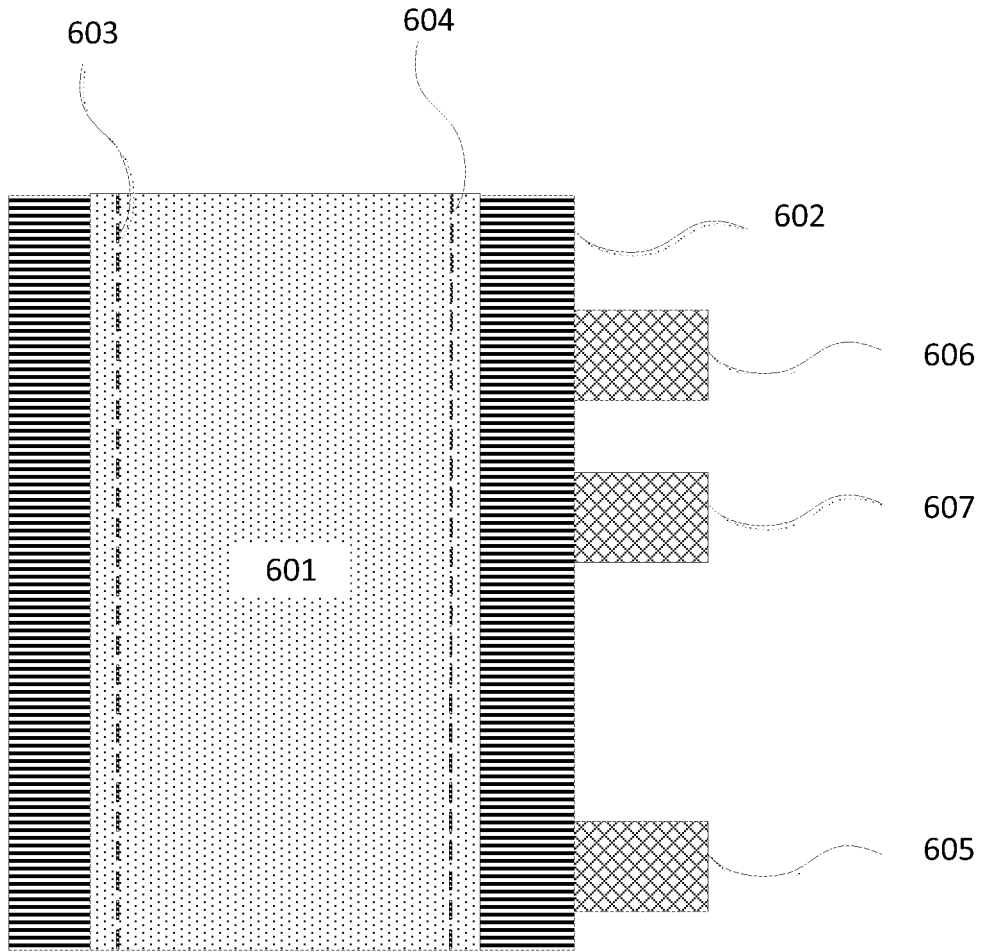


图 6A

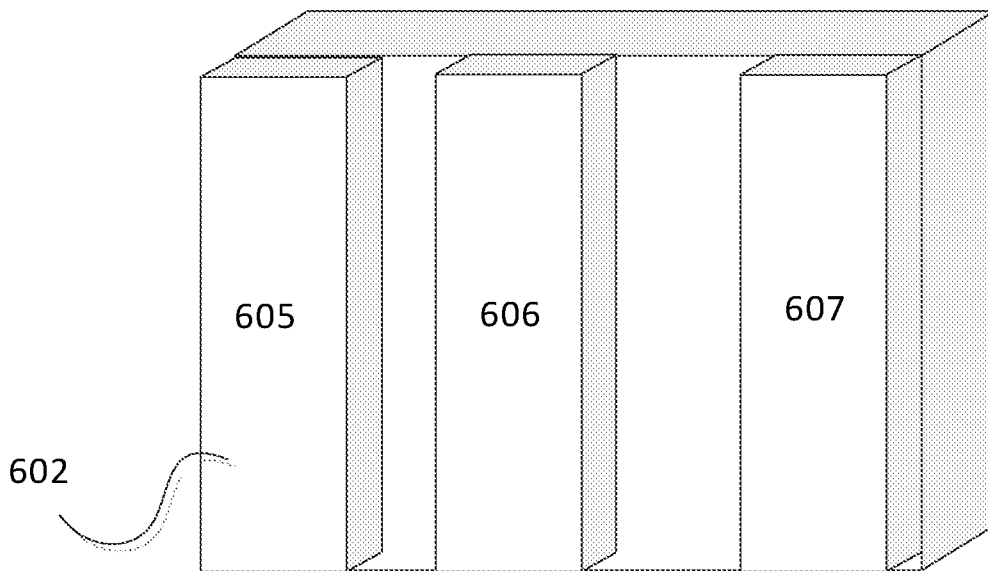


图 6B

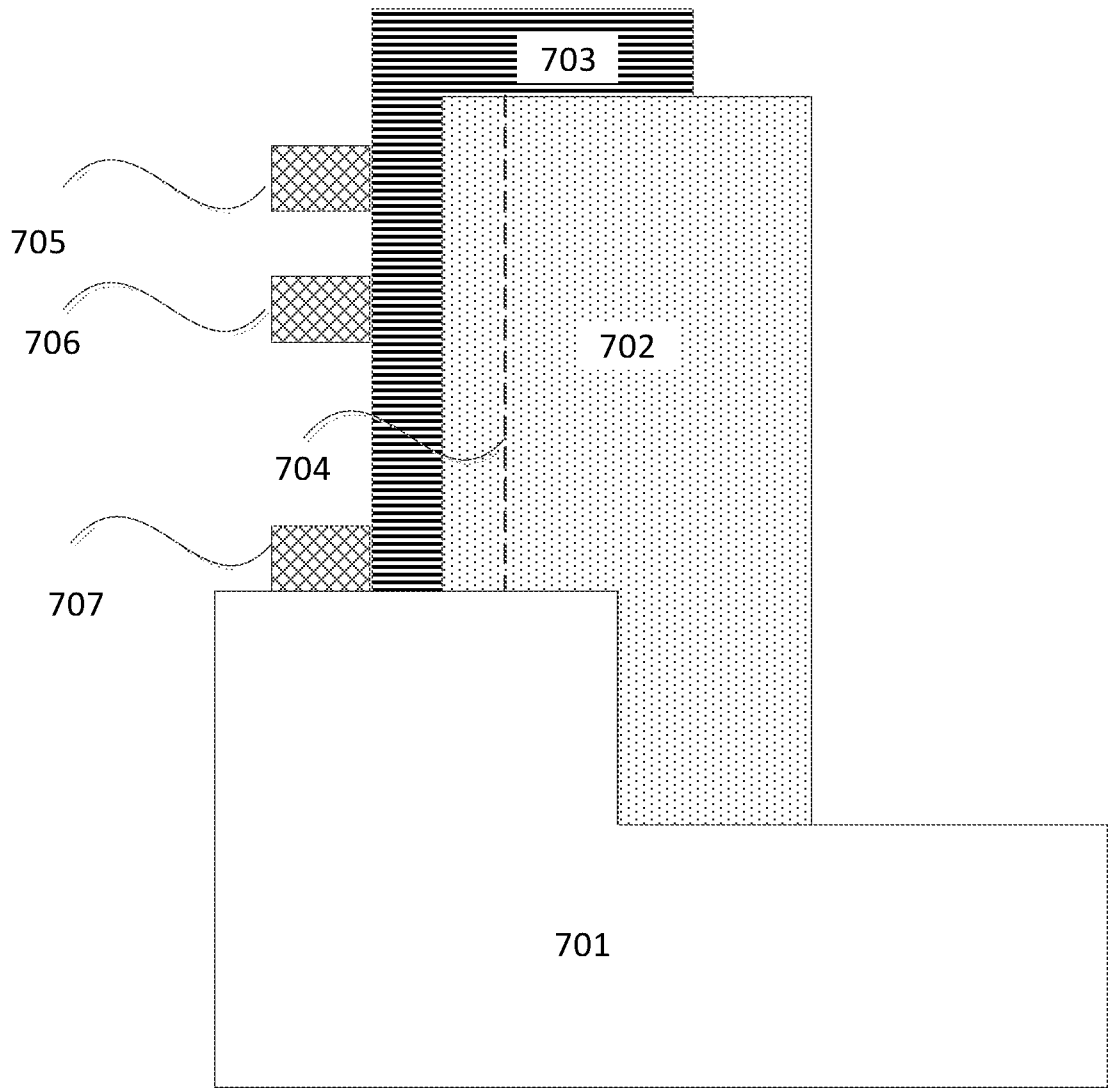


图 7A

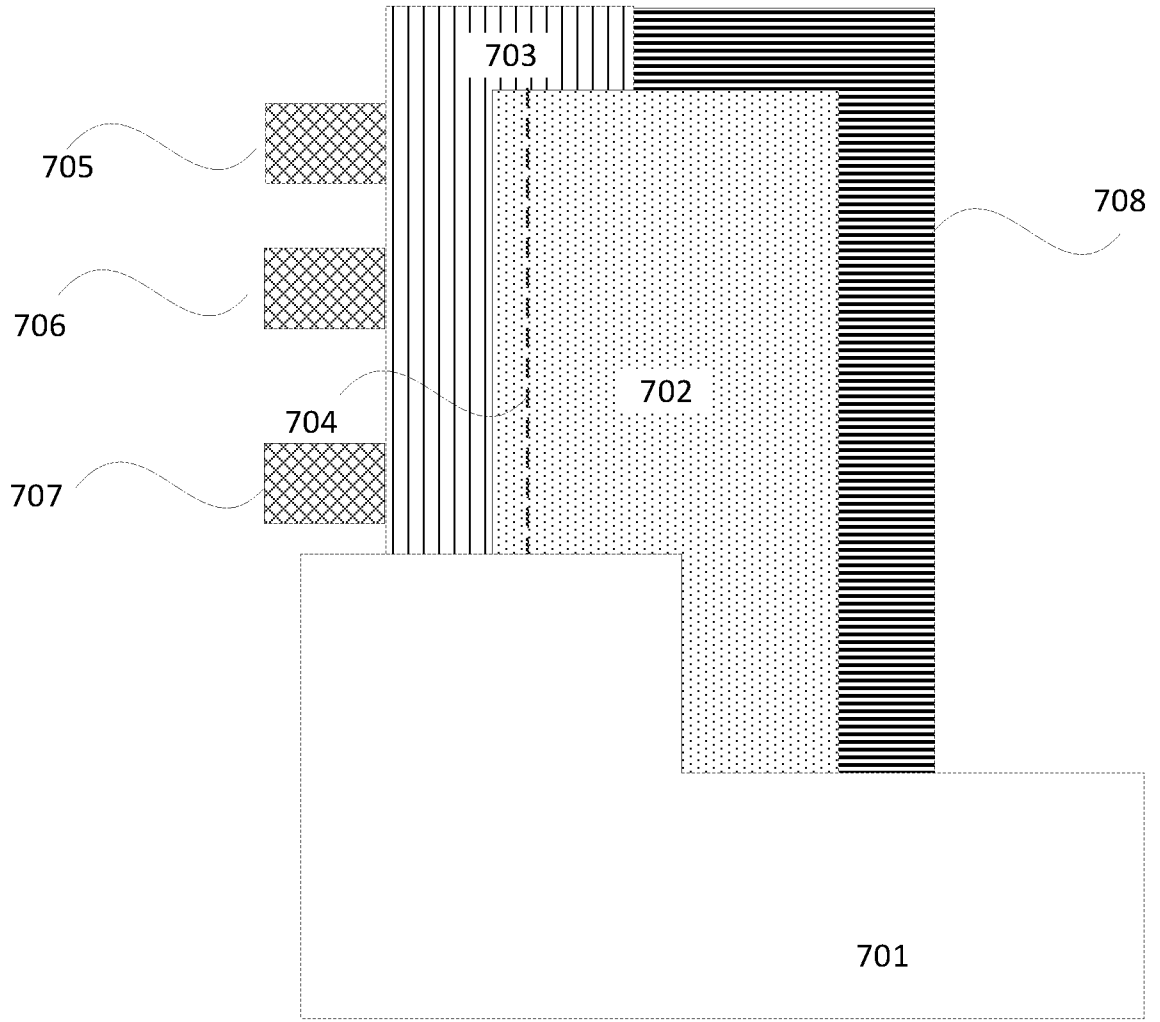


图 7B

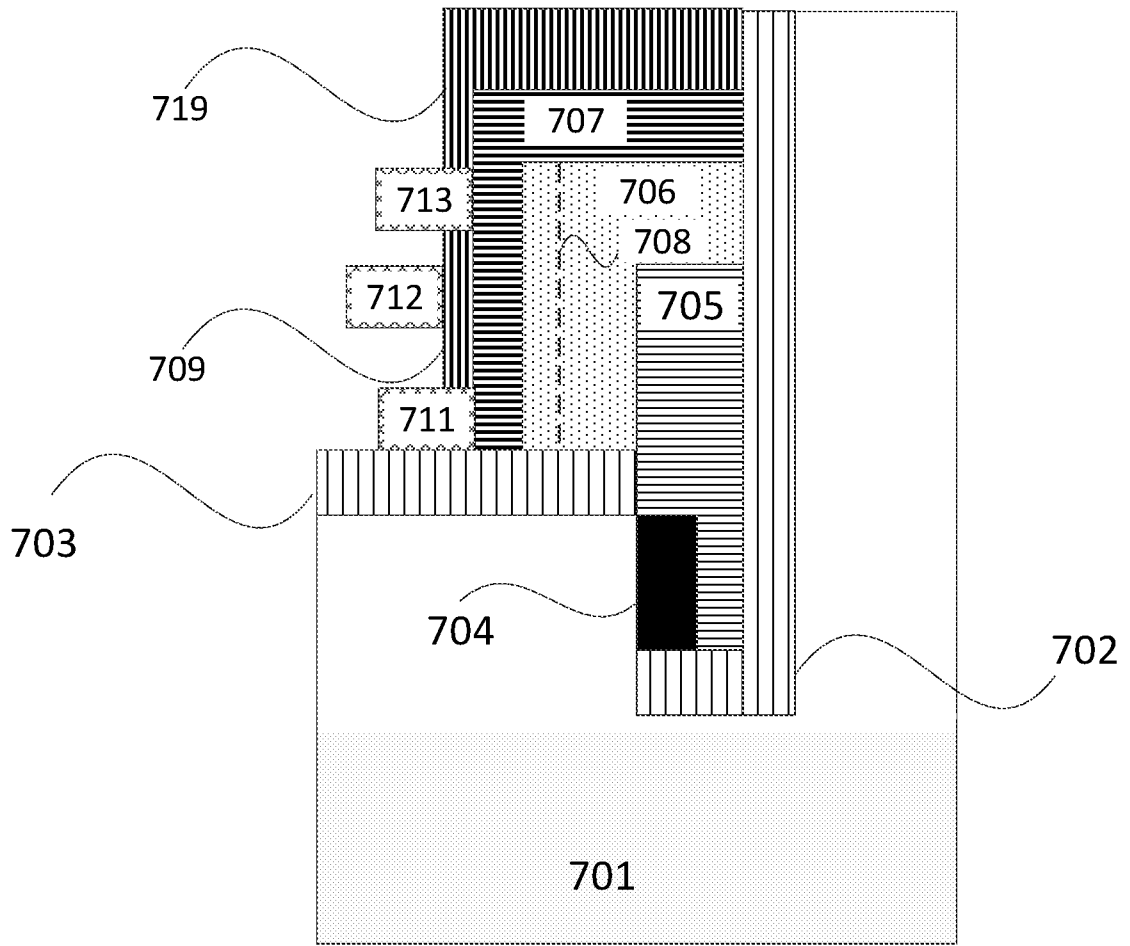


图 7C

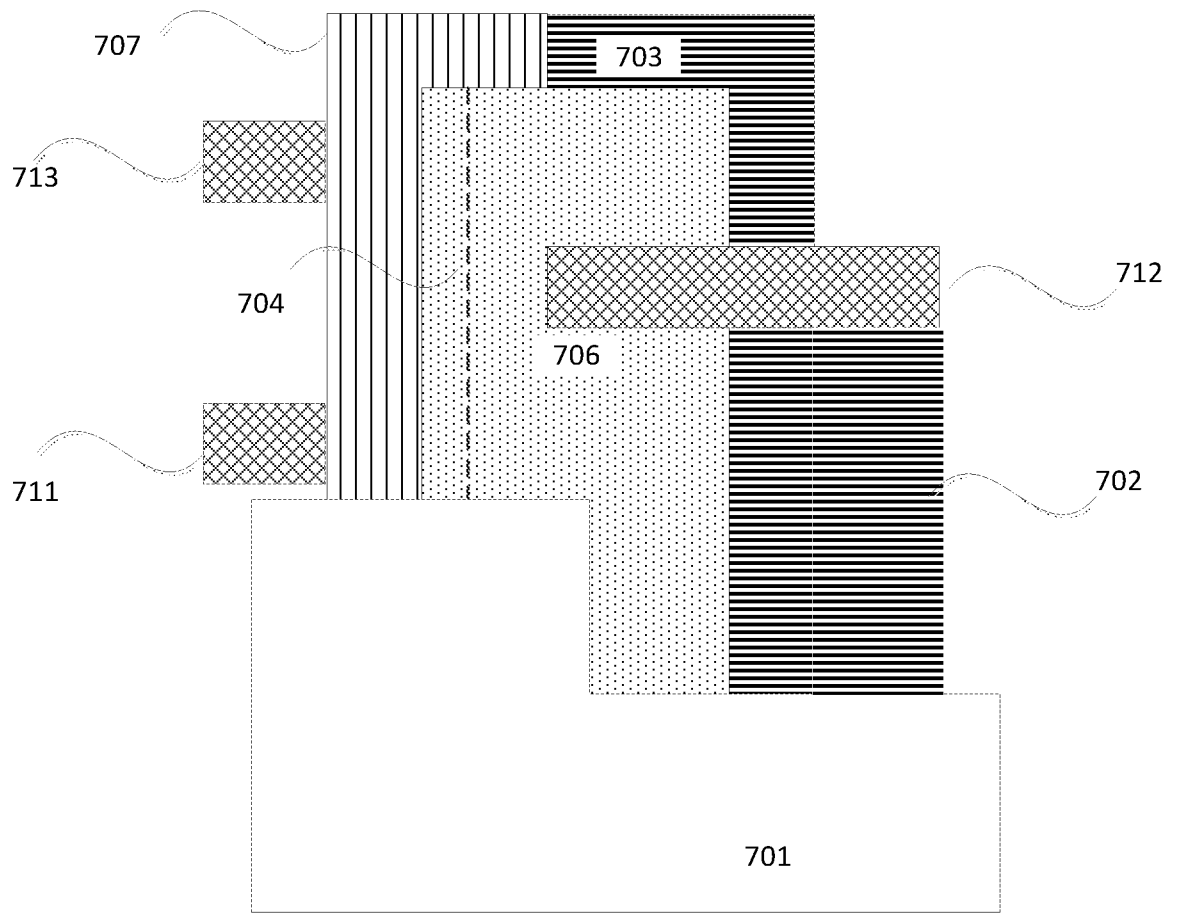


图 7D

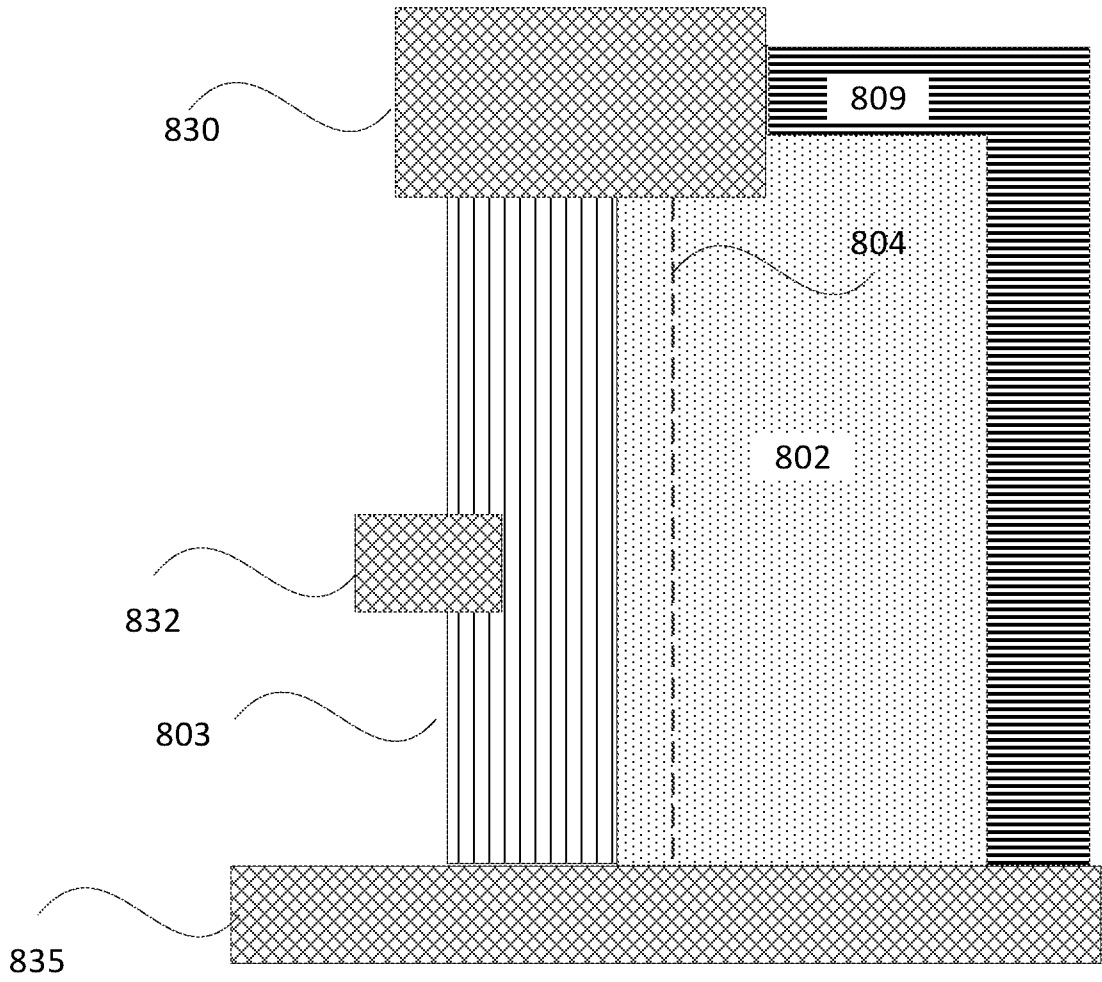


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/109382

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 29/775(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPI, EPODOC, CNPAT, CNKI, IEEE: 广东致能科技有限公司, 高空穴迁移率晶体管, 鳍, 垂直, 沟道, 二维空穴气, 电极, 源, 漏, 栅, III族氮化物, 欧姆, HHMT, 2DHG, Fin, vertical, channel, electrode, source, drain, gate, group III nitrides, ohm		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2017133495 A1 (GACHON UNIVERSITY OF INDUSTRY-ACADEMIC COOPERATION FOUNDATION) 11 May 2017 (2017-05-11) description, paragraphs [0039]-[0058], and figures 1-3	18-24
A	CN 109524460 A (VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION) 26 March 2019 (2019-03-26) entire document	1-31
A	CN 106410045 A (XIDIAN UNIVERSITY) 15 February 2017 (2017-02-15) entire document	1-31
A	US 10332691 B2 (XIDIAN UNIVERSITY) 25 June 2019 (2019-06-25) entire document	1-31
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
20 December 2019		06 January 2020
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/109382

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2017133495	A1	11 May 2017	KR	20170054006	A	17 May 2017
				US	9935189	B2	03 April 2018
				KR	101774824	B1	05 September 2017

CN	109524460	A	26 March 2019	None			

CN	106410045	A	15 February 2017	CN	106410045	B	05 July 2019

US	10332691	B2	25 June 2019	US	2018374654	A1	27 December 2018
				WO	2018103646	A1	14 June 2018
				CN	106505149	B	27 November 2018
				CN	106505149	A	15 March 2017

国际检索报告

国际申请号

PCT/CN2019/109382

<p>A. 主题的分类</p> <p>H01L 29/775(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, EPDOC, CNPAT, CNKI, IEEE:广东致能科技有限公司, 高空穴迁移率晶体管, 鳍, 垂直, 沟道, 二维空穴气, 电极, 源, 漏, 栅, III族氮化物, 欧姆, HHMT, 2DHG, Fin, vertical, channel, electrode, source, drain, gate, group III nitrides, ohm</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2017133495 A1 (GACHON UNIVERSITY OF INDUSTRY-ACADEMIC COOPERATION FOUNDATION) 2017年 5月 11日 (2017 - 05 - 11) 说明书第[0039]-[0058]段、附图1-3</td> <td>18-24</td> </tr> <tr> <td>A</td> <td>CN 109524460 A (世界先进积体电路股份有限公司) 2019年 3月 26日 (2019 - 03 - 26) 全文</td> <td>1-31</td> </tr> <tr> <td>A</td> <td>CN 106410045 A (西安电子科技大学) 2017年 2月 15日 (2017 - 02 - 15) 全文</td> <td>1-31</td> </tr> <tr> <td>A</td> <td>US 10332691 B2 (Xidian University) 2019年 6月 25日 (2019 - 06 - 25) 全文</td> <td>1-31</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	US 2017133495 A1 (GACHON UNIVERSITY OF INDUSTRY-ACADEMIC COOPERATION FOUNDATION) 2017年 5月 11日 (2017 - 05 - 11) 说明书第[0039]-[0058]段、附图1-3	18-24	A	CN 109524460 A (世界先进积体电路股份有限公司) 2019年 3月 26日 (2019 - 03 - 26) 全文	1-31	A	CN 106410045 A (西安电子科技大学) 2017年 2月 15日 (2017 - 02 - 15) 全文	1-31	A	US 10332691 B2 (Xidian University) 2019年 6月 25日 (2019 - 06 - 25) 全文	1-31
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	US 2017133495 A1 (GACHON UNIVERSITY OF INDUSTRY-ACADEMIC COOPERATION FOUNDATION) 2017年 5月 11日 (2017 - 05 - 11) 说明书第[0039]-[0058]段、附图1-3	18-24															
A	CN 109524460 A (世界先进积体电路股份有限公司) 2019年 3月 26日 (2019 - 03 - 26) 全文	1-31															
A	CN 106410045 A (西安电子科技大学) 2017年 2月 15日 (2017 - 02 - 15) 全文	1-31															
A	US 10332691 B2 (Xidian University) 2019年 6月 25日 (2019 - 06 - 25) 全文	1-31															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2019年 12月 20日</p>		<p>国际检索报告邮寄日期</p> <p>2020年 1月 6日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>李艳红</p> <p>电话号码 86-(10)-53961221</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/109382

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2017133495	A1	2017年 5月 11日	KR	20170054006	A	2017年 5月 17日
				US	9935189	B2	2018年 4月 3日
				KR	101774824	B1	2017年 9月 5日
-----				-----			
CN	109524460	A	2019年 3月 26日	无			
-----				-----			
CN	106410045	A	2017年 2月 15日	CN	106410045	B	2019年 7月 5日
-----				-----			
US	10332691	B2	2019年 6月 25日	US	2018374654	A1	2018年 12月 27日
				WO	2018103646	A1	2018年 6月 14日
				CN	106505149	B	2018年 11月 27日
				CN	106505149	A	2017年 3月 15日
-----				-----			