(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월27일
(11) 등록번호 10-2813267
(24) 등록일자 2025년05월22일

(51) 국제특허분류(Int. Cl.)
H02M 1/00 (2007.01) *H02M 3/07* (2006.01)
(52) CPC특허분류
H02M 1/0095 (2023.05)
H02M 1/0003 (2021.05)
(21) 출원번호 10-2023-0188366
(22) 출원일자 2023년12월21일
심사청구일자 2023년12월21일
(56) 선행기술조사문헌
US20200091818 A1
US20230318447 A1
US20210194364 A1
US20220149725 A1

(73) 특허권자
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
홍성완
서울특별시 서대문구 거북골로 100, 101동 1303호 (남가좌동, 래미안 루센티아)
이찬호
서울특별시 은평구 수색로 300, 105동 401호 (수색동, DMC롯데캐슬더퍼스트)
(74) 대리인
특허법인엠에이피에스

전체 청구항 수 : 총 10 항 심사관 : 곽인구

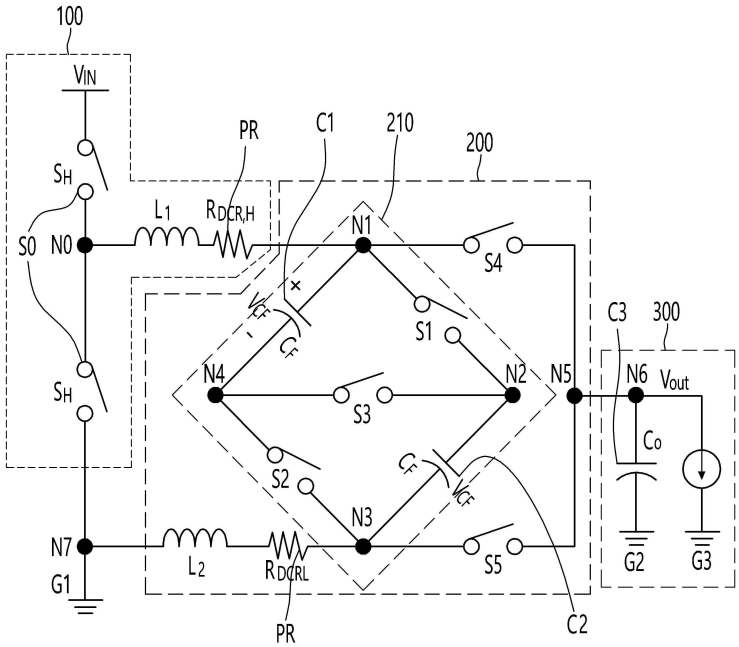
(54) 발명의 명칭 **전력손실을 최소화할 수 있는 DC-DC 컨버터**

(57) 요 약

본 발명은 전력손실을 최소화할 수 있는 DC-DC 컨버터에 관한 것으로서, 소정의 DC전압을 제공하는 입력전압 및 상기 입력전압과 연결되어 PWM 신호를 발생시키는 두 개의 입력단 스위치 및 상기 두개의 입력단 스위치 사이에 직렬로 연결되는 제1 인덕터를 포함하는 입력전압원; 상기 입력전압원의 접지부인 제 1 접지부와 연결되어 있는

(뒷면에 계속)

대 표 도 - 도1



제2 인덕터; 일 단에서 상기 제1 인덕터와 연결되고, 타 단에서 상기 제2 인덕터와 연결되고, 복수의 커패시터와 복수의 스위치로 구성되는 컨버터부; 상기 컨버터부의 일단 또는 타단과 스위치를 통해 선택적으로 연결되어, 상기 입력전압원보다 낮은 전압을 출력하는 출력부;를 포함하되, 상기 제1 인덕터의 용량은 제2 인덕터의 용량보다 크며, 상기 제1 인덕터에 흐르는 제1전류가 상기 제2 인덕터에 흐르는 제2전류보다 작으며,상기 컨버터부 내의 커패시터와 스위치의 동작에 의해, 상기 제1 전류가 흐르는 시간이 상기 제2 전류가 흐르는 시간보다 긴 것인, DC-DC 컨버터에 관한 것이다.

(52) CPC특허분류
H02M 3/07 (2013.01)
Y02B 70/10 (2020.08)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711198586
과제번호 00260091
부처명 과학기술정보통신부
과제관리(전문)기관명 정보통신기획평가원
연구사업명 연구지원
연구과제명 초거대 AI를 위한 대규모데이터센터용 인공지능 시스템반도체 인력양성 및 핵심기술 개발
기 여 율 1/3
과제수행기관명 서강대학교산학협력단
연구기간 2023.07.01 ~ 2023.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711197840
과제번호 00218255
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 기초연구실 개척형
연구과제명 배터리의 열적 안정성 향상을 위한 통합적 접근: 재료부터 회로와 열관리시스템까지
기 여 율 1/3
과제수행기관명 숙명여자대학교산학협력단
연구기간 2023.06.01 ~ 2024.02.29
이 발명을 지원한 국가연구개발사업
과제고유번호 1711194922
과제번호 00207919
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 우수연구-중견연구/연계 신진후속
연구과제명 차세대 전기차 및 데이터센터 용 보안 강화 전력변환시스템
기 여 율 1/3
과제수행기관명 서강대학교 산학협력단
연구기간 2023.03.01 ~ 2024.02.29

명 세 서

청구범위

청구항 1

전력손실을 최소화할 수 있는 DC-DC 컨버터에 있어서,

소정의 DC전압을 제공하는 입력전압 및 상기 입력전압과 연결되어 PWM 신호를 발생시키는 두 개의 입력단 스위치 및 상기 두개의 입력단 스위치 사이에 직렬로 연결되는 제1 인덕터를 포함하는 입력전압원;

상기 입력전압원의 접지부인 제 1 접지부와 연결되어 있는 제2 인덕터;

일 단에서 상기 제1 인덕터와 연결되고, 타 단에서 상기 제2 인덕터와 연결되고, 복수의 커패시터와 복수의 스위치로 구성되는 컨버터부;

상기 컨버터부의 일단 또는 타단과 스위치를 통해 선택적으로 연결되어, 상기 입력전압원보다 낮은 전압을 출력하는 출력부;를 포함하되,

상기 제1 인덕터의 용량은 제2 인덕터의 용량보다 크며, 상기 제1 인덕터에 흐르는 제1전류가 상기 제2 인덕터에 흐르는 제2전류보다 작으며,

상기 컨버터부 내의 커패시터와 스위치의 동작에 의해, 상기 제1 전류가 흐르는 시간이 상기 제2 전류가 흐르는 시간보다 긴 것인, DC-DC 컨버터.

청구항 2

제1 항에 있어서,

상기 제1전류가 흐르는 상기 두 개의 입력단 스위치와 상기 제1 인덕터의 기생저항은, 상기 제2 전류가 흐르는 상기 제2 인덕터의 기생저항보다 큰 것인, DC-DC 컨버터.

청구항 3

제2 항에 있어서,

상기 컨버터부는,

상기 제1 인덕터와 직렬로 연결되는 제1커패시터;

상기 제1 커패시터와 병렬로 연결되는 제1 스위치;

일단이 상기 제1커패시터와 직렬로 연결되되, 타단이 상기 제2 인덕터와 직렬로 연결되는 제2 스위치;

일단이 상기 제1 스위치와 직렬로 연결되되, 타단이 상기 제2 인덕터와 직렬로 연결되는 제2커패시터; 및

상기 제1커패시터와 제2 스위치의 사이 지점과, 상기 제1 스위치와 제2커패시터의 사이 지점을 연결하는 제3 스위치를 포함하는, DC-DC 컨버터.

청구항 4

제3 항에 있어서,

상기 제1커패시터, 제1 스위치, 제1 인덕터가 접촉되는 지점인 상기 컨버터부의 일단과 출력부 사이에 연결되는 제4 스위치; 및

상기 제2 스위치, 제2 커패시터, 제2 인덕터가 접촉되는 지점인 상기 컨버터부의 타단과 출력부 사이에 연결되는 제5 스위치;를 포함하는, DC-DC 컨버터.

청구항 5

제4 항에 있어서,

상기 출력부는,

제3커패시터와 전류원을 포함하는 것인, DC-DC 컨버터.

청구항 6

제5 항에 있어서,

상기 제1 및 제2 커패시터에 적용되는 전압이 상기 입력전압보다 낮은 제1 기 설정된 전압이 적용되도록, 상기 입력전압원과, 상기 제1 스위치 및 상기 제2 커패시터 사이 지점에 연결되는 전압보상회로; 및

상기 출력부가 상기 제1 및 제2 커패시터에 적용되는 전압보다 낮은 제2 기 설정된 전압이 적용되도록, 상기 제3, 4 및 제5 스위치 각각에 적용되는 전압과 출력부 전압 간의 피드백루프를 형성하는 피드백부;를 더 포함하는, DC-DC 컨버터.

청구항 7

제6 항에 있어서,

상기 제1 전류는, 상기 제3 스위치, 제5 스위치가 턴온되고, 상기 제1 스위치, 제2 스위치, 제4 스위치가 턴오프되어, 상기 제1 커패시터, 및 상기 제2 커패시터가 상기 제1 인덕터에 대해 직렬로 연결되어, 상기 제1 및 제2 커패시터를 충전시키는 방향으로 흐르는 것인, DC-DC 컨버터.

청구항 8

제7 항에 있어서,

상기 제2 전류는, 상기 제1 스위치, 제2 스위치, 제4 스위치가 턴온되고, 상기 제3 스위치, 제5 스위치가 턴오프되어, 상기 제1 및 제2 커패시터가 상기 제2 인덕터에 대해 병렬로 연결되어, 상기 제1 및 제2 커패시터가 방전되는 방향으로 흐르는 것인, DC-DC 컨버터.

청구항 9

제8 항에 있어서,

상기 제1 전류에 의해 제1 및 제2 커패시터에 충전된 에너지와 상기 제2 전류에 의해 제1 및 제2 커패시터에서 방전된 에너지가 동일하도록 상기 컨버터부의 스위치가 스위칭되어, 상기 제1 전류가 흐르는 시간과 상기 제2 전류가 흐르는 시간이 설정되는 것인, DC-DC 컨버터.

청구항 10

제1 항에 있어서,

상기 제1 전류와 상기 제2 전류의 위상이 상이하도록 설정함으로써, 리플을 제거하는 것인, DC-DC 컨버터.

발명의 설명

기 술 분 야

[0001] 본 발명은 전력손실을 최소화할 수 있는 DC-DC 컨버터에 관한 것으로서, 보다 상세하게는, 회로를 구성하는 복수의 인덕터 및 스위치를 독립적으로 제어하여, 컨버터부의 커패시터를 직렬과 병렬로 선택적으로 연결되도록 하여 저항 특성이 좋은 경로에 많은 양의 전류를 흘리고, 저항 특성이 좋지 않은 경로에 적은 양의 전류를 흘림으로써, 컨버팅에 소모되는 전력손실을 최소화할 수 있는 DC-DC 컨버터에 관한 것이다.

배 경 기 술

[0002] 최근, 전 세계적으로 에너지 총 소모량이 증가함으로 인해, 보다 효율적으로 전력 또는 전압을 생성, 변환 및 추출하는 기술의 필요성이 대두되고 있다.

[0003] 특히, 스마트 폰, 태블릿 PC 및 무선 이어폰 등, 소형화된 전자 기기들이 대중에게 보급됨에 따라, 공급되는 큰 전압이 이러한 소형화된 전자 기기에서 활용될 수 있도록, 해당 전압을 감압하는 DC-DC 컨버터(예를 들어, 강압

컨버터, Buck 컨버터 등)의 필요성이 중요해지고 있다.

[0004] 그러나, 종래 기술에 따르는 DC-DC 컨버터는, 전력 스위칭 소자인 MOSFET의 전환 과정에서 발생하는 스위칭 손실, 전력 소자인 MOSFET이 ON 상태일 때 전류가 흐르면서 발생하는 도통 손실 및 인덕터가 전류의 변화에 저항하는 성질로 인한 인덕터 손실 등의 다양한 손실로 인해, 손실되는 전력이 크다는 단점이 있다.

[0005] 따라서, 전력손실을 최소화할 수 있는 DC-DC 컨버터에 대한 연구가 필요한 실정이다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 전력손실을 최소화할 수 있는 DC-DC 컨버터를 제공하는 것을 목적으로 한다.

[0007] 이를 통해, 전환 과정에서 발생하는 스위칭 손실, 전력 소자인 MOSFET이 ON 상태일 때 전류가 흐르면서 발생하는 도통 손실 및 인덕터가 전류의 변화에 저항하는 성질로 인한 인덕터 손실 등의 다양한 손실로 인해, 손실되는 전력을 최소화하는 것을 목적으로 한다.

[0008] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 일 실시 예에 따르는 전력손실을 최소화할 수 있는 DC-DC 컨버터는, 소정의 DC전압을 제공하는 입력전압 및 상기 입력전압과 연결되어 PWM 신호를 발생시키는 두 개의 입력단 스위치 및 상기 두개의 입력단 스위치 사이에 직렬로 연결되는 제1 인덕터를 포함하는 입력전압원; 상기 입력전압원의 접지부인 제 1 접지부와 연결되어 있는 제2 인덕터; 일 단에서 상기 제1 인덕터와 연결되고, 타 단에서 상기 제2 인덕터와 연결되고, 복수의 커패시터와 복수의 스위치로 구성되는 컨버터부; 상기 컨버터부의 일단 또는 타단과 스위치를 통해 선택적으로 연결되어, 상기 입력전압원보다 낮은 전압을 출력하는 출력부;를 포함하되, 상기 제1 인덕터의 용량은 제2 인덕터의 용량보다 크며, 상기 제1 인덕터에 흐르는 제1 전류가 상기 제2 인덕터에 흐르는 제2전류보다 작으며, 상기 컨버터부 내의 커패시터와 스위치의 동작에 의해, 상기 제1 전류가 흐르는 시간이 상기 제2 전류가 흐르는 시간보다 긴 것일 수 있다.

[0010] 또한, 상기 제1전류가 흐르는 상기 두 개의 입력단 스위치와 상기 제1 인덕터의 기생저항은, 상기 제2 전류가 흐르는 상기 제2 인덕터의 기생저항보다 큰 것일 수 있다.

[0011] 또한, 상기 컨버터부는, 상기 제1 인덕터와 직렬로 연결되는 제1커패시터; 상기 제1 커패시터와 병렬로 연결되는 제1 스위치; 일단이 상기 제1커패시터와 직렬로 연결되되, 타단이 상기 제2 인덕터와 직렬로 연결되는 제2 스위치; 일단이 상기 제1 스위치와 직렬로 연결되되, 타단이 상기 제2 인덕터와 직렬로 연결되는 제2커패시터; 및 상기 제1커패시터와 제2 스위치의 사이 지점과, 상기 제1 스위치와 제2커패시터의 사이 지점을 연결하는 제3 스위치를 포함할 수 있다.

[0012] 또한, 상기 제1커패시터, 제1 스위치, 제1 인덕터가 접촉되는 지점인 상기 컨버터부의 일단과 출력부 사이에 연결되는 제4 스위치; 및 상기 제2 스위치, 제2 커패시터, 제2 인덕터가 접촉되는 지점인 상기 컨버터부의 타단과 출력부 사이에 연결되는 제5 스위치;를 포함할 수 있다.

[0013] 또한, 상기 출력부는, 제3커패시터와 전류원을 포함할 수 있다.

[0014] 또한, 상기 제1 및 제2 커패시터에 적용되는 전압이 상기 입력전압보다 낮은 제1 기 설정된 전압이 적용되도록, 상기 입력전압원과, 상기 제1 스위치 및 상기 제2 커패시터 사이 지점에 연결되는 전압보상회로; 및 상기 출력부가 상기 제1 및 제2 커패시터에 적용되는 전압보다 낮은 제2 기 설정된 전압이 적용되도록, 상기 제3, 4 및 제5 스위치 각각에 적용되는 전압과 출력부 전압 간의 피드백루프를 형성하는 피드백부;를 더 포함할 수 있다.

[0015] 또한, 상기 제1 전류는, 상기 제3 스위치, 제5 스위치가 턴온되고, 상기 제1 스위치, 제2 스위치, 제4 스위치가 턴오프되어, 상기 제1 커패시터, 및 상기 제2 커패시터가 상기 제1 인덕터에 대해 직렬로 연결되어, 상기 제1 및 제2 커패시터를 충전시키는 방향으로 흐르는 것일 수 있다.

[0016] 또한, 상기 제2 전류는, 상기 제1 스위치, 제2 스위치, 제4 스위치가 턴온되고, 상기 제3 스위치, 제5 스위치가

턴오프되어, 상기 제1 및 제2 커패시터가 상기 제2 인덕터에 대해 병렬로 연결되어, 상기 제1 및 제2 커패시터가 방전되는 방향으로 흐르는 것일 수 있다.

[0017] 또한, 상기 제1 전류에 의해 제1 및 제2 커패시터에 충전된 에너지와 상기 제2 전류에 의해 제1 및 제2 커패시터에서 방전된 에너지가 동일하도록 상기 컨버터부의 스위치가 스위칭되어, 상기 제1 전류가 흐르는 시간과 상기 제2 전류가 흐르는 시간이 설정되는 것일 수 있다.

[0018] 또한, 상기 제1 전류와 상기 제2 전류의 위상이 상이하도록 설정함으로써, 리플을 제거하는 것일 수 있다.

발명의 효과

[0019] 본 발명은 전력손실을 최소화할 수 있는 DC-DC 컨버터를 제공함으로써, 컨버터부를 구성하는 복수의 스위치를 독립적으로 제어하여, 컨버터부의 커패시터를 직렬과 병렬로 선택적으로 연결되도록 하여 컨버팅에 소모되는 전력손실을 최소화하여 종래 기술보다 효율적으로 전력을 컨버팅 할 수 있다.

[0020] 또한, 컨버터부의 커패시터가 충전 시, 직렬로, 방전 시, 병렬로 연결되도록 하여, 커패시터에 전류가 흐르는 시간을 컨트롤 하는 방식으로 전력손실을 최소화할 수 있는 DC-DC컨버터를 제공할 수 있다.

도면의 간단한 설명

[0021] 도1은, 본 발명의 일 실시 예에 따르는, 전력손실을 최소화할 수 있는 DC-DC 컨버터 회로의 예시도 이다.

도2는, 본 발명의 일 실시 예에 따르는, DC-DC 변환회로의 커패시터가 직렬로 연결된 동작과정에 대한 예시도 이다.

도3은, 본 발명의 일 실시 예에 따르는, DC-DC 변환회로의 커패시터가 병렬로 연결된 동작 과정에 대한 예시도 이다.

도4는, 본 발명의 일 실시 예에 따르는, 입력전압원, DC-DC 변환회로 및 출력부의 구성을 나타낸 블록도 이다.

도5는, 본 발명의 일 실시 예에 따르는, 전력손실을 최소화할 수 있는 DC-DC 컨버터 회로의 전력손실 절감동작 과정에 대한 예시도 이다.

도6은, 본 발명의 일 실시 예에 따르는, 전력손실을 최소화할 수 있는 DC-DC 컨버터 회로의 인덕터 위상 및 리플에 대한 예시도 이다.

발명을 실시하기 위한 구체적인 내용

[0022] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0023] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0024] 본 명세서에 있어서 '부(部)'란, 하드웨어에 의해 실현되는 유닛(unit), 소프트웨어에 의해 실현되는 유닛, 양방을 이용하여 실현되는 유닛을 포함한다. 또한, 1 개의 유닛이 2 개 이상의 하드웨어를 이용하여 실현되어도 되고, 2 개 이상의 유닛이 1 개의 하드웨어에 의해 실현되어도 된다. 한편, '~부'는 소프트웨어 또는 하드웨어에 한정되는 의미는 아니며, '~부'는 어드레싱 할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서 '~부'는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다. 구성요소들과 '~부'들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '~부'들로 결합되거나 추가적인 구성요소들과 '~부'들로 더 분리될 수 있다. 뿐만 아니라, 구성요소들 및 '~부'들은 디바이스 또는 보안 멀티미디어카드 내의 하나 또는 그 이상의 CPU들을 재생시키도록 구현될 수도 있다.

[0025] 본 발명은 전력손실을 최소화할 수 있는 DC-DC 컨버터에 관한 것으로서, 회로를 구성하는 복수의 인덕터 및 스위치를 독립적으로 제어하여, 컨버터부의 커패시터를 직렬과 병렬로 선택적으로 연결되도록 하여 저항 특성이 좋은 경로에 많은 양의 전류를 흘리고, 저항 특성이 좋지 않은 경로에 적은 양의 전류를 흘림으로써, 전압 컨버팅에 소모되는 전력손실을 최소화할 수 있는 DC-DC 컨버터에 관한 기술이다.

[0026] 이를 위해, 본 발명의 일 실시예에 따르는 전력손실을 최소화할 수 있는 DC-DC 컨버터는 도1에 도시된 바와 같이, 입력전압원(100), DC-DC 변환회로(200) 및 출력부(300)로 구성될 수 있다.

[0027] 입력전압원(100)은, 소정의 DC전압을 제공하는 입력전압 및 입력전압과 연결되어 PWM(Pulse Width Modulation) 신호를 발생시키는 2 개의 입력단 스위치(S0) 및 상기 두개의 입력단 스위치(S0) 사이에 직렬로 연결되는 제1 인덕터(L1)를 포함하는 것으로서, DC-DC 컨버터에 전압을 공급하는 역할을 수행하는 회로 또는 소자일 수 있다.

[0028] 본 발명의 입력전압원(100)은 다양한 실시 예에 따라 각기 다른 형태로 구현될 수 있으나, 바람직한 실시 예에서 도1에 도시된 바와 같이, 2 개의 입력단 스위치(S0)가 서로 교대로 켜지고 꺼지는 것을 반복함으로써, 두 개의 입력단 스위치(S0) 사이에 연결된 제1 인덕터(L1)로 PWM 신호를 발생시키는 것일 수 있다.

[0029] 해당 실시 예에서, 입력전압원(100)은, 2개의 입력단 스위치(S0)가 노드0(N0)에서 연결되고, 노드0(N0)과 제1 인덕터(L1)가 연결됨으로써, DC-DC 변환회로(200)에 전압을 공급할 수 있다.

[0030] 또한, DC-DC 변환회로(200)는, 제2 인덕터(L2) 및 컨버터부(210)를 포함하며, 제2 인덕터(L2)는 상기 입력전압원의 접지부인 제 1 접지부(G1)와 연결되도록 구성될 수 있다.

[0031] 역시, 본 발명의 DC-DC 변환회로(200)도 다양한 실시 예에 따라 각기 다른 형태로 구현될 수 있으나, 바람직한 실시 예에서 도1에 도시된 바와 같이, 입력전압원(100)의 제1 인덕터(L1)가 노드1(N1)에서 컨버터부(210)의 일단과 연결되고, 제2 인덕터(L2)가 컨버터부(210)와 노드3(N3)에서 컨버터부(210)의 타단과 연결될 수 있다.

[0032] 또한, 제2 인덕터(L2)는 입력단 스위치(S0)와 일단이 연결된 노드7(N7)을 통하여 제1 접지부(G1)과 연결되어 접지되며, 컨버터부(210)와 제1 인덕터(L1)가 연결되는 노드1(N1)과 제2 인덕터(L2)가 연결되는 노드3(N3)은 제4 스위치(S4) 및 제5 스위치(S5)가 각각 직렬 연결된 후, 제4 스위치(S4)와 제5 스위치(S5)의 타단이 노드5(N5)를 통하여 연결되는 것일 수 있다.

[0033] 이때, 제1 인덕터(L1)와 노드1(N1) 사이와 제2 인덕터(L2)와 노드3(N3) 사이에는 각각 기생저항(PR)이 생성되게 되는데, 이에 대하여는 추후 자세히 설명하도록 한다.

[0034] 이어서, 컨버터부(210)는 복수의 커패시터 및 스위치를 포함하며, 일 단에서 제1 인덕터(L1)와 연결되고, 타 단에서 제2 인덕터(L2)와 연결됨으로써, 입력전압원(100)으로부터 입력전압을 공급받는 것일 수 있다.

[0035] 바람직한 실시 예에서, 컨버터부(210)는 노드1(N1)과 노드3(N3) 사이에 제1 커패시터와 제2커패시터가 병렬로 연결되고, 제1커패시터와 노드3(N3)사이에 제2 스위치(S2)가 노드4(N4)에서 직렬로 연결되며, 제2 커패시터와 노드1(N1) 사이에 제1 스위치가 노드2(N2)에서 연결될 수 있다.

[0036] 또한, 노드2(N2)와 노드4(N4) 사이에는 제3 스위치(S3)가 연결됨으로써, 컨버터부(210)를 구성할 수 있으며, 컨버터부(210)는 실시 예에 따라 사용되는 소자들에 따라서 휘트스톤 브릿지(Wheatstone Bridge), 맥스웰 브릿지(Maxwell Bridge) 및 켈빈 더블 브릿지(Kelvin Bridge) 등의 형태와 이들과 유사한 형태로 구현될 수 있다.

[0037] 다음으로, 출력부(300)는 제3 커패시터와 전류원을 포함하며, 컨버터부(210)의 일단 또는 타단과 스위치를 통해 선택적으로 연결되어, 입력전압원(100)이 공급하는 전압보다 낮은 전압을 출력한다.

[0038] 바람직하게는, 출력부(300)는 컨버터부(210)의 노드5(N5)와 제3 커패시터의 일단이 노드6(N6)을 통하여 연결되며, 제3 커패시터의 타단이 제2 접지부(G2)에 연결되어 접지되고, 노드6(N6)과 전류원의 일단이 연결되고, 전류원의 타단이 제3 접지부(G3)와 연결되어 접지되는 것일 수 있다.

[0039] 이와 같이 구성된 전력손실을 최소화할 수 있는 DC-DC 컨버터는, 상술한 컨버터부(210)를 구성하는 복수의 스위치가 독립적으로 제어됨으로써, 노드1(N1)과 노드3(N3)사이에서 제1 커패시터와 제2 커패시터가 직렬 또는 병렬로 연결되도록 할 수 있으며, 이에 따라 각 인덕터에 흐르는 전류가 서로 다르게 흐르도록 제어할 수 있다.

[0040] 이때, 제1 인덕터(L1)의 용량은 제2 인덕터(L2)의 용량보다 크며, 제1 인덕터(L1)에 흐르는 전류를 제1전류, 제2 인덕터(L2)에 흐르는 전류를 제2 전류라고 하면, 제1전류가 제2전류보다 작으며, 제1 전류가 흐르는 시간은 제2 전류가 흐르는 시간보다 길도록 제어된다.

[0041] 도2를 참조하면, 제1 전류는, 제3 스위치(S3), 제5 스위치(S5)가 턴온되고, 제1 스위치(S1), 제2 스위치(S2), 제4 스위치(S4)가 턴오프되어, 제1 커패시터와 제2 커패시터가 제1 인덕터(L1)에 대해 직렬로 연결되어, 제1 및 제2 커패시터 방향으로 흘러 제1 커패시터와 제2커패시터를 충전시킬 수 있다.

[0042] 이때, 앞서 설명한 바와 같이, 제1 인덕터(L1)의 용량이 제2 인덕터(L2)의 용량보다 크기 때문에, 제1 인덕터(L1)의 저항이, 제2 인덕터(L2)의 저항보다 크게 나타나며, 두 커패시터가 직렬로 연결되면, 컨버터부(210)의 각각의 스위치의 스위칭 동작에 의해 제1전류는 제2 전류보다 더 오래 흐르도록 제어된다.

[0043] 즉, 본 발명의 일 실시 예에 따르는, 전력손실을 최소화할 수 있는 DC-DC 컨버터는, 더 큰 용량과 저항을 가지 제1 인덕터가 포함된 회로부가 컨버터부(210)에 연결되었을 때, 상대적으로 작은 전류를 긴 시간 동안 흐르도록 제어한다.

[0044] 한편, 도3을 참조하면, 제2 전류는, 제1 스위치(S1), 제2 스위치(S2), 제4 스위치(S4)가 턴온되고, 제3 스위치(S3), 제5 스위치(S5)가 턴오프되어, 제1 커패시터와 제2 커패시터가 제2 인덕터(L2)에 대하여 병렬로 연결되어, 제1 및 제2 커패시터가 방전되는 방향으로 흘러 제1 커패시터와 제2커패시터를 방전시킬 수 있다.

[0045] 즉, 여기서 본 발명은, 상대적으로 더 작은 용량과 저항을 가지는 제2 인덕터가 포함된 DC-DC 변환회로(200)에, 상대적으로 더 큰 용량과 저항을 가지는 제1 인덕터가 포함된 입력전압원(100) 보다 더 큰 전류를, 더 짧은 시간 동안 흐르도록 제어한다.

[0046] 이때, 컨버터부(210)의 스위치는 제1 전류에 의해 제1 커패시터 및 제2 커패시터에 충전된 에너지(전력)과 제2 전류에 의해 제1 커패시터 및 제2 커패시터에서 방전되는 에너지가 서로 동일하도록 제1 전류가 흐르는 시간과 제2 전류가 흐르는 시간이 각각 제어될 수 있다.

[0047] 여기서, 제1 인덕터(L1)와 제2 인덕터(L2)에는, 각각의 인덕터가 원래 가지고 있는 저항이 아닌, 소자의 구조적 특성이나 제작 공정 상의 오차 등으로 인해 발생하는 기생저항(PR)이 발생하게 된다.

[0048] 해당 실시 예에서는 제1 인덕터(L1)의 은, 제1 인덕터(L1)의 일단과 컨버터부(210)의 일단 사이, 예를 들어 도시된 실시 예에서의 노드1(N1)과 제1 인덕터(L1) 사이에 발생하고, 제2 인덕터(L2)의 기생저항(PR)은, 제2 전류가 흐르는 제2 인덕터(L2)와 노드3(N3)사이에 발생할 수 있다.

[0049] 통상적으로, 기생 저항은, 소자 자체가 가지는 저항에 비례해서 커지므로, 각각 저항이 서로 다르게 구현된 제1 인덕터(L1)와 제2 인덕터(L2)의 기생저항(PR)은 제1 인덕터(L1)의 기생저항(PR)이 제2 인덕터(L2)의 기생저항(PR)보다 크게 발생한다.

[0050] 본 발명은, 통상적으로 저항이 큰 소자로 이루어진 회로부분, 예컨데, 2개의 실리콘 소재의 입력단 스위치(S0)로 구성되는 입력전압부에는 적은 양의 전류를 공급하고, 통상적으로 저항이 작은 소자로 이루어진 회로부분인, DC-DC 변환회로(200)에는 보다 많은 양의 전류를 공급하여, 회로 전체의 손실(Loss)를 줄이기 위한 기술이므로, 위와 같이 기생저항(PR)이 발생하는 경우, 저항이 큰 소자인 제1 인덕터(L1)의 총저항이 기생저항(PR)으로 인해 더 커지고, 저항이 작은 소자인 제2 인덕터(L2)의 총저항이 기생저항(PR)으로 인해 상대적으로 작아지더라도, 본 발명의 주 목적인 회로 전체의 손실을 줄이는 것에는 오히려 도움될 수 있다.

[0051] 한편, 본 발명의 또 다른 실시 예에 따르는 전력손실을 최소화할 수 있는 DC-DC 컨버터는 전압보상회로와 피드백부를 더 포함할 수 있다.

[0052] 도4를 참조하면, 해당 실시 예에 따르는 전력손실을 최소화할 수 있는 DC-DC 컨버터는 입력전압원(100)에 전압보상회로가 더 포함되고, DC-DC 변환회로(200)에 피드백부가 더 포함되는 형태로 구현될 수 있다.

[0053] 전압보상회로는 제1 커패시터 및 제2 커패시터에 적용되는 전압이 입력전압보다 낮은 전압인, 제1 기 설정된 전압으로 적용되도록, 입력전압원(100)과, 제1 스위치(S1) 및 제2 커패시터 사이 지점에 연결되며, 피드백부는 출력부(300)가 제1 커패시터 및 제2 커패시터에 적용되는 전압보다 낮은 전압인, 제2 기 설정된 전압으로 적용되도록, 제3 스위치(S3), 제4 스위치(S4) 및 제5 스위치(S5) 각각에 적용되는 전압과 출력부(300)의 전압 간의 피드백루프를 형성하는 것일 수 있다.

[0054] 이러한 실시 예에서는 전체 회로의 입력 전압(Vin)이 12V, 제1 커패시터와 제2 커패시터의 전압(Vcf)이 1.8V, 전체 회로의 출력 전압(Vout)이 0.3V가 되도록 제어 및 설계된다.

[0055] 여기서, 출력 전압은, DC-DC 변환회로(200)와 피드백부에 의해 0.3V가 되도록 제어되며, 제1 커패시터와 제2 커

패시터의 전압은 1.8V가 되도록 입력전압원(100)과 전압보상회로에 의해 제어될 수 있다.

[0056] 이때, 전압 제어 방식으로 활용되는 전압보상회로 방식과 피드백루프 방식 외에도 다양한 방식이 활용될 수 있으며, 상술한 두 방식의 경우, 종래 기술에 해당하므로 본 명세서에서는 자세히 설명하지 않는다.

[0057] 정리하여, 입력전압원(100)의 출력 전압 12V가 1.8V로 제어되어 제1 커패시터 및 제2 커패시터로 공급되며, 제1 커패시터 및 제2 커패시터의 전압이 0.3V로 제어되어 출력 전압으로서 출력되며, 이때 각각의 전압 제어는 독립적으로 수행되는 것일 수 있다.

[0058] 다시 돌아와서, 도5를 참조하면, 본 발명의 일 실시 예에 따르는, 전력손실을 최소화할 수 있는 DC-DC 컨버터는, 제1 인덕터(L1)가 제2 인덕터(L2)보다 더 큰 저항을 가지고 제2 인덕터(L2)가 제1 인덕터(L1)보다 더 작은 저항을 가지게 되므로, 입력전압원(100)에 의해 제1 인덕터(L1)에 인가되는 PWM 이 제2 인덕터(L2)에 인가되는 PWM보다 더 큰 진폭을 나타내게 된다.

[0059] 동시에, 제2 인덕터(L2)에 인가되는 PWM은 상대적으로 더 작은 진폭을 나타내게 되므로, 제2 인덕터(L2)에 더 많은 전류가 ㅎ르게 된다.

[0060] 따라서, 본 발명은 큰 저항을 가지는 소자들에 큰 전압이 걸리지만, 흐르는 전류가 작도록 제어되기 때문에 손실이 적고, 작은 저항을 가지는 소자들에게는 흐르는 전류가 크나, 작은 저항이 걸리므로 손실이 적은 것을 활용하여, 회로 전체에서 발생하는 손실을 절감할 수 있다.

[0061] 추가로, 본 발명의 추가 실시 예에 따르면, 전력손실을 최소화할 수 있는 DC-DC 컨버터는 도6에 도시된 바와 같이, 제1 인덕터(L1)와 제2 인덕터(L2)가 독립적으로 제어되기 때문에, 각각의 인덕터에 흐르는 제1 전류와 제2 전류의 위상이 상이하도록 설정함으로써, 회로에서 발생하는 리플(Ripple, 정류 회로에서 교류를 정류한 경우 직류 출력에 남는 교류분으로 즉, 전압의 노이즈)을 제거할 수 있다.

[0062] 이를 위해, 해당 실시 예에서는, 제1 전류와 제2 전류의 위상이 서로 180° 가 되도록 제어하며, 이를 통해 안정적인 출력 전압을 발생시킬 수 있다.

[0063] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

[0064] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

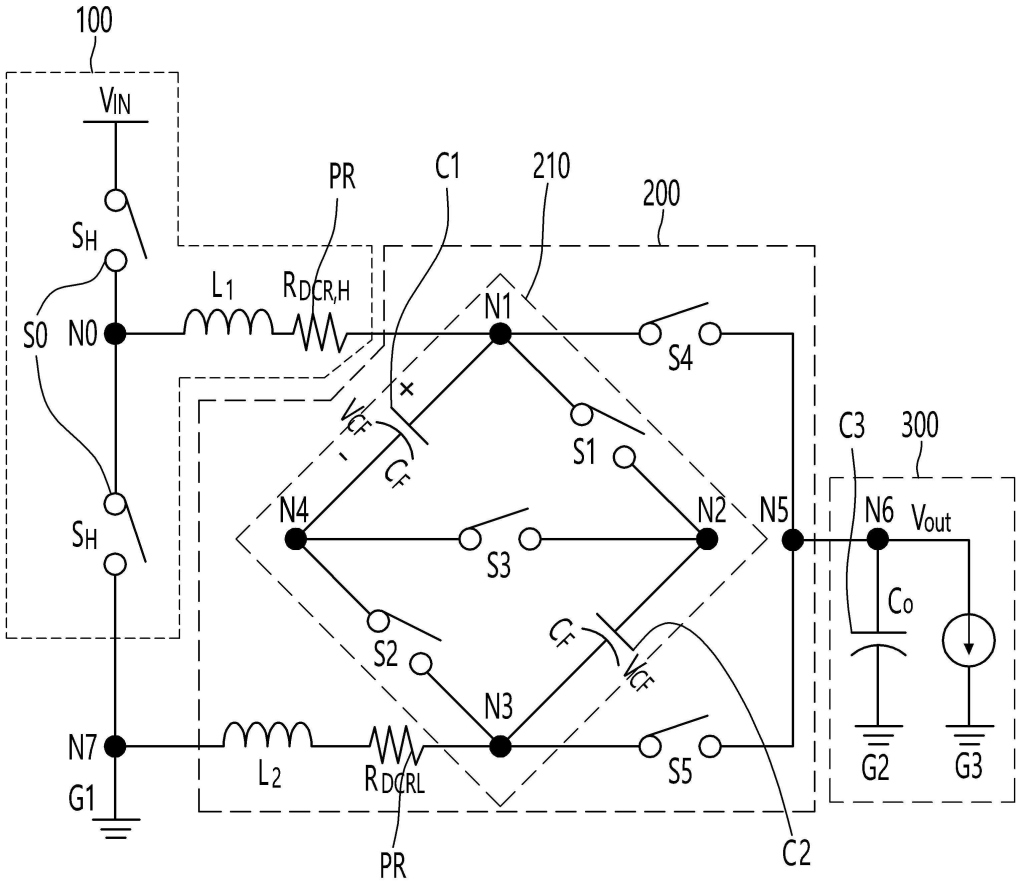
[0065]

100: 입력전압원	200: DC-DC 변환회로
210: 컨버터부	300: 출력부
S0: 입력단 스위치	S1: 제1 스위치
S2: 제2 스위치	S3: 제3 스위치
S4: 제4 스위치	S5: 제5 스위치
N0: 노드0	N1: 노드1
N2: 노드2	N3: 노드3
N4: 노드4	N5: 노드5
N6: 노드6	N7: 노드7
L1: 제1 인덕터	L2: 제2 인덕터
G1: 제1 접지부	G2: 제2 접지부

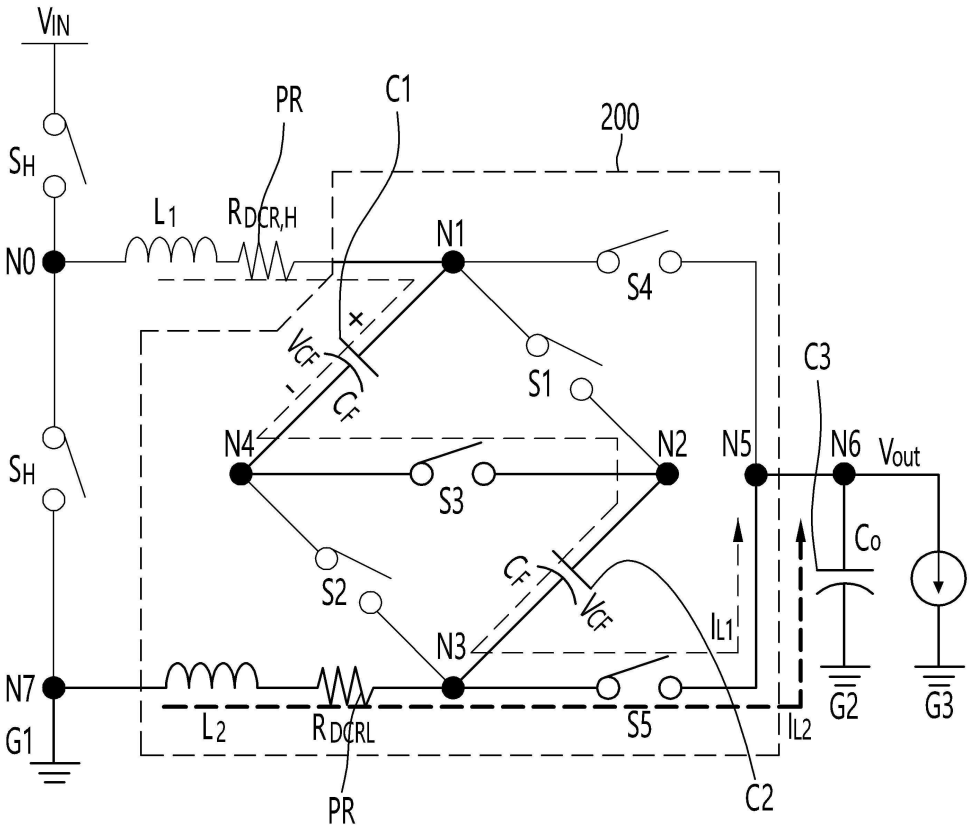
G3: 제3 접지부 PR: 기생저항

도면

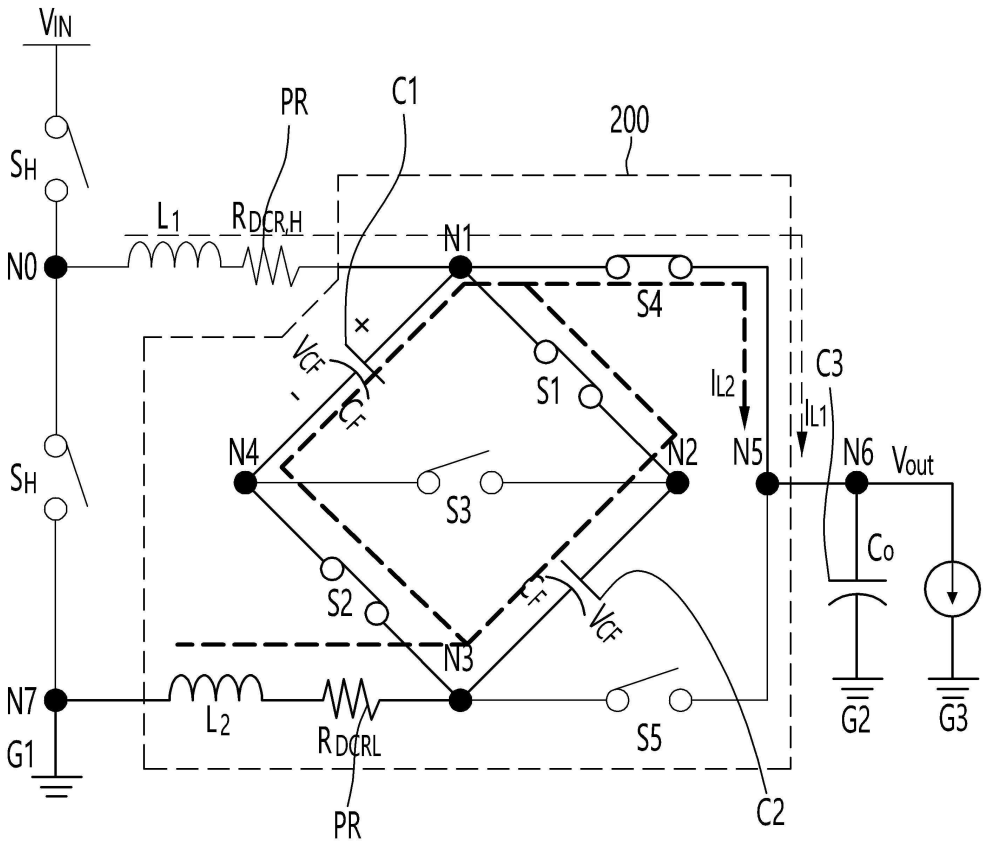
도면1



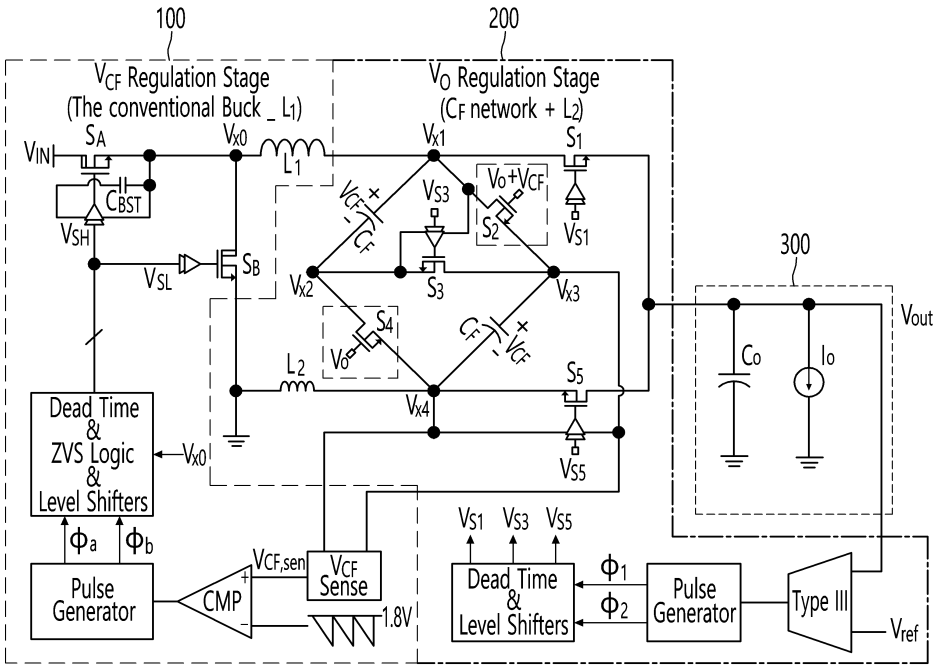
도면2


VIN
SH
N0
L1
RDCR,H
PR
C1
200
N1
S4
+
VCF
-
CF
S1
C3
SH
N4
S3
N2
N5
N6
Vout
Co
S2
CF
VCF
IL1
N3
N7
G1
L2
RDCRL
S5
IL2
G2
G3
PR
C2

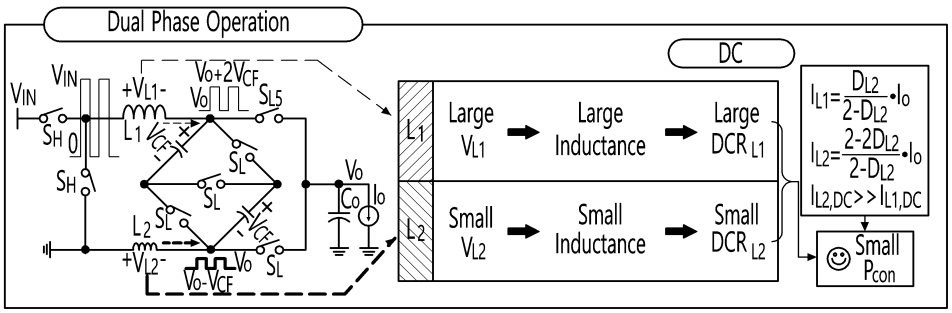
도면3


VIN
SH
N0
L1
RDCR,H
PR
C1
200
N1
S4
S1
IL2
C3
IL1
VCF
CF
N4
N2
N5
N6
Vout
S3
SH
Co
S2
N3
G2
G3
N7
G1
L2
RDCRL
S5
PR
C2

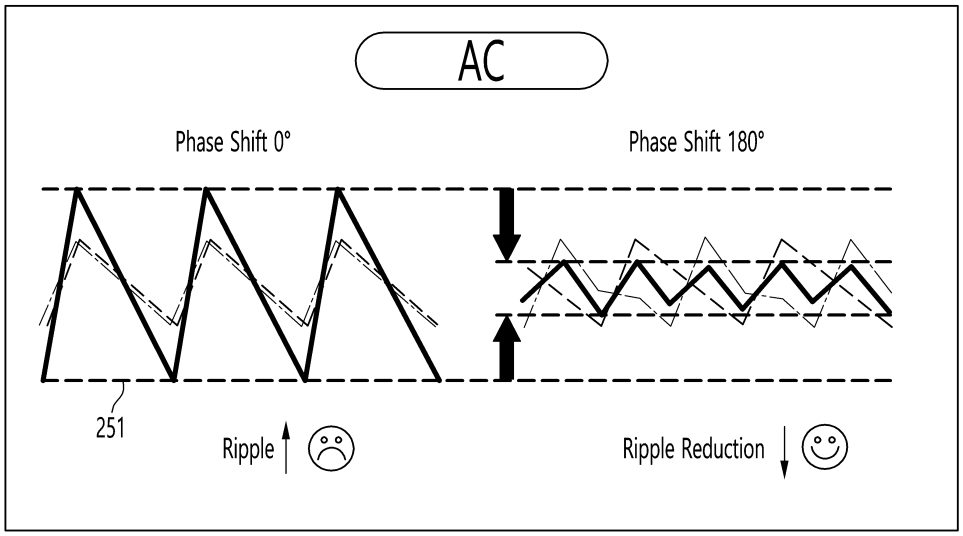
도면4


100
200
VCF Regulation Stage
(The conventional Buck _ L1)
VO Regulation Stage
(CF network + L2)
VIN
SA
Vx0
L1
Vx1
S1
CBST
VSH
VSL
SB
VS3
Vo+VCF
S2
VS1
Vx2
S3
Vx3
300
S4
Vo
L2
S5
Vout
Co
Io
Vx4
VS5
Dead Time
&
ZVS Logic
&
Level Shifters
Vx0
Φa
Φb
Pulse
Generator
VCF,sen
VCF
Sense
CMP
1.8V
VS1
VS3
VS5
Dead Time
&
Level Shifters
Φ1
Φ2
Pulse
Generator
Type III
Vref

도면5


Dual Phase Operation
DC
VIN
SH
SL
L1
L2
Vo
Co
Io
Large VL1
Large Inductance
Large DCR L1
Small VL2
Small Inductance
Small DCR L2
Small Pcon

도면6


AC
Phase Shift 0°
Phase Shift 180°
251
Ripple
Ripple Reduction