

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008 年 12 月 18 日 (18.12.2008)

PCT

(10) 国際公開番号
WO 2008/153128 A1

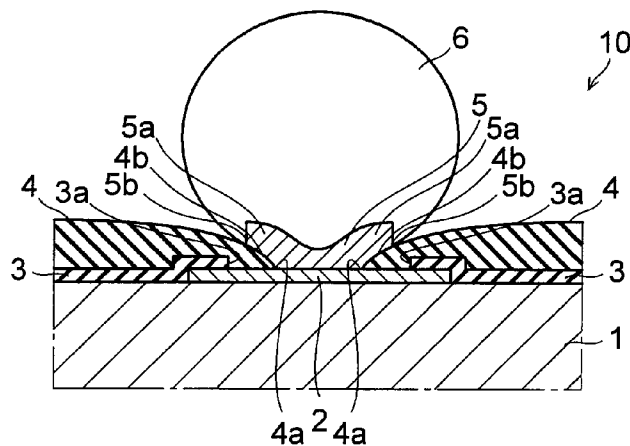
- (51) 国際特許分類:
H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2008/060844
- (22) 国際出願日: 2008 年 6 月 13 日 (13.06.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-159354 2007 年 6 月 15 日 (15.06.2007) JP
特願2007-159351 2007 年 6 月 15 日 (15.06.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森藤 忠洋 (MORI-FUJI, Tadahiro) [JP/JP]; 〒6158585 京都府京都市右京
- 区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 上田 茂幸 (UEDA, Shigeyuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 佐野 静夫, 外 (SANO, Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2]



(57) Abstract: Disclosed is a semiconductor device suppressed in decrease of reliability. The semiconductor device comprises an electrode pad portion (2) formed on the upper surface of a semiconductor substrate (1), a passivation layer (3) so formed on the upper surface of the semiconductor substrate (1) as to overlap a part of the electrode pad portion (2) and having a first opening portion (3a) where the upper surface of the electrode pad portion (2) is exposed, a barrier metal layer (5) formed on the electrode pad portion (2), and a solder bump (6) formed on the barrier metal layer (5). The barrier metal layer (5) is formed such that an outer peripheral end (5b) lies within the first opening portion (3a) of the passivation layer (3) when viewed in plan.

/ 続葉有 /

WO 2008/153128 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(57) 要約: 信頼性の低下を抑制することが可能な半導体装置を提供する。この半導体装置は、半導体基板(1)の上面上に形成された電極パッド部(2)と、電極パッド部(2)の上面を露出させる第1開口部(3a)を含み、半導体基板(1)の上面上に、電極パッド部(2)の一部と重なるように形成されたパッシベーション層(3)と、電極パッド部(2)上に形成されたバリアメタル層(5)と、バリアメタル層(5)上に形成された半田バンプ(6)とを備えている。そして、バリアメタル層(5)は、平面的に見て、外周端部(5b)がパッシベーション層(3)の第1開口部(3a)の内側に位置するように形成されている。

明 細 書

半導体装置

技術分野

[0001] この発明は、半導体装置に関し、特に、半導体チップがフリップチップ接合された半導体装置に関する。

背景技術

[0002] 従来、半導体チップがフリップチップ接合された半導体パッケージ(半導体装置)が知られている。このような半導体パッケージに搭載される半導体チップには、フリップチップ接合を行うための半田バンプ(バンプ電極)が形成されている(たとえば、特許文献1参照)。

[0003] 図29～図31は、特許文献1に記載された従来の半導体装置の構造を示した概略断面図である。従来の半導体装置では、図29に示すように、半導体基板1001の上面に、電極パッド部1002が形成されている。なお、半導体基板1001の上面には、ICやLSIなどの回路(図示せず)が作り込まれている。また、半導体基板1001の上面には、半導体基板1001の上面を保護するための保護層1003が形成されている。この保護層1003は、電極パッド部1002上の所定領域を露出させる開口部1003aを有している。また、保護層1003は、電極パッド部1002の周縁部と重なるように形成されており、これによって、保護層1003には、段差部1003bが形成されている。

[0004] また、電極パッド部1002上には、バリアメタル層1004を介してバンプ電極1005が形成されている。このバリアメタル層1004は、その周縁部1004aが保護層1003の電極パッド部1002と重なる領域上に乗り上げるように、電極パッド部1002上に形成されている。すなわち、バリアメタル層1004の外周端部1004bが、保護層1003における電極パッド部1002と重なる領域上に形成されている。

[0005] また、図30に示すように、バンプ電極1005が形成された半導体基板1001は、上面(回路面)がプリント基板1006と対向するようにフェースダウンでプリント基板1006上に配置され、バンプ電極1005によって、プリント基板1006の電極1007とフリップチップ接合されている。

[0006] 特許文献1:特開2007-13063号公報

発明の開示

発明が解決しようとする課題

[0007] 上記特許文献1に記載された従来の半導体装置では、バリアメタル層1004の周縁部1004aが保護層1003の電極パッド部1002と重なる領域上に乗り上げるように構成されているため、図30および図31に示すように、半導体基板1001とプリント基板1006との熱膨張係数の差に起因する熱応力が bumps 電極1005に加わった際に、保護層1003におけるバリアメタル層1004の外周端部1004b下の領域(外周端部1004bに対応する領域)に亀裂が発生し易くなるという不都合がある。このため、保護層1003が破断し易くなるので、保護層1003が破断した場合には、保護層1003の破断に起因して、半導体装置の信頼性が低下するという問題点がある。

[0008] この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、信頼性の低下を抑制することが可能な半導体装置を提供することである。

課題を解決するための手段

[0009] 上記目的を達成するために、この発明の第1の局面による半導体装置は、基板の表面上に形成された電極パッド部と、電極パッド部の上面を露出させる第1開口部を含み、基板の表面上に、電極パッド部の一部と重なるように形成された第1保護層と、電極パッド部上に形成されたバリアメタル層と、バリアメタル層上に形成された bumps 電極とを備えている。そして、バリアメタル層は、平面的に見て、外周端部が第1保護層の第1開口部の内側に形成されている。

[0010] この第1の局面による半導体装置では、上記のように、バリアメタル層を、平面的に見て、外周端部が第1保護層の第1開口部の内側に形成されるように構成することによって、バリアメタル層の外周端部の下方には第1保護層が形成されないため、プリント基板上に基板をフリップチップ接合した際に、基板とプリント基板との熱膨張係数の差に起因する熱応力が bumps 電極に加わった場合でも、第1保護層に亀裂が発生するのを抑制することができる。このため、第1保護層の破断を抑制することができるので、第1保護層の破断に起因する半導体装置の信頼性の低下を抑制することが

できる。

[0011] 上記第1の局面による半導体装置において、好ましくは、第1保護層上の所定領域および電極パッド部上の所定領域を覆うように形成された第2保護層をさらに備え、バリアメタル層は、第2保護層上に周縁部を位置させた状態で、電極パッド部上に形成されている。このように構成すれば、電極パッド部上にバリアメタル層を形成する際に、容易に、バリアメタル層を、平面的に見て、外周端部が第1保護層の第1開口部の内側に位置するように形成することができる。

[0012] この場合において、好ましくは、第2保護層には、電極パッド部の上面を露出させるとともに、第1開口部よりも小さい開口幅を有する第2開口部が設けられており、第2開口部を規定する端縁部は、傾斜形状を有している。このように構成すれば、バリアメタル層の周縁部を第2保護層上に形成した場合でも、バリアメタル層の破断を抑制することができる。このため、第1保護層の破断に起因する半導体装置の信頼性の低下を抑制することができることに加えて、バリアメタル層の破断に起因する半導体装置の信頼性の低下をも抑制することができるので、より容易に、半導体装置の信頼性の低下を抑制することができる。

[0013] 上記第2保護層が形成された構成において、好ましくは、第2保護層は、ポリイミドから構成されている。このように構成すれば、より容易に、第1保護層の破断を抑制することができる。

[0014] 上記第1の局面による半導体装置において、電極パッド部を、アルミニウム含む材料から構成できるとともに、バリアメタル層を、チタンを含む材料から構成することができ、かつ、バンプ電極を、半田バンプから構成することができる。

[0015] この発明の第2の局面による半導体装置は、基板の表面上に形成された電極パッド部と、電極パッド部の上面を露出させる第1開口部を含み、基板の表面上に、電極パッド部の一部と重なるように形成された第1保護層と、電極パッド部上に、第1保護層と直接接触することなく形成されたバリアメタル層と、バリアメタル層上に形成されたバンプ電極とを備えている。そして、第1保護層は、電極パッド部の一部と重なることによって形成された段差部を有し、バリアメタル層は、平面的に見て、外周端部が段差部よりも外側に形成されている。

- [0016] この第2の局面による半導体装置では、上記のように、バリアメタル層を、第1保護層と直接接触しないように電極パッド部上に形成することによって、プリント基板上に基板をフリップチップ接合した際に、基板とプリント基板との熱膨張係数の差に起因する熱応力がバンプ電極に加わった場合でも、その熱応力が第1保護層に加わるのを抑制することができるので、第1保護層に亀裂が発生するのを抑制することができる。このため、第1保護層の破断を抑制することができるので、第1保護層の破断に起因する半導体装置の信頼性の低下を抑制することができる。
- [0017] また、第2の局面では、バリアメタル層を、平面的に見て、外周端部が段差部よりも外側に形成されるように構成することによって、バリアメタル層を、外周端部の直下に段差部が位置しないように構成することができる。ここで、第1保護層の段差部においては、部分的に第1保護層の厚みが小さくなったりするため、第1保護層の他の部分に比べて亀裂が発生し易い一方、上記のように構成することによって、基板とプリント基板との熱膨張係数の差に起因する熱応力がバンプ電極に加わった場合でも、第1保護層の段差部に亀裂が発生するのを抑制することができる。このため、これによっても、第1保護層の破断に起因する半導体装置の信頼性の低下を抑制することができる。
- [0018] 上記第2の局面による半導体装置において、好ましくは、第1保護層上の所定領域および電極パッド部上の所定領域を覆うように形成された第2保護層をさらに備え、バリアメタル層は、第2保護層上に周縁部を位置させた状態で、電極パッド部上に形成されている。このように構成すれば、電極パッド部上にバリアメタル層を形成する際に、容易に、バリアメタル層を、第1保護層と直接接触することなく、平面的に見て、外周端部が段差部よりも外側に位置するように形成することができる。
- [0019] この場合において、好ましくは、第2保護層には、電極パッド部の上面を露出させるとともに、第1開口部よりも小さい開口幅を有する第2開口部が設けられており、第2開口部を規定する端縁部は、傾斜形状を有している。このように構成すれば、バリアメタル層の周縁部を第2保護層上に形成した場合でも、バリアメタル層の破断を抑制することができる。このため、第1保護層の破断に起因する半導体装置の信頼性の低下を抑制することができることに加えて、バリアメタル層の破断に起因する半導体装

置の信頼性の低下をも抑制することができるので、より容易に、半導体装置の信頼性の低下を抑制することができる。

[0020] 上記第2保護層が形成された構成において、好ましくは、第2保護層は、ポリイミドから構成されている。このように構成すれば、より容易に、第1保護層の破断を抑制することができる。

[0021] 上記第2の局面による半導体装置において、電極パッド部を、アルミニウム含む材料から構成できるとともに、バリアメタル層を、チタンを含む材料から構成することができ、かつ、バンプ電極を、半田バンプから構成することができる。

発明の効果

[0022] 以上のように、本発明によれば、信頼性の低下を抑制することが可能な半導体装置を容易に得ることができる。

図面の簡単な説明

[0023] [図1]本発明の第1実施形態による半導体装置の構造を示した断面図である。

[図2]図1に示した本発明の第1実施形態による半導体装置における半導体チップの電極部の構造を示した断面図である。

[図3]図1に示した本発明の第1実施形態による半導体装置における半導体チップの半田バンプを省略した電極部の構造を示した断面図である。

[図4]図1に示した本発明の第1実施形態による半導体装置における半導体チップの半田バンプを省略した電極部の平面図である。

[図5]半導体チップをプリント基板上に実装した状態を示した断面図である。

[図6]本発明の第1実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図7]本発明の第1実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図8]本発明の第1実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図9]本発明の第1実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図10]本発明の第1実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図11]本発明の第1実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図12]本発明の第1実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図13]第1実施形態の第1変形例による半導体チップの電極部の構造を示した断面図である。

[図14]第1実施形態の第2変形例による半導体チップの電極部の構造を示した断面図である。

[図15]第1実施形態の第3変形例による半導体チップの電極部の構造を示した断面図である。

[図16]本発明の第2実施形態による半導体装置の構造を示した断面図である。

[図17]図16に示した本発明の第2実施形態による半導体装置における半導体チップの電極部の構造を示した断面図である。

[図18]図16に示した本発明の第2実施形態による半導体装置における半導体チップの半田バンプを省略した電極部の構造を示した断面図である。

[図19]図16に示した本発明の第2実施形態による半導体装置における半導体チップの半田バンプを省略した電極部の平面図である。

[図20]半導体チップをプリント基板上に実装した状態を示した断面図である。

[図21]本発明の第2実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図22]本発明の第2実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図23]本発明の第2実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図24]本発明の第2実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図25]本発明の第2実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図26]本発明の第2実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図27]本発明の第2実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。

[図28]第2実施形態の変形例による半導体チップの電極部の構造を示した断面図である。

[図29]特許文献1に記載された従来の半導体装置の構造を示した概略断面図である。
。

[図30]特許文献1に記載された従来の半導体装置の構造を示した概略断面図である。
。

[図31]図30のA部の拡大断面図である。

符号の説明

[0024]	1、401	半導体基板(基板)
	2、402	電極パッド部
	3、403	パッシベーション層(第1保護層)
	3a、403a	第1開口部
	3b、403b	段差部
	4、404	絶縁保護層(第2保護層)
	4a、404a	第2開口部
	4b、404b	端縁部
	5、405	バリアメタル層
	5a、405a	周縁部
	5b、405b	外周端部
	6、406	半田バンプ(バンプ電極)
	10、110、210、 310、410、510	半導体チップ

20、420	プリント基板
21、421	接続パッド部
22、422	電極端子
30、430	樹脂封止層
40、440	樹脂部材

発明を実施するための最良の形態

[0025] 以下、本発明を具体化した実施形態を図面に基づいて説明する。なお、以下の実施形態では、半導体チップがフリップチップ接合されたBGA (Ball Grid Array) パッケージ型の半導体装置に本発明を適用した例について説明する。

[0026] (第1実施形態)

図1は、本発明の第1実施形態による半導体装置の構造を示した断面図である。図2は、図1に示した本発明の第1実施形態による半導体装置における半導体チップの電極部の構造を示した断面図である。図3～図5は、本発明の第1実施形態による半導体装置の構造を説明するための図である。まず、図1～図5を参照して、本発明の第1実施形態による半導体装置の構造について説明する。

[0027] 第1実施形態による半導体装置は、図1に示すように、半導体チップ10と、半導体チップ10が実装されるプリント基板20と、半導体チップ10を封止する樹脂封止層30とを備えている。なお、樹脂封止層30は、たとえば、エポキシ樹脂などの熱硬化性樹脂によって構成されている。

[0028] 半導体チップ10は、シリコン基板などの半導体基板1からなり、半導体基板1の上面上には、たとえば、ICやLSIなどの回路(図示せず)が作り込まれている。なお、半導体基板1は、本発明の「基板」の一例である。

[0029] また、半導体基板1の上面上には、図2および図3に示すように、アルミニウムまたはアルミニウム合金からなる電極パッド部2が形成されている。また、半導体基板1の上面上には、窒化シリコンからなるパッシベーション層3が形成されている。このパッシベーション層3には、電極パッド部2の所定領域を露出させる第1開口部3aが形成されている。なお、第1開口部3aは、図4に示すように、平面的に見て、略円形状を有しており、約85 μ m～約95 μ mの開口幅D1に形成されている。また、パッシベ

ション層3は、電極パッド部2の周縁部と重なるように半導体基板1の上面上に形成されている。なお、パッシベーション層3は、本発明の「第1保護層」の一例である。

[0030] また、パッシベーション層3上の所定領域、および、電極パッド部2上の所定領域には、ポリイミドからなる絶縁保護層4が形成されている。この絶縁保護層4には、図3および図4に示すように、パッシベーション層3の第1開口部3aの開口幅D1(約85 μ m～約95 μ m)よりも小さい開口幅D2(約55 μ m～約65 μ m)を有する第2開口部4aが設けられている。なお、第2開口部4aは、図4に示すように、平面的に見て、略円形形状を有しており、第1開口部3aとほぼ同心円状に形成されている。また、絶縁保護層4の第2開口部4aを規定する端縁部4bは、傾斜形状に形成されている。なお、絶縁保護層4は、本発明の「第2保護層」の一例である。

[0031] また、電極パッド部2上には、図2および図3に示すように、約10 μ mの厚みを有するとともに、チタン(Ti)からなるバリアメタル層5が、周縁部5aを絶縁保護層4上の端縁部4b近傍領域に位置させた状態で形成されている。なお、バリアメタル層5は、図4に示すように、平面的に見て、略円形形状を有しており、第1開口部3aおよび第2開口部4aとほぼ同心円状に形成されている。

[0032] ここで、第1実施形態では、バリアメタル層5は、平面的に見て、外周端部5bがパッシベーション層3の第1開口部3aの内側に位置するように形成されている。すなわち、バリアメタル層5は、図3または図4に示すように、パッシベーション層3の第1開口部3aの幅D1以下の幅D3(約70 μ m～約80 μ m)に構成されている。

[0033] また、バリアメタル層5上には、図2に示すように、約70 μ m～約100 μ mの高さ(厚み)を有する球状の半田バンプ6が形成されている。この半田バンプ6は、バリアメタル層5を介して、電極パッド部2と電氣的に接続されている。また、半田バンプ6は、バリアメタル層5の上面に加えて、バリアメタル層5の外周端部5bとも接触するように、バリアメタル層5上に形成されている。すなわち、半田バンプ6は、バリアメタル層5の外周端部5bを覆うように、バリアメタル層5に接合されている。これにより、上面のみに半田バンプ6が接合される場合に比べて、接合面積が大きくなるので、半田バンプ6とバリアメタル層5との接合強度が向上する。なお、半田バンプ6は、本発明の「バンプ電極」の一例である。

- [0034] また、図1に示すプリント基板20は、ガラスエポキシ樹脂などから構成されており、多層構造の配線層(図示せず)を有している。また、プリント基板20の上面上には、半導体チップ10の半田バンプ6と電氣的に接続される接続パッド部21(図5参照)が複数形成されている。また、プリント基板20の下面上には、接続パッド部21と電氣的に接続された電極端子22が複数形成されている。この電極端子22は、球状の半田バンプ6から構成されており、プリント基板20の下面上に格子状に配列されている。
- [0035] また、半田バンプ6が形成された半導体チップ10は、図1および図5に示すように、フェースダウンでプリント基板20上に実装されている。具体的には、図5に示すように、半導体チップ10は、上面(回路面)がプリント基板20と対向するように配置され、半導体チップ10の半田バンプ6が、プリント基板20の接続パッド部21にフリップチップ接合されている。これにより、半田バンプ6と接続パッド部21とが電氣的に接続される。
- [0036] なお、半導体チップ10とプリント基板20との間には、図1に示すように、シリコン系樹脂、エポキシ樹脂、または、アクリル系樹脂などからなる樹脂部材40が充填されている。
- [0037] 第1実施形態では、上記のように、バリアメタル層5を、平面的に見て、外周端部5bがパッシベーション層3の第1開口部3aの内側に形成されるように構成することによって、バリアメタル層5の外周端部5bの下方にはパッシベーション層3が形成されない。このため、プリント基板20上に半導体チップ10(半導体基板1)をフリップチップ接合した際に、半導体チップ10とプリント基板20との熱膨張係数の差に起因する熱応力が半田バンプ6に加わった場合でも、パッシベーション層3に亀裂が発生するのを抑制することができる。このため、パッシベーション層3の破断を抑制することができるので、パッシベーション層3の破断に起因する半導体装置の信頼性の低下を抑制することができる。
- [0038] なお、バリアメタル層5の外周端部5bの下方には、絶縁保護層4が形成されている。一方、この絶縁保護層4は、パッシベーション層3を構成する窒化シリコンに比べて柔らかいポリイミドから構成されているため、バリアメタル層5の周縁部5aが絶縁保護層4上に形成された場合でも、絶縁保護層4が破断されるのを抑制することができる。

- [0039] また、第1実施形態では、絶縁保護層4を、パッシベーション層3上の所定領域および電極パッド部2上の所定領域に形成するとともに、バリアメタル層5を、絶縁保護層4上に周縁部5aを位置させた状態で電極パッド部2上に形成することによって、後述する電極部の形成プロセスにおいて、容易に、バリアメタル層5を、平面的に見て、外周端部5bがパッシベーション層3の第1開口部3aの内側に位置するように形成することができる。
- [0040] また、第1実施形態では、絶縁保護層4の第2開口部4aを規定する端縁部4bを、傾斜形状に形成することによって、バリアメタル層5の周縁部5aを絶縁保護層4上に形成した場合でも、バリアメタル層5を破断し難くすることができる。このため、パッシベーション層3の破断に起因する半導体装置の信頼性の低下を抑制することができる。このに加えて、バリアメタル層5の破断に起因する半導体装置の信頼性の低下をも抑制することができるので、より容易に、半導体装置の信頼性の低下を抑制することができる。
- [0041] 図6～図12は、第1実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。次に、図1～4および図6～図12を参照して、半導体チップ10の電極部の形成プロセスについて説明する。
- [0042] まず、図6に示すように、電極パッド部2が形成された半導体基板1の上面上の全面に、プラズマCVD法などを用いて、窒化シリコンからなるパッシベーション層3を形成する。次に、図7に示すように、フォトリソグラフィ技術などを用いて、パッシベーション層3上の所定領域にレジスト50を形成する。そして、レジスト50をマスクとして、エッチングにより、パッシベーション層3の所定領域を除去する。これにより、パッシベーション層3に、電極パッド部2上の所定領域を露出させる第1開口部3aが形成される。この際、第1開口部3aは、開口幅D1（約85 μ m～約95 μ m、図3および図4参照）に形成する。その後、レジスト50を除去する。
- [0043] 続いて、図8に示すように、スパインコーティング法などを用いて、全面に、ポリイミドからなる絶縁保護層14を形成する。そして、フォトリソグラフィ技術およびエッチング技術を用いて、絶縁保護層14の所定領域を除去する。その後、熱処理を行うことによって、絶縁保護層14をフローさせる。これにより、図9に示すような絶縁保護層4が得ら

れる。すなわち、絶縁保護層14(図8参照)に、パッシベーション層3の第1開口部3aの開口幅D1(約85 μ m～約95 μ m)よりも小さい開口幅D2(約55 μ m～約65 μ m)を有する第2開口部4aが形成されるとともに、その第2開口部4aを規定する端縁部4bが、傾斜形状に形成される。

[0044] 次に、図10に示すように、蒸着法などを用いて、全面に、約10 μ mの厚みを有するとともに、チタン(Ti)からなるバリアメタル層15を形成する。次に、図11に示すように、フォトリソグラフィ技術およびエッチング技術を用いて、バリアメタル層15上の所定領域にレジスト60を形成する。この際、パッシベーション層3の第1開口部3aの内側に対応する領域が開口するように、レジスト60をパターンニングする。そして、メッキ法などを用いて、レジスト60をマスクとして、バリアメタル層15上に半田層16を形成する。

[0045] その後、図12に示すように、レジスト60(図11参照)を除去するとともに、半田層16の周囲のバリアメタル層15をエッチングにより除去する。これにより、図4に示したような、平面的に見て、外周端部5bがパッシベーション層3の第1開口部3aの内側に形成されたバリアメタル層5が電極パッド部2上に形成される。また、図2および図3に示したように、電極パッド部2上に形成されたバリアメタル層5は、周縁部5aが絶縁保護層4上に位置するように構成される。

[0046] なお、図12に示すように、上記した絶縁保護層4を形成することによって、電極パッド部2の上面が露出しないように構成することが可能となる。このため、外周端部5bがパッシベーション層3の第1開口部3aの内側に形成されるように、バリアメタル層15のエッチングを行ったとしても、電極パッド部2までエッチングされるのを抑制することが可能となる。これにより、容易に、バリアメタル層5を、平面的に見て、外周端部5bがパッシベーション層3の第1開口部3aの内側に位置するように形成することが可能となる。

[0047] 最後に、リフロー炉内で加熱することによって、半田層16を一旦溶融することにより、半田層16を、図2に示したような球状の半田バンプ6に形成する。これにより、バリアメタル層5上に、半田バンプ6(図2参照)が形成される。このようにして、図1に示した本発明の第1実施形態による半導体装置における半導体チップ10の電極部が形

成される。

[0048] なお、上記第1実施形態では、ポリイミドからなる絶縁保護層を備えた例を示したが、本発明はこれに限らず、図13に示す第1実施形態の第1変形例による半導体チップ110のように、絶縁保護層を備えない構成にしてもよい。この場合、ポリイミドからなる絶縁保護層の代わりにレジストを用いて上記実施形態と同様の電極構造を形成し、その後、レジストを除去することによって、絶縁保護層を備えない構成にすることが可能となる。また、半導体チップ110とプリント基板との間に、図1に示したような樹脂部材40を充填することによって、レジストを除去した場合でも、フリップチップ接合の信頼性の低下が抑制される。

[0049] また、図14に示す第1実施形態の第2変形例による半導体チップ210のように、電極パッド部2上のパッシベーション層3の第1開口部3aによって露出された領域の全面に、バリアメタル層205を形成するようにしてもよい。この際、バリアメタル層205の厚みをパッシベーション層3の厚みよりも大きくすることによって、半田バンプ6を、バリアメタル層205の外周端部205aを覆うように形成することが可能となる。

[0050] さらに、図15に示す第1実施形態の第3変形例による半導体チップ310のように、バリアメタル層305の外周端部305aを、パッシベーション層3の第1開口部3aから所定の距離を隔てた領域に形成するようにしてもよい。

[0051] (第2実施形態)

図16は、本発明の第2実施形態による半導体装置の構造を示した断面図である。図17は、図16に示した本発明の第2実施形態による半導体装置における半導体チップの電極部の構造を示した断面図である。図18～図20は、本発明の第2実施形態による半導体装置の構造を説明するための図である。まず、図16～図20を参照して、本発明の第2実施形態による半導体装置の構造について説明する。

[0052] 第2実施形態による半導体装置は、図16に示すように、半導体チップ410と、半導体チップ410が実装されるプリント基板420と、半導体チップ410を封止する樹脂封止層430とを備えている。なお、樹脂封止層430は、たとえば、エポキシ樹脂などの熱硬化性樹脂によって構成されている。

[0053] 半導体チップ410は、シリコン基板などの半導体基板401からなり、半導体基板40

1の上面には、たとえば、ICやLSIなどの回路(図示せず)が作り込まれている。なお、半導体基板401は、本発明の「基板」の一例である。

[0054] また、半導体基板401の上面上には、図17および図18に示すように、アルミニウムまたはアルミニウム合金からなる電極パッド部402が形成されている。この電極パッド部402は、図19に示すように、平面的見て矩形形状に形成されている。また、図17および図18に示すように、半導体基板401の上面上には、窒化シリコンからなるパッシベーション層403が形成されている。このパッシベーション層403には、電極パッド部402の所定領域を露出させる第1開口部403aが形成されている。なお、第1開口部403aは、図19に示すように、平面的に見て、略円形形状を有しており、約 $85\mu\text{m}$ ～約 $95\mu\text{m}$ の開口幅D1に形成されている。また、パッシベーション層403は、電極パッド部402の周縁部と重なるように半導体基板401の上面上に形成されている。このため、パッシベーション層403には、段差部403bが形成されている。なお、パッシベーション層403は、本発明の「第1保護層」の一例である。

[0055] パッシベーション層403上の所定領域、および、電極パッド部402上の所定領域には、ポリイミドからなる絶縁保護層404が形成されている。この絶縁保護層404には、図18および図19に示すように、パッシベーション層403の第1開口部403aの開口幅D1(約 $85\mu\text{m}$ ～約 $95\mu\text{m}$)よりも小さい開口幅D2(約 $55\mu\text{m}$ ～約 $65\mu\text{m}$)を有する第2開口部404aが設けられている。なお、第2開口部404aは、図19に示すように、平面的に見て、略円形形状を有しており、第1開口部403aとほぼ同心円状に形成されている。また、絶縁保護層404の第2開口部404aを規定する端縁部404bは、傾斜形状に形成されている。なお、絶縁保護層404は、本発明の「第2保護層」の一例である。

[0056] また、電極パッド部402上には、図17および図18に示すように、約 $10\mu\text{m}$ の厚みを有するとともに、チタン(Ti)からなるバリアメタル層405が、周縁部405aを絶縁保護層404上の端縁部404b近傍領域に位置させた状態で形成されている。すなわち、バリアメタル層405は、パッシベーション層403と直接接触することなく、電極パッド部402上に形成されている。なお、バリアメタル層405は、図19に示すように、平面的に見て、略円形形状を有しており、第1開口部403aおよび第2開口部404aとほぼ

同心円状に形成されている。

- [0057] ここで、第2実施形態では、バリアメタル層405は、平面的に見て、外周端部405bがパッシベーション層403の段差部403bの外側に位置するように形成されている。すなわち、バリアメタル層405は、パッシベーション層403の段差部403bを覆うことが可能な大きさである幅D4(約110 μ m～約120 μ m)に形成されている。
- [0058] また、バリアメタル層405上には、図17に示すように、約70 μ m～約100 μ mの高さ(厚み)を有する球状の半田バンプ406が形成されている。この半田バンプ406は、バリアメタル層405を介して、電極パッド部402と電氣的に接続されている。また、半田バンプ406は、バリアメタル層405の上面に加えて、バリアメタル層405の外周端部405bとも接触するように、バリアメタル層405上に形成されている。すなわち、半田バンプ406は、バリアメタル層405の外周端部405bを覆うように、バリアメタル層405に接合されている。これにより、上面のみに半田バンプ406が接合される場合に比べて、接合面積が大きくなるので、半田バンプ406とバリアメタル層405との接合強度が向上する。なお、半田バンプ406は、本発明の「バンプ電極」の一例である。
- [0059] また、図16に示すプリント基板420は、ガラスエポキシ樹脂などから構成されており、多層構造の配線層(図示せず)を有している。また、プリント基板420の上面上には、半導体チップ410の半田バンプ406と電氣的に接続される接続パッド部421(図20参照)が複数形成されている。また、プリント基板420の下面上には、接続パッド部421と電氣的に接続された電極端子422が複数形成されている。この電極端子422は、球状の半田バンプ406から構成されており、プリント基板420の下面上に格子状に配列されている。
- [0060] また、半田バンプ406が形成された半導体チップ410は、図16および図20に示すように、フェースダウンでプリント基板420上に実装されている。具体的には、図20に示すように、半導体チップ410は、上面(回路面)がプリント基板420と対向するように配置され、半導体チップ410の半田バンプ406が、プリント基板420の接続パッド部421にフリップチップ接合されている。これにより、半田バンプ406と接続パッド部421とが電氣的に接続される。
- [0061] なお、半導体チップ410とプリント基板420との間には、図16に示すように、シリコン

系樹脂、エポキシ樹脂、または、アクリル系樹脂などからなる樹脂部材440が充填されている。

[0062] 第2実施形態では、上記のように、バリアメタル層405を、パッシベーション層403と直接接触しないように電極パッド部402上に形成することによって、プリント基板420上に半導体チップ410(半導体基板401)をフリップチップ接合した際に、半導体チップ410とプリント基板420との熱膨張係数の差に起因する熱応力が半田バンプ406に加わった場合でも、その熱応力がパッシベーション層403に加わるのを抑制することができるので、パッシベーション層403に亀裂が発生するのを抑制することができる。このため、パッシベーション層403の破断を抑制することができるので、パッシベーション層403の破断に起因する半導体装置の信頼性の低下を抑制することができる。

[0063] また、第2実施形態では、バリアメタル層405を、平面的に見て、外周端部405bが段差部403bよりも外側に形成されるように構成することによって、バリアメタル層405を、外周端部405bの直下に段差部403bが位置しないように構成することができる。ここで、パッシベーション層403の段差部403bにおいては、部分的にパッシベーション層403の厚みが小さくなったりするため、パッシベーション層403の他の部分に比べて亀裂が発生し易い一方、上記のように構成することによって、半導体チップ410(半導体基板401)とプリント基板420との熱膨張係数の差に起因する熱応力が半田バンプ406に加わった場合でも、パッシベーション層403の段差部403bに亀裂が発生するのを抑制することができる。このため、これによっても、パッシベーション層403の破断に起因する半導体装置の信頼性の低下を抑制することができる。

[0064] また、第2実施形態では、絶縁保護層404を、パッシベーション層403上の所定領域および電極パッド部402上の所定領域に形成するとともに、バリアメタル層405を、絶縁保護層404上に周縁部405aを位置させた状態で電極パッド部402上に形成することによって、電極パッド部402上にバリアメタル層405を形成する際に、容易に、バリアメタル層405を、パッシベーション層403と直接接触することなく、平面的に見て、外周端部405bが段差部403bよりも外側に位置するように形成することができる。

- [0065] また、第2実施形態では、絶縁保護層404の第2開口部404aを規定する端縁部404bを、傾斜形状に形成することによって、バリアメタル層405の周縁部405aを絶縁保護層404上に形成した場合でも、バリアメタル層405を破断し難くすることができる。このため、パッシベーション層403の破断に起因する半導体装置の信頼性の低下を抑制することができることに加えて、バリアメタル層405の破断に起因する半導体装置の信頼性の低下をも抑制することができるので、より容易に、半導体装置の信頼性の低下を抑制することができる。
- [0066] 図21～図27は、第2実施形態による半導体装置における半導体チップの電極部の形成プロセスを説明するための断面図である。次に、図16～4および図21～図27を参照して、半導体チップ410の電極部の形成プロセスについて説明する。
- [0067] まず、図21に示すように、電極パッド部402が形成された半導体基板401の上面上の全面に、プラズマCVD法などを用いて、窒化シリコンからなるパッシベーション層403を形成する。次に、図22に示すように、フォトリソグラフィ技術などを用いて、パッシベーション層403上の所定領域にレジスト450を形成する。そして、レジスト450をマスクとして、エッチングにより、パッシベーション層403の所定領域を除去する。これにより、パッシベーション層403に、電極パッド部402上の所定領域を露出させる第1開口部403aが形成される。この際、第1開口部403aは、開口幅D1(約 $85\mu\text{m}$ ～約 $95\mu\text{m}$ 、図18および図19参照)に形成する。その後、レジスト450を除去する。
- [0068] 続いて、図23に示すように、スピンコーティング法などを用いて、全面に、ポリイミドからなる絶縁保護層414を形成する。そして、フォトリソグラフィ技術およびエッチング技術を用いて、絶縁保護層414の所定領域を除去する。その後、熱処理を行うことによって、絶縁保護層414をフローさせる。これにより、図24に示すような絶縁保護層404が得られる。すなわち、絶縁保護層414(図23参照)に、パッシベーション層403の第1開口部403aの開口幅D1(約 $85\mu\text{m}$ ～約 $95\mu\text{m}$)よりも小さい開口幅D2(約 $55\mu\text{m}$ ～約 $65\mu\text{m}$)を有する第2開口部404aが形成されるとともに、その第2開口部404aを規定する端縁部404bが、傾斜形状に形成される。
- [0069] 次に、図25に示すように、蒸着法などを用いて、全面に、約 $10\mu\text{m}$ の厚みを有するとともに、チタン(Ti)からなるバリアメタル層415を形成する。次に、図26に示すよう

に、フォトリソグラフィ技術およびエッチング技術を用いて、バリアメタル層415上の所定領域にレジスト460を形成する。そして、メッキ法などを用いて、レジスト460をマスクとして、バリアメタル層415上に半田層416を形成する。

[0070] その後、図27に示すように、レジスト460(図26参照)を除去するとともに、半田層416の周囲のバリアメタル層415をエッチングにより除去する。これにより、図19に示したような、平面的に見て、外周端部405bがパッシベーション層403の段差部403bの外側に形成されたバリアメタル層405が、電極パッド部402上に形成される。また、図17および図18に示したように、電極パッド部402上に形成されたバリアメタル層405は、周縁部405aが絶縁保護層404上に位置するように構成される。

[0071] なお、図27に示すように、上記した絶縁保護層404が形成されることによって、バリアメタル層405は、パッシベーション層403と直接接触することなく、電極パッド部402上に形成される。

[0072] 最後に、リフロー炉内で加熱することによって、半田層416を一旦熔融することにより、半田層416を、図17に示したような球状の半田バンプ406に形成する。これにより、バリアメタル層405上に、半田バンプ406(図17参照)が形成される。このようにして、図1に示した本発明の第2実施形態による半導体装置における半導体チップ410の電極部が形成される。

[0073] なお、上記第2実施形態では、ポリイミドからなる絶縁保護層を備えた例を示したが、本発明はこれに限らず、図28に示す第2実施形態の変形例による半導体チップ510のように、絶縁保護層を備えない構成にしてもよい。この場合、ポリイミドからなる絶縁保護層の代わりにレジストを用いて上記実施形態と同様の電極構造を形成し、その後、レジストを除去することによって、絶縁保護層を備えない構成にすることが可能となる。なお、半導体チップとプリント基板との間に、図16に示したような樹脂部材440を充填することによって、レジストを除去した場合でも、フリップチップ接合の信頼性の低下が抑制される。

[0074] なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内で

のすべての変更が含まれる。

[0075] たとえば、上記第1および第2実施形態では、BGAパッケージ型の半導体装置に本発明を適用した例について説明したが、本発明はこれに限らず、BGAパッケージ型以外の半導体装置に本発明を適用してもよい。

[0076] また、上記第1および第2実施形態では、絶縁保護層をポリイミドから構成した例を示したが、本発明はこれに限らず、絶縁保護層をポリイミド以外のBCB(ベンゾシクロブテン)や、フッ素樹脂などの有機材料から構成してもよい。

[0077] また、上記第1および第2実施形態では、パッシベーション層を窒化シリコンから構成した例を示したが、本発明はこれに限らず、パッシベーション層を窒化シリコン以外の無機材料から構成してもよい。たとえば、パッシベーション層を、SiONや、SiO₂などから構成してもよい。

[0078] また、上記第1および第2実施形態では、電極パッド部をアルミニウムまたはアルミニウム合金から構成した例を示したが、本発明はこれに限らず、電極パッド部を、アルミニウムまたはアルミニウム合金以外の金属材料である金(Au)や、AlCu合金などから構成してもよい。

[0079] また、上記第1および第2実施形態では、バリアメタル層を、チタンから構成した例を示したが、本発明はこれに限らず、バリアメタル層を、チタン以外の材料から構成してもよい。チタン以外の材料としては、たとえば、TiNや、Taなどが考えられる。また、バリアメタル層を、複数の金属層が積層された積層構造にしてもよい。

[0080] また、上記第1および第2実施形態では、半田バンプからなるバンプ電極を電極パッド部上に形成した例を示したが、本発明はこれに限らず、半田バンプ以外のメタルバンプ(たとえば、AuバンプやCuバンプ)などからなるバンプ電極を電極パッド部上に形成してもよい。

[0081] また、上記第1および第2実施形態では、半導体チップとプリント基板との間に、樹脂部材を充填した例を示したが、本発明はこれに限らず、半導体チップとプリント基板との間に、樹脂部材を充填しない構成してもよい。

請求の範囲

- [1] 基板の表面上に形成された電極パッド部と、
前記電極パッド部の上面を露出させる第1開口部を含み、前記基板の表面上に、
前記電極パッド部の一部と重なるように形成された第1保護層と、
前記電極パッド部上に形成されたバリアメタル層と、
前記バリアメタル層上に形成されたバンプ電極とを備え、
前記バリアメタル層は、平面的に見て、外周端部が前記第1保護層の前記第1開口部の内側に形成されていることを特徴とする、半導体装置。
- [2] 前記第1保護層上の所定領域および前記電極パッド部上の所定領域を覆うように形成された第2保護層をさらに備え、
前記バリアメタル層は、前記第2保護層上に周縁部を位置させた状態で、前記電極パッド部上に形成されていることを特徴とする、請求項1に記載の半導体装置。
- [3] 前記第2保護層には、前記電極パッド部の上面を露出させるとともに、前記第1開口部よりも小さい開口幅を有する第2開口部が設けられており、
前記第2開口部を規定する端縁部は、傾斜形状を有していることを特徴とする、請求項2に記載の半導体装置。
- [4] 前記第2保護層は、ポリイミドから構成されていることを特徴とする、請求項2または3に記載の半導体装置。
- [5] 前記電極パッド部は、アルミニウムを含む材料から構成されているとともに、前記バリアメタル層は、チタンを含む材料から構成されており、かつ、前記バンプ電極は、半田バンプから構成されていることを特徴とする、請求項1または2に記載の半導体装置。
- [6] 基板の表面上に形成された電極パッド部と、
前記電極パッド部の上面を露出させる第1開口部を含み、前記基板の表面上に、
前記電極パッド部の一部と重なるように形成された第1保護層と、
前記電極パッド部上に、前記第1保護層と直接接触することなく形成されたバリアメタル層と、
前記バリアメタル層上に形成されたバンプ電極とを備え、

前記第1保護層は、前記電極パッド部の一部と重なることによって形成された段差部を有し、

前記バリアメタル層は、平面的に見て、外周端部が前記段差部よりも外側に形成されていることを特徴とする、半導体装置。

- [7] 前記第1保護層上の所定領域および前記電極パッド部上の所定領域を覆うように形成された第2保護層をさらに備え、

前記バリアメタル層は、前記第2保護層上に周縁部を位置させた状態で、前記電極パッド部上に形成されていることを特徴とする、請求項6に記載の半導体装置。

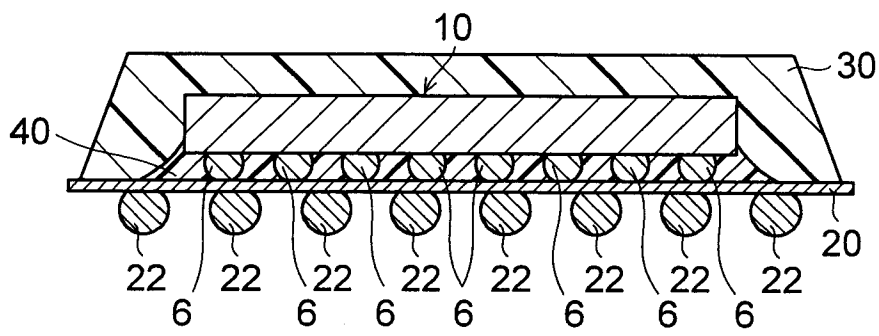
- [8] 前記第2保護層には、前記電極パッド部の上面を露出させるとともに、前記第1開口部よりも小さい開口幅を有する第2開口部が設けられており、

前記第2開口部を規定する端縁部は、傾斜形状を有していることを特徴とする、請求項7に記載の半導体装置。

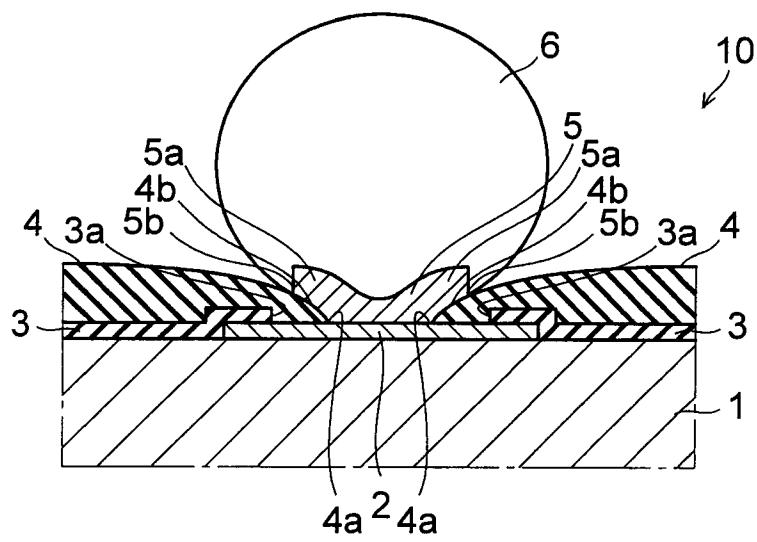
- [9] 前記第2保護層は、ポリイミドから構成されていることを特徴とする、請求項7または8に記載の半導体装置。

- [10] 前記電極パッド部は、アルミニウムを含む材料から構成されているとともに、前記バリアメタル層は、チタンを含む材料から構成されており、かつ、前記バンプ電極は、半田バンプから構成されていることを特徴とする、請求項6または7に記載の半導体装置。

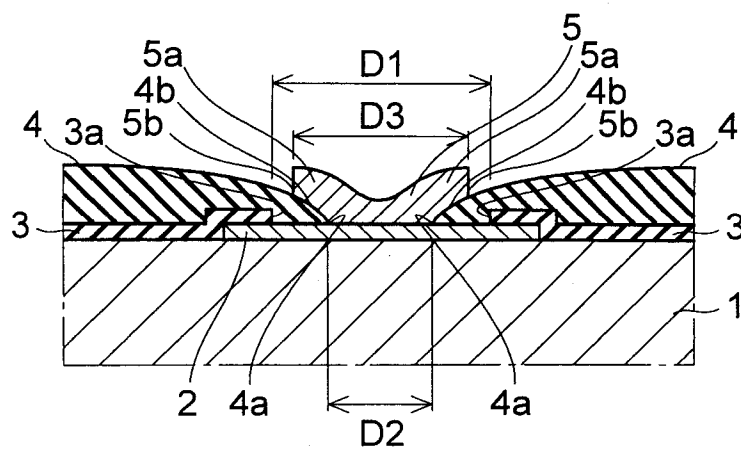
[図1]



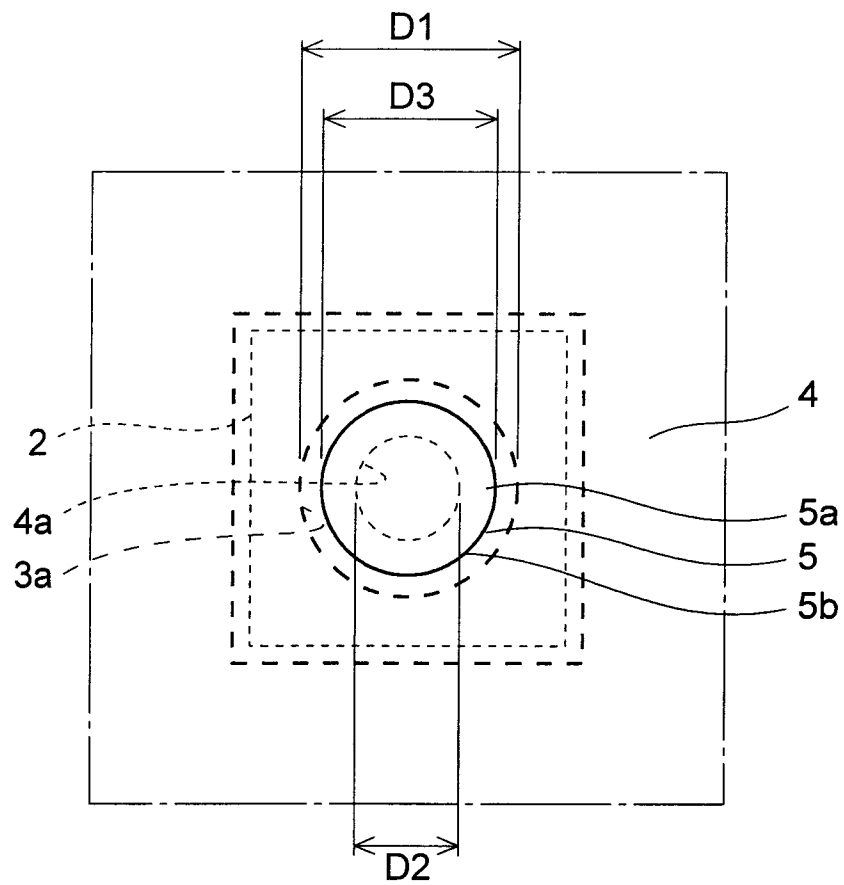
[図2]



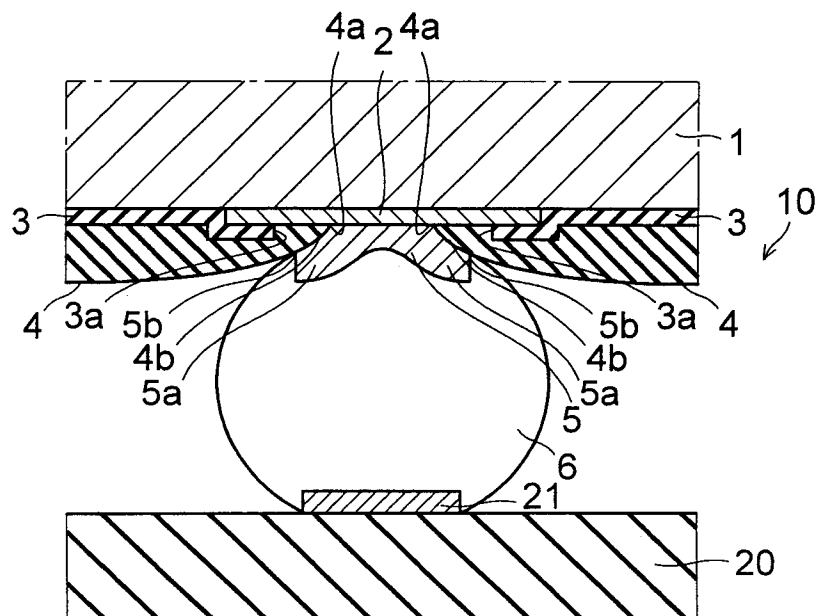
[図3]



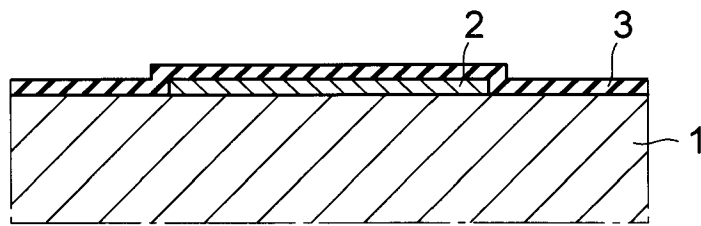
[図4]



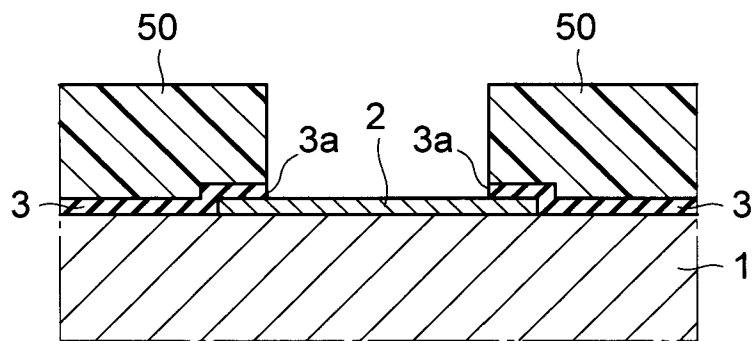
[図5]



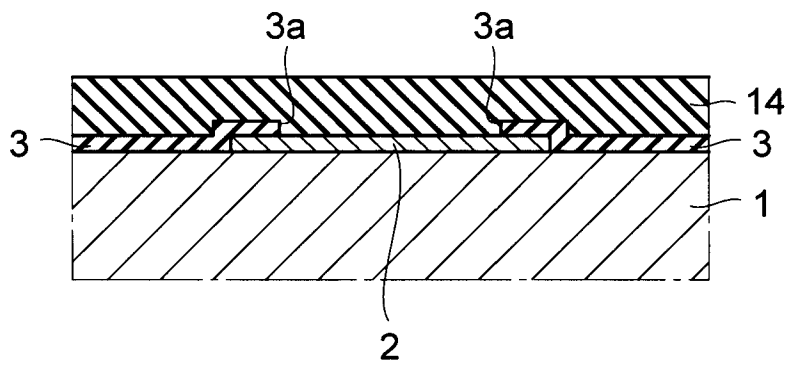
[図6]



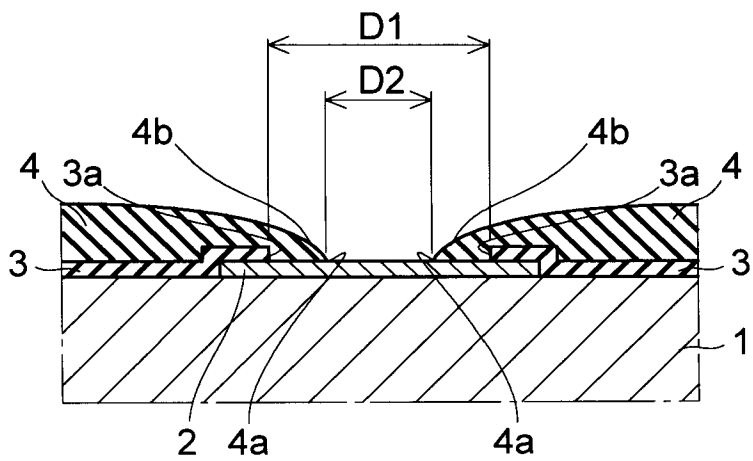
[図7]



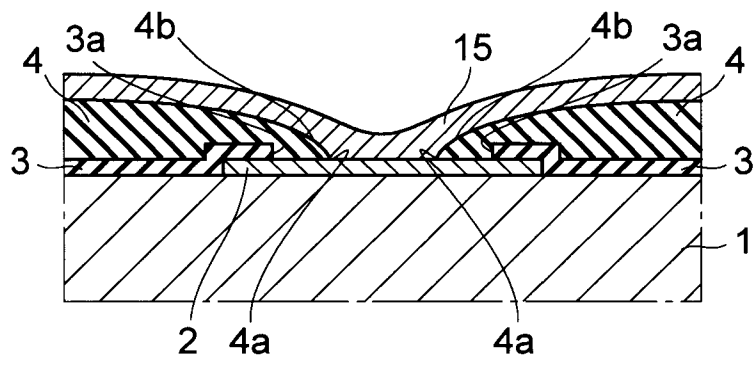
[図8]



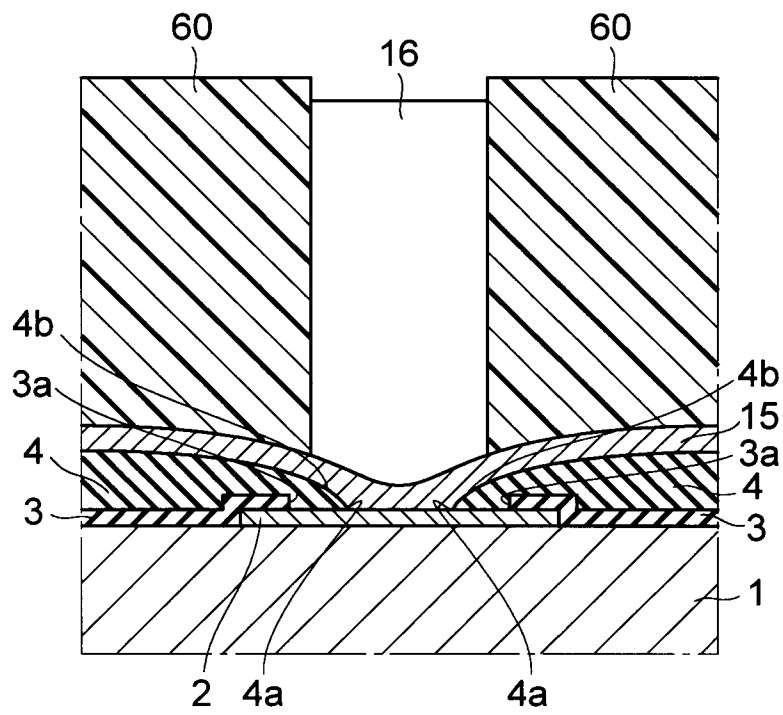
[図9]



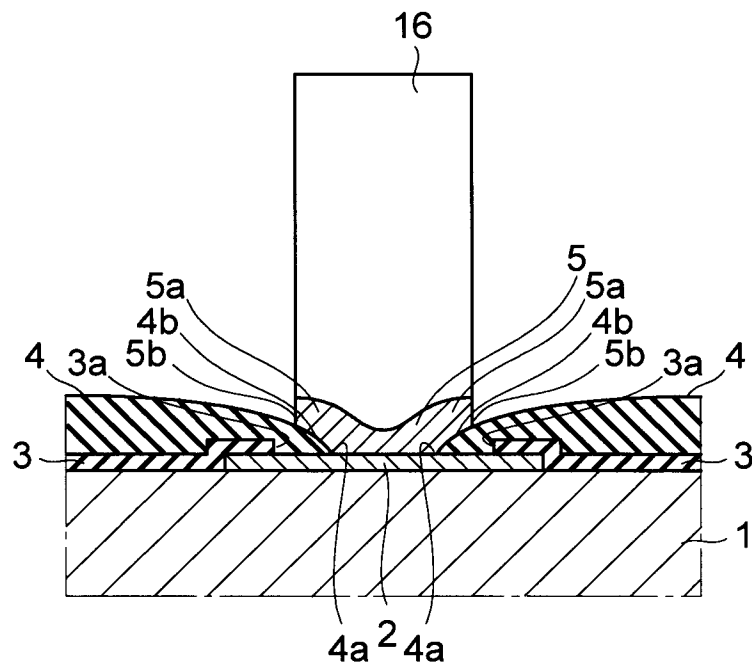
[図10]



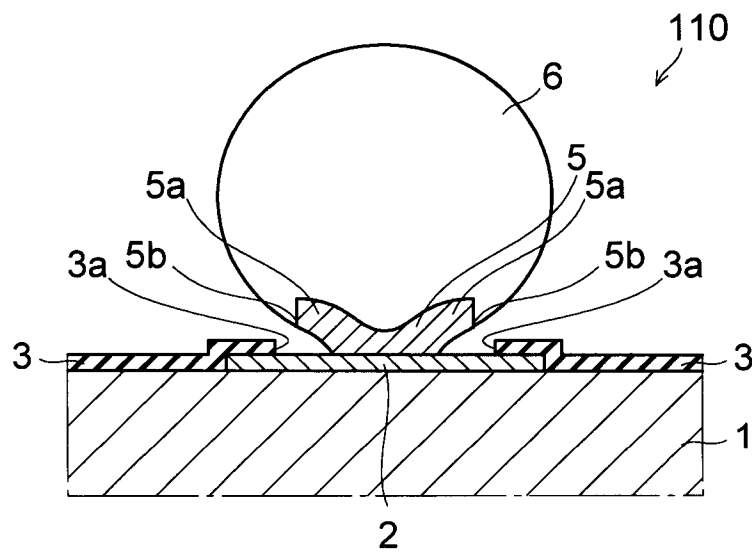
[図11]



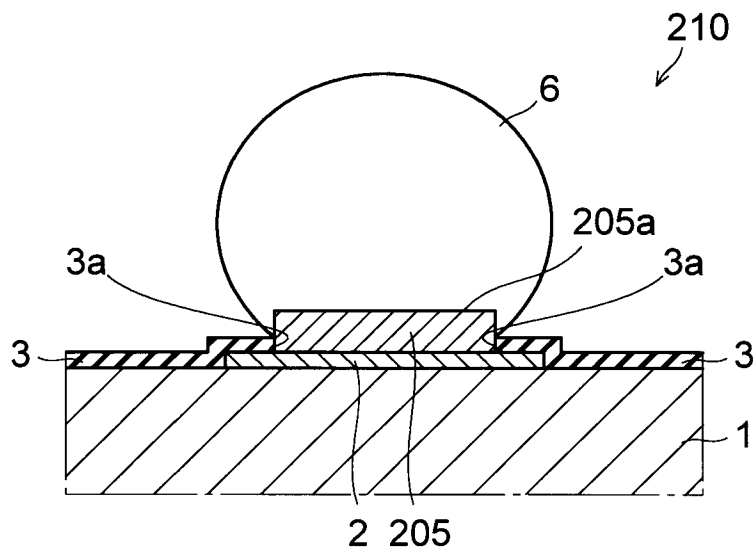
[図12]



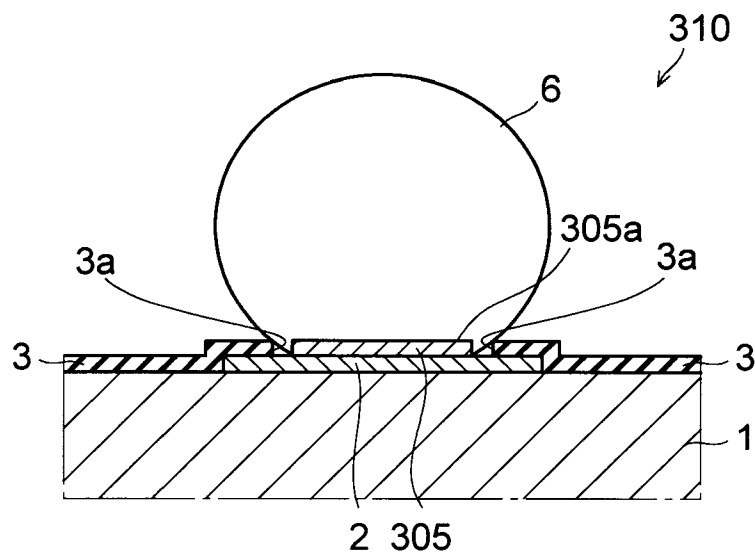
[図13]



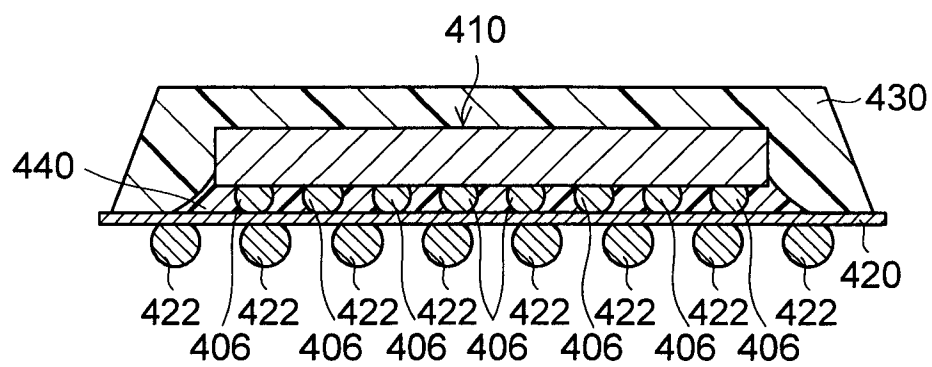
[図14]



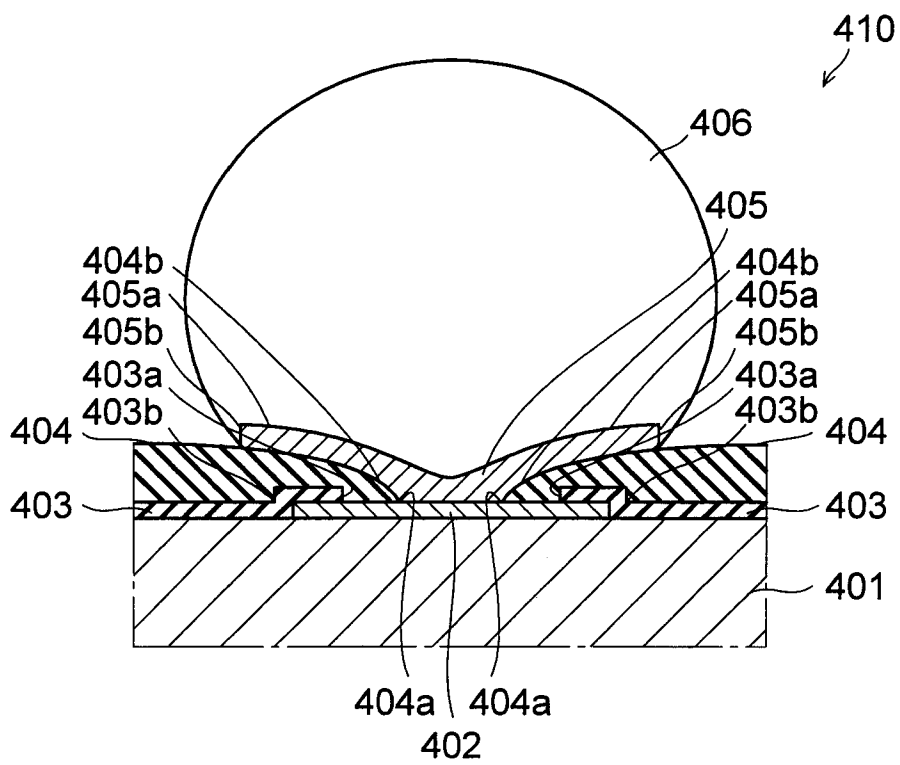
[図15]



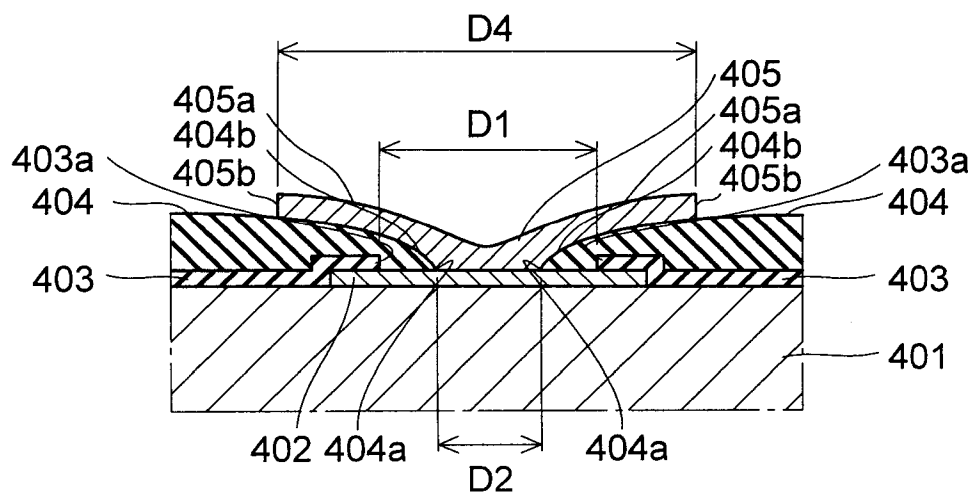
[図16]



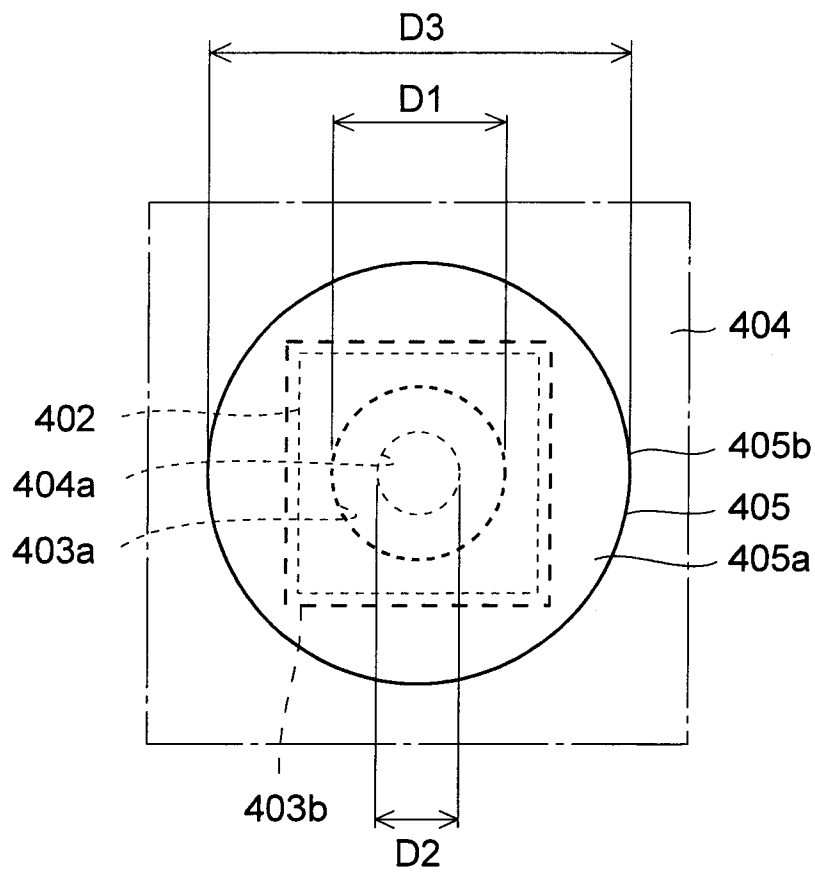
[図17]



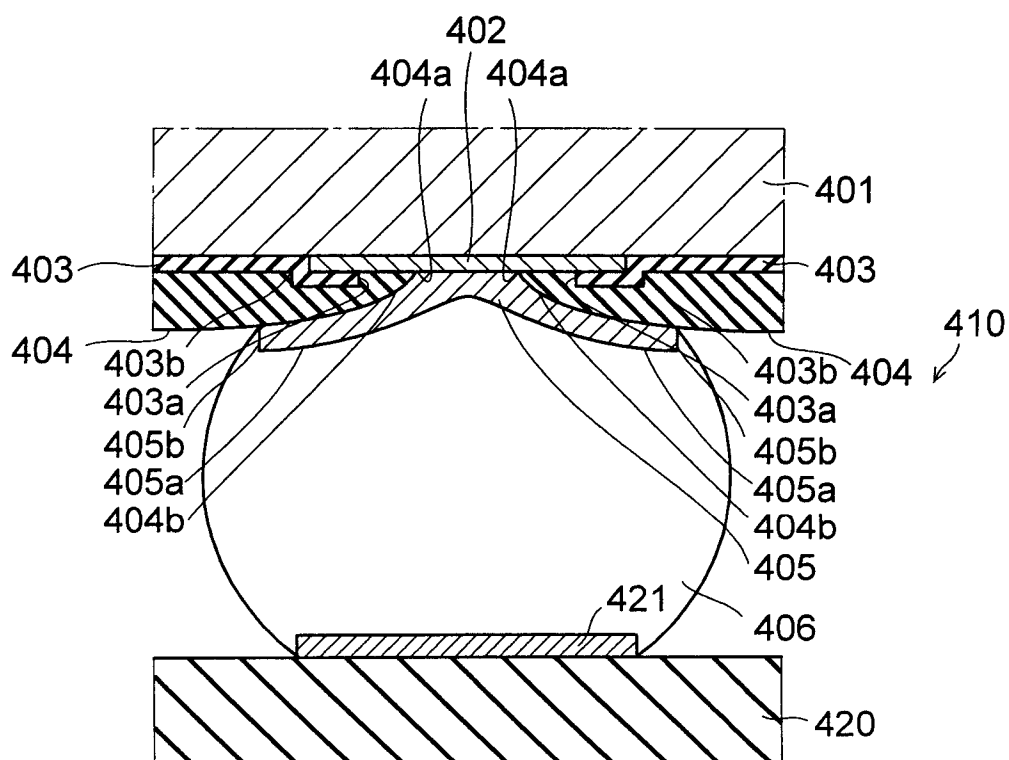
[図18]



[図19]



[図20]



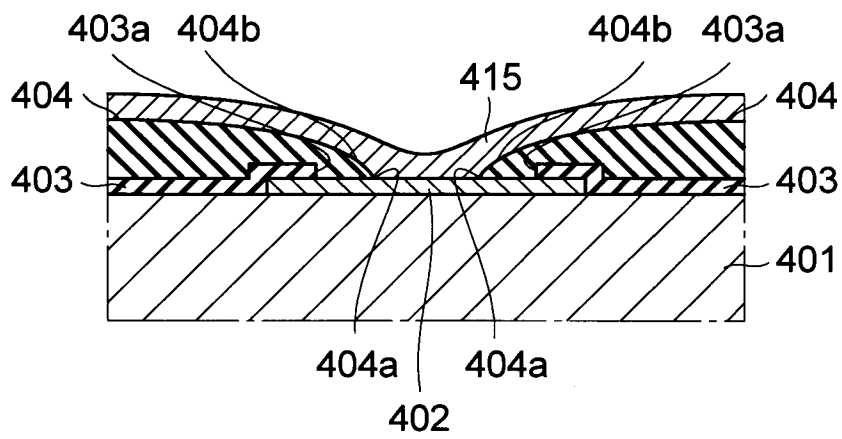
A cross-sectional view of a substrate 401 with a patterned layer 402 on its top surface. The patterned layer 402 is shown as a rectangular block with a hatched pattern. The substrate 401 is shown as a larger block with a diagonal hatched pattern. The label 403 points to the top surface of the substrate 401.

403b 450 403a 403a 450 403b 403 402 401

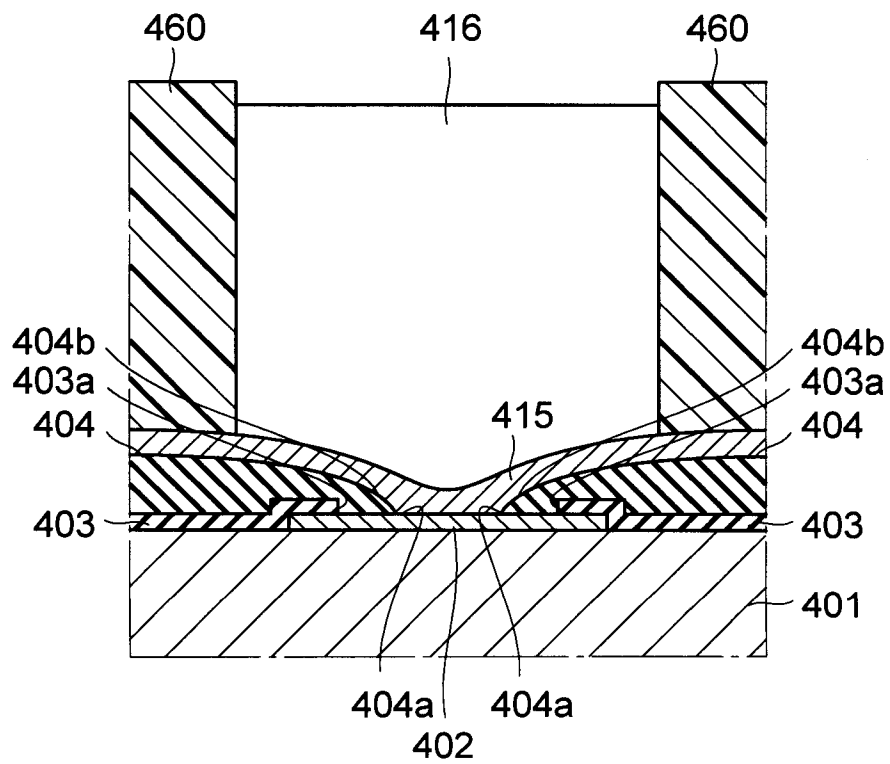
A cross-sectional view of a semiconductor device. It shows a substrate 401 with diagonal hatching. A layer 403 is formed on the substrate. On top of layer 403, there is a patterned layer 402 with a sawtooth-like profile. The top surface of layer 402 is divided into regions 403a (the peaks) and 403b (the valleys). A layer 414 is formed on the top surface of the patterned layer 402.

A cross-sectional view of a semiconductor device. A central opening is defined by a top layer 404 and a bottom layer 403. The opening has a width D1 at the top and a narrower width D2 at the bottom. The substrate is labeled 401. The bottom layer is labeled 403. The top layer is labeled 404. The side walls of the opening are labeled 403a and 404b. The bottom surface of the opening is labeled 404a. The top surface of the opening is labeled 402.

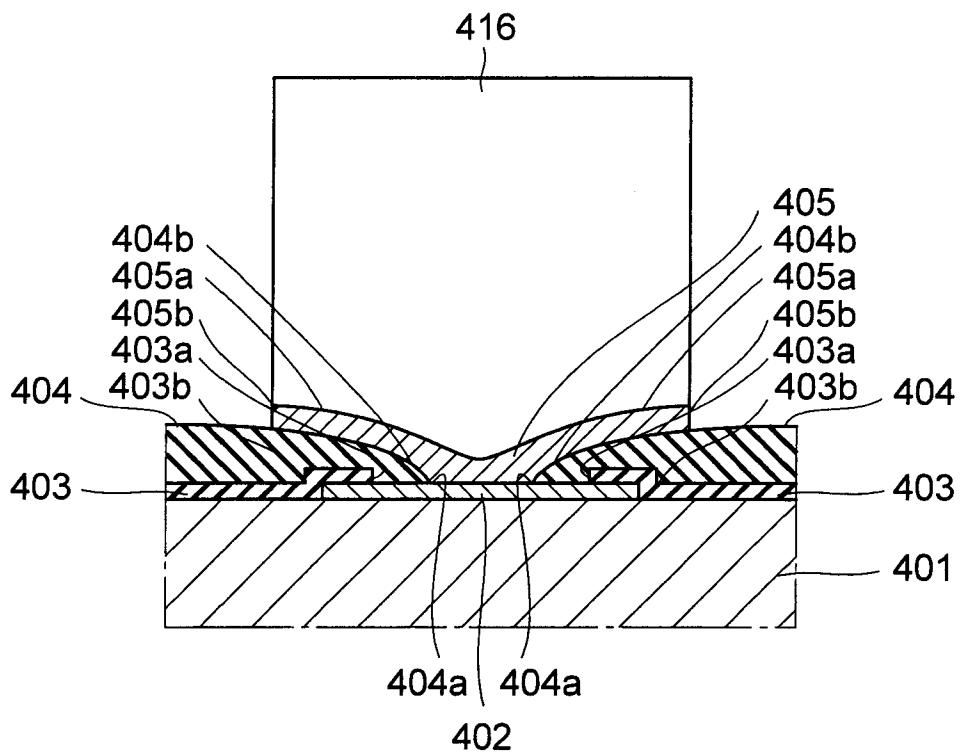
[図25]



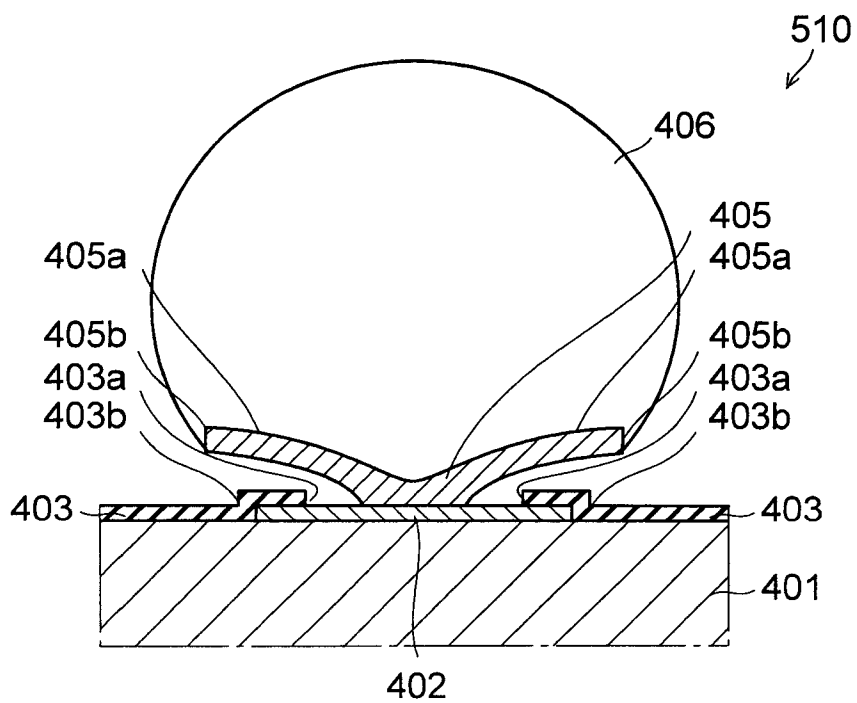
[図26]

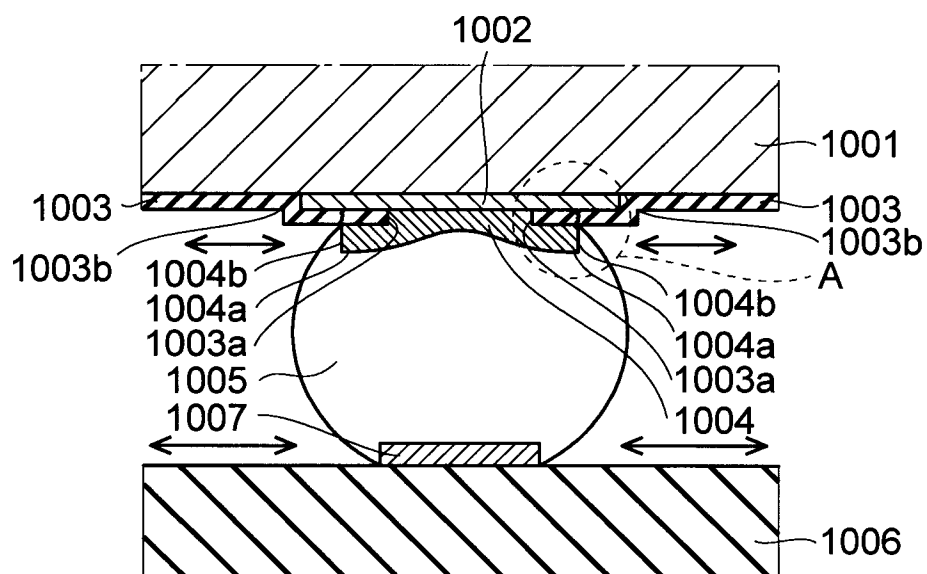
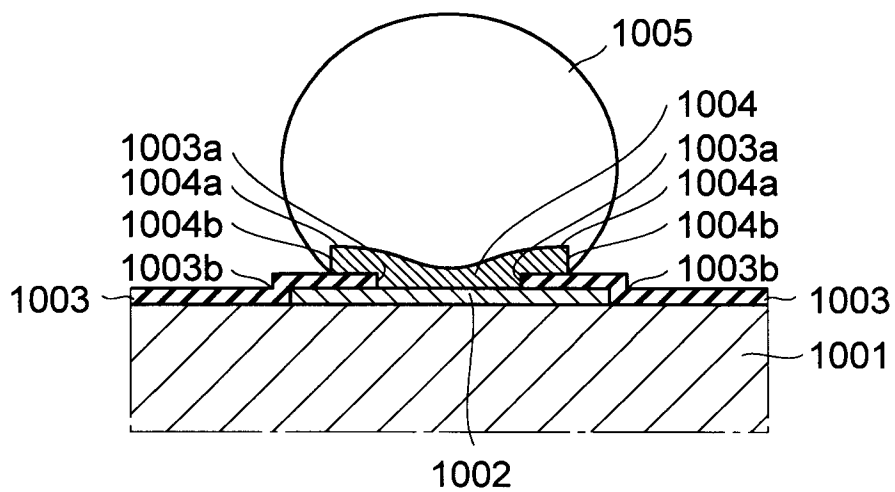


[図27]

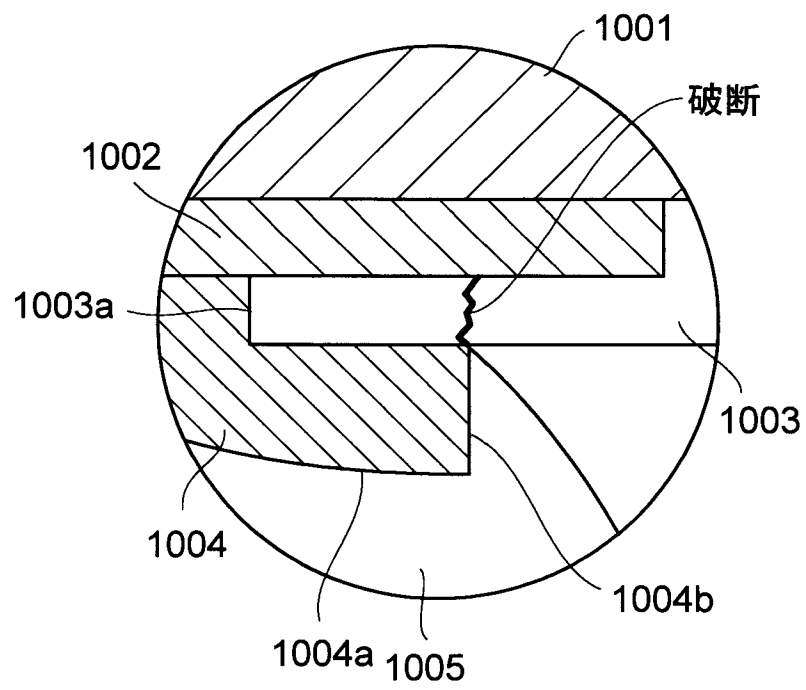


[図28]





[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/060844

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008

Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 01-187949 A (Fujitsu Ltd.), 27 July, 1989 (27.07.89), Full text; Figs. 1 to 4	1, 2, 4
Y	Full text; Figs. 1 to 4 (Family: none)	3-5
Y	JP 2001-035876 A (NEC Corp.), 09 February, 2001 (09.02.01), Full text; Figs. 1 to 20 & KR 10-2001-0066951 A	3-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 July, 2008 (02.07.08)Date of mailing of the international search report
15 July, 2008 (15.07.08)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/060844

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 151775/1980 (Laid-open No. 073936/1982) (Citizen Watch Co., Ltd.), 07 May, 1982 (07.05.82), Full text; Figs. 1 to 3 (Family: none)	6-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/60(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 01-187949 A (富士通株式会社) 1989.07.27, 全文, 第1-4図	1, 2, 4
Y	全文, 第1-4図(ファミリーなし)	3-5
Y	JP 2001-035876 A (日本電気株式会社) 2001.02.09, 全文, 図1-20 & KR 10-2001-0066951 A	3-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 7 . 2 0 0 8

国際調査報告の発送日

1 5 . 0 7 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 篤

4 R

9 5 4 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願55-151775号(日本国実用新案登録出願公開57-073936号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(シチズン時計株式会社)1982.05.07, 全文, 第1-3図(ファミリーなし)	6-10