



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I545702 B

(45)公告日：中華民國 105 (2016) 年 08 月 11 日

(21)申請案號：101139426

(22)申請日：中華民國 101 (2012) 年 10 月 25 日

(51)Int. Cl. : H01L23/12 (2006.01)

H01L23/488 (2006.01)

(71)申請人：矽品精密工業股份有限公司(中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路3段123號

(72)發明人：林辰翰 LIN, CHEN HAN (TW)；李國祥 LI, KUO HSIANG (TW)；黃榮邦 HUANG, JUNG PANG (TW)；黃南嘉 HUANG, NAN JIA (TW)；廖信一 LIAO, HSIN YI (TW)

(74)代理人：陳昭誠

(56)參考文獻：

US 2008/0315391A1

US 2010/0044841A1

審查人員：陳聖

申請專利範圍項數：18 項 圖式數：6 共 25 頁

(54)名稱

半導體封裝件及其製法

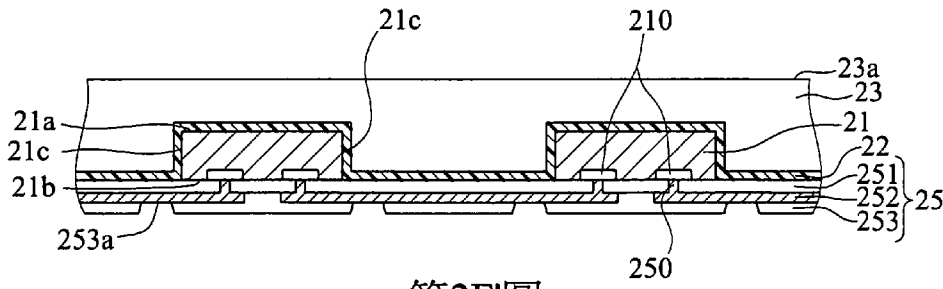
SEMICONDUCTOR PACKAGE AND METHOD OF FORMING THE SAME

(57)摘要

一種半導體封裝件，係包括：封裝膠體，係具有相對之頂面及底面；至少一半導體晶片，係嵌埋於該封裝膠體內，該半導體晶片具有相對之作用面、非作用面及與該作用面、非作用面連接之側面，且該半導體晶片之作用面外露出該封裝膠體之底面；定位件，係形成於該封裝膠體之部分底面上，包覆凸伸出該封裝膠體底面之該半導體晶片之側面，並外露出該半導體晶片之作用面；以及線路增層結構，係形成於該半導體晶片之作用面及封裝膠體底面上之定位件上。本發明復提供該半導體封裝件之製法，該方法可避免封裝模壓時半導體的偏移，能有效增加後續製程之對位精準度，俾提升產品良率。

Disclosed is a semiconductor package, comprising an encapsulant having opposing top and bottom surfaces; at least a semiconductor chip embedded in the encapsulant and having an active surface and an opposite non-active surface and a side surface connected to the active and non-active surfaces, wherein the active surface is exposed from the bottom of the encapsulant; a positioning member formed on part of the bottom surface of the encapsulant for encapsulating a side surface of the semiconductor chip protruding from the bottom of the encapsulant while exposing the active surface of the semiconductor chip therefrom; and a circuit build-up layer structure disposed on the active surface of the semiconductor chip and the positioning member disposed on the bottom of the encapsulant. The invention further provides a method for forming the semiconductor package as described above which can prevent displacement of the semiconductor in the packaging molding process, increasing precision of alignment and good yield as a result.

指定代表圖：



第2F'圖

符號簡單說明：

- 21 . . . 半導體晶片
- 210 . . . 電極墊
- 21a . . . 非作用面
- 21b . . . 作用面
- 21c . . . 側面
- 22 . . . 定位件
- 23 . . . 封裝膠體
- 23a . . . 頂面
- 25 . . . 線路增層結構
- 250 . . . 導電盲孔
- 251 . . . 介電層
- 252 . . . 增層線路
- 253 . . . 防焊層
- 253a . . . 電性連接墊

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101139426

H01L 23/12-2006.01

※ 申請日：101. 10. 25

※IPC 分類：

H01L 23/48-2006.01

一、發明名稱：(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF FORMING THE SAME

二、中文發明摘要：

一種半導體封裝件，係包括：封裝膠體，係具有相對之頂面及底面；至少一半導體晶片，係嵌埋於該封裝膠體內，該半導體晶片具有相對之作用面、非作用面及與該作用面、非作用面連接之側面，且該半導體晶片之作用面外露出該封裝膠體之底面；定位件，係形成於該封裝膠體之部分底面上，包覆凸伸出該封裝膠體底面之該半導體晶片之側面，並外露出該半導體晶片之作用面；以及線路增層結構，係形成於該半導體晶片之作用面及封裝膠體底面上之定位件上。本發明復提供該半導體封裝件之製法，該方法可避免封裝模壓時半導體的偏移，能有效增加後續製程之對位精準度，俾提升產品良率。

## 三、英文發明摘要：

. 5 0 0 0 5

. 5 0 0 0 5 Disclosed is a semiconductor package, comprising an encapsulant having opposing top and bottom surfaces; at least a semiconductor chip embedded in the encapsulant and having an active surface and an opposite non-active surface and a side surface connected to the active and non-active surfaces, wherein the active surface is exposed from the bottom of the encapsulant; a positioning member formed on part of the bottom surface of the encapsulant for encapsulating a side surface of the semiconductor chip protruding from the bottom of the encapsulant while exposing the active surface of the semiconductor chip therefrom; and a circuit build-up layer structure disposed on the active surface of the semiconductor chip and the positioning member disposed on the bottom of the encapsulant. The invention further provides a method for forming the semiconductor package as described above which can prevent displacement of the semiconductor in the packaging molding process, increasing precision of alignment and good yield as a result.

## 四、指定代表圖：

(一)本案指定代表圖為：第 ( 2F' ) 圖。

(二)本代表圖之元件符號簡單說明：

21	半導體晶片
210	電極墊
21a	非作用面
21b	作用面
21c	側面
22	定位件
23	封裝膠體
23a	頂面
25	線路增層結構
250	導電盲孔
251	介電層
252	增層線路
253	防焊層
253a	電性連接墊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種半導體封裝件及其製法，詳而言之，係有關於一種可解決晶圓級半導體封裝晶粒偏移之封裝件及其製法。

### 【先前技術】

隨著半導體技術的演進，半導體產品已開發出不同封裝產品型態，而為追求半導體封裝件之輕薄短小，因而發展出一種可提供較充足的表面區域以承載較多的輸入/輸出端(I/O)或錫球之晶圓級封裝 (Wafer Level Chip Scale Package, WL-CSP)，且可於半導體晶片上形成線路重佈層，並利用重佈線(redistribution layer, RDL)技術重配晶片上的錫墊至所欲位置。

然而，於此種封裝件之製法中，為使加工步驟簡便且良率佳，半導體晶片常需藉由一膠體鑲嵌於承載件上。請參閱第 1A 至 1D 圖之習知晶圓級晶片尺寸封裝件之製法剖面示意圖。

如第 1A 圖所示之半導體封裝件之製法中，係於承載件上 10 黏貼熱發泡膠帶 101，並於該熱發泡膠帶上之預定位位置 A 上設置半導體晶片 11，其中，該半導體晶片 11 具有複數電極墊 110。

接著，如第 1B 圖所示，並以壓合機將加熱後的壓合膠膜 12 壓合於承載件 10 及熱發泡膠帶 101 上，並包覆該半導體晶片 11。

如第 1C 圖所示移除該承載件 10 及熱發泡膠帶 101，以外露出半導體晶片 11 及壓合膠膜 12。

並如第 1D 圖所示，將具有介電層 151、線路層 152 及保護膜 153 之線路重佈結構 15 形成於該半導體晶片 11 及壓合膠膜 12 之上，並利用該線路重佈結構 15 上之導電盲孔 150 電性連接該電極墊 110 及線路層 152。然而，如第 1D 圖左所示，壓合機壓合加熱後的壓合膠膜 12 會產生流動性，衝擊半導體晶片 11 使其位移並且偏移量超出原預定位置 A，進而使該導電盲孔 150 無法有效電性連接該電極墊 110 及線路層 152，造成產品良率下降。

因此，提供一種能提升對位精準度，進而確保導電盲孔與電極墊間之電性連接品質，並減少製程成本之半導體封裝件及製法，實為業界待解之重要課題。

### 【發明內容】

鑒於上述習知技術之缺失，本發明提供一種半導體封裝件，係包括：封裝膠體，係具有相對之頂面及底面；至少一半導體晶片，係嵌埋於該封裝膠體內，該半導體晶片具有相對之作用面、非作用面及與該作用面與非作用面連接之側面，且該半導體晶片之作用面外露出該封裝膠體之底面，其中，該半導體晶片之作用面上復具有複數電極墊；定位件，係形成於該封裝膠體之部分底面上，包覆凸伸出該封裝膠體之底面之該半導體晶片之側面，並外露出該半導體晶片之作用面；以及線路增層結構，係形成於該半導體晶片之作用面及封裝膠體底面上之定位件上。

本發明復提供一種半導體封裝件之製法，係包括：提供一表面上設有至少一半導體晶片之承載件，其中，該半導體晶片具有相對之作用面、非作用面及與該作用面與非作用面連接之側面，且該半導體晶片之作用面係藉由軟質層貼附於該承載件上；於該半導體晶片之作用面端與承載件之交界處形成定位件，以包覆該半導體晶片之部分側面；於該定位件及該半導體晶片上形成封裝膠體，以使該半導體晶片嵌埋於該封裝膠體中，其中，該封裝膠體具有相對之頂面和與該軟質層同側之底面；移除該承載件與軟質層，俾外露出該半導體晶片之作用面與封裝膠體底面上之定位件；以及於該半導體晶片之作用面與定位件上形成線路增層結構。

相較於習知技術，由於本發明之半導體封裝件之製法，係藉由定位件包裹住半導體晶片後再進行熱壓合，因此該定位件可限制半導體晶片的偏移，以提升後續製程之對位精準度。

前述半導體封裝件之製法中，於移除該承載件與軟質層之前，復包括於該封裝膠體之頂面設置支撐層，俾使該封裝膠體夾置於該支撐層與定位件之間，藉以防止封裝件翹曲之發生。

### 【實施方式】

以下係藉由特定的具體實例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同



的具體實例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本創作可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本創作所能產生之功效及所能達成之目的下，均應仍落在本創作所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如「頂」、「底」、「上」及「一」等之用語，亦僅為便於敘述之明瞭，而非用以限定本創作可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本創作可實施之範疇。

請參閱第 2A 至第 2F' 圖，將詳細說明本發明之半導體封裝件之製法之一實施例之剖面示意圖。

請參閱第 2A 圖，提供一表面上設有至少一半導體晶片 21 之承載件 20，其中，該半導體晶片 21 具有相對之作用面 21b、非作用面 21a，且該半導體晶片 21 之作用面 21b 係藉由軟質層 201 貼附於該承載件 20 上。本實施例中，係整面地形成該軟質層 201，該軟質層 201 可為離型膜或膠帶。此外，該半導體晶片 21 之作用面 21b 上，復具有複數電極墊 210。該承載件 20 之材料係包括銅，但不限於鐵或矽等不同材質。

請參閱第 2B 圖，於該半導體晶片 21 表面及軟質層 201 上形成定位件 22。該定位件 22 之材料可為一般常見之低溫光阻，其包括，但不限於聚醯亞胺或環氧樹脂之聚合物，更佳係選自環氧樹脂或苯并環丁烯聚合物 (benzocyclobutene polymer)。此外，該定位件 22 能以噴塗方式將前述低溫光阻塗佈於該半導體晶片 21 之非作用面 21a、全部側面 21c 及軟質層 201 上，並於 90°C 低溫軟烤使之硬化，俾形成該定位件。此步驟僅需以 90°C 低溫軟烤，低於習知封裝技術所使用之膠帶熱發泡之溫度 130°C，因此不僅不影響原製程之作業性，更能提升產品良率。

請參閱第 2B' 圖，於一具體實施例中該軟質層 201 係整面地覆蓋於承載件 20 之表面，且該定位件 22 以噴塗方式將如前所述之低溫光阻形成於整面軟質層 201 上，並包覆該軟質層 201 與半導體晶片 21 交界處之部份側面 21c，亦即，該承載件表面上未設有該半導體晶片的部份係形成有該定位件，並於 90°C 低溫軟烤使之硬化，俾形成該定位件。

請參閱第 2B'' 圖，於另一具體實施例中該定位件 22 以噴塗方式將如前所述之低溫光阻形成於該半導體晶片 21 與軟質層 201 交界處之部分側面 21c 上，且覆蓋於與該半導體晶片 21 交界處之部分軟質層 201 上，並外露出未設置該半導體晶片 21 之部分軟質層 201，並於 90°C 低溫軟烤使之硬化，俾形成該定位件。

請參閱第 2C 圖，係接續 2B 圖之製程，於該定位件 22

及該半導體晶片 21 上形成封裝膠體 23，以使該半導體晶片 21 嵌埋於該封裝膠體 23 中，其中，該封裝膠體 23 具有相對之頂面 23a 和與該軟質層 201 同側之底面 23b。該封裝膠體 23 之材料可包括，但不限於 Ajinomoto Build-up Film (ABF)、聚醯亞胺 (Polyimide, PI) 或矽氧樹脂 (polymerized siloxanes, silicone)，又矽氧樹脂亦稱為矽酮 (polysiloxanes)、氧化矽、環氧化物、苯并環丁烯 (benzocyclobutenes, BCB) 或有機介電層材 (SiLK TM)。

於第 2D 圖所示之另一實施例中，復於該封裝膠體 23 之頂面 23a 設置支撐層 24，以令該封裝膠體 23 夾置於該支撐層 24 與定位件 22 之間。該支撐層為矽、玻璃、絕緣層矽晶 (semiconductor-on-insulator, SOI)、砷化鎘 (GaAs)、或砷化銻 (InAs)、水晶或藍寶石。於此態樣中，可增加封裝件整體之穩定性，俾防止封裝件翹曲。

請參閱第 2E 圖，係接續第 2D 圖所示之另一實施例，並以機械方式及/或化學物質，移除該承載件 20 與軟質層 201，以外露出該半導體晶片 21 之作用面 21b 與封裝膠體底面 23b 上之定位件 22。

請參閱第 2E' 圖，係接續著第 2C 圖之步驟，並移除該承載件 20 與軟質層 201，俾外露出該半導體晶片 21 之作用面 21b 與封裝膠體底面 23b 上之定位件 22。

請參閱第 2F 圖，於該半導體晶片 21 之作用面 21b 與定位件 22 上形成線路增層結構 25。

請參閱第 2F' 圖，係顯示移除支撐層 24 或未形成支撐

層 24 的態樣。於該半導體晶片 21 之作用面 21b 與定位件 22 上形成線路增層結構 25。詳言之，於第 2F 圖及第 2F' 圖所形成之線路增層結構 25，其具有至少一介電層 251、形成於該介電層 251 上之增層線路 252、形成於該增層線路上之防焊層 253，且該防焊層 253 外露出該增層線路 252 之電性連接墊 253a 以及形成於該介電層 251 中之導電盲孔 250，該導電盲孔 250 電性連接該增層線路 252 與電極墊 210。該介電層之材料可為氧化物、氮化物、未摻雜的矽玻璃(undoped silicon glass, USG)、氟化矽玻璃或低介電常數材料。

如第 3 圖所示，於該線路增層結構 25 之電性連接墊 253a 上，形成如鐳錫凸塊之導電元件 26。

接著，進行切單製程即可得到本發明之半導體封裝件，其中，單一半導體封裝件可具有至少一半導體晶片 21。

另請參閱第 3 及 4 圖，其係為本發明之半導體封裝件之應用實施例之剖面示意圖。

如第 3 至 3'' 圖所示，本發明係提供一種半導體封裝件 3，係包括：封裝膠體 23，係具有相對之頂面 23a 及底面 23b；支撐層 24，係設於該封裝膠體 23 之頂面 23a 上。；至少一半導體晶片 21，係嵌埋於該封裝膠體 23 內，該半導體晶片 21 具有相對之作用面 21b 與非作用面 21a，其中，該作用面 21b 上具有複數電極墊 210，且該半導體晶片 21 之作用面 21b 外露出該封裝膠體 23 之底面 23b；定位件 22，係形成於該半導體晶片 21 與封裝膠體 23 之間，

且延伸覆蓋於該封裝膠體 23 之底面 23b 上；以及線路增層結構 25，係形成於該半導體晶片 21 之作用面 21b 及封裝膠體底面上之定位件 22 上，其中，該線路增層結構 25 包括：至少一介電層 251、形成於該介電層上之增層線路 252、形成於該增層線路上之防焊層 253，其中，該防焊層 253 外露出該增層線路 252 之電性連接墊 253a、形成於該介電層 251 中之導電盲孔 250 以電性連接該增層線路 252 和電極墊 210。如第 3'圖所示，該定位件係形成於該封裝膠體 23 之整個底面 23b 上。如第 3''圖所示，該定位件 22 係形成於該封裝膠體 23 之部分底面 23b 上，包覆凸伸出該封裝膠體 23 之底面 23b 之該半導體晶片 21 之側面 21c。此外，如第 3''圖所示，該線路增層結構 25 復形成於該封裝膠體 23 底面 23b 上。

於第 4 至 4''圖之具體實施例中，本發明半導體封裝件 4，如第 4'圖所示，該定位件 22 係形成於該封裝膠體 23 之整個底面 23b 上。如第 4''圖所示，該定位件 22 係形成於該封裝膠體 23 之部分底面 23b 上，包覆凸伸出該封裝膠體 23 之底面 23b 之該半導體晶片 21 之側面 21c。此外，如第 4''圖所示，該線路增層結構 25 復形成於該封裝膠體 23 底面 23b 上。

於本發明之半導體封裝件中能使用的導電材料包括，但不限於：銅、鋁、鎢、銀或其組成。

另請參閱第 5 及 6 圖，其係為本發明之半導體封裝件之應用實施例之部分俯視圖。

於第 5 圖之具體實施例中，該定位件 22 係形成於整個底面上，僅外露出該半導體晶片 21。

第 6 圖為本發明之半導體封裝件之另一實施例部分俯視圖。如第 6 圖所示，該定位件 22 僅形成於該半導體晶片 21 與承載件 20 之交界處，由此可知，使用該定位件 22 亦能有效固定該半導體晶片 21，使其於後續製程中，不會有偏移的現象產生。

綜上所述，本發明之半導體封裝件及其製法，係於形成該封裝膠體前，塗佈一層聚合物，並烘烤使其硬化形成定位件，藉此將設於該承載件及軟質層上之半導體晶片固定，以改善習知製程中使用之熱發泡膠帶於熱壓合時造成之半導體晶片偏移，俾提升提升後續製程之對位精準度，進而使產品良率增加。本發明復提供另一種半導體封裝件及其製法，係於該封裝膠體之頂面設置支撐層，俾使該封裝膠體夾置於該支撐層與定位件之間，能有效防止封裝件翹曲之發生。

上述實施例僅例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

#### 【圖式簡單說明】

第 1A 至 1D 圖為習知晶圓級晶片尺寸封裝件之製法剖面示意圖；

第 2A 至 2F' 圖為本發明之半導體封裝件之製法剖面示意圖，其中，第 2B' 及 2B'' 圖係顯示本發明之另一製法剖面示意圖，第 2E' 及 2F' 圖係顯示封裝膠體頂面上未設有支撐層之製法；

第 3 至 3'' 圖為本發明之半導體封裝件之一實施例之剖面示意圖，其中，第 3' 圖係顯示定位件形成於封裝膠體之整個底面上之實施例剖面示意圖，第 3'' 圖係顯示定位件僅形成於半導體晶片之作用面端與承載件之交界處之實施例剖面示意圖；

第 4 圖為本發明之半導體封裝件之另一實施例之剖面示意圖，其中，第 4' 圖係顯示定位件形成於封裝膠體之整個底面上之實施例剖面示意圖，第 4'' 圖係顯示定位件僅形成於半導體晶片之作用面端與承載件之交界處之實施例剖面示意圖；

第 5 圖為本發明之半導體封裝件之實施例之部分俯視圖；以及

第 6 圖為本發明之半導體封裝件之另一實施例部分俯視圖。

**【主要元件符號說明】**

10、20	承載件
101	熱發泡膠帶
11、21	半導體晶片
110、210	電極墊
12	壓合膠膜

15	線路重佈結構
150、250	導電盲孔
151、251	介電層
152	線路層
153	保護膜
A	預定位置
201	軟質層
21a	非作用面
21b	作用面
21c	側面
22	定位件
23	封裝膠體
23a	頂面
23b	底面
24	支撐層
25	線路增層結構
252	增層線路
253	防焊層
253a	電性連接墊
26	導電元件
3、4	半導體封裝件



## 七、申請專利範圍：

### 1. 一種半導體封裝件，係包括：

封裝膠體，係具有相對之頂面及底面；

至少一半導體晶片，係嵌埋於該封裝膠體內，該半導體晶片具有相對之作用面、非作用面及與該作用面與非作用面連接之側面，且該半導體晶片之作用面端凸伸出該封裝膠體之底面，其中，該半導體晶片之作用面上復具有複數電極墊；

定位件，係形成於該封裝膠體之部分底面上，包覆凸伸出該封裝膠體底面之該半導體晶片之側面，並外露出該半導體晶片之作用面，且該定位件未接觸該半導體晶片之作用面與非作用面；

支撐層，係設於該封裝膠體頂面上；以及

線路增層結構，係形成於該半導體晶片之作用面及封裝膠體底面上之定位件上。

### 2. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該定位件係形成於該封裝膠體之整個底面上。

### 3. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該線路增層結構具有至少一介電層、形成於該介電層上之增層線路、形成於該增層線路上之防焊層以及形成於該介電層中之導電盲孔以電性連接該增層線路和該電極墊。

### 4. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該線路增層結構復形成於該封裝膠體底面上。

5. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該線路增層結構復具有外露之電性連接墊。
6. 如申請專利範圍第 5 項所述之半導體封裝件，復包括導電凸塊，係形成於該電性連接墊上。
7. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該支撐層係為矽、玻璃、砷化鎳、砷化銻、水晶、藍寶石或絕緣層矽晶 (semiconductor-on-insulator, SOI)。
8. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該定位件之材料係聚合物。
9. 如申請專利範圍第 8 項所述之半導體封裝件，其中，該聚合物為聚醯亞胺、環氧樹脂或苯并環丁烯聚合物 (benzocyclobutene polymer)。
10. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該封裝膠體之材料為 Ajinomoto Build-up Film(ABF)、聚醯亞胺、矽氧樹脂、氧化矽、環氧化物或苯并環丁烯 (benzocyclobutenes, BCB)。
11. 一種半導體封裝件之製法，係包括：

提供一表面上設有至少一半導體晶片之承載件，其中，該半導體晶片具有相對之作用面、非作用面及與該作用面與非作用面連接之側面，且該半導體晶片之作用面係藉由軟質層貼附於該承載件上；

形成定位件於該半導體晶片之作用面端與承載件之交界處，以包覆該半導體晶片之部分側面；

形成封裝膠體於該定位件及該半導體晶片上，以使該半導體晶片嵌埋於該封裝膠體中，其中，該封裝膠體具有相對之頂面和與該軟質層同側之底面；

移除該承載件與軟質層，俾外露出該半導體晶片之作用面與封裝膠體底面上之定位件；以及

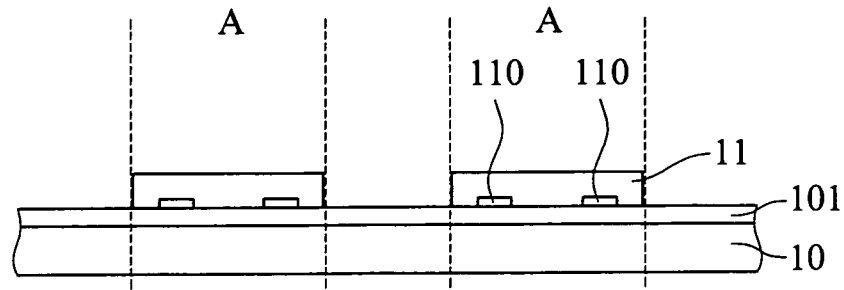
形成線路增層結構於該半導體晶片之作用面與定位件上。

12. 如申請專利範圍第 11 項所述之半導體封裝件之製法，其中，該定位件復形成於該半導體晶片之非作用面及全部側面上。
13. 如申請專利範圍第 11 項所述之半導體封裝件之製法，其中，該承載件表面上未設有該半導體晶片的部份係形成有該定位件。
14. 如申請專利範圍第 11 項所述之半導體封裝件之製法，其中，該線路增層結構復形成於該封裝膠體底面上。
15. 如申請專利範圍第 11 項所述之半導體封裝件之製法，復包括於形成該封裝膠體前，烘烤該定位件。
16. 如申請專利範圍第 11 項所述之半導體封裝件之製法，復包括於移除該承載件與軟質層之前，於該封裝膠體之頂面設置支撐層，以令該封裝膠體夾置於該支撐層與定位件之間。
17. 如申請專利範圍第 11 項所述之半導體封裝件之製法，其中，該半導體晶片之作用面上復具有複數電極墊，且該線路增層結構具有至少一介電層、形成於該介電

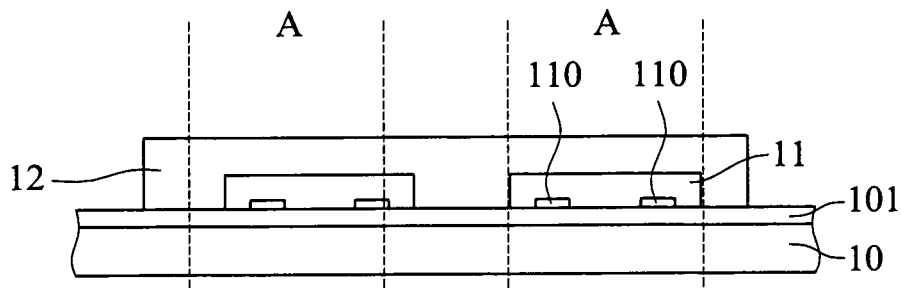
層上之增層線路、形成於該增層線路上之防焊層以及形成於該介電層中之導電盲孔以電性連接該增層線路和電極墊。

18. 如申請專利範圍第 17 項所述之半導體封裝件之製法，其中，該線路增層結構復具有外露之電性連接墊，且該製法復包括於該電性連接墊上形成導電元件。

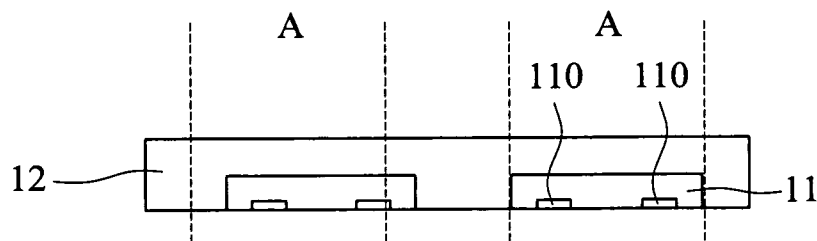
八、圖式



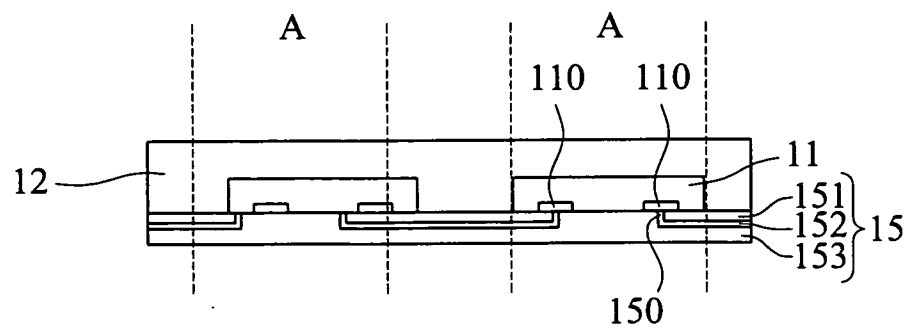
第1A圖



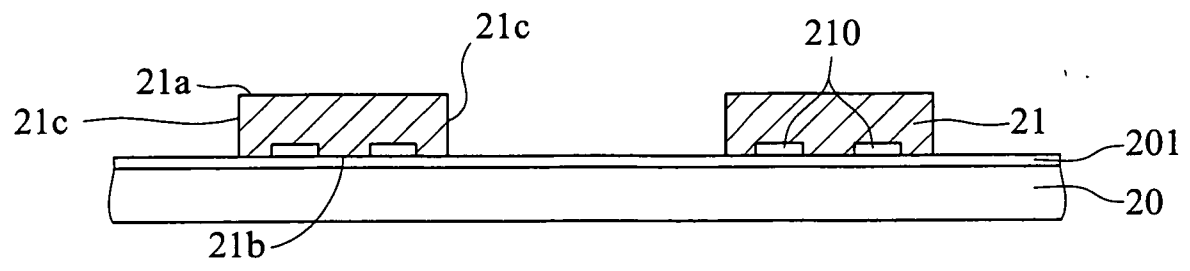
第1B圖



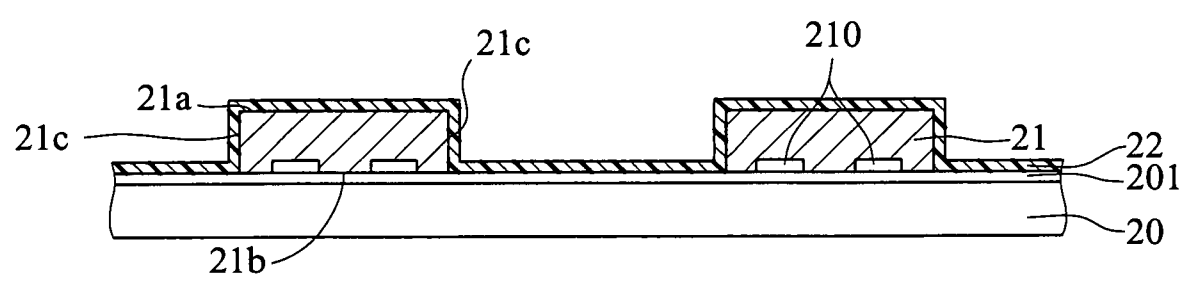
第1C圖



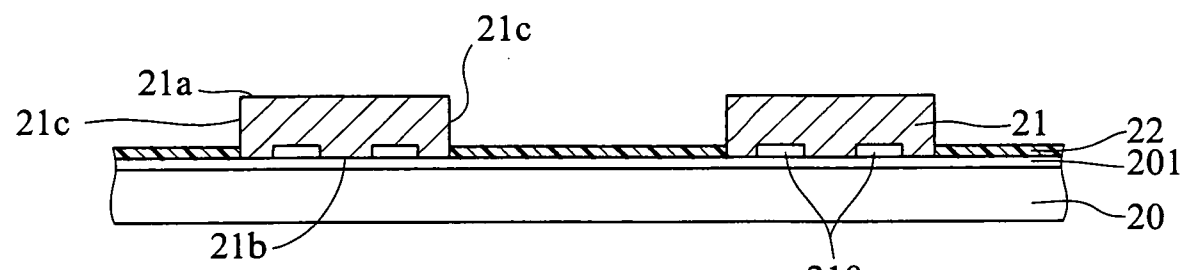
第1D圖



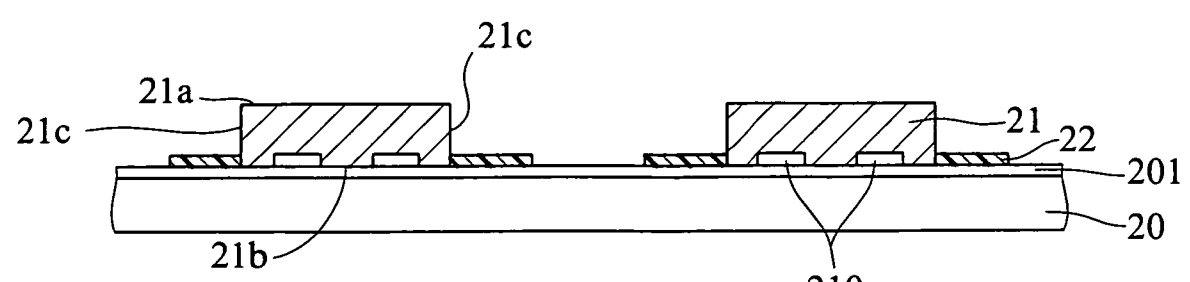
第2A圖



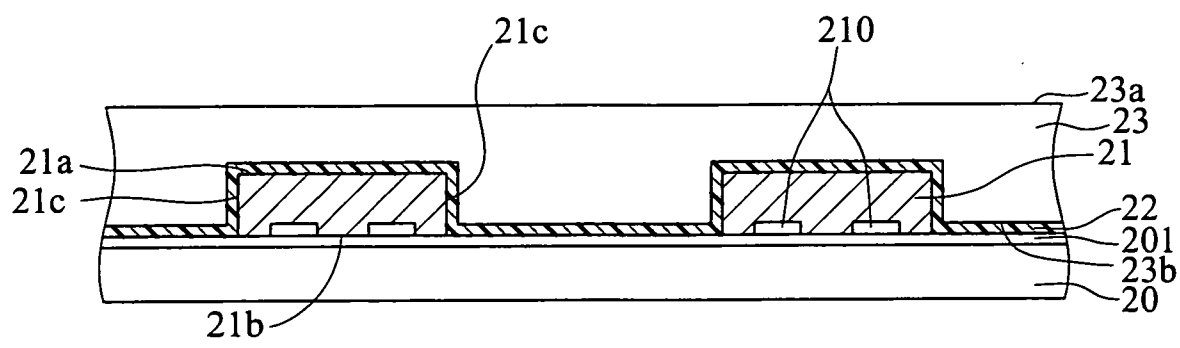
第2B圖



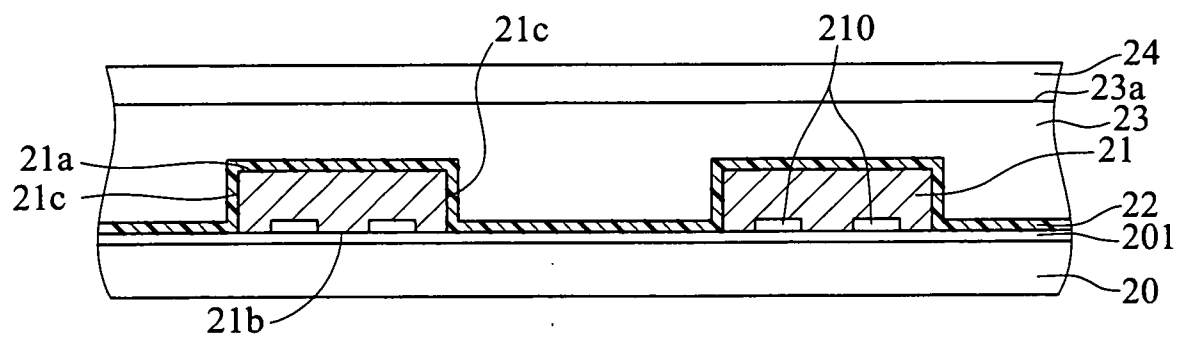
第2B'圖



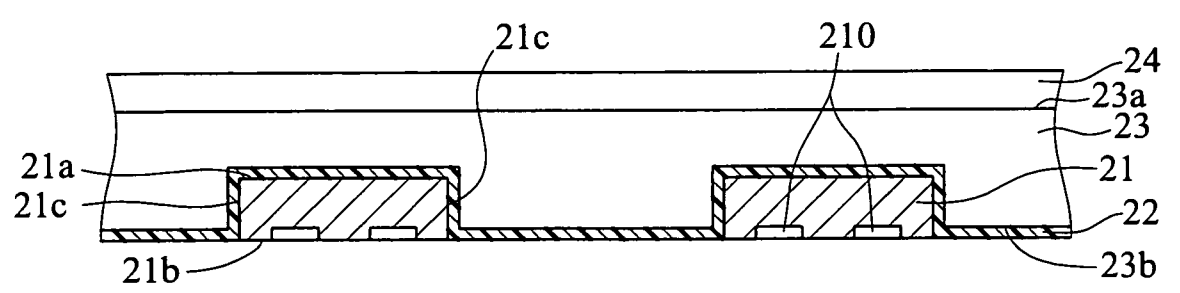
第2B''圖



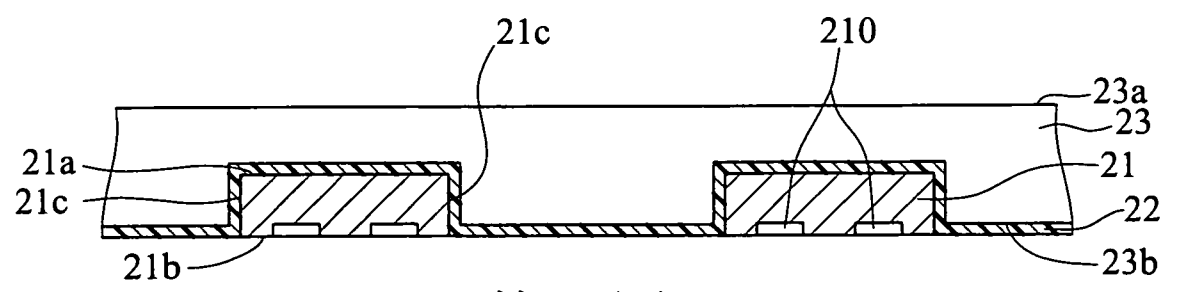
第2C圖



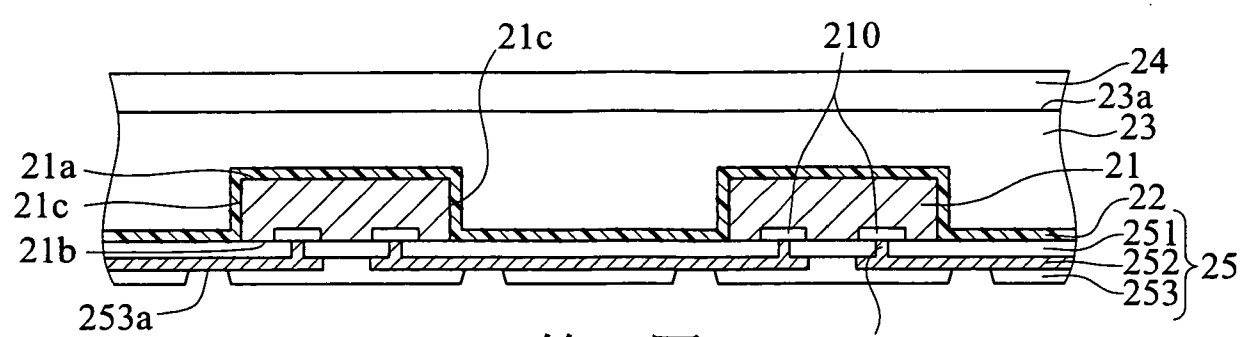
第2D圖



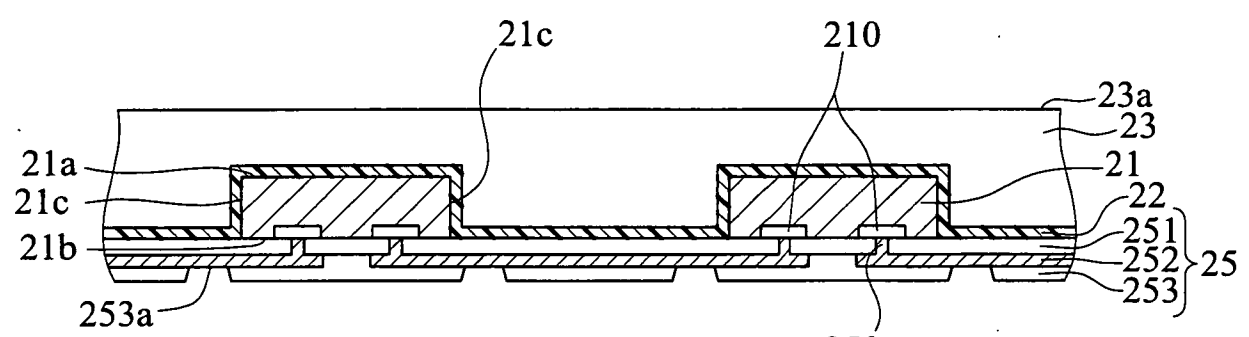
第2E圖



第2E'圖

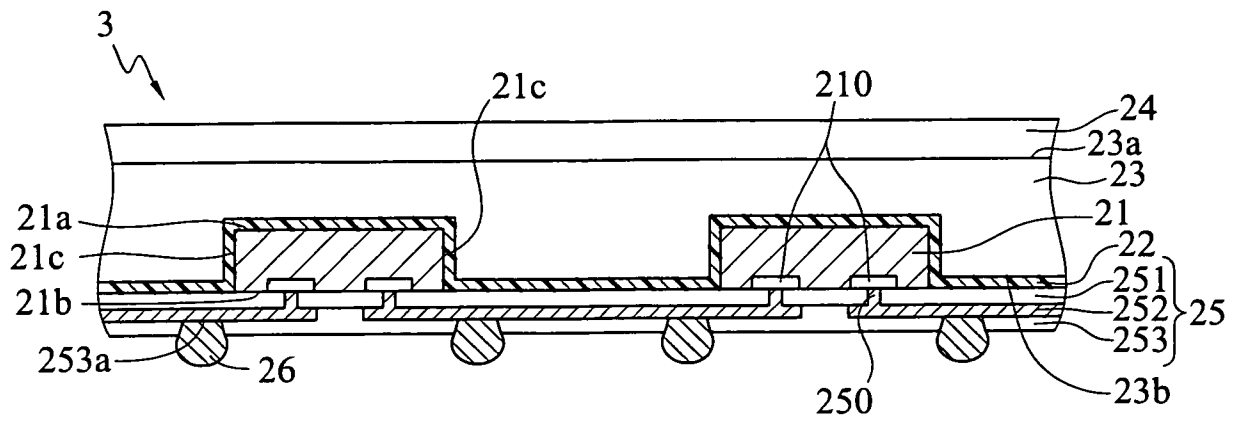


第2F圖

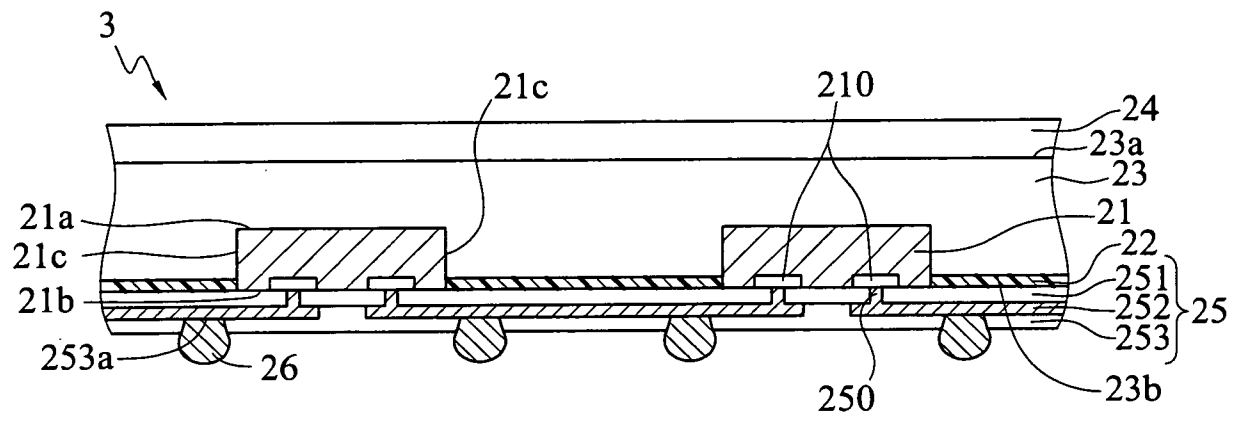


第2F'圖

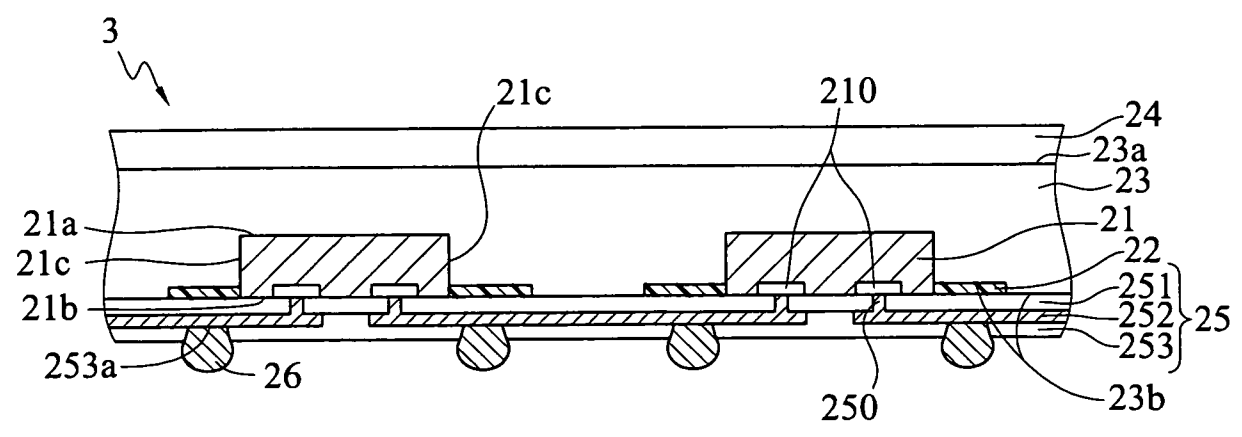




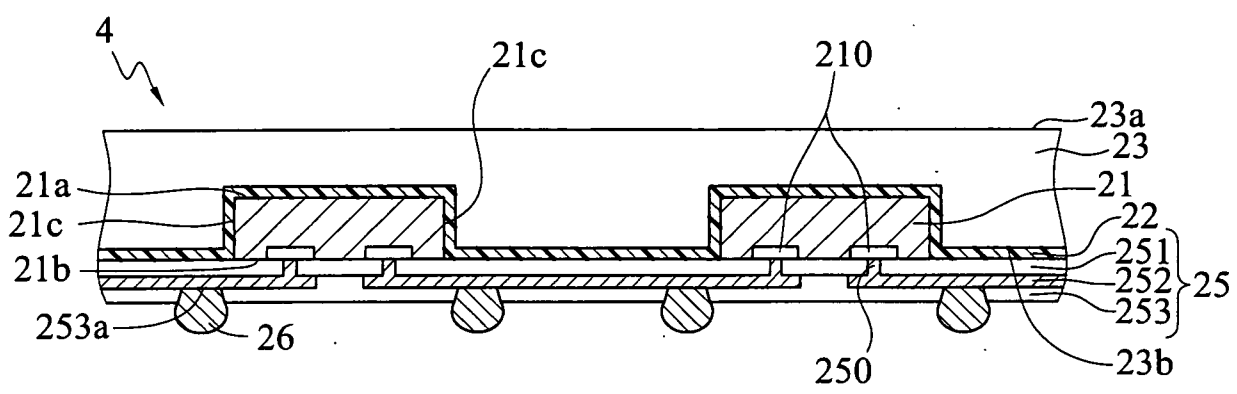
第3圖



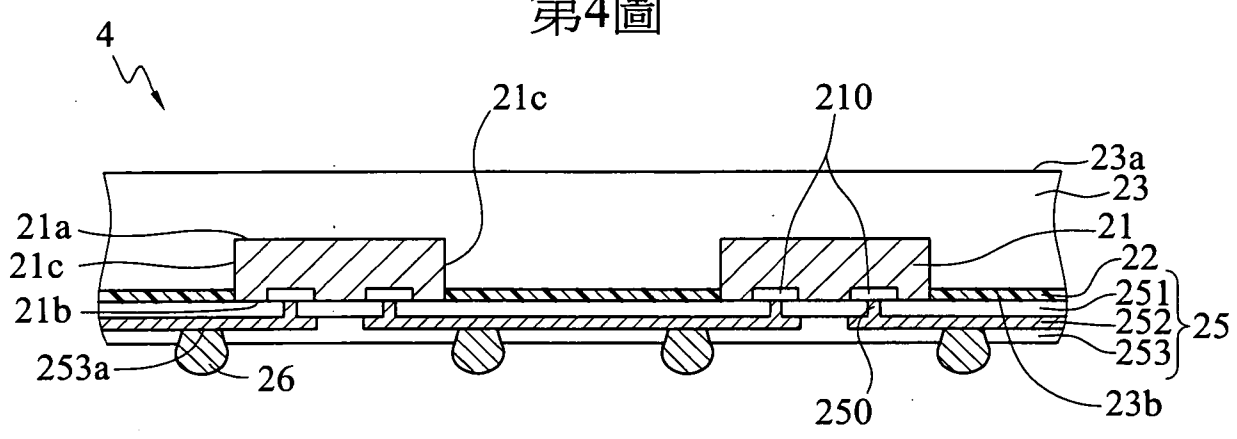
第3'圖



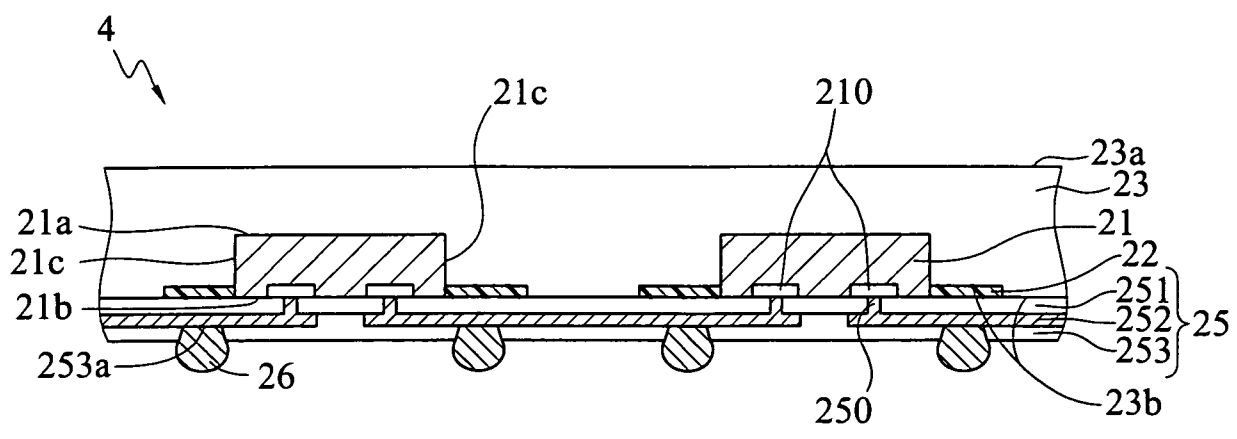
第3''圖



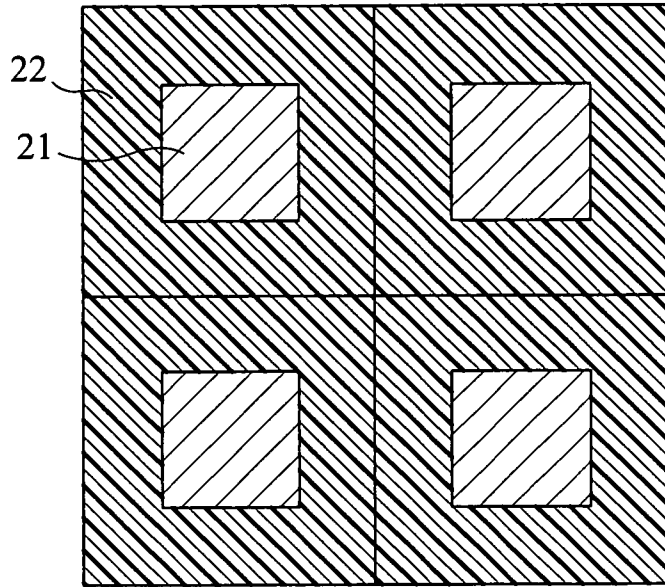
第4圖



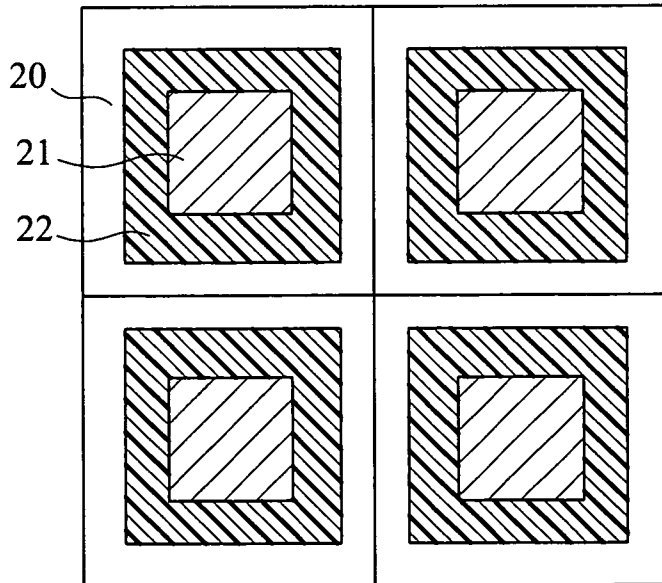
第4'圖



第4''圖



第5圖



第6圖