

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4726290号  
(P4726290)

(45) 発行日 平成23年7月20日(2011.7.20)

(24) 登録日 平成23年4月22日(2011.4.22)

(51) Int.Cl.

F 1

G 11 C 11/14	(2006.01)	G 11 C 11/14	Z
G 11 C 11/15	(2006.01)	G 11 C 11/14	B
H 01 L 21/8246	(2006.01)	G 11 C 11/15	
H 01 L 27/105	(2006.01)	H 01 L 27/10	4 4 7
H 01 L 43/08	(2006.01)	H 01 L 43/08	Z

請求項の数 14 (全 47 頁) 最終頁に続く

(21) 出願番号

特願2000-316867 (P2000-316867)

(22) 出願日

平成12年10月17日 (2000.10.17)

(65) 公開番号

特開2002-124079 (P2002-124079A)

(43) 公開日

平成14年4月26日 (2002.4.26)

審査請求日

平成19年10月4日 (2007.10.4)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部 1753 番地

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100109162

弁理士 酒井 将行

(74) 代理人 100111246

弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】半導体集積回路

## (57) 【特許請求の範囲】

## 【請求項 1】

半導体集積回路であって、

複数行および複数列の行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第1および第2のデータ書き込み電流によって印加されるデータ書き込み磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて異なる抵抗値を有し、

前記磁性体メモリセルの行にそれぞれ対応して設けられ、データ書き込み時に於いて前記第1のデータ書き込み電流を流すためにアドレス選択結果に応じて選択的に活性化される書き込みワード線と、

前記磁性体メモリセルの列にそれぞれ対応して設けられたビット線対とを備え、

前記ビット線対は、第1および第2のビット線を含み、

前記複数の磁性体メモリセルの各々は、各前記書き込みワード線が各前記第1および第2のビット線と交差する位置の一方に対応させて前記行ごとに交互配置され、

前記データ書き込み時に於いて、アドレス選択結果に応じて選択される前記ビット線対に含まれる前記第1および第2のビット線の一端を高電位状態および低電位状態の一方ずつに設定するためのデータ書き込み制御回路と、

前記ビット線対にそれぞれ対応して設けられたビット線電流制御回路とをさらに備え、

前記ビット線電流制御回路は、前記データ書き込み時に於いて前記第2のデータ書き込み電流を

流すために対応する前記第1および第2のビット線の他端の間を電気的に結合する、半導体集積回路。

【請求項2】

前記データ書込制御回路は、前記半導体集積回路に対して外部から供給された外部電源電位によって駆動される、請求項1記載の半導体集積回路。

【請求項3】

前記複数行の前記書込ワード線を前記アドレス選択結果に応じて選択的に活性状態に駆動するためのワード線駆動回路と、

各前記書込ワード線を前記書込ワード線の非活性状態に対応する電位と結合するためのワード線電流制御回路とをさらに備え、

前記ワード線駆動回路は、前記外部電源電位によって駆動される、請求項2記載の半導体集積回路。

【請求項4】

前記複数列の前記ビット線対に共通に設けられ、第1および第2のデータ線によって形成されるデータ線対と、

前記列にそれぞれ対応して設けられた列選択ゲート回路とさらに備え、

前記列選択ゲート回路は、前記アドレス選択結果に応じて、対応する前記第1および第2のビット線を前記第1および第2のデータ線とそれぞれ接続し、

前記データ書込制御回路は、前記データ書込時ににおいて、第1および第2の内部ノードを前記高電位状態および低電位状態の一方ずつに設定し、

前記第1および第2の内部ノードと前記第1および第2のデータ線との接続点は、前記第2のデータ書込電流の経路を形成する配線の抵抗値が、アドレス選択の対象となる前記列の位置に関わらずほぼ一定となるように設けられる、請求項1記載の半導体集積回路。

【請求項5】

各前記ビット線対は、前記列に沿った方向に配置され、

前記データ線対は、前記行に沿った方向に配置され、

前記第1の内部ノードは、先頭の前記列側の領域において前記第1のデータ線と接続され、

前記第2の内部ノードは、最終の前記列側の領域において前記第2のデータ線と接続される、請求項4記載の半導体集積回路。

【請求項6】

各前記ビット線対は、前記列に沿った方向に配置され、

前記データ線対は、前記行に沿った方向に配置され、

前記第1および第2の内部ノードは、中央の前記列周辺の領域において、前記第1および第2のデータ線とそれぞれ接続される、請求項4記載の半導体集積回路。

【請求項7】

前記複数列は、M個 (M: 2以上の自然数) の列ずつの列グループに分割され、

前記半導体集積回路は、

前記列グループごとに配置された、第1および第2のデータ線によって形成されるデータ線対と、

前記列にそれぞれ対応して設けられた列選択ゲート回路とをさらに備え、

各前記列選択ゲート回路は、前記アドレス選択結果に応じて、対応する前記第1および第2のビット線を対応する前記第1および第2のデータ線とそれぞれ接続するように動作し、

前記データ書込制御回路は、前記列グループごとに前記データ線対に対応して設けられ、

各前記データ書込制御回路は、前記データ書込時ににおいてアドレス選択結果に応じて動作して、対応する前記第1および第2のデータ線を前記高電位状態および低電位状態の一方ずつに設定する、請求項1記載の半導体集積回路。

【請求項8】

10

20

30

40

50

前記データ線対は、前記ビット線対と同一方向に沿って、対応する前記列グループに属するM個の前記列の中央部に配置される、請求項7記載の半導体集積回路。

【請求項9】

前記行にそれぞれ対応して設けられ、データ読出時においてアドレス選択結果に応じて活性化されて対応する磁性体メモリセルを対応するビット線対と結合するための読出ワード線と、

データ読出時において、アドレス選択結果に応じて選択される前記ビット線対に含まれる前記第1および第2のビット線に対してデータ読出電流を供給するためのデータ読出制御回路とをさらに備え、

前記データ読出時において、各前記ビット線電流制御回路は、対応する前記第1および第2のビット線の間を開放する、請求項1記載の半導体集積回路。 10

【請求項10】

前記第1のビット線にそれぞれ対応して設けられた第1のダミーメモリセルと、

前記第2のビット線にそれぞれ対応して設けられた第2のダミーメモリセルと、

前記複数列の前記第1のダミーメモリセルに共通に設けられ、各前記第1のダミーメモリセルを対応する前記第1のビット線とそれぞれ結合するために、前記データ読出時においてアドレス選択結果に応じて活性化される第1のダミー読出ワード線と、

前記複数列の前記第2のダミーメモリセルに共通に設けられ、各前記第2のダミーメモリセルを対応する前記第2のビット線とそれぞれ結合するために、前記データ読出時においてアドレス選択結果に応じて活性化される第2のダミー読出ワード線と、 20

前記データ読出時において、前記複数行の前記読出ワード線のうちの1つと前記第1および第2のダミー読出ワード線のうちの一方とを、前記アドレス選択結果に応じて選択的に活性化するワード線駆動回路とをさらに備え、

前記第1および第2のダミーメモリセルの各々は、前記磁性体メモリセルが前記記憶データのレベルに応じて有する第1および第2の抵抗値の中間の抵抗値を有する、請求項9記載の半導体集積回路。

【請求項11】

前記半導体集積回路に対して外部から供給された外部電源電位を降圧して内部電源電位を生成する電圧降下回路をさらに備え、

前記データ書込制御回路は、前記外部電源電位によって駆動され、 30

前記データ読出制御回路は、前記内部電源電位によって駆動される、請求項9記載の半導体集積回路。

【請求項12】

半導体集積回路であって、

複数行および複数列の行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印加されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて異なる抵抗値を有し、

前記磁性体メモリセルの行にそれぞれ対応して設けられ、データ書込時においてアドレス選択結果に応じて前記第1のデータ書込電流を流すための書込ワード線と、 40

前記磁性体メモリセルの列にそれぞれ対応して設けられるビット線と、

前記複数列の前記ビット線に共通に設けられたデータ線対とをさらに備え、

前記データ線対は、第1および第2のデータ線によって形成され、

前記データ書込時において、前記第1および第2のデータ線を高電位状態および低電位状態の一方ずつに設定するためのデータ書込制御回路と、

前記列にそれぞれ対応して設けられた列選択ゲート回路と、

前記列にそれぞれ対応して設けられたビット線電流制御回路とをさらに備え、

各前記列選択ゲート回路は、前記アドレス選択結果に応じて対応する前記ビット線の一端を前記第1のデータ線と接続し、 50

前記ビット線電流制御回路は、前記データ書込時において前記第2のデータ書込電流を流すために、前記対応する前記ビット線の他端と前記第2のデータ線との間を電気的に結合する、半導体集積回路。

【請求項13】

前記データ書込制御回路は、前記データ書込時において、第1および第2の内部ノードを前記高電位状態および低電位状態の一方ずつに設定し、

各前記ビット線電流制御回路は、前記アドレス選択結果に応じて、前記対応する前記ビット線と前記第2のデータ線との間を電気的に結合し、

前記半導体集積回路は、

データ読出時においてデータ読出電流を第3の内部ノードに供給するためのデータ読出制御回路と、

前記データ書込時において、前記第1および第2の内部ノードと前記第1および第2のデータ線とをそれぞれ結合するための接続切換回路とをさらに備え、

前記接続切換回路は、前記データ読出時において、前記第1および第2のデータ線を、前記第3の内部ノードおよび読出基準電位を供給する第4の内部ノードとそれぞれ電気的に結合し、

前記データ読出制御回路は、前記読出基準電位と前記第3の内部ノードとの間の電位差に基づいて前記データ読出を行なう、請求項12記載の半導体集積回路。

【請求項14】

前記データ書込制御回路は、前記データ書込時において、第1および第2の内部ノードを前記高電位状態および低電位状態の一方ずつに設定し、

各前記ビット線電流制御回路は、データ読出前のプリチャージ時において前記対応する前記ビット線と前記第2のデータ線との間を電気的に結合するとともに、データ読出時において前記対応する前記ビット線と前記第2のデータ線との間を電気的に切り離し、

前記半導体集積回路は、

前記データ読出時においてデータ読出電流を前記第1のデータ線に供給するためのデータ読出制御回路と、

前記データ書込時において、前記第1および第2の内部ノードと前記第1および第2のデータ線とをそれぞれ結合するための接続切換回路とをさらに備え、

前記接続切換回路は、前記プリチャージ時において、前記第1および第2のデータ線を、読出基準電位を供給する第3および第4の内部ノードとそれぞれ電気的に結合するとともに、前記データ読出時において、前記第1および第2のデータ線を前記第1から第4の内部ノードから切り離し、

前記データ読出制御回路は、前記読出基準電位と前記第1のデータ線との間の電位差に基づいて前記データ読出を行なう、請求項12記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、薄膜磁性体記憶装置に関し、より特定的には、磁気トンネル接合（M T J : Magnetic Tunneling Junction）を有するメモリセルを備えたランダムアクセスメモリに関する。

【0002】

【従来の技術】

低消費電力で不揮発的なデータの記憶が可能な記憶装置として、M R A M ( Magnetic Random Memory ) デバイスが注目されている。M R A M デバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置である。

【0003】

特に、近年では磁気トンネル接合（M T J : Magnetic Tunnel Junction）を利用した薄膜磁性体をメモリセルとして用いることによって、M R A M 装置の性能が飛躍的に進歩する

10

20

30

40

50

ことが発表されている。磁気トンネル接合部を有するメモリセルを備えたM R A M デバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000. および “Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, ISSCC Digest of Technical Papers, TA7.3, Feb. 2000. 等の技術文献に開示されている。

【 0 0 0 4 】

図41は、磁気トンネル接合部を有するメモリセル（以下単にM T J メモリセルとも称する）の構成を示す概略図である。

【 0 0 0 5 】

図41を参照して、M T J メモリセルは、記憶データのデータレベルに応じて抵抗値が変化する磁気トンネル接合部M T J と、アクセストランジスタA T R を備える。アクセストランジスタA T R は、電界効果トランジスタで形成され、磁気トンネル接合部M T J と接地電位V s sとの間に結合される。

【 0 0 0 6 】

M T J メモリセルに対しては、データ書込を指示するためのライトワード線W W L と、データ読出を指示するためのリードワード線R W L と、データ読出時およびデータ書込時において記憶データのレベルに対応した電気信号を伝達するためのデータ線であるビット線B L とが配置される。

【 0 0 0 7 】

図42は、M T J メモリセルからのデータ読出動作を説明する概念図である。

図42を参照して、磁気トンネル接合部M T J は、一定方向の固定磁界を有する磁性体層（以下、単に固定磁気層とも称する）F L と、自由磁界を有する磁性体層（以下、単に自由磁気層とも称する）V L とを有する。固定磁気層F L および自由磁気層V Lとの間に、絶縁体膜で形成されるトンネルバリアT B が配置される。自由磁気層V Lにおいては、記憶データのレベルに応じて、固定磁気層F L と同一方向の磁界および固定磁気層F L と異なる方向の磁界のいずれか一方が不揮発的に書込まれている。

【 0 0 0 8 】

データ読出時においては、アクセストランジスタA T R がリードワード線R W L の活性化に応じてターンオンされる。これにより、ビット線B L ~ 磁気トンネル接合部M T J ~ アクセストランジスタA T R ~ 接地電位V s s の電流経路に、図示しない制御回路から一定電流として供給されるセンス電流I s が流れる。

【 0 0 0 9 】

磁気トンネル接合部M T J の抵抗値は、固定磁気層F L と自由磁気層V Lとの間の磁界方向の相対関係に応じて変化する。具体的には、固定磁気層F L の磁界方向と自由磁気層V L に書込まれた磁界方向とが同一である場合には、両者の磁界方向が異なる場合に比べて磁気トンネル接合部M T J の抵抗値は小さくなる。

【 0 0 1 0 】

したがって、データ読出時においては、センス電流I s によって磁気トンネル接合部M T J で生じる電位変化は、自由磁気層V L に記憶された磁界方向に応じて異なる。これにより、ビット線B L を一旦高電位にプリチャージした状態とした後にセンス電流I s の供給を開始すれば、ビット線B L の電位レベル変化の監視によってM T J メモリセルの記憶データのレベルを読出することができる。

【 0 0 1 1 】

図43は、M T J メモリセルに対するデータ書込動作を説明する概念図である。

【 0 0 1 2 】

図43を参照して、データ書込時においては、リードワード線R W L は非活性化され、アクセストランジスタA T R はターンオフされる。この状態で、自由磁気層V L に磁界を書込むためのデータ書込電流がライトワード線W W L およびビット線B L にそれぞれ流される。自由磁気層V L の磁界方向は、ライトワード線W W L およびビット線B L をそれぞれ

10

20

30

40

50

流れるデータ書込電流の向きの組合せによって決定される。

【0013】

図44は、データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

【0014】

図44を参照して、横軸で示される磁界H<sub>x</sub>は、ライトワード線WWLを流れるデータ書込電流によって生じる磁界H(WWL)の方向を示す。一方、縦軸に示される磁界H<sub>y</sub>は、ビット線BLを流れるデータ書込電流によって生じる磁界H(BL)の方向を示す。

【0015】

自由磁気層VLに記憶される磁界方向は、磁界H(WWL)とH(BL)との和が図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ、新たに書込まれる。すなわち、アステロイド特性線の内側の領域に相当する磁界が印加された場合においては、自由磁気層VLに記憶される磁界方向は更新されない。

【0016】

したがって、磁気トンネル接合部MTJの記憶データを書込動作によって更新するためには、ライトワード線WWLとビット線BLとの両方に電流を流す必要がある。磁気トンネル接合部MTJに一旦記憶された磁界方向すなわち記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

【0017】

データ読出動作時においても、ビット線BLにはセンス電流Isが流れる。しかし、センス電流Isは一般的に、上述したデータ書込電流よりは1~2桁程度小さくなるように設定されるので、センス電流Isの影響によりデータ読出時においてMTJメモリセルの記憶データが誤って書換えられる可能性は小さい。

【0018】

上述した技術文献においては、このようなMTJメモリセルを半導体基板上に集積して、ランダムアクセスメモリであるMRAMデバイスを構成する技術が開示されている。

【0019】

【発明が解決しようとする課題】

図45は、行列状に集積配置されたMTJメモリセルを示す概念図である。

【0020】

図45を参照して、半導体基板上に、MTJメモリセルを行列状に配置することによって、高集積化されたMRAMデバイスを実現することができる。図45においては、MTJメモリセルをn行×m列(n, m:自然数)に配置する場合が示される。

【0021】

既に説明したように、各MTJメモリセルに対して、ビット線BL、ライトワード線WWLおよびリードワード線RWLを配置する必要がある。したがって、行列状に配されたn×m個のMTJメモリセルに対して、n本のライトワード線WWL<sub>1</sub>~WWL<sub>n</sub>およびリードワード線RWL<sub>1</sub>~RWL<sub>n</sub>と、m本のビット線BL<sub>1</sub>~BL<sub>m</sub>とを配置する必要がある。

【0022】

このように、MTJメモリセルに対しては、読出動作と書込動作とのそれぞれに対応して独立したワード線を設ける構成が一般的である。

【0023】

図46は、半導体基板上に配置されたMTJメモリセルの構造図である。

図46を参照して、半導体主基板SUB上のp型領域PARにアクセストランジスタATRが形成される。アクセストランジスタATRは、n型領域であるソース/ドレイン領域110, 120とゲート130とを有する。ソース/ドレイン領域110は、第1の金属配線層M1に形成された金属配線を介して接地電位Vssと結合される。ライトワード線WWLには、第2の金属配線層M2に形成された金属配線が用いられる。また、ビット線BLは第3の金属配線層M3に設けられる。

10

20

30

40

50

## 【0024】

磁気トンネル接合部MTJは、ライトワード線WWLが設けられる第2の金属配線層M2とビット線BLが設けられる第3の金属配線層M3との間に配置される。アクセストランジスタATRのソース／ドレイン領域120は、コンタクトホールに形成された金属膜150と、第1および第2の金属配線層M1およびM2と、バリアメタル140とを介して、磁気トンネル接合部MTJと電気的に結合される。バリアメタル140は、磁気トンネル接合部MTJと金属配線との間を電気的に結合するために設けられる緩衝材である。

## 【0025】

既に説明したように、MTJメモリセルにおいては、リードワード線RWLはライトワード線WWLとは独立の配線として設けられる。また、ライトワード線WWLおよびビット線BLは、データ書込時において所定値以上の大きさの磁界を発生させるためのデータ書込電流を流す必要がある。したがって、ビット線BLおよびライトワード線WWLは金属配線を用いて形成される。

## 【0026】

一方、リードワード線RWLは、アクセストランジスタATRのゲート電位を制御するために設けられるものであり、電流を積極的に流す必要はない。したがって、集積度を高める観点から、リードワード線RWLは、独立した金属配線層を新たに設けることなく、ゲート130と同一の配線層において、ポリシリコン層やポリサイド構造などを用いて形成されていた。

## 【0027】

このように、MTJメモリセルを半導体基板上に集積化する場合は、メモリセルに必要とされる配線が多いことから、配線数および配線数が多くなり、製造コストが増大するという問題点がある。また、ビット線BLに多数のMTJメモリセルが常時接続される構成であるので、ビット線BLの寄生容量は比較的大きな値であり、リードワード線RWLがポリシリコン層やポリサイド構造によって形成されることと合わせて、読出動作の高速化が困難であった。

## 【0028】

また、データ書込時においても、ビット線BLに比較的大きなデータ書込電流を流す必要がある。また書込まれるデータのレベルに応じて、データ書込電流の方向を制御する必要があるため、データ書込電流を制御するための回路が複雑化するという問題点もあった。

## 【0029】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、MTJメモリセルを有するMRAMデバイスにおいて、データ書込電流を供給するための制御回路の構成を簡素化して、製造コストの削減を図ることである。

## 【0030】

この発明の他の目的は、リードワード線およびライトワード線のドライブ回路を分割配置してレイアウトの自由度を向上させ、レイアウト面積すなわちチップ面積を減少させることである。

## 【0031】

この発明のさらに他の目的は、各メモリセルに必要な配線数を削減して、製造コストの削減を図ることである。

## 【0032】

## 【課題を解決するための手段】

請求項1記載の半導体集積回路は、複数行および複数列の行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印加されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する。半導体集積回路は、磁性体メモリセルの行にそれぞれ対応して設けられ、データ書込時において第1のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性化される書込ワード線と、磁性体メモリセルの列にそれぞれ対応して設けられたビット線対とを備え、ビット線対は

10

20

30

40

50

、第1および第2のビット線を含み、複数の磁性体メモリセルの各々は、各書込ワード線が第1および第2のビット線と交差する位置の一方に対応させて行ごとに交互配置される。半導体集積回路は、データ書込時において、アドレス選択結果に応じて選択されるビット線対に含まれる第1および第2のビット線の一端を高電位状態および低電位状態の一方ずつに設定するためのデータ書込制御回路と、ビット線対にそれぞれ対応して設けられたビット線電流制御回路とをさらに備える。ビット線電流制御回路は、データ書込時において第2のデータ書込電流を流すために対応する第1および第2のビット線の他端の間を電気的に結合する。

【0033】

請求項2記載の半導体集積回路は、請求項1記載の半導体集積回路であって、データ書込制御回路は、半導体集積回路に対して外部から供給された外部電源電位によって駆動される。

【0034】

請求項3記載の半導体集積回路は、請求項2記載の半導体集積回路であって、複数行の書込ワード線をアドレス選択結果に応じて選択的に活性状態に駆動するためのワード線駆動回路と、各書込ワード線を複数の書込ワード線の非活性状態に対応する電位と結合するためのワード線電流制御回路とをさらに備え、ワード線駆動回路は、外部電源電位によって駆動される。

【0035】

請求項4記載の半導体集積回路は、請求項1記載の半導体集積回路であって、複数列のビット線対に共通に設けられ、第1および第2のデータ線によって形成されるデータ線対と、列にそれぞれ対応して設けられた列選択ゲート回路とをさらに備える。列選択ゲート回路は、アドレス選択結果に応じて、対応する第1および第2のビット線を第1および第2のデータ線とそれぞれ接続し、データ書込制御回路は、データ書込時において、第1および第2の内部ノードを高電位状態および低電位状態の一方ずつに設定し、第1および第2の内部ノードと第1および第2のデータ線との接続点は、第2のデータ書込電流の経路を形成する配線の抵抗値が、アドレス選択の対象となる列の位置に関わらずほぼ一定となるように設けられる。

【0036】

請求項5記載の半導体集積回路は、請求項4記載の半導体集積回路であって、各ビット線対は、列に沿った方向に配置され、データ線対は、行に沿った方向に配置され、第1の内部ノードは、先頭の列側の領域において第1のデータ線と接続され、第2の内部ノードは、最終の列側の領域において第2のデータ線と接続される。

【0037】

請求項6記載の半導体集積回路は、請求項4記載の半導体集積回路であって、各ビット線対は、列に沿った方向に配置され、データ線対は、行に沿った方向に配置され、第1および第2の内部ノードは、中央の列周辺の領域において、第1および第2のデータ線とそれぞれ接続される。

【0038】

請求項7記載の半導体集積回路は、請求項1記載の半導体集積回路であって、複数列は、M個（M：2以上の自然数）の列ずつの列グループに分割され、半導体集積回路は、列グループごとに配置された、第1および第2のデータ線によって形成されるデータ線対と、列にそれぞれ対応して設けられた列選択ゲート回路とをさらに備える。各列選択ゲート回路は、アドレス選択結果に応じて、対応する第1および第2のビット線を対応する第1および第2のデータ線とそれぞれ接続するように動作し、データ書込制御回路は、列グループごとにデータ線対に対応して設けられ、各データ書込制御回路は、データ書込時においてアドレス選択結果に応じて動作して、対応する第1および第2のデータ線を高電位状態および低電位状態の一方ずつに設定する。

【0039】

請求項8記載の半導体集積回路は、請求項7記載の半導体集積回路であって、データ線

10

20

30

40

50

対は、ビット線対と同一方向に沿って、対応する列グループに属するM個の列の中央部に配置される。

【0040】

請求項9記載の半導体集積回路は、請求項1記載の半導体集積回路であって、行にそれぞれ対応して設けられ、データ読出時においてアドレス選択結果に応じて活性化されて対応する磁性体メモリセルを対応するビット線対と結合するための読出ワード線と、データ読出時において、アドレス選択結果に応じて選択されるビット線対に含まれる第1および第2のビット線に対してデータ読出電流を供給するためのデータ読出制御回路とをさらに備える。データ読出時において、各ビット線電流制御回路は、対応する第1および第2のビット線の間を開放する。

10

【0041】

請求項10記載の半導体集積回路は、請求項9記載の半導体集積回路であって、第1のビット線にそれぞれ対応して設けられた第1のダミーメモリセルと、第2のビット線にそれぞれ対応して設けられた第2のダミーメモリセルと、複数列の第1のダミーメモリセルに共通に設けられ、各第1のダミーメモリセルを対応する第1のビット線とそれぞれ結合するために、データ読出時においてアドレス選択結果に応じて活性化される第1のダミー読出ワード線と、複数列の第2のダミーメモリセルに共通に設けられ、各第2のダミーメモリセルを対応する第2のビット線とそれぞれ結合するために、データ読出時においてアドレス選択結果に応じて活性化される第2のダミー読出ワード線と、データ読出時において、複数行の読出ワード線のうちの1つと第1および第2のダミー読出ワード線のうちの一方とを、アドレス選択結果に応じて選択的に活性化するワード線駆動回路をさらに備える。第1および第2のダミーメモリセルの各々は、磁性体メモリセルが記憶データのレベルに応じて有する第1および第2の抵抗値の中間の抵抗値を有する。

20

【0042】

請求項11記載の半導体集積回路は、請求項9記載の半導体集積回路であって、半導体集積回路に対して外部から供給された外部電源電位を降圧して内部電源電位を生成する電圧降下回路をさらに備え、データ書き制御回路は、外部電源電位によって駆動され、データ読出制御回路は、内部電源電位によって駆動される。

【0043】

請求項12記載の半導体集積回路は、複数行および複数列の行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書き電流によって印加されるデータ書き磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて異なる抵抗値を有する。半導体集積回路は、磁性体メモリセルの行にそれぞれ対応して設けられ、データ書き時においてアドレス選択結果に応じて第1のデータ書き電流を流すための書きワード線と、磁性体メモリセルの列にそれぞれ対応して設けられるビット線と、複数列のビット線に共通に設けられたデータ線対とをさらに備え、データ線対は、第1および第2のデータ線によって形成される。半導体集積回路は、データ書き時において、第1および第2のデータ線を高電位状態および低電位状態の一方ずつに設定するためのデータ書き制御回路と、列にそれぞれ対応して設けられた列選択ゲート回路と、列にそれぞれ対応して設けられたビット線電流制御回路とをさらに備える。各列選択ゲート回路は、アドレス選択結果に応じて対応するビット線の一端を第1のデータ線と接続し、ビット線電流制御回路は、データ書き時において第2のデータ書き電流を流すために、対応するビット線の他端と第2のデータ線との間を電気的に結合する。

30

【0044】

請求項13記載の半導体集積回路は、請求項12記載の半導体集積回路であって、データ書き制御回路は、データ書き時において、第1および第2の内部ノードを高電位状態および低電位状態の一方ずつに設定し、各ビット線電流制御回路は、アドレス選択結果に応じて、対応するビット線と第2のデータ線との間を電気的に結合し、半導体集積回路は、データ読出時においてデータ読出電流を第3の内部ノードに供給するためのデータ読出制

40

50

御回路と、データ書込時において、第1および第2の内部ノードと第1および第2のデータ線とをそれぞれ結合するための接続切換回路とをさらに備え、接続切換回路は、データ読出時において、第1および第2のデータ線を、第3の内部ノードおよび読出基準電位を供給する第4の内部ノードとそれぞれ電気的に結合し、データ読出制御回路は、読出基準電位と第3の内部ノードとの間の電位差に基づいてデータ読出を行なう。

【0045】

請求項14記載の半導体集積回路は、請求項12記載の半導体集積回路であって、データ書込制御回路は、データ書込時において、第1および第2の内部ノードを高電位状態および低電位状態の一方ずつに設定し、各ビット線電流制御回路は、データ読出前のプリチャージ時において対応するビット線と第2のデータ線との間を電気的に結合するとともに、データ読出時において対応するビット線と第2のデータ線との間を電気的に切り離し、半導体集積回路は、データ読出時においてデータ読出電流を第1のデータ線に供給するためのデータ読出制御回路と、データ書込時において、第1および第2の内部ノードと第1および第2のデータ線とをそれぞれ結合するための接続切換回路とをさらに備え、接続切換回路は、プリチャージ時において、第1および第2のデータ線を、読出基準電位を供給する第3および第4の内部ノードとそれぞれ電気的に結合するとともに、データ読出時において、第1および第2のデータ線を第1から第4の内部ノードから切り離し、データ読出制御回路は、読出基準電位と第1のデータ線との間の電位差に基づいてデータ読出を行なう。

【0051】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳細に説明する。

【0052】

【実施の形態1】

図1は、本発明の実施の形態1に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【0053】

図1を参照して、MRAMデバイス1は、外部からの制御信号CMDおよびアドレス信号ADDに応答してランダムアクセスを行ない、書込データDINの入力および読出データDOUTの出力を実行する。

【0054】

MRAMデバイス1は、制御信号CMDに応答してMRAMデバイス1の全体動作を制御するコントロール回路5と、n行×m列に行列状に配置された複数のMTJメモリセルを有するメモリアレイ10とを備える。メモリアレイ10の構成は後ほど詳細に説明するが、MTJメモリセルの行にそれぞれ対応して複数のライトワード線WWLおよびリードワード線RWLが配置される。また、MTJメモリセルの列にそれぞれ対応して設けられる折返し型で構成されるビット線対が配置される。ビット線対は、ビット線BLおよび/BLによって構成される。

なお以下においては、ビット線BLおよび/BLの組をビット線対BLPとも総称する。

【0055】

MRAMデバイス1は、さらに、アドレス信号ADDによって示されるロウアドレスRAに応じてメモリアレイ10における行選択を実行する行デコーダ20と、アドレス信号ADDによって示されるコラムアドレスCAに応じてメモリアレイ10における列選択を実行する列デコーダ25と、行デコーダ20の行選択結果に基づいてリードワード線RWLおよびライトワード線WWLを選択的に活性化するためのワード線ドライバ30と、データ書込時においてライトワード線WWLにデータ書込電流を流すためのワード線電流制御回路40と、データ読出およびデータ書込時において、データ書込電流±Iwおよびセンス電流Isを流すための読出/書込制御回路50, 60とを備える。

【0056】

図2は、メモリアレイ10およびその周辺の実施の1に従う構成を詳細に説明するための

10

20

30

40

50

図である。

【0057】

図2を参照して、メモリアレイ10は、n行×m列(n, m:自然数)に配列される、図41に示した構成を有するMJTメモリセルMCを有する。M TJメモリセルの行(以下、単にメモリセル行とも称する)に対応して、リードワード線RWL1～RWL<sub>n</sub>およびライトワード線WWL1～WWL<sub>n</sub>がそれぞれ設けられる。

【0058】

M TJメモリセルの列(以下、単にメモリセル列とも称する)に対応して、ビット線対を構成するビット線BL1, /BL1～BL<sub>m</sub>, /BL<sub>m</sub>がそれぞれ設けられる。

【0059】

なお、以下においては、ライトワード線、リードワード線、ビット線およびビット線対を総括的に表現する場合には、符号WWL、RWL、BL(/BL)およびBLPをそれぞれ用いて表記することとし、特定のライトワード線、リードワード線およびビット線を示す場合には、これらの符号に添字を付してRWL1, WWL1のように表記するものとする。

【0060】

ライトワード線WWL1～WWL<sub>n</sub>は、ワード線電流制御回路40によって、接地電位Vsと結合される。これによって、ワード線ドライバ30によって選択状態(高電位状態:電源電位Vcc)に活性化されたライトワード線WWLにデータ書き電流Ipが流れれる。

【0061】

列デコーダ25は、コラムアドレスCAのデコード結果に応じて、メモリセル列に対応してそれぞれ設けられるコラム選択線CSL1～CSL<sub>m</sub>のうちの1本を選択状態(Hレベル)に活性化する。

【0062】

データI/O線対DI/OPは、データ書き時ににおけるデータ書き電流±Iwおよびデータ読み出時ににおけるセンス電流Isを伝達する。すなわち、データ読み出時とデータ書き時ににおいて共有される。データI/O線対DI/OPは、データ線IOおよび/IOを含む。

【0063】

次に、読み出/書き制御回路50に含まれるコラム選択ゲートCSG1～CSG<sub>m</sub>、データ書き電流制御回路51およびデータ読み出回路52の構成について説明する。

【0064】

コラム選択ゲートCSG1～CSG<sub>m</sub>は、メモリセル列に対応してそれぞれ配置される。コラム選択ゲートCSG1～CSG<sub>m</sub>のうちのいずれか1個は、列デコーダ25の列選択結果に応じてオン状態となり、データI/O線対DI/OPを構成するデータ線IOおよび/IOを、対応するビット線BLおよび/BLとそれぞれ結合する。

【0065】

たとえば、コラム選択ゲートCSG1は、データ線IOとビット線BL1との間に結合されるトランジスタスイッチと、データ線/IOとビット線/BL1との間に電気的に結合されるトランジスタスイッチとを有する。これらのトランジスタスイッチは、コラム選択線CSL1の電位レベルに応じてオン/オフする。すなわち、コラム選択線CSL1が選択状態(Hレベル)に活性化された場合には、コラム選択ゲートCSG1は、データ線IO, /IOをビット線BL1および/BL1とそれぞれ電気的に結合する。その他のメモリセル列に対応してそれぞれ設けられるコラム選択ゲートCSG2～CSG<sub>m</sub>も同様の構成を有する。

【0066】

データ書き電流制御回路51は、データ書き時ににおいて活性化される制御信号WEに応答して動作する。

【0067】

データ書き電流制御回路51は、内部ノードNw0に一定電流を供給するためのP型MO

10

20

30

40

50

Sトランジスタ151と、トランジスタ151の通過電流を制御するためのカレントミラー回路を構成するP型MOSトランジスタ152および電流源回路153とを含む。

【0068】

データ書込電流制御回路51は、さらに、内部ノードNw0から動作電流の供給を受けて動作するインバータ154、155および156を有する。インバータ154は、書込データDINの電位レベルを反転して内部ノードNw1に伝達する。インバータ155は、書込データDINの電位レベルを反転してインバータ156の入力ノードに伝達する。インバータ156は、インバータ154の出力を反転して内部ノードNw2に伝達する。したがって、データ書込電流制御回路51は、書込データDINの電位レベルに応じて、データ線IOおよび/IOの電位レベルを電源電位Vccおよび接地電位Vssの一方ずつに設定する。 10

【0069】

データ読出回路52は、データ読出時において活性化される制御信号REに応答して動作して、読出データDOUTを出力する。

【0070】

データ読出回路52は、電源電位Vccを受けて内部ノードNs1およびNs2に一定電流をそれぞれ供給するための電流源回路161および162と、内部ノードNs1と内部ノードNr1との間に電気的に結合されるN型MOSトランジスタ163と、内部ノードNs2と内部ノードNr2との間に電気的に結合されるN型MOSトランジスタ164と、内部ノードNs1およびNs2の間の電位レベル差を增幅して読出データDOUTを出力する増幅器165とを有する。 20

【0071】

トランジスタ163および164のゲートには参照電位Vrefが与えられる。電流源回路161および162の供給電流量および参照電位Vrefは、センス電流Isの電流量に応じて設定される。抵抗166および167は、内部ノードNs1およびNs2を接地電位Vssにプルダウンするために設けられる。このような構成とすることにより、データ読出回路52は、データ読出時において、データ線IOおよび/IOの各々にセンス電流Isを供給する。さらに、コラム選択ゲートおよびビット線対を介して接続されるMTJメモリセルの記憶データのレベルに応じて、データ線IOおよび/IOにそれぞれ生じる電位変化の差を增幅して、読出データDOUTを出力する。 30

【0072】

読出/書込制御回路60は、メモリアレイ10を挟んでコラム選択ゲートCSG1～CSGmと反対側に配置される。

【0073】

読出/書込制御回路60は、ビット線イコライズ信号BLEQに応じてオン/オフされるイコライズトランジスタ62-1～62-mを有する。イコライズトランジスタ62-1～62-mは、メモリセル列にそれぞれ対応して設けられる。たとえば、イコライズトランジスタ62-1は、第1番目のメモリセル列に対応して設けられ、ビット線イコライズ信号BLEQの活性化(Hレベル)に応答して、ビット線BL1と/BL1とを電気的に結合する。 40

【0074】

その他のメモリセル列に対応してそれぞれ設けられるイコライズトランジスタ62-2～62-mも同様に、ビット線イコライズ信号BLEQの活性化に応答して、対応するメモリセル列において、ビット線対を構成するビット線BLおよび/BLの間を電気的に結合する。

【0075】

ビット線イコライズ信号BLEQは、コントロール回路5によって生成される。ビット線イコライズ信号BLEQは、MRAMデバイス1のスタンバイ期間、MRAMデバイス1のアクティブ期間のうちメモリアレイ10が非選択状態である場合およびアクティブ期間内でデータ書込動作時において、折返し型で設けられるビット線対を構成するビット線B 50

L および / B L を各メモリセル列において短絡するために、H レベルに活性化される。

【0076】

一方、M R A M デバイスのアクティブ期間におけるデータ読出動作時においては、ビット線イコライズ信号 B L E Q は L レベルに非活性化される。これに応答して、各メモリセル列において、ビット線対を構成するビット線 B L および / B L の間は遮断される。

【0077】

まず、データ書込時における動作について説明する。以下においては、一例としてコラム選択線 C S L 2 に対応する第 2 番目のメモリセル列が選択された場合について説明する。

【0078】

列選択結果に応答して、コラム選択線 C S L 2 が選択状態 (H レベル) に活性化されて、  
コラム選択ゲート C S G 2 がオンする。これにより、データ線 I O および / I O は、ビット線対 B L P 2 を構成するビット線 B L 2 および / B L 2 とそれぞれ電気的に結合される。  
また、データ書込時においては、イコライズトランジスタ 6 2 - 2 はオン状態となって  
、ビット線 B L 2 および / B L 2 の間を短絡する。

10

【0079】

すでに説明したように、データ書込電流制御回路 5 1 は、データ線 I O および / I O の電位レベルを、電源電位 V c c および接地電位 V s s のいずれか一方ずつに設定する。たとえば、書込データ D I N のデータレベルが L レベルである場合には、インバータ 1 5 4 および 1 5 6 の出力は、それぞれ電源電位 V c c (高電位状態) および接地電位 V s s (低電位状態) にそれぞれ設定されるので、データ線 I O に L レベルデータを書込むためのデータ書込電流 - I w が流される。

20

【0080】

データ書込電流 - I w は、コラム選択ゲート C S G 2 を介してビット線 B L 2 に供給される。ビット線 B L 2 に伝達されるデータ書込電流 - I w は、イコライズトランジスタ 6 2 - 2 によって折返されてもう一方のビット線 / B L 2 においては、反対方向のデータ書込電流 + I w として伝達される。ビット線 / B L 2 が流れるデータ書込電流 + I w は、コラム選択ゲート C S G 2 を介してデータ線 / I O に伝達される。

30

【0081】

また、ライトワード線 W W L 1 ~ W W L n のうちのいずれか 1 個が選択状態 (H レベル) に活性化されて、データ書込電流 I p が流れる。したがって、コラム選択線 C S L 2 に対応するメモリセル列において、対応するライトデータ線 W W L にデータ書込電流が流された M T J メモリセルにおいて、データ書込が実行される。このとき、ビット線 B L 2 と結合される M T J メモリセル M C に対しては L レベルデータが書込まれ、ビット線 / B L 2 と結合される M T J メモリセル M C に対しては H レベルデータが書込まれる。

【0082】

一方、書込データ D I N のデータレベルが H レベルである場合には、内部ノード N w 1 および N w 2 の電位レベルの設定が上記の場合とは反対となり、ビット線 B L 2 および / B L 2 には、上記と逆方向のデータ書込電流が流れ、上記とは逆のデータレベルが書込まれる。このようにして、書込データ D I N のデータレベルに応じた方向を有するデータ書込電流 ± I w がビット線 B L および / B L に供給される。

40

【0083】

次にデータ読出について説明する。

M T J メモリセル M C は、1 行ごとにビット線 B L および / B L のいずれか一方ずつと結合される。たとえば、第 1 番目のメモリセル列に属する M T J メモリセルについて説明すれば、第 1 行目の M T J メモリセルは、ビット線 B L 1 と結合され、第 2 行目の M T J メモリセルは、ビット線 / B L 1 と結合される。以下同様に、M T J メモリセルの各々は、奇数行においてビット線対の一方ずつの B L 1 ~ B L m と接続され、偶数行においてビット線対の他方ずつの / B L 1 ~ / B L m と接続される。

【0084】

この結果、リードワード線 R W L が行選択結果に応じて選択的に活性化されると、ビット

50

線対の一方ずつ B L 1 ~ B L m およびビット線対の他方ずつ / B L 1 ~ / B L m のいずれか一方が、MTJメモリセルMCと結合される。

【0085】

メモリアレイ10は、さらに、ビット線 B L 1, / B L 1 ~ B L m, / B L m とそれぞれと結合される複数のダミーメモリセルDMCを有する。ダミーメモリセルは、ダミーリードワード線 DRWL1 および DRWL2 のいずれか一方と結合されて、2行×m列に配置される。ダミーリードワード線 DRWL1 と結合されるダミーメモリセルは、ビット線 B L 1, B L 2 ~ B L m とそれぞれ結合される。一方、ダミーリードワード線 DRWL2 と結合される残りのダミーメモリセルは、ビット線 / B L 1, / B L 2 ~ / B L m とそれぞれ結合される。

10

【0086】

ダミーリードワード線 DRWL1 および DRWL2 は、ビット線対の一方 B L 1 ~ B L m およびビット線対の他方 / B L 1 ~ / B L m のうち、選択されたメモリセル行に属するMTJメモリセルMCと非接続となつた一方をダミーメモリセルDMCとそれぞれ結合するように選択的に活性化される。

【0087】

この結果、ビット線対の一方ずつ B L 1 ~ B L m およびビット線対の他方ずつ / B L 1 ~ / B L m は、選択されたメモリセル行に対応するm個のMTJメモリセルおよびm個のダミーメモリセルとの一方ずつとそれぞれ結合される。

20

【0088】

すでに説明したように、データ読出回路52は、データ線I/Oおよび/IOに、同一方向のセンス電流Isを供給する。

【0089】

データ読出時においても、コラム選択線CSL2に対応する第2番目のメモリセル列が選択された場合について説明する。

【0090】

コラム選択線CSL2が選択状態(Hレベル)に活性化されて、コラム選択ゲートCSG2がオンする。これに応じて、データI/O線対DI/OPを構成するデータ線I/Oおよび/IOは、データ書き時と同様にビット線BL2および/BL2とそれぞれ結合される。

30

【0091】

しかし、データ読出時においては、イコライズトランジスタ62-2はターンオフされているので、データ読出回路52から供給されるセンス電流Isは、ビット線BL2および/BL2上を、同一の方向に流れる。

【0092】

リードワード線RWL1 ~ RWLnのうちのいずれか1つが選択状態(Hレベルレベル)に活性化されて、対応するMTJメモリセルがビット線BL2および/BL2の一方と結合される。また、ダミーリードワード線DRWL1 および DRWL2 のいずれかが活性化されて、MTJメモリセルと非接続のビット線BL2および/BL2の他方は、ダミーメモリセルDMCと結合される。

40

【0093】

行選択結果に応じて奇数行が選択されて、ビット線BL2とMTJメモリセルMCとが結合される場合には、ダミーリードワード線DRWL2が活性化されて、ビット線/BL2とダミーメモリセルDMCとが結合される。反対に、行選択結果に応じて偶数行が選択されて、ビット線/BL2とMTJメモリセルMCとが結合される場合には、ダミーリードワード線DRWL1が活性化されて、ビット線BL2とダミーメモリセルDMCとが結合される。

【0094】

すでに説明したように、MTJメモリセルMCの抵抗値は、記憶データのレベルによって変化する。ここで、Hレベルデータを記憶した場合におけるMTJメモリセルMCの抵抗

50

値を  $R_h$  とし、L レベルデータを記憶した場合における MTJ メモリセル MC の抵抗値を  $R_1$  とすると、ダミーメモリセル DM C の抵抗値  $R_d$  は、 $R_1$  と  $R_h$  の中間値に設定される。これにより、ダミーメモリセルに結合されたビット線の一方で生じる電位変化と、MTJ メモリセル MC と結合されたビット線の他方に生じる電位変化とを比較することによって、データ読出の対象となった記憶データのレベルを検知することができる。

#### 【0095】

ビット線 BL 2 および / BL 2 の間に生じた電位差は、データ I/O 線対 DI / OP を介して、データ読出回路 52 中の内部ノード Ns 1 および Ns 2 に伝達される。増幅器 165 によって、内部ノード Ns 1 および Ns 2 の電位レベル差は増幅されて読出データ DOUT として出力される。

10

#### 【0096】

したがって、ビット線 BL と結合される MTJ メモリセルに L レベルデータが記憶されている場合、およびビット線 / BL と結合される MTJ メモリセル MC に H レベルデータが記憶されている場合において、読出データ DOUT に L レベルが出力される。反対に、ビット線 BL と結合される MTJ メモリセルに H レベルデータが記憶されている場合、およびビット線 / BL と結合される MTJ メモリセル MC に L レベルデータが記憶されている場合において、読出データ DOUT に H レベルが出力される。

#### 【0097】

このように、折返し型のビット線対 BL P を各メモリセル列に対応して配置し、データ書込電流をイコライズトランジスタによって折返して流すことにより、各ビット線 BL および / BL の一端の電位レベルを電源電位 Vcc および接地電位 Vss の一方ずつに制御するのみで、異なる方向のデータ書込電流を供給することができる。このように、極性の異なる電位（負電位）を必要とせず、また電流の方向は、データ線 I/O および / I/O の電位を電源電位および接地電位のいずれか一方ずつに設定するのみで切換えられるので、データ書込電流制御回路 51 の回路構成を簡易にすることができます。さらに、読出 / 書込制御回路 60 も、イコライズトランジスタ 62-1 ~ 62-m のみで簡易に形成することができる。

20

#### 【0098】

また、ダミーメモリセルを用いてデータ読出を行なうので、折返し型のビット線対 BL P を設ける構成において、MTJ メモリセルを効率的に配置できる。

30

#### 【0099】

##### [実施の形態 2]

図 3 は、実施の形態 2 に従う電源電位の供給系統を説明するブロック図である。

#### 【0100】

図 3 を参照して、メモリアレイ 10 においては、実施の形態 1 と同様に、各メモリセル列において、折返し型のビット線対が設けられ、読出 / 書込制御回路 60 においては、イコライズトランジスタ 62-1 ~ 62-m が設けられる。

#### 【0101】

実施の形態 2 においては、データ書込時にデータ書込電流を供給する、データ書込電流制御回路 51 およびワード線 WWL を活性化するワード線ドライバ 30 に対して、RAM デバイス 1 に対して外部から供給される外部電源電位 Ext. Vcc を直接供給する。

40

#### 【0102】

また、RAM デバイス 1 は、さらに、外部電源電位 Ext. Vcc を降圧して内部電源電位 Int. Vcc を生成する電圧降下回路（VDC : Voltage Down Converter）55 を備える。

#### 【0103】

電圧降下回路 55 が生成する内部電源電位 Int. Vcc は、データ読出回路 52、列デコード 25、コントロール回路 5、行デコード 20 等の、データ読出およびアドレス処理を行なう内部回路に供給される。なお、データ読出時およびデータ書込時における各部の動作は、実施の形態 1 と同様であるので詳細な説明は繰返さない。

50

## 【0104】

このような構成とすることにより、データ書込時において、比較的大きなデータ書込電流  $\pm I_w$  を供給するデータ書込電流制御回路 51 およびライトワード線 WWL にデータ書込電流  $I_p$  を供給するワード線ドライバ 30 を外部から印加される外部電源電位  $E_{xt.vcc}$  によって駆動して、これらのデータ書込電流を速やかに供給することができる。

## 【0105】

一方、データ書込電流を供給する回路以外の内部回路を降圧された内部電源電位  $I_{nt.vcc}$  によって駆動することにより、これらの内部回路の消費電力の低減および、高集積化のためのデバイス微細化に対応した信頼性の確保を図ることができる。

## 【0106】

10

## [実施の形態3]

実施の形態 1 においては、行方向の沿って配置されるデータ I/O 線対 D I / O P の一端において、データ書込電流制御回路 51 の出力ノード Nw1 および Nw2 とデータ線 I/O および / I/O とがそれぞれ接続される構成を示した。しかし、このような構成においては、選択されるメモリセル列に対応して、データ書込電流  $\pm I_w$  の経路長が変化してしまう。

## 【0107】

たとえば、図 2 に例示された構成においては、コラム選択線 CSL1 側において、データ書込電流制御回路 51 の出力ノード Nw1 および Nw2 とデータ線 I/O および / I/O とがそれぞれ接続されるので、コラム選択線 CSL1 が選択された場合におけるデータ書込電流の経路長は短い一方で、反対側のコラム選択線 CSLm が選択状態に活性化された場合におけるデータ書込電流の経路長は長くなってしまう。このように、選択されるメモリセル列に応じて、データ書込電流が伝達される配線長が変化するので、データ書込電流の経路の抵抗値が変化して、データ書込電流の電流量が変化してしまう。この結果、メモリセル列によって、ライト動作マージンに差が生じてしまう。

20

## 【0108】

したがって、選択時にデータ書込電流の経路長が長くなるメモリセル列においては、ライトマージン不足が生じる可能性がある。しかし、このようにライトマージン不足が最も懸念されるメモリセル列（たとえば、図 2 においてメモリアレイ端に位置する第 1 列や第 m 列、あるいはメモリセルの特性ばらつきによってマージン不足になるメモリセルが含まれるメモリセル列）に合せてデータ書込電流を設定すれば、その他のメモリセル列に対するデータ書込時にデータ書込電流を必要以上に大きく設定することになり、無駄な消費電力が生じてしまう。

30

## 【0109】

図 4 は、メモリアレイ 10 およびその周辺の実施の形態 3 に従う構成を示すブロック図である。

## 【0110】

図 4 を参照して、実施の形態 3 に従う構成においては、データ書込電流制御回路 51 は、先頭のメモリセル列（第 1 列）側および最終のメモリセル列（第 m 列）側のそれぞれにおいて、データ I/O 線対 D I / O P を構成するデータ I/O および / I/O とそれぞれ結合される。

40

## 【0111】

このような構成とすることにより、列選択の対象となるメモリセル列の位置に関わらず、ノード Nw1（データ書込電流制御回路 51）～データ線 I/O ～ビット線 BL ～イコライズトランジスタ～ビット線 BL ～データ線 / I/O ～ノード Nw2（データ書込電流制御回路 51）で形成されるデータ書込電流  $\pm I_w$  の経路長を一定にして抵抗値の変動を防ぎ、データ書込電流  $\pm I_w$  の電流値を一定レベルに維持することができる。

## 【0112】

これにより、実施の形態 1 で説明した効果に加えて、いずれのメモリセル列に対しても無駄な消費電力の発生を抑制して、ライト動作マージンを適正に設定することができる。

50

## 【0113】

## [実施の形態3の変形例1]

図5は、メモリアレイ10およびその周辺の実施の形態3の変形例1に従う構成を示すブロック図である。

## 【0114】

図5を参照して、実施の形態3の変形例1に従う構成においては、メモリアレイ10全体において、複数のデータI/O線対D I / O Pが設けられる。各データI/O線対D I / O Pは、M個(M:自然数)のメモリセル列ごとに配置される。図5においては、M=2の場合、すなわち2つのメモリセル列ごとに1対のデータI/O線対D I / O Pが配置される構成が示される。

10

## 【0115】

図5においては、これらのデータI/O線対D I / O Pのうち、第1列および第2列に対して設けられるデータI/O線対D I / O P aと、第3列および第4列に対して設けられるデータI/O線対D I / O P bとを代表的に示している。

## 【0116】

データ書込電流制御回路51およびデータ読出回路52は、各データI/O線対に対応して設けられる。たとえば、データI/O線対D I / O P aに対応して、データ書込電流制御回路51aおよびデータ読出回路52aが配置される。すなわち、データ書込電流制御回路51およびデータ読出回路52は、メモリアレイ10全体において(m/M)個ずつ設けられる。

20

## 【0117】

これらのデータ書込電流制御回路51およびデータ読出回路52のうちから、選択されたメモリセル列に対応する1個ずつが活性化されて、データ書込電流±Iwおよびセンス電流Isの供給を実行する。その他の部分の構成および動作は、実施の形態1と同様であるので詳細な説明は繰り返さない。

## 【0118】

このように、データI/O線対D I / O PをM個のメモリセル列ごとに細分化して配置することによっても、列選択の対象となるメモリセル列の位置に依存して、データ書込電流が通過する配線長が変化して、電流レベルが変化してしまうことを有効に防止して、実施の形態3と同様の効果を享受できる。

30

## 【0119】

## [実施の形態3の変形例2]

図6は、メモリアレイ10およびその周辺の実施の形態3の変形例2に従う構成を示すブロック図である。

## 【0120】

図6を参照して、実施の形態3の変形例2においては、図4に示した実施の形態3に従う構成と比較して、データ書込電流制御回路51の出力ノードNw1およびNw2が、データI/O線対D I / Oの中央部において、データ線I/OおよびI/Oとそれぞれ電気的に結合される点が異なる。

40

## 【0121】

このような構成とすることによっても、列選択の対象となるメモリセル列の位置に応じて、データ書込電流経路の抵抗値が変化することを防止して、実施の形態3と同様の効果を享受できる。

## 【0122】

## [実施の形態3の変形例3]

図7は、実施の形態3の変形例3に従うメモリアレイ10の構成を示すブロック図である。

## 【0123】

図7を参照して、実施の形態3の変形例3においては、図5で説明した実施の形態3の変形例1の場合と同様に、M個のメモリセル列ごとに独立のデータ入出力線D I / O Pが配

50

置される。データ I / O 線対 D I / O P の配置本数およびこれらに対応するデータ書込電流制御回路 5 1 およびデータ読み出回路 5 2 の配置および選択については、図 5 で説明したとおりであるので説明は繰返さない。

【 0 1 2 4 】

実施の形態 3 の変形例 3 においては、各データ I / O 線対 D I / O P は、対応する M 個のメモリセル列の中央部に配置される。図 7 においては、一例として M = 2 の場合について説明しているが、第 1 列および第 2 列に対応して設けられるデータ I / O 線対 D I / O P a は、メモリセル列の第 1 列および第 2 列の間に配置される。

【 0 1 2 5 】

このような構成とすることにより、実施の形態 3 の変形例 1 に従う構成と比較して、列選択の対象となるメモリセル列の位置に依存したデータ書込電流の変動をさらに抑制して、いずれのメモリセル列に対してもライト動作マージンをさらに適正に設定することができる。

【 0 1 2 6 】

[ 実施の形態 4 ]

実施の形態 1 から 3 においては、MTJ メモリセル MC に対して、データ書込電流  $\pm I_w$  およびセンス電流  $I_s$  は、共通のビット線 BL によって供給される構成を説明した。

【 0 1 2 7 】

しかし、データ書込電流  $\pm I_w$  とセンス電流  $I_s$  との電流量は大きく異なるため、ビット線 BL を、データ読み出時にセンス電流を流すためのリードビット線 RBL と、データ書込時にデータ書込電流  $\pm I_w$  を流すためのライトビット線 WBL とに分割して配置することも効果的である。

【 0 1 2 8 】

このような、MTJ メモリセルの構成のバリエーションについては後ほど詳細に説明するが、実施の形態 4 においては、データ書込電流  $\pm I_w$  を流すためのライトビット線 WBL が独立に配置された場合において、列選択の対象となるメモリセル列の位置に関わらずデータ書込電流の変動を抑制するための構成について説明する。

【 0 1 2 9 】

図 8 は、実施の形態 4 に従うメモリアレイ 10 およびその周辺の構成のうち、データ書込に関連する部分を示すブロック図である。

【 0 1 3 0 】

図 8 を参照して、メモリセル列のそれぞれに対応して、データ書込電流  $\pm I_w$  を流すための相補のライトビット線対を形成する WBL / WBL が設けられる。なお、ライトビット線 WBL についても、総括的に表現する場合には、符号 WBL を用いて表記し、特定のライトビット線を示す場合には、符号 WBL に符号を付して WBL1 / WBL1 のように表記するものとする。

【 0 1 3 1 】

読み出 / 書込制御回路 6 0 が有するイコライズトランジスタ 6 2 - 1 ~ 6 2 - m は、それぞれのメモリセル列において、ライトビット線 WBL および / WBL を電気的に結合する。イコライズトランジスタ 6 2 - 1 ~ 6 2 - m は、コラム選択ゲート CSG 1 ~ CSG m と同様に、コラム選択線 CSL 1 ~ CSL m の電位レベルに応じてオン / オフされる。

【 0 1 3 2 】

このような構成とすることにより、列選択結果に応じて、たとえばコラム選択線 CSL 2 が選択状態 (H レベル) に活性化されると、コラム選択ゲート CSG 2 およびイコライズトランジスタ 6 2 - 2 がオンして、ノード Nw 1 (データ書込電流制御回路 5 1 ) ~ データ線 IO ~ ライトビット線 WBL ~ イコライズトランジスタ 6 2 - 2 ~ ライトビット線 / WBL 2 ~ データ線 / IO ~ ノード Nw 2 (データ書込電流制御回路 5 1 ) の電流経路が形成される。

【 0 1 3 3 】

これにより、ライトビット線対を形成する相補のライトビット線 WBL および / WBL に

10

20

30

40

50

対して、イコライズトランジスタによって折り返される逆方向のデータ書込電流を流すことにより、実施の形態1と同様のデータ書込を実行することができる。

【0134】

図4に示される構成と同様に、データ書込電流制御回路51の内部ノードNw1およびNw2と、データI/O線対D1/O1Pを構成するデータ線I/OおよびI/Oとは、先頭のメモリセル列(第1列)側および最終のメモリセル列(第m列)側のそれぞれにおいて結合される。

【0135】

したがって、列選択の対象となるメモリセル列の位置に関わらずデータ書込電流経路の配線長、すなわち抵抗値を一定として、データ書込電流の変動を防止することができる。これにより、実施の形態3と同様に、それぞれのメモリセル列に対して、無駄な電力消費を生じさせることなく適正なライトマージンを確保することができる。

【0136】

[実施の形態4の変形例1]

図9は、実施の形態4の変形例1に従うメモリアレイ10周辺の構成のうち、データ書込に関連する部分を示すブロック図である。

【0137】

図9を参照して、実施の形態4の変形例1においては、図5の場合と同様に、データI/O線対D1/O1Pは、M個のメモリセル列ごとに配置される。データ書込電流制御回路51も、メモリアレイ10全体で(m/M)組配置されるデータI/O線対D1/O1Pに対応してそれぞれ配置される。イコライズトランジスタ62-1~62-mは、図8の場合と同様に、コラム選択線CSL1~CSLmの電位レベルに応じてオン/オフされて、実施の形態1と同様のデータ書込が実行される。

【0138】

このような構成とすることにより、ピット線BLをリードピット線RBLとライトピット線WBLとに分割配置する場合においても、実施の形態3の変形例1と同様の効果を享受することができる。

【0139】

[実施の形態4の変形例2]

図10は、実施の形態4の変形例2に従うメモリアレイ10周辺の構成のうち、データ書込に関連する部分を示すブロック図である。

【0140】

図10を参照して、実施の形態4の変形例2においては、図6に示される構成と同様に、各メモリセル列に共通に設けられるデータI/O線対D1/O1Pの中央部において、データ線I/OおよびI/Oをデータ書込電流制御回路51の出力ノードNw1およびNw2とそれぞれ結合する。イコライズトランジスタ62-1~62-mは、図8の場合と同様に、コラム選択線CSL1~CSLmの電位レベルに応じてオン/オフされて、実施の形態1と同様のデータ書込が実行される。

【0141】

このような構成とすることにより、ピット線BLをリードピット線RBLとライトピット線WBLとに分割配置する場合においても、実施の形態3の変形例2と同様の効果を得ることができる。

【0142】

[実施の形態4の変形例3]

図11は、実施の形態4の変形例3に従うメモリアレイ10周辺の構成のうち、データ書込に関連する部分を示すブロック図である。

【0143】

図11を参照して、実施の形態4の変形例3においては、データI/O線対D1/O1Pは、図7の場合と同様に、M個のメモリセル列ごとに配置され、各データI/O線対D1/O1Pは、対応するM個のメモリセル列の中央部に配置される。イコライズトランジスタ6

10

20

30

40

50

2 - 1 ~ 6 2 - m は、図 8 の場合と同様に、コラム選択線 C S L 1 ~ C S L m の電位レベルに応じてオン / オフされて、実施の形態 1 と同様のデータ書きが実行される。

【 0 1 4 4 】

このような構成とすることにより、ビット線 B L をリードビット線 R B L とライトビット線 W B L とに分割配置する場合においても、実施の形態 3 の変形例 2 と同様の効果を得ることができる。

【 0 1 4 5 】

実施の形態 4 およびその変形例 1 から 3 においては、データ読み出に関連する構成についての説明は省略したが、実施の形態 1 から 3 と同様に、ダミーメモリセル D M C を用いたデータ読み出を、リードビット線 R B L に生じる電位変化に基づいて行なうことができる。

10

【 0 1 4 6 】

なお、実施の形態 1 から 4 においては、ダミーメモリセル D M C を用いてデータ読み出を実行し、M T J メモリセル M C は、ビット線 B L および / B L のそれぞれにおいて 1 行ごとに配置する構成を示したが、ビット線 B L および / B L とワード線との交点の各々に M T J メモリセル M C を配置する構成とすることもできる。この場合には、ダミーメモリセル D M C を設けることなくデータ読み出を実行することができる。

【 0 1 4 7 】

このように、各メモリセル行においてビット線 B L , / B L との交点のそれぞれに M T J メモリセルを配置することにより、1 ビットの記憶データに対して 2 個の M T J メモリセルが配置される。このような構成とすることにより、リードワード線 R W L の活性化に応答して、ビット線 B L および / B L に対して、互いに相補のデータレベルを記憶する 2 個の M T J メモリセルがそれぞれ結合されることになる。したがって、これらの相補のデータを記憶する M T J メモリセルによって生じる電位変化の差を比較することにより読み出データのデータレベルを設定するため、ダミーメモリセル D M C を用いて読み出データ D O U T のデータレベルを検知する場合と比較して、読み出マージンを十分に確保することができる。

20

【 0 1 4 8 】

【 実施の形態 5 】

図 12 は、メモリアレイ 1 0 およびその周辺の実施の形態 5 に従う構成を示すブロック図である。

30

【 0 1 4 9 】

図 12 を参照して、実施の形態 5 においては、各メモリセル列に対応して、折返し型ではなく開放型のビット線が配置される。すなわち、m 個のメモリセル列に対応してビット線 B L 1 ~ B L m がそれぞれ設けられる。

【 0 1 5 0 】

M T J メモリセル M C は、各メモリセル行において、ビット線 B L との交点ごとに配置される。データ I / O 線対 D I / O P を形成するデータ線 I O および / I O は、メモリアレイ 1 0 と列方向に隣接して、メモリアレイ 1 0 を挟んで対向するようにそれぞれ配置される。

40

【 0 1 5 1 】

コラム選択ゲート C S G 1 ~ C S G m は、コラム選択線 C S L 1 ~ C S L m によってオン / オフ制御されて、データ I / O 線対 D I / O P の一方であるデータ線 I O と対応するビット線 B L とを結合する。

【 0 1 5 2 】

読み出 / 書込制御回路 6 0 は、ビット線 B L 1 ~ B L m とデータ I / O 線対 D I / O P の他方であるデータ線 / I O との間にそれぞれ結合される電流制御トランジスタ 6 4 - 1 ~ 6 4 - m を有する。電流制御トランジスタ 6 4 - 1 ~ 6 4 - m も、コラム選択ゲート C S G 1 ~ C S G m と同様に、コラム選択線 C S L 1 ~ C S L m にそれぞれ応じてオン / オフする。

【 0 1 5 3 】

50

データ書込電流制御回路 5 1 およびデータ読出回路 5 2 とデータ I / O 線対 D I O / P との間には、電流切換回路 5 6 が設けられる。電流切換回路 5 6 は、データ書込電流制御回路 5 1 からのデータ書込電流  $\pm I_w$  およびデータ読出回路 5 2 からのセンス電流  $I_s$  を選択的にデータ I / O 線対 D I O P に供給する。

【 0 1 5 4 】

図 13 は、電流切換回路 5 6 の構成を示すブロック図である。

図 13 を参照して、電流切換回路 5 6 は、データ書込電流制御回路 5 1 の出力ノード N w 1 とデータ読出回路 5 2 の出力ノード N r 1 のいずれか一方とデータ線 I O とを選択的に結合するためのスイッチ SW 1 a と、データ書込電流制御回路 5 1 の出力ノード N w 2 および電源電位 V c c のいずれか一方をデータ線 / I O と選択的に結合するスイッチ SW 1 b とを有する。

10

【 0 1 5 5 】

スイッチ SW 1 a および SW 1 b は、たとえば共通の制御信号 R W S に応じて動作する。すなわち、データ読出時においては、制御信号 R W S に応じて、スイッチ SW 1 a および SW 1 b は、データ読出回路 5 2 の出力ノード N r 1 および電源電位 V c c をデータ線 I O および / I O とそれぞれ結合する。

【 0 1 5 6 】

実施の形態 5においては、データ読出回路 5 2 は、データ線 / I O を電源電位 V c c にプルアップした状態でデータ線 I O にセンス電流  $I_s$  を流し、データ線 I O に生じる電圧降下を基準となる電圧降下量  $V_r$  と比較して読出データ D O U T のデータレベルを検知する。  
V r は、H レベルデータを読出した場合におけるデータ線 I O の電圧降下を  $V_h$  とし、L レベルデータを読出した場合におけるデータ線 I O の電圧降下を  $V_l$  とすると、 $V_h$  と  $V_l$  との中间値となるように設定される。

20

【 0 1 5 7 】

このような、データ読出制御回路の構成は、たとえば図 2 に示したデータ読出回路 5 2 の構成において、トランジスタ 1 6 4 を省略するとともにノード N r 2 を電源電位 V c c と結合し、さらに、内部ノード N s 2 の電位レベルが ( V c c - V r ) となるように抵抗 1 6 7 の抵抗値を設定することによって実現される。

【 0 1 5 8 】

一方、データ書込時においては、制御信号 R W S に応じて、スイッチ SW 1 a および SW 1 b は、データ書込電流制御回路 5 1 の出力ノード N w 1 および N w 2 を、データ線 I O および / I O とそれぞれ結合する。

30

【 0 1 5 9 】

再び図 12 を参照して、データ書込時においては、ノード N w 1 ( データ書込電流制御回路 5 1 ) ~ データ線 I O ~ ビット線 B L ~ データ線 / I O ~ ノード N w 2 ( データ書込電流制御回路 5 1 ) の経路にデータ書込電流を流すことができる。これにより、開放型のビット線を配置する構成においても、実施の形態 1 と同様に、データ書込電流制御回路 5 1 の出力ノード N w 1 および N w 2 の電位レベルを電源電位 V c c および接地電位 V s s の一方ずつに制御するのみで、異なる方向のデータ書込電流を供給することができる。このように、極性の異なる電位 ( 負電位 ) を発生する必要がないので、データ書込電流制御回路 5 1 の回路構成を簡易にすることができる。読出 / 書込制御回路 6 0 も同様に、電流制御トランジスタ 6 4 - 1 ~ 6 4 - m のみで簡易に形成することができる。

40

【 0 1 6 0 】

また、データ書込電流制御回路 5 1 と、データ I / O 線対 D I O P を形成するデータ線 I O および / I O とは、先頭のメモリセル列 ( 第 1 列 ) 側および最終のメモリセル列 ( 第 m 列 ) 側においてそれぞれ結合される。したがって、実施の形態 3 および 4 と同様に、列選択の対象となるメモリセル列の位置に関わらず、データ書込電流経路の配線長、すなわち抵抗値を一定に維持することができる。この結果、データ書込電流の変動を防止して、それぞれのメモリセルに対する適正なライトマージンを、無用な電力消費を招くことなく確保することが可能である。

50

## 【0161】

## [実施の形態5の変形例]

図14は、メモリアレイ10およびその周辺の実施の形態5の変形例に従う構成を示すブロック図である。

## 【0162】

図14を参照して、実施の形態5の変形例においては、図12の構成と比較して、読み出し/書き込み制御回路60に含まれる電流制御トランジスタ64-1~64-mは、ビット線プリチャージ信号BLPRに応じてオン/オフする点が異なる。ビット線プリチャージ信号BLPRの信号レベルは、すでに説明したビット線イコライズ信号BLEQと同様に設定される。

10

## 【0163】

また、電流切換回路56に代えて電流切換回路58が、データ書き込み電流制御回路51とデータI/O線対DI/OPとの間に結合される。データ読み出回路52は、制御信号REに応答して動作してデータI/O線対の一方であるデータ線IOに対してセンス電流Isを供給する。

## 【0164】

図15は、電流切換回路58の構成を示すブロック図である。

図15を参照して、電流切換回路58は、データ書き込み電流制御回路51の出力ノードNw1および電源電位Vccを供給するプリチャージノードNp1とデータ線IOとの間に配置されるスイッチSW2aと、データ書き込み電流制御回路51の出力ノードNw2および電源電位Vccを供給するプリチャージノードNp2とデータ線/IOとの間に配置されるスイッチSW2bとを有する。

20

## 【0165】

スイッチSW2aおよびSW2bは、データ書き込み時において、データ線IOおよび/IOと、データ書き込み電流制御回路51の出力ノードNw1およびNw2とを電気的にそれぞれ結合する。また、スイッチSW2aおよびSW2bは、データ読み出に先立って実行されるプリチャージ動作時において、データ線IOおよび/IOをプリチャージノードNp1およびNp2と電気的にそれぞれ結合する。

## 【0166】

しかし、データ読み出時においては、プリチャージされたデータ線IOおよび/IOは、スイッチSW1bおよびSW2bによって、データ書き込み電流制御回路51の出力ノードNw1, Nw2およびプリチャージノードNp1, Np2のいずれとも切り離される。

30

## 【0167】

スイッチ制御回路59は、すでに説明した制御信号WEおよびビット線プリチャージ信号BLPRの信号レベルに応じて、データ書き込み時、データ読み出時およびプリチャージ動作時のいずれであるを判断して、スイッチSW2aおよびSW2bの接続を制御する。

## 【0168】

このような構成とすることにより、データ読み出時においては、ビット線プリチャージ信号BLPRをLレベルに非活性化して、電流制御トランジスタ64-1~64-mをターンオフするとともに、データ線IOおよび/IOをデータ書き込み電流制御回路51およびプリチャージノードNp1, Np2のいずれとも切り離す。

40

## 【0169】

さらに、実施の形態5と同様の構成を有するデータ読み出回路52によって、データ線IOおよび選択されたメモリセル列に対応するコラム選択ゲートを介して、ビット線BLに対してセンス電流Isが供給される。リードワード線RWLの活性化に応じてビット線と結合されたMTJメモリセルMCによってビット線BLに生じる電圧降下を基準の電圧降下Vrと比較することによって、データ読み出回路52は、読み出データDO<sub>OUT</sub>のデータレベルを検知することができる。

## 【0170】

一方、データ書き込み時においては、ビット線プリチャージ信号BLPRはHレベルに活性

50

化されて、電流制御トランジスタ 64-1 ~ 64-m はオンする。したがって、選択されたメモリセル列において、ノード Nw1 (データ書込電流制御回路 51) ~ データ線 IO ~ ビット線 BL ~ 電流制御トランジスタ ~ データ線 / IO ~ ノード Nw2 (データ書込電流制御回路 51) の電流経路が形成されて、書込データ DIN のデータレベルに応じたデータ書込電流  $\pm$  Iw をビット線 BL に流すことができる。これにより、実施の形態 5 と同様のデータ書込動作を実行することができる。

【0171】

[実施の形態 6]

実施の形態 6 においては、MTJ メモリセル MC に対して設けられる配線の配置のバリエーションについて説明する。

10

【0172】

図 16 は、本発明の実施の形態 6 に従う MRAM デバイス 2 の全体構成を示す概略プロック図である。

【0173】

図 16 を参照して、MRAM デバイス 2 は、MRAM デバイス 1 と同様に、外部からの制御信号 CMD およびアドレス信号 ADD に応答してランダムアクセスを行ない、書込データ DIN の入力および読出データ DOUT の出力を実行する。メモリアレイ 10 は、n 行  $\times$  m 列に行列状に配置された複数の MTJ メモリセルを有する。メモリアレイ 10 の構成は、後ほど詳細に説明するが、メモリセル行にそれぞれ対応して複数のリードワード線 R WL およびライトビット線 WB L が配置され、メモリセル列にそれぞれ対応して、複数のライトワード線 WW L およびリードビット線 RB L とが配置される。

20

【0174】

このように、実施の形態 6 においては、データ書込電流  $\pm$  Iw およびセンス電流 Is を流すためのビット線 BL を、データ読出時においてセンス電流 Is を流すリードビット線 RB L と、データ書込時においてデータ書込電流  $\pm$  Iw を流すためのライトビット線 WB L とに分割する。また、リードワード線 R WL およびライトワード線 WW L とは、互いに異なる方向に沿って配置される。

【0175】

MRAM デバイス 2 は、さらに、アドレス信号 ADD によって示されるロウアドレス RA に応じて、メモリアレイ 10 における行選択を実行する行デコーダ 20 と、アドレス信号 ADD によって示されるコラムアドレス CA に応じて、メモリアレイ 10 における列選択を実行する列デコーダ 25 と、行デコーダ 20 の行選択結果に基づいて、リードワード線 R WL をデータ読出時において選択的に活性化するリードワード線ドライバ 30r と、行デコーダ 20 の行選択結果に基づいて、データ書込時において、ライトビット線 WB L にデータ書込電流を流すための書込制御回路 50w および 60w と、列デコーダ 25 の列選択結果に応じて、データ書込時においてライトワード線 WW L を選択的に活性化するためのライトワード線ドライバ 30w と、活性化されたライトワード線 WW L にデータ書込電流を流すためのワード線電流制御回路 40 と、データ読出時において、リードビット線 RB L にセンス電流 Is を供給するための読出制御回路 50r とを備える。

30

【0176】

書込制御回路 50w は、実施の形態 1 で説明したデータ書込電流制御回路 51 の機能と行選択を実行する選択ゲートとの機能を併せ持ったものに相当する。書込制御回路 60w は、書込制御回路 50w と協調的に動作して、書込データ DIN のデータレベルに応じて、メモリアレイ 10 両端部におけるライトビット線 WB L の両端の電位を制御することによって、データ書込電流  $\pm$  Iw の方向を制御する。

40

【0177】

読出制御回路 50r は、図 2 で説明したデータ読出回路 52 の機能と、列選択を実行するコラム選択ゲート CSG1 ~ CSGm の機能とを併せ持ったものに相当する。

【0178】

ワード線電流制御回路 40 は、選択状態 (高電位状態: H レベル) に活性化されたライト

50

ワード線WWLにデータ書込電流を流すために、各ライトワード線WWLを接地電位Vssと結合する。

【0179】

図17は、実施の形態6に従うメモリアレイ10の構成を示すブロック図である。

【0180】

図17を参照して、メモリアレイ10は、n行×m列に配置された複数のMTJメモリセルMCを有する。実施の形態6に従う構成においては、各MTJメモリセルMCに対して、リードワード線RWL、ライトワード線WWL、リードビット線RBLおよびライトビット線WBLが配置される。リードワード線RWLおよびライトビット線WBLは、メモリセル行にそれぞれ対応して行方向に沿って配置される。一方、ライトワード線WWLおよびリードビット線RBLは、メモリセル列にそれぞれ対応して、列方向に沿って配置される。

【0181】

この結果、メモリアレイ10全体においては、リードワード線RWL1～RWLn、ライトワード線WWL1～WWLm、リードビット線RBL1～RBLmおよびライトビット線WBL1～WBLnが設けられる。

【0182】

なお、以下においては、リードビット線についても、総括的に表現する場合には、符号をRBLを用いて表記することとし、特定のリードビット線を示す場合には、これらの符号に添字を付して、RBL1, RBLmのように表記するものとする。

10

20

【0183】

ワード線電流制御回路40は、ライトワード線WWL1～WWLmを接地電位Vssと結合する。これにより、ライトワード線ドライバ30wによってライトワード線WWLを選択状態(Hレベル：電源電位Vcc)に活性化した場合に、活性化されたライトワード線WWLにデータ書込電流Ipを流すことができる。

【0184】

図18は、実施の形態6に従うMTJメモリセルの接続態様を示す回路図である。

【0185】

図18を参照して、磁気トンネル接合部MTJおよびアクセストランジスタATRからなるMTJメモリセルに対して、リードワード線RWL、ライトワード線WWL、ライトビット線WBLおよびリードビット線RBLが設けられる。既に説明したように、アクセストランジスタATRには、半導体基板上に形成された電界効果トランジスタであるMOSトランジスタが代表的に適用される。

30

【0186】

アクセストランジスタATRのゲートは、リードワード線RWLと結合される。アクセストランジスタATRは、リードワード線RWLが選択状態(Hレベル：電源電位Vcc)に活性化されるとターンオンして、磁気トンネル接合部MTJを含む電流経路を形成する。一方、リードワード線RWLが非選択状態(Lレベル：接地電位Vss)に非活性化される場合には、アクセストランジスタATRはターンオフされるので、磁気トンネル接合部MTJを含む電流経路は形成されない。

40

【0187】

ライトワード線WWLおよびライトビット線WBLとは、磁気トンネル接合部MTJと近接するように、互いに直交する方向に配置される。このように、リードワード線RWLとライトワード線WWLとを互いに直交する方向に配置することによって、リードワード線ドライバ30rとライトワード線ドライバ30wとを分割して配置することができる。リードワード線RWLおよびライトワード線WWLは、データ読出時およびデータ書込時においてそれぞれ独立に活性化されるので、これらのドライバは元来独立なものとして設計することができる。したがって、ライトワード線ドライバ30wとリードワード線ドライバ30rとを分割して小型化し、それぞれをメモリアレイ10に隣接する異なる領域に配置することができるので、レイアウトの自由度を向上させて、レイアウト面積すなわちM

50

R A M デバイスのチップ面積を減少させることができる。

【 0 1 8 8 】

磁気トンネル接合部 M T J は、リードビット線 R B L とアクセストランジスタ A T R との間に電気的に結合される。したがって、データ読出時において、電流を流す必要がないライトビット線 W B L の電位レベルを接地電位 V s s に設定することによって、アクセストランジスタ A T R のターンオンに応答して、リードビット線 R B L ~ 磁気トンネル接合部 M T J ~ アクセストランジスタ A T R ~ ライトビット線 W B L ( 接地電位 V s s ) の電流経路が形成される。この電流経路にセンス電流 I s を流すことによって、磁気トンネル接合部 M T J の記憶データのレベルに応じた電位変化をリードビット線 R B L に生じさせて、記憶データを読出ことができる。

10

【 0 1 8 9 】

データ書込時においては、ライトワード線 W W L およびライトビット線 W B L にそれぞれデータ書込電流が流され、これらのデータ書込電流によってそれぞれ生じる磁界の和が、一定磁界すなわち図 4 4 に示されるアステロイド特性線を超える領域に達することによって、磁気トンネル接合部 M T J に記憶データが書込まれる。

【 0 1 9 0 】

図 1 9 は、実施の形態 6 に従う M T J メモリセルに対するデータ書込およびデータ読出を説明するためのタイミングチャート図である。

【 0 1 9 1 】

まず、データ書込時の動作について説明する。

20

ライトワード線 ドライバ 3 0 w は、列デコーダ 2 5 の列選択結果に応じて、選択列に対応するライトワード線 W W L の電位を選択状態 ( H レベル ) に駆動する。非選択列においては、ライトワード線 W W L の電位レベルは非選択状態 ( L レベル ) に維持される。ワード線電流制御回路 4 0 によって各ライトワード線 W W L は接地電位 V s s と結合されているので、選択列においてライトワード線 W W L にデータ書込電流 I p が流れる。

【 0 1 9 2 】

リードワード線 R W L は、データ書込時においては非選択状態 ( L レベル ) のままに維持される。データ書込時においては、読出制御回路 5 0 r は、センス電流 I s を供給せず、リードビット線 R B L を高電位状態 ( V c c ) にプリチャージする。また、アクセストランジスタ A T R はターンオフ状態を維持するので、データ書込時においては、リードビット線 R B L に電流は流れない。

30

【 0 1 9 3 】

書込制御回路 5 0 w および 6 0 w は、メモリアレイ 1 0 の両端におけるライトビット線 W B L の電位を制御することによって、書込データ D I N のデータレベルに応じた方向のデータ書込電流を生じさせる。たとえば、“ 1 ” の記憶データを書込む場合には、書込制御回路 6 0 w 側のビット線電位を高電位状態 ( 電源電位 V c c ) に設定し、反対側の書込制御回路 5 0 w 側のビット線電位を低電位状態 ( 接地電位 V s s ) に設定する。これにより、書込制御回路 6 0 w から 5 0 w に向かう方向にデータ書込電流 + I w がライトビット線 W B L を流れる。一方、“ 0 ” の記憶データを書込む場合には、書込制御回路 5 0 w 側および 6 0 w 側のビット線電位を高電位状態および低電位状態にそれぞれ設定し、書込制御回路 5 0 w から 6 0 w へ向かう方向にデータ書込電流 - I w がライトビット線 W B L を流れる。この際に、データ書込電流 ± I w は、行デコーダ 2 0 の行選択結果に応じて、選択行に対応するライトビット線 W B L に選択的に流される。

40

【 0 1 9 4 】

このように、データ書込電流 I p および ± I w の方向を設定することにより、データ書込時において、書込まれる記憶データのレベル “ 1 ” , “ 0 ” に応じて、逆方向のデータ書込電流 + I w および - I w のいずれか一方を選択して、ライトワード線 W W L のデータ書込電流 I p をデータレベルに関係なく一定方向に固定することができる。これにより、ライトワード線 W W L に流れるデータ書込電流 I p の方向を常に一定にすることができるので、既に説明したように、ワード線電流制御回路 4 0 の構成を簡略化することができる。

50

## 【0195】

次にデータ読出動作について説明する。

データ読出時においては、ライトワード線WWLは非選択状態(Lレベル)に維持され、その電位レベルはワード線電流制御回路40によって接地電位Vssに固定される。データ読出時において、書き制御回路50wおよび60wは非活性化されてデータ書き電流の供給を停止するので、ライトビット線WBLに電流は流れない。

## 【0196】

一方、リードワード線ドライバ30rは、行デコーダ20の行選択結果に応じて、選択行に対応するリードワード線RWLを選択状態(Hレベル)に駆動する。非選択行においては、リードワード線RWLの電位レベルは非選択状態(Lレベル)に維持される。読出制御回路50rは、データ読出時において、データ読出を実行するための一定量のセンス電流Isを選択列のリードビット線RBLに供給する。リードビット線RBLは、データ読出前において高電位状態(Vcc)にプリチャージされているので、リードワード線RWLの活性化に応答したアクセストランジスタATRのターンオンによって、センス電流Isの電流経路がMTJメモリセル内に形成され、記憶データに応じた電位変化(降下)がリードビット線RBLに生じる。

10

## 【0197】

図20においては、一例として記憶されるデータレベルが“1”である場合に、固定磁気層FLと自由磁気層VLにおける磁界方向が同一であるとすると、記憶データが“1”である場合にリードビット線RBLの電位変化V1は小さく、記憶データが“0”である場合のリードビット線RBLの電位変化V2は、V1よりも大きくなる。これらの電位降下V1およびV2の差を検知することによって、MTJメモリセルの記憶データを読出することができる。

20

## 【0198】

図20は、実施の形態6に従うMTJメモリセルの配置を説明する構造図である。

## 【0199】

図20を参照して、アクセストランジスタATRは、半導体主基板SUB上のp型領域PARに形成される。ライトビット線WBLは、第1の金属配線層M1に形成されて、アクセストランジスタATRのソース/ドレイン領域の一方110と電気的に結合される。他方のソース/ドレイン領域120は、第1の金属配線層M1に設けられた金属配線、バリアメタル140およびコンタクトホールに形成された金属膜150を経由して、磁気トンネル接合部MTJと電気的に結合される。

30

## 【0200】

リードビット線RBLは、磁気トンネル接合部MTJと電気的に結合するように、第2の金属配線層M2に設けられる。ライトワード線WWLは、第3の金属配線層M3に配置される。ライトワード線WWLは、MTJメモリセルの他の部位と結合することなく、独立して配置することができるので、磁気トンネル接合部MTJとの間の磁気カップリングを高めることができるように、自由に配置することができる。

## 【0201】

このような構成とすることにより、MTJメモリセルに対して、リードワード線RWLとライトワード線WWLとを互いに直交する方向に配置して、リードワード線RWLおよびライトワード線WWLにそれぞれ対応するリードワード線ドライバ30rおよびライトワード線ドライバ30wを独立に配置してレイアウトの自由度を高めることができる。データ読出時におけるワード線駆動電流が過大になることを防いで、不要な磁気ノイズの発生を防止することができる。

40

## 【0202】

## [実施の形態6の変形例1]

図21は、実施の形態6の変形例1に従うメモリアレイ10の構成を示すブロック図である。

## 【0203】

50

図21を参照して、メモリアレイ10は、n行×m列に配置されたMTJメモリセルMCを有する。メモリセル行にそれぞれ対応して、リードワード線RWLおよびライトビット線WBLが配置され、メモリセル列にそれぞれ対応して、共通配線CMLが配置される。共通配線CMLは、リードビット線RBLおよびライトワード線WWLの機能を共有するための配線である。したがって、メモリアレイ10全体では、リードワード線RWL1～RWL<sub>n</sub>、ライトビット線WBL1～WBL<sub>n</sub>および共通配線CML1～CML<sub>m</sub>が配置される。

#### 【0204】

ワード線電流制御回路40は、共通配線CML1～CML<sub>m</sub>と接地電位Vssとの間にそれぞれ結合される電流制御トランジスタ41-1～41-mを有する。電流制御トランジスタ41-1～41-mの各々は、データ書込時において、共通配線CMLをライトワード線WWLとして動作させるために、共通配線CML1～CML<sub>m</sub>の各々を接地電位Vssと結合する。データ書込時以外においては、電流制御トランジスタ41-1～41-mはターンオフされて、共通配線CMLは接地電位Vssと切離される。

10

#### 【0205】

このように、実施の形態6の変形例1においては、電流制御トランジスタ41-1～41-mを設けることによって、共通配線CMLをデータ読出時においてリードビット線RBLとして使用するとともに、データ書込時においてライトワード線WWLとして使用することができる。これにより、リードビット線RBLおよびライトワード線WWLの機能を共通配線CMLに共有させることにより、配線数を削減することができる。

20

#### 【0206】

図22は、実施の形態6の変形例1に従うMTJメモリセルの接続態様を示す回路図である。

#### 【0207】

図22を参照して、アクセストランジスタATRは、磁気トンネル接合部MTJとライトビット線WBLとの間に電気的に結合される。磁気トンネル接合部MTJは、アクセストランジスタATRと共に配線CMLとの間に結合される。アクセストランジスタATRのゲートはリードワード線RWLと結合される。図22の構成においても、リードワード線RWLとライトワード線WWLとは互いに直交する方向に配置される。

30

#### 【0208】

図23は、実施の形態6の変形例1に従うMTJメモリセルに対するデータ書込およびデータ読出を説明するためのタイミングチャート図である。

#### 【0209】

図23を参照して、データ書込時においては、ライトビット線WBLにデータ書込電流±Iwが流される。また、電流制御トランジスタ41-1～41-mのオンによって、行列選択結果に応じて選択列に対応する共通配線CMLにデータ書込電流Ipが流れる。このように、データ書込時における共通配線CMLの電位および電流は、図19に示されるライトワード線WWLと同様に設定される。これにより書込データDINのデータレベルに応じた磁界を磁気トンネル接合部MTJに書込むことができる。また、図19に示されるとおりリードビット線RBLはデータ書込時において特に必要とはされないので、両者を共通配線CMLに統合することができる。

40

#### 【0210】

データ書込時以外においては、電流制御トランジスタ41-1～41-mはターンオフされる。データ読出前においては、共通配線CMLは接地電位Vssにプリチャージされている。

#### 【0211】

データ読出時においては、ライトビット線WBLの電位レベルを接地電位レベルVssに設定することにより、リードワード線RWLを選択状態(Hレベル)に活性化することによって、アクセストランジスタATRをターンオンして、共通配線CML～磁気トンネル接合部MTJ～アクセストランジスタATR～ライトビット線WBLの経路にセンス電

50

流  $I_s$  を流すことができる。

【0212】

センス電流  $I_s$  の電流経路が MTJ メモリセル内に形成されると、記憶データに応じた電位変化（上昇）が共通配線 CML に生じる。

【0213】

図 23においては、一例として記憶されるデータレベルが“1”である場合に、固定磁気層 FL と自由磁気層 VL とにおける磁界方向が同一であるとすると、記憶データが“1”である場合に共通配線 CML の電位変化  $V_1$  は小さく、記憶データが“0”である場合の共通配線 CML の電位変化  $V_2$  は、 $V_1$  よりも大きくなる。共通配線 CML に生じる電位変化  $V_1$  および  $V_2$  の差を検知することによって、MTJ メモリセルの記憶データを読出すことができる。10

【0214】

また、図 19に示されるとおりライトワード線 WWL はデータ読出時において特に必要とはされないので、ライトワード線 WWL およびリードビット線 RBL を共通配線 CML に統合することができる。

【0215】

図 24は、実施の形態 6 の変形例に従う MTJ メモリセルの配置を説明する構造図である。。

【0216】

図 24を参照して、ライトビット線 WBL は、第 1 の金属配線層 M1 に配置され、リードワード線 RWL は、アクセストランジスタ AT R のゲート G130 と同一層に配置される。20

【0217】

ライトビット線 WBL は、アクセストランジスタ AT R のソース / ドレイン領域 S110 と電気的に結合される。他方のソース / ドレイン領域 S120 は、第 1 の金属配線層 M1 に設けられた金属配線、バリアメタル 140 およびコンタクトホールに設けられる金属膜 150 を介して、磁気トンネル接合部 MTJ と結合される。

【0218】

共通配線 CML は、磁気トンネル接合部 MTJ と電気的に結合するように第 2 の金属配線層 M2 に設けられる。このように、共通配線 CML にリードビット線 RBL およびライトワード線 WWL 機能の両方を併せ持つようにすることにより実施の形態 6 に従う MTJ メモリセルが奏する効果に加えて、配線数および金属配線層の数を削減して製造コストの削減を図ることができる。30

【0219】

[実施の形態 6 の変形例 2]

図 25は、実施の形態 6 の変形例 2 に従うメモリアレイ 10 の構成を示すブロック図である。

【0220】

図 25を参照して、実施の形態 6 の変形例 2 においても、メモリアレイ 10 は、 $n$  行  $\times$   $m$  列に配置された MTJ メモリセル MC を有する。メモリセル行にそれぞれ対応して、リードワード線 RWL およびライトビット線 WBL が設けられる。また、メモリセル列にそれぞれ対応して、リードビット線 RBL およびライトワード線 WWL が設けられる。したがって、メモリアレイ 10 全体に対しては、リードワード線 RWL 1 ~ RWL n、ライトビット線 WBL 1 ~ WBL n、リードビット線 RBL 1 ~ RBL m およびライトワード線 WWL 1 ~ WWL m が設けられる。ワード線電流制御回路 40 は、各ライトワード線 WWL を接地電位 VSS と結合する。40

【0221】

図 26は、実施の形態 6 の変形例 2 に従う MTJ メモリセルの接続態様を示す回路図である。

【0222】

図 26を参照して、リードビット線 RBL は、アクセストランジスタ AT R を介して磁気

トンネル接合部 M T J と結合される。磁気トンネル接合部 M T J は、ライトワード線 W W L およびアクセストランジスタ A T R の間に結合される。リードワード線 R W L は、アクセストランジスタ A T R のゲートと結合される。図 2 6 の構成においても、リードワード線 R W L とライトワード線 W W L とは互いに直交する方向に配置される。

【 0 2 2 3 】

図 2 7 は、実施の形態 6 の変形例 2 に従う M T J メモリセルの配置を示す構造図である。

【 0 2 2 4 】

図 2 7 を参照して、リードビット線 R B L 金属配線層 M 1 にそれぞれ配置される。リードワード線 R W L は、アクセストランジスタ A T R のゲート 1 3 0 と同一層に形成される。リードビット線 R B L は、アクセストランジスタ A T R のソース / ドレイン領域 1 1 0 と結合される。ソース / ドレイン領域 1 2 0 は、第 1 および第 2 の金属配線層 M 1 および M 2 に設けられた金属配線、バリアメタル 1 4 0 およびコンタクトホールに設けられた金属膜 1 5 0 を介して磁気トンネル接合部 M T J と結合される。

10

【 0 2 2 5 】

ライトビット線 W B L は、磁気トンネル接合部 M T J と近接して第 2 の金属配線層 M 2 に設けられる。ライトワード線 W W L は、磁気トンネル接合部 M T J と電気的に結合されて第 3 の金属配線層 M 3 に配置される。

【 0 2 2 6 】

このような構成とすることにより、リードビット線 R B L は、アクセストランジスタ A T R を介して磁気トンネル接合部 M T J と結合される。これにより、リードビット線 R B L は、データ読出の対象となる、すなわち対応するリードワード線 R W L が選択状態 ( H レベル ) に活性化されたメモリセル行に属する M T J メモリセル M C とのみ電気的に結合される。この結果、リードビット線 R B L の容量を抑制して、データ読出動作を高速化することができる。

20

【 0 2 2 7 】

[ 実施の形態 6 の変形例 3 ]

図 2 8 は、実施の形態 6 の変形例 3 に従うメモリアレイ 1 0 の構成を示すブロック図である。

【 0 2 2 8 】

図 2 8 を参照して、メモリアレイ 1 0 は、同様に n 行 × m 列に配置された複数の M T J メモリセル M C を有する。実施の形態 6 の変形例 3 においては、図 2 5 ~ 2 7 に示した実施の形態 6 の変形例 2 と比較して、ライトワード線 W W L およびリードビット線 R B L の配置を入替えている。その他の構成については、実施の形態 6 の変形例 2 の場合と同様であるので説明は繰返さない。

30

【 0 2 2 9 】

図 2 9 は、実施の形態 6 の変形例 3 に従う M T J メモリセルの接続態様を示す回路図である。

【 0 2 3 0 】

図 2 9 を参照して、実施の形態 6 の変形例 3 に従う M T J メモリセルは、図 2 6 に示される実施の形態 6 の変形例 2 に従う M T J メモリセルと比較して、リードビット線 R B L とライトワード線 W W L との配置を入替えた構成となっている。その他の配線の配置については、図 2 6 と同様であるので説明は繰返さない。このような構成としても、リードワード線 R W L とライトワード線 W W L とは互いに直交する方向に配置することができる。

40

【 0 2 3 1 】

図 3 0 は、実施の形態 6 の変形例 3 に従う M J T メモリセルの配置を示す構造図である。

【 0 2 3 2 】

図 3 0 を参照して、実施の形態 6 の変形例 3 に従う M T J メモリセルにおいては、図 2 7 に示した実施の形態 6 の変形例 2 に従う M T J メモリセルの構造と比較して、ライトワード線 W W L とリードビット線 R B L の配置される位置が入れ替わっている。すなわち、ライトワード線 W W L は、第 1 の金属配線層 M 1 に設けられて、アクセストランジスタ A T

50

Rのソース／ドレイン領域110と結合される。一方、リードビット線RBLは、磁気トンネル接合部MTJと電気的に結合するよう第3の金属配線層M3に設けられる。

【0233】

このように、実施の形態6の変形例3においては、リードビット線RBLが磁気トンネル接合部MTJと直接結合されるので、実施の形態6の変形例2に示したようなデータ読出動作の高速化を図ることはできない。しかしながら、実施の形態6の変形例3に従う構成においても、リードワード線ドライバ30rとライトワード線ドライバ30wとを独立に配置して、実施の形態6と同様の効果を得ることができる。

【0234】

[実施の形態6の変形例4]

10

図31は、実施の形態6の変形例4に従うメモリアレイ10の構成を示すブロック図である。

【0235】

図31を参照して、メモリアレイ10は、同様にn行×m列に配置された複数のMTJメモリセルMCを有する。メモリセル行にそれぞれ対応してリードワード線RWLおよびライトビット線WBLが配置され、メモリセル列にそれぞれ対応しておよび共通配線CMLが配置される。したがって、メモリアレイ10全体に対しては、リードワード線RWL1～RWLn、ライトビット線WBL1～WBLnおよび共通配線CML1～CMLmが配置される。

【0236】

20

ワード線電流制御回路40は、共通配線CML1～CMLmと接地電位Vssとの間にそれぞれ電気的に結合される電流制御トランジスタ41-1～41-mを有する。電流制御トランジスタ41-1～41-mの各々は、データ書込時において、共通配線CMLと接地電位Vssとを結合する。データ書込時以外においては、共通配線CML1～CMLmは接地電位Vssと切離される。データ読出前においては、共通配線CMLは、接地電位Vssにプリチャージされる。

【0237】

図32は、実施の形態6の変形例4に従うMTJメモリセルの接続態様を示す回路図である。

【0238】

30

図32を参照して、アクセストランジスタATRは共通配線CMLと磁気トンネル接合部MTJとの間に結合される。リードワード線RWLは、アクセストランジスタATRのゲートと結合される。ライトビット線WBLは、リードワード線RWLと同一方向に配置され、磁気トンネル接合部MTJと電気的に結合される。

【0239】

共通配線CMLは、データ書込時においてはライトワード線WWLと同様に、ライトワード線ドライバ30wによって選択的に活性化される。一方、データ読出時においては、共通配線CMLは、読出制御回路50rによってセンス電流Isを供給される。

【0240】

40

データ書込時においては、電流制御トランジスタ41-1～41-mのターンオンによって、選択状態(Hレベル)に活性化された共通配線CMLは、ライトワード線WWLと同様にデータ書込電流Ipが流れる。一方、データ読出時においては、電流制御トランジスタ41-1～41-mがターンオフされて、共通配線CML～磁気トンネル接合部MTJ～アクセストランジスタATR～ライトビット線WBL(接地電位Vss)の経路に流されるセンス電流Isによって、図23で説明したように、磁気トンネル接合部MTJの記憶データに対応する電位変化が共通配線CMLに生じる。

【0241】

したがって、共通配線CMLに、データ書込時におけるライトワード線WWLの機能およびデータ読出時におけるリードビット線RBLの機能を併有させて、配線数を削減することができる。

50

## 【0242】

また、リードワード線 RWL とデータ書込時にライトワード線として機能する共通配線 CML とを互いに直交する方向に配置するので、リードワード線ドライバ 30r とライトワード線ドライバ 30w とを独立に配置して、実施の形態 6 と同様の効果を得ることができる。

## 【0243】

図 33 は、実施の形態 6 の変形例 4 に従う MTJ メモリセルの配置を示す構造図である。

## 【0244】

図 33 を参照して、共通配線 CML は、第 1 の金属配線層 M1 に配置されて、アクセストランジスタ ATR のソース / ドレイン領域 110 と電気的に結合される。リードワード線 RWL は、アクセストランジスタ ATR のゲート 130 と同一層に形成される。 10

## 【0245】

ソース / ドレイン領域 120 は、第 1 の金属配線層 M1 に形成された金属配線、バリアメタル 140 およびコンタクトホールに形成された金属膜 150 を介して、磁気トンネル接合部 MTJ と結合される。ライトビット線 WBL は、磁気トンネル接合部 MTJ と電気的に結合するように第 2 の金属配線層 M2 に配置される。

## 【0246】

これにより、アクセストランジスタ ATR を介して共通配線 CML と磁気トンネル接合部 MTJ とを結合する構成とすることによって、共通配線 CML は、アクセストランジスタ ATR のターンオン時においてのみ磁気トンネル接合部 MTJ と結合される。この結果、データ読出時においてリードビット線 RBL として機能する共通配線 CML の容量を削減して、データ読出動作の高速化をさらに図ることができる。 20

## 【0247】

## [実施の形態 6 の変形例 5 ]

図 34 は、実施の形態 6 の変形例 5 に従うメモリアレイ 10 の構成を示すブロック図である。

## 【0248】

図 34 を参照して、メモリアレイ 10 は、同様に  $n$  行  $\times$   $m$  列に配置された複数の MTJ メモリセル MC を有する。メモリセル行にそれぞれ対応してリードワード線 RWL および共通配線 CML が配置され、メモリセル列にそれぞれ対応してライトビット線 WBL が配置される。したがって、メモリアレイ 10 全体に対しては、リードワード線 RWL 1 ~ RWL n 、共通配線 CML 1 ~ CML n およびライトビット線 WBL 1 ~ WBL m が設けられる。 30

## 【0249】

ワード線電流制御回路は、共通配線 CML 1 ~ CML n と接地電位 Vss との間にそれぞれ電気的に結合される電流制御トランジスタ 41-1 ~ 41-n を有する。電流制御トランジスタ 41-1 ~ 41-n の各々は、データ書込時において、共通配線 CML と接地電位 Vss とを結合する。データ書込時以外においては、共通配線 CML 1 ~ CML n は接地電位 Vss と切離される。特に、データ読出前においては、共通配線 CML は、接地電位 Vss にプリチャージされる。 40

## 【0250】

図 35 は、実施の形態 6 の変形例 5 に従う MTJ メモリセルの接続様式を示す回路図である。

## 【0251】

図 35 を参照して、アクセストランジスタ ATR はライトビット線 WBL と磁気トンネル接合部 MTJ との間に結合される。リードワード線 RWL は、アクセストランジスタ ATR のゲートと結合される。共通配線 CML は、リードワード線 RWL と同一方向に配置され、磁気トンネル接合部 MTJ と電気的に結合される。

## 【0252】

共通配線 CML の動作は、実施の形態 6 の変形例 4 と同様であり、データ書込時における 50

ライトワード線WWLの機能およびデータ読出時におけるリードビット線RBLの機能を併有する。

【0253】

したがって、実施の形態6の変形例5に従う構成によれば、共通配線CMLと磁気トンネル接合部MTJとは直接電気的に結合されるので、データ読出時における共通配線CMLの容量を低減することできないが、ライトワード線WWLとリードビット線RBLとを共通配線CMLに集約できるので、製造時における金属配線層の数を削減して、製造コストの削減を図ることができる。

【0254】

図36は、実施の形態6の変形例5に従うMTJメモリセルの配置を示す構造図である。

10

【0255】

図36を参照して、ライトビット線WBLは、第1の金属配線層M1に配置されて、アクセストランジスタATRのソース／ドレイン領域110と電気的に結合される。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に形成される。ソース／ドレイン領域120は、第1の金属配線層M1に形成される金属配線、バリアメタル140およびコンタクトホールに形成される金属膜150を介して、磁気トンネル接合部MTJと結合される。

【0256】

共通配線CMLは、磁気トンネル接合部MTJと電気的に結合するように第2の金属配線層M2に配置される。

20

【0257】

[実施の形態6の変形例6]

図37は、実施の形態6の変形例6に従うメモリアレイ10の構成を示すブロック図である。

【0258】

図37を参照して、メモリアレイ10は、n行×m列に配置される複数のMTJメモリセルM<sub>C</sub>を有する。メモリセル行にそれぞれ対応してリードワード線RWLおよびライトビット線WBLが配置され、メモリセル列にそれぞれ対応してライトワード線WWLおよびリードビット線RBLが配置される。したがって、メモリアレイ10全体においては、リードワード線RWL1～RWL<sub>n</sub>、ライトビット線WBL1～WBL<sub>n</sub>、リードビット線RBL1～RBL<sub>m</sub>およびライトワード線WWL1～WWL<sub>m</sub>が配置される。

30

【0259】

図38は、実施の形態6の変形例6に従うMTJメモリセルの接続態様を示す回路図である。

【0260】

図38を参照して、アクセストランジスタATRのゲートはリードワード線RWLと結合される。アクセストランジスタATRは、リードビット線RBLと磁気トンネル接合部MTJとの間に電気的に結合される。磁気トンネル接合部MTJは、リードワード線RWLと同一方向に配置されるライトビット線WBLと結合される。

【0261】

ライトワード線WWLは、ライトビット線WBLと直交する方向に、磁気トンネル接合部MTJと近接して設けられる。したがって、リードワード線ドライバ30rとライトワード線ドライバ30wとを独立に配置して、実施の形態6と同様の効果を得ることができる。

40

【0262】

また、ライトワード線WWLは、MTJメモリセルの他の部位と結合することなく、独立して配置することができるので、磁気トンネル接合部MTJとの間ににおける磁気カップリングの向上を優先して配置することができる。これにより、ライトワード線WWLを流れるデータ書込電流I<sub>p</sub>を抑制することができ、MRAMデバイスの低消費電力化を図ることができる。

50

## 【0263】

また、リードビット線RBLが、アクセストランジスタATRを介して磁気トンネル接合部MTJと接合されるので、リードビット線RBLに結合される磁気トンネル接合部MTJの数を削減して、リードビット線RBLの容量を低減して、データ読出を高速化することができる。

## 【0264】

図39は、実施の形態6の変形例6に従うMTJメモリセルの配置を示す構造図である。

## 【0265】

図39を参照して、リードビット線RBLは、第1の金属配線層M1に、アクセストランジスタATRのソース/ドレイン領域110と電気的に結合するように設けられる。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。アクセストランジスタATRのソース/ドレイン領域120は、第1および第2の金属配線層M1およびM2に設けられた金属配線、バリアメタル140およびコンタクトホールに設けられた金属膜150を介して、磁気トンネル接合部MTJと結合される。

10

## 【0266】

磁気トンネル接合部MTJは、第2の金属配線層M2および第3の金属配線層M3の間に配置される。ライトビット線WBLは、磁気トンネル接合部MTJと電気的に結合されて、第3の金属配線層M3に配置される。ライトワード線WWLは、第2の金属配線層に設けられる。この際に、ライトワード線WWLの配置は、磁気トンネル接合部MTJとの間における磁気カップリングを高めることができるように配置される。

20

## 【0267】

図40は、実施の形態6の変形例6に従うMTJメモリセルの配置の他の例を示す構造図である。

## 【0268】

図40に示される構成においては、同一方向に沿って配置されるリードビット線RBLおよびライトワード線WWLは、同一の金属配線層に配置される。したがって、磁気トンネル接合部MTJは、金属配線層M1およびM2の間に設けられ、ライトワード線WWLは、磁気トンネル接合部MTJと近接して、リードビット線RBLと同一の金属配線層M1に配置される。ライトビット線WBLは、磁気トンネル接合部MTJと電気的に結合されて、第2の金属配線層M2に配置される。

30

## 【0269】

したがって、図39に示したMTJメモリセルの構造と比較して、金属配線層数を減らすことができる所以、実施の形態6の変形例6に従うMTJメモリセルの構成によって享受される効果に加えて、製造コストの削減がさらに可能になる。

## 【0270】

以上述べたように、実施の形態6およびその変形例1~4, 6に従うMTJメモリセルの構成によれば、リードワード線RWLとライトワード線WWLとを互いに直交する方向に配置できるので、それぞれのワード線を駆動するためのライトワード線ドライバ30wとリードワード線ドライバ30rとを分割配置して、レイアウトの自由度を向上することができる。

40

## 【0271】

また、実施の形態6の変形例1、4および5に従うMTJメモリセルの構成によれば、リードビット線RBLとライトワード線WWLとを共通配線CMLに集約できるので、配線数を削減して製造コストの低減を図ることができる。

## 【0272】

さらに、実施の形態6の変形例2、4および6に従うMTJメモリセルの構成によれば、リードビット線RBLをアクセストランジスタATRを介して磁気トンネル接合部MTJと結合するので、リードビット線RBLの容量を抑制してデータ読出を高速化することができる。

## 【0273】

50

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図される。

【0274】

【発明の効果】

請求項1記載の半導体集積回路は、データ書込時におけるデータ書込電流を短絡されたビット線対に往復電流として流すことができるので、データ書込電流を制御するための構成を簡素化できる。

【0275】

10

請求項2および3記載の半導体集積回路は、データ書込電流を供給するための回路を外部電源電位によって直接駆動するので、請求項1記載の半導体集積回路が奏する効果に加えて、データ書込電流を速やかに供給することができる。

【0276】

請求項4から8に記載の半導体集積回路は、アドレス選択の対象となるメモリセル列の位置に関わらずデータ書込電流の電流量をほぼ一定に維持することができる。この結果、請求項1記載の半導体集積回路が奏する効果に加えて、電力消費を無用に増加させることなくそれぞれのメモリセル列に対して書込動作マージンを確保できる。

【0277】

20

請求項9および10に記載の半導体集積回路は、請求項1記載の半導体集積回路が奏する効果に加えて、ビット線およびビット線電流回路を共有してデータ読出動作を実行することができる。

【0278】

請求項11記載の半導体集積回路は、データ書込電流を供給するための回路を外部電源電位によって直接駆動するとともに、データ読出に関する回路を外部電源電位を降圧した内部電源電位によって駆動するので、請求項9記載の半導体集積回路が奏する効果に加えて、データ書込電流の速やかな供給と、低消費電力化およびデバイスの微細化に対応した信頼性の確保とを両立することができる。

【0279】

30

請求項12記載の半導体集積回路は、データ線対を構成する第1および第2のデータ線の電位レベルの制御によって、開放型のビット線に流されるデータ書込電流の方向を設定できる。したがって、データ書込電流を制御するための構成を簡素化できる。

【0280】

請求項13および14に記載の半導体集積回路は、請求項12記載の半導体集積回路が奏する効果に加えて、ビット線およびビット線電流回路を共有してデータ読出動作をさらに実行することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うM R A Mデバイス1の全体構成を示す概略ブロック図である。

【図2】 メモリアレイ10およびその周辺の実施の形態1に従う構成を詳細に説明するための図である。

40

【図3】 実施の形態2に従う電源電位の供給系統を説明するブロック図である。

【図4】 メモリアレイ10およびその周辺の実施の形態3に従う構成を示すブロック図である。

【図5】 メモリアレイ10およびその周辺の実施の形態3の変形例1に従う構成を示すブロック図である。

【図6】 メモリアレイ10およびその周辺の実施の形態3の変形例2に従う構成を示すブロック図である。

【図7】 メモリアレイ10およびその周辺の実施の形態3の変形例3に従う構成を示すブロック図である。

50

【図 8】 実施の形態 4 に従うメモリアレイ 10 周辺の構成のうち、データ書込に関連する部分を示すブロック図である。

【図 9】 実施の形態 4 の変形例 1 に従うメモリアレイ 10 周辺の構成のうち、データ書込に関連する部分を示すブロック図である。

【図 10】 実施の形態 4 の変形例 2 に従うメモリアレイ 10 周辺の構成のうち、データ書込に関連する部分を示すブロック図である。

【図 11】 実施の形態 4 の変形例 3 に従うメモリアレイ 10 周辺の構成のうち、データ書込に関連する部分を示すブロック図である。

【図 12】 メモリアレイ 10 およびその周辺の実施の形態 5 に従う構成を示すブロック図である。 10

【図 13】 電流切換回路 56 の構成を示すブロック図である。

【図 14】 メモリアレイ 10 およびその周辺の実施の形態 5 の変形例に従う構成を示すブロック図である。

【図 15】 電流切換回路 58 の構成を示すブロック図である。

【図 16】 本発明の実施の形態 6 に従うM R A M デバイス 2 の全体構成を示す概略ブロック図である。 20

【図 17】 実施の形態 6 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 18】 実施の形態 6 に従うM T J メモリセルの接続態様を示す回路図である。

【図 19】 実施の形態 6 に従うM T J メモリセルに対するデータ書込およびデータ読出を説明するためのタイミングチャート図である。 20

【図 20】 実施の形態 6 に従うM T J メモリセルの配置を説明する構造図である。

【図 21】 実施の形態 6 の変形例 1 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 22】 実施の形態 6 の変形例 1 に従うM T J メモリセルの接続態様を示す回路図である。

【図 23】 実施の形態 6 の変形例 1 に従うM T J メモリセルに対するデータ書込およびデータ読出を説明するためのタイミングチャート図である。

【図 24】 実施の形態 6 の変形例 1 に従うM T J メモリセルの配置を説明する構造図である。

【図 25】 実施の形態 6 の変形例 2 に従うメモリアレイ 10 の構成を示すブロック図である。 30

【図 26】 実施の形態 6 の変形例 2 に従うM T J メモリセルの接続態様を示す回路図である。

【図 27】 実施の形態 6 の変形例 2 に従うM T J メモリセルの配置を示す構造図である。

【図 28】 実施の形態 6 の変形例 3 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 29】 実施の形態 6 の変形例 3 に従うM T J メモリセルの接続態様を示す回路図である。

【図 30】 実施の形態 6 の変形例 3 に従うM J T メモリセルの配置を示す構造図である。 40

【図 31】 実施の形態 6 の変形例 4 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 32】 実施の形態 6 の変形例 4 に従うM T J メモリセルの接続態様を示す回路図である。

【図 33】 実施の形態 6 の変形例 4 に従うM T J メモリセルの配置を示す構造図である。

【図 34】 実施の形態 6 の変形例 5 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 35】 実施の形態 6 の変形例 5 に従うM T J メモリセルの接続態様を示す回路図で 50

ある。

【図36】 実施の形態6の変形例5に従うMTJメモリセルの配置を示す構造図である。

【図37】 実施の形態6の変形例6に従うメモリアレイ10の構成を示すブロック図である。

【図38】 実施の形態6の変形例6に従うMTJメモリセルの接続態様を示す回路図である。

【図39】 実施の形態6の変形例6に従うMTJメモリセルの配置を示す構造図である。

【図40】 実施の形態6の変形例6に従うMTJメモリセルの配置の他の例を示す構造図である。 10

【図41】 磁気トンネル接合部を有するメモリセルの構成を示す概略図である。

【図42】 MTJメモリセルからのデータ読出動作を説明する概念図である。

【図43】 MTJメモリセルに対するデータ書込動作を説明する概念図である。

【図44】 データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

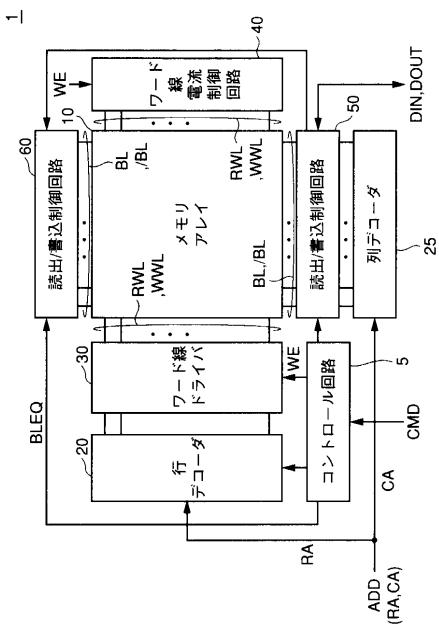
【図45】 行列状に集積配置されたMTJメモリセルを示す概念図である。

【図46】 半導体基板上に配置されたMTJメモリセルの構造図である。

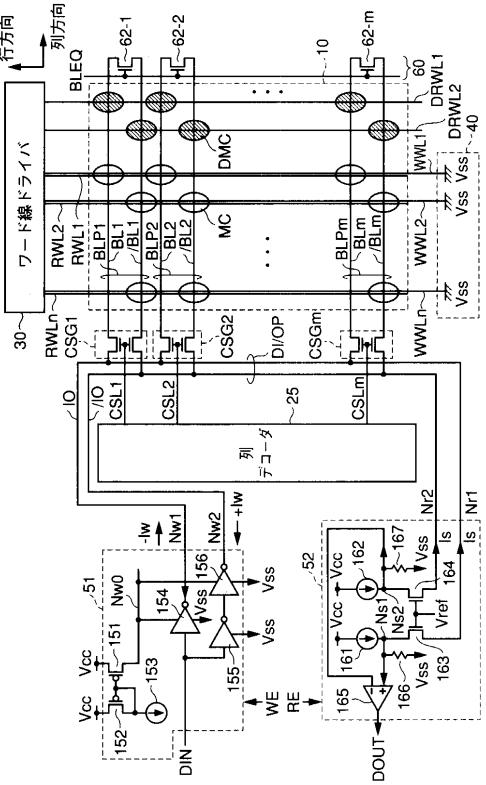
【符号の説明】

10 メモリアレイ、20 行デコーダ、25 列デコーダ、30 ワード線ドライバ、 20  
30r リードワード線ドライバ、30w ライトワード線ドライバ、40 ワード線電  
流制御回路、41-1~41-m, 41-n 電流制御トランジスタ、50, 60 読出  
/書込制御回路、50w, 60w 書込制御回路、50r 読出制御回路、51 データ  
書込電流制御回路、52 データ読出回路、55 電圧降下回路、62-1~62-m  
イコライズトランジスタ、64-1~64-m 電流制御トランジスタ、ATR アクセ  
ストランジスタ、BL, /BL ビット線、CSG1~CSGm 列選択ゲート、FL  
固定磁気層、MTJ 磁気トンネル接合部、RBL リードビット線、RWL リードワ  
ード線、TB トンネルバリア、VL 自由磁気層、WBL, /WBL ライトビット線  
、WWL ライトワード線、CML 共通配線。

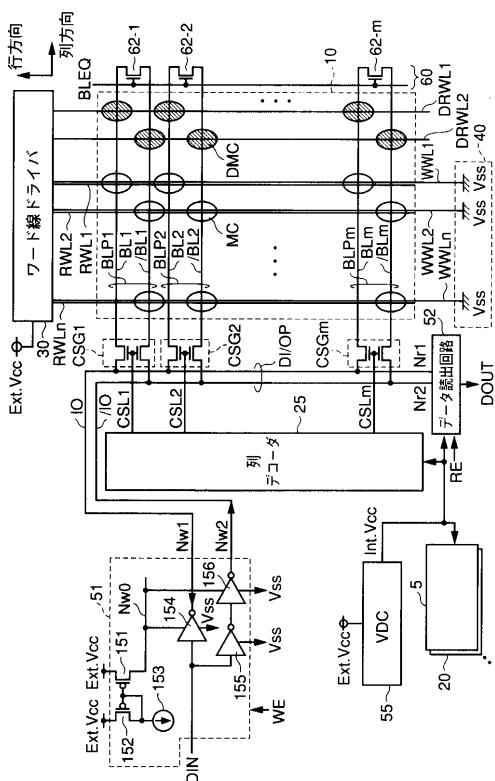
【図1】



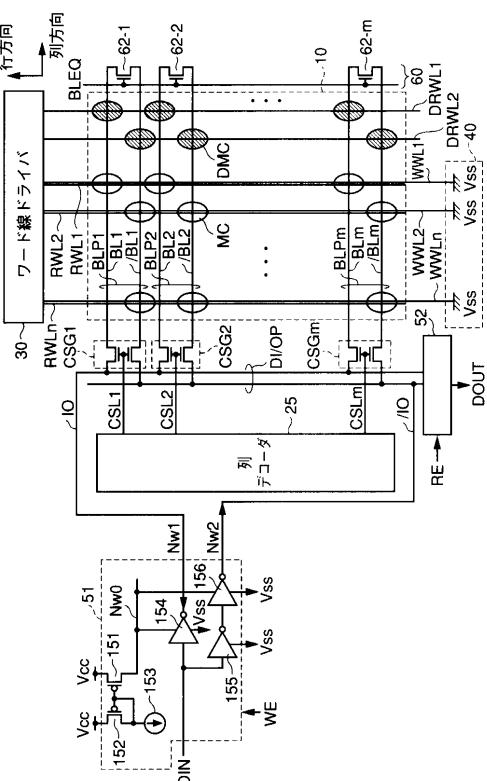
【図2】



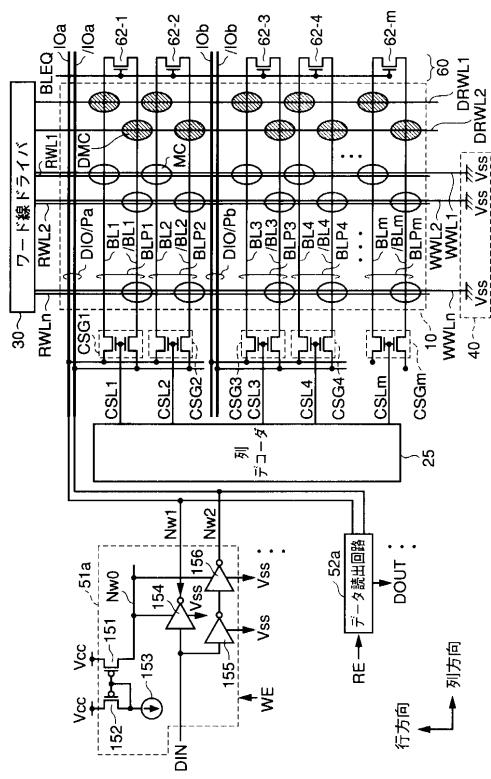
【図3】



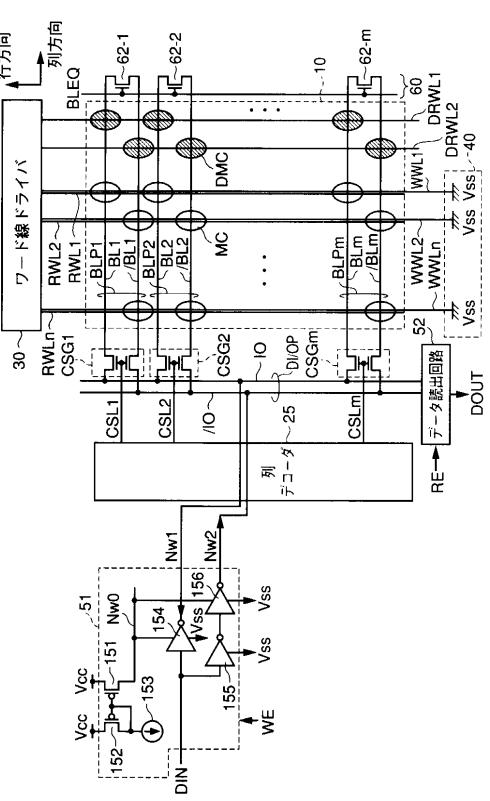
【図4】



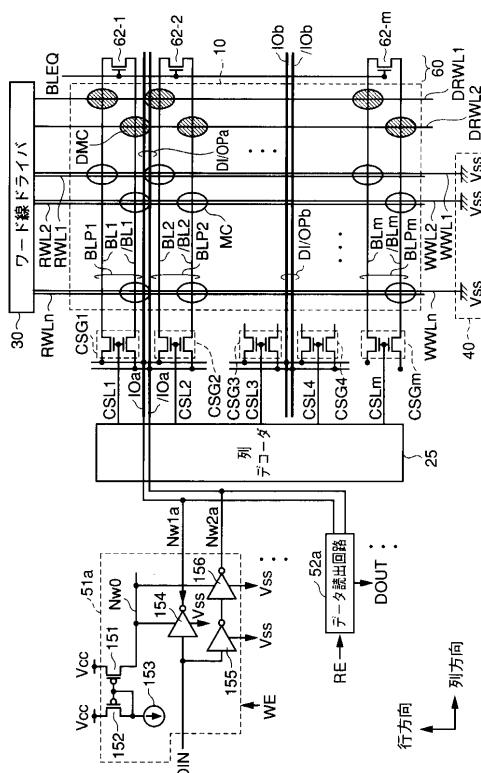
【図5】



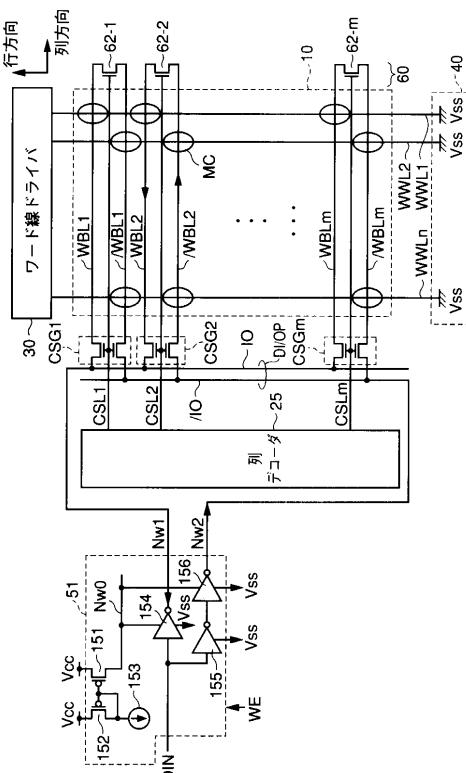
【図6】



【図7】

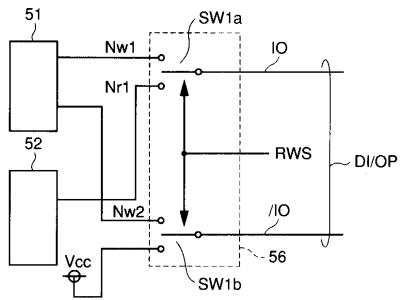


【図8】

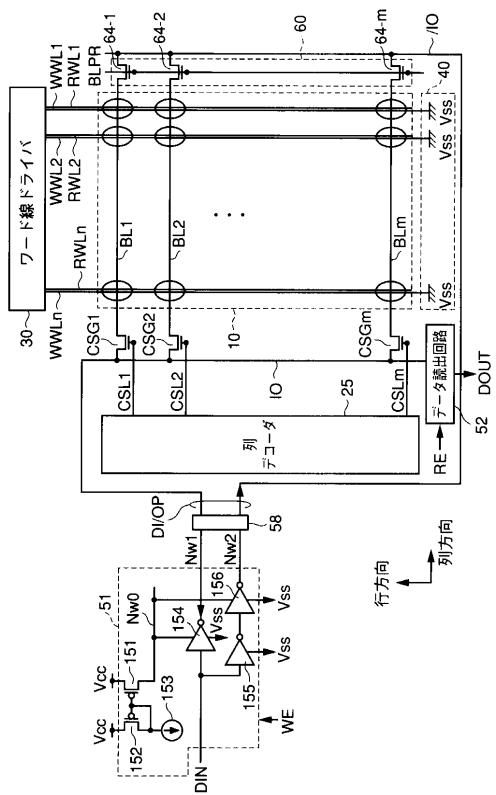




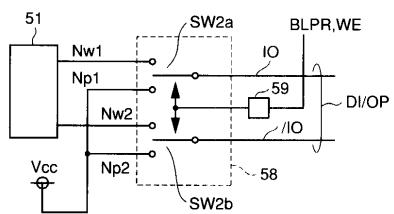
【図13】



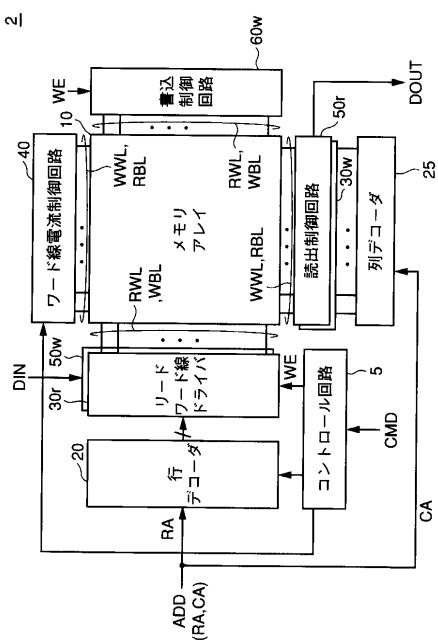
【図14】



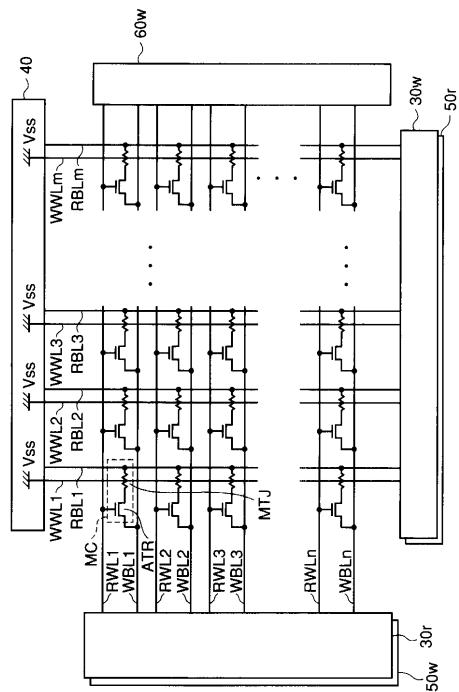
### 【 図 1 5 】



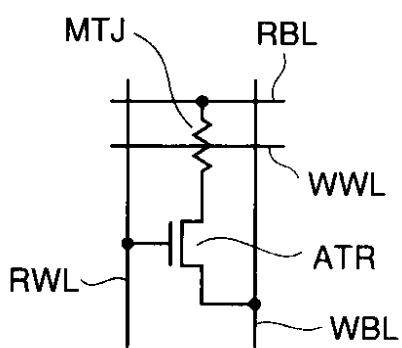
【 図 1 6 】



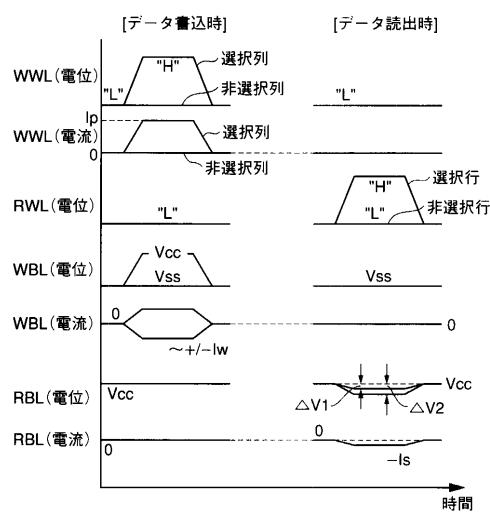
【図17】



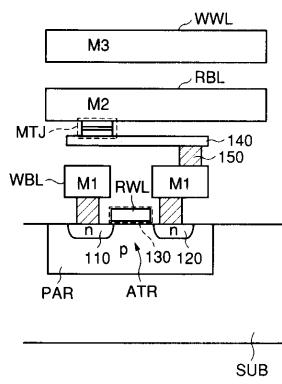
【図18】



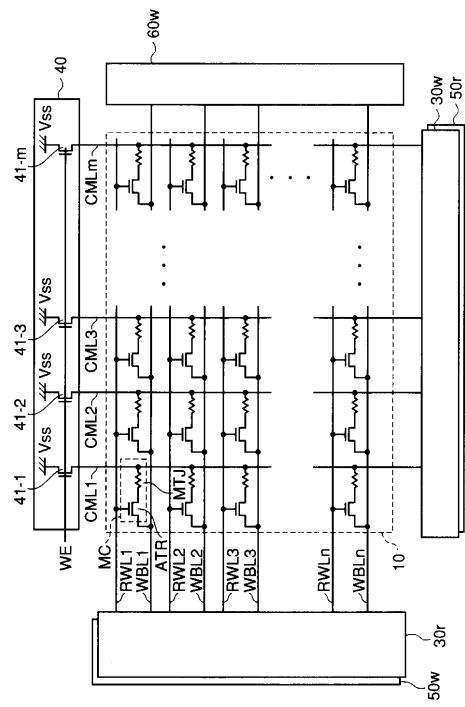
【図19】



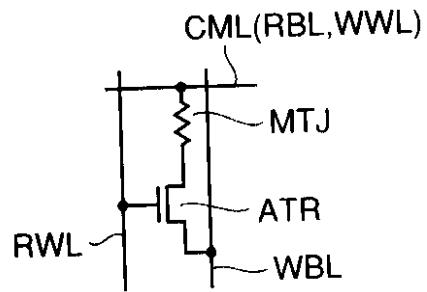
【図20】



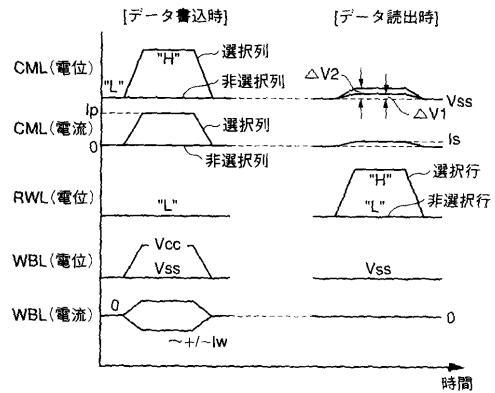
【図 2 1】



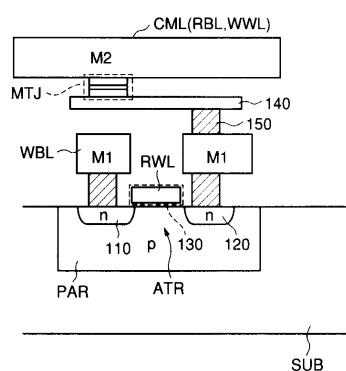
【図 2 2】



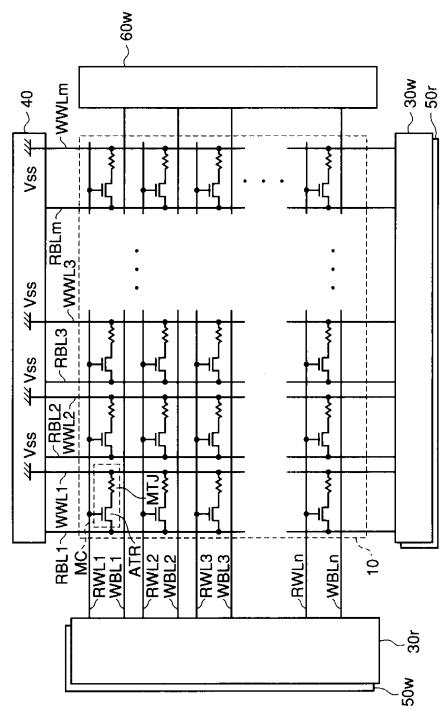
【図 2 3】



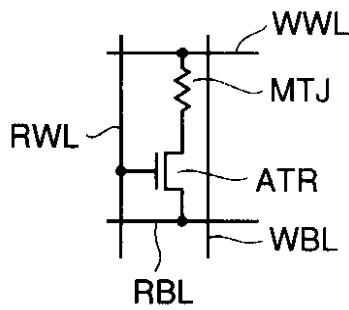
【図 2 4】



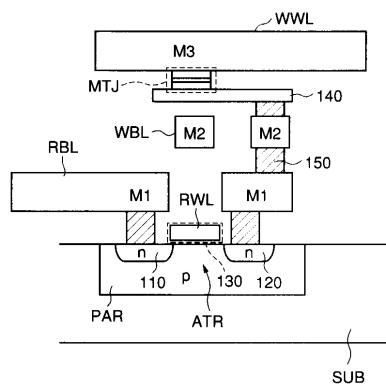
【図 2 5】



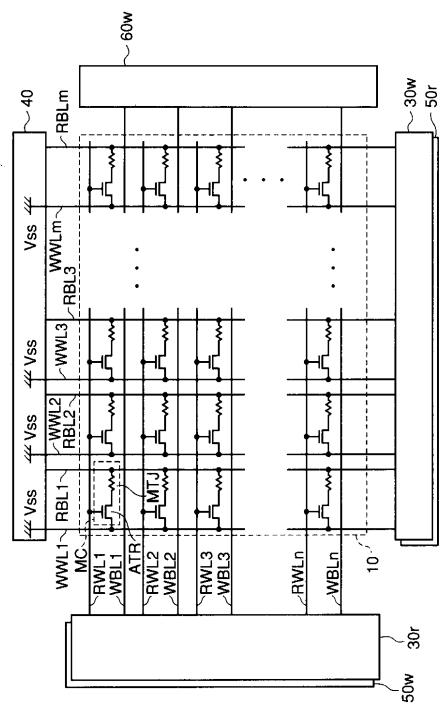
【図26】



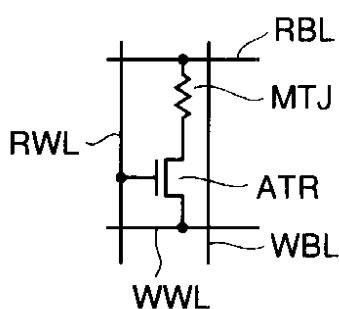
【図27】



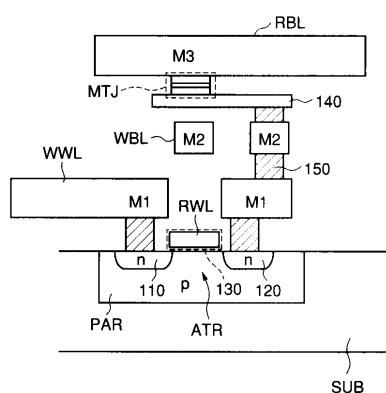
【図28】



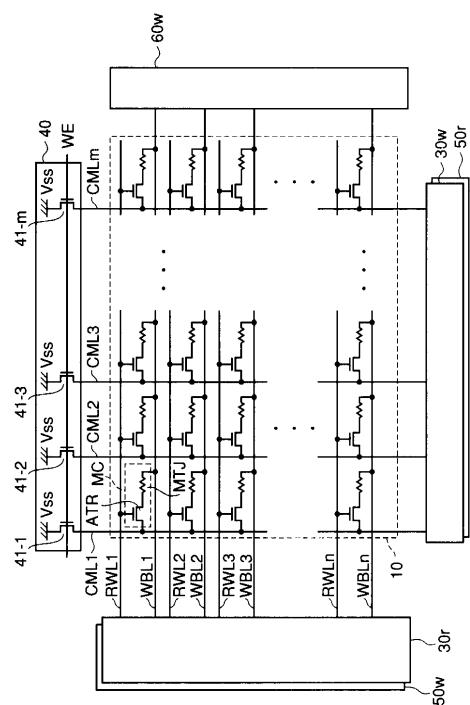
【図29】



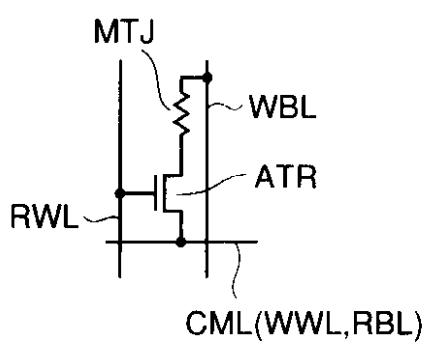
【図30】



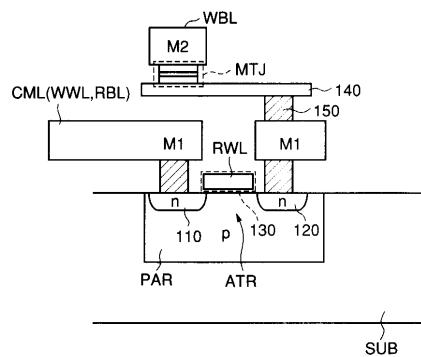
【図31】



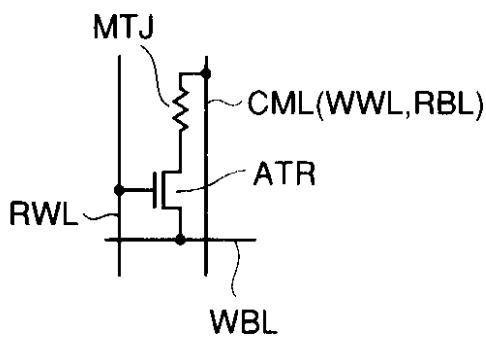
### 【図32】



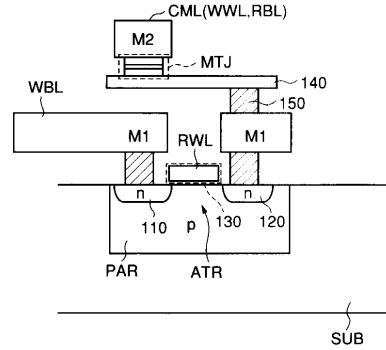
【図33】



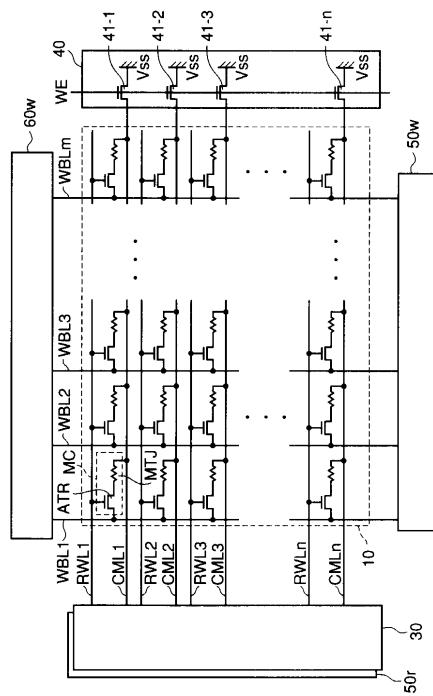
【図35】



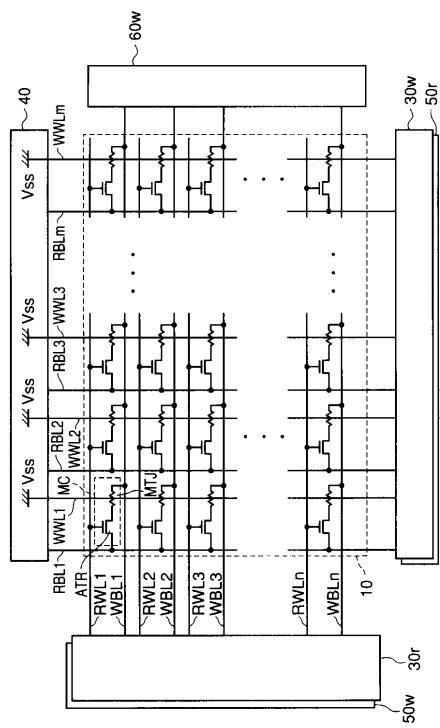
【図36】



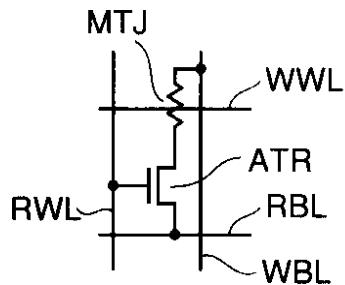
【図34】



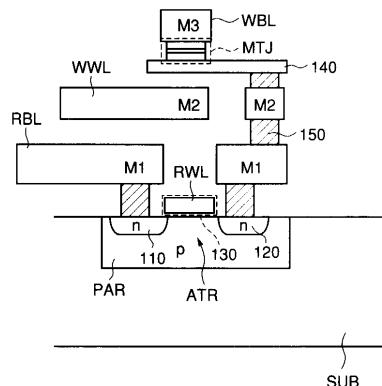
【 図 3 7 】



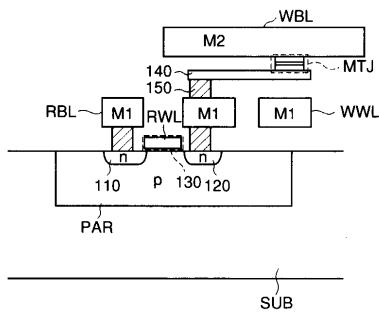
【図3-8】



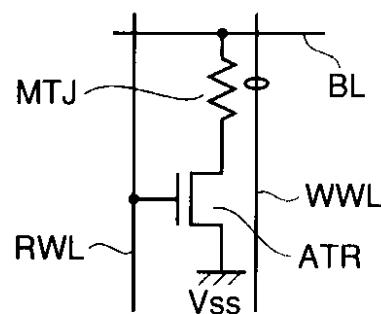
【図3-9】



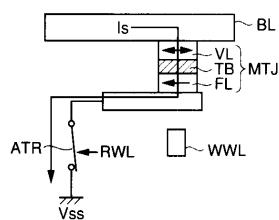
【図4-0】



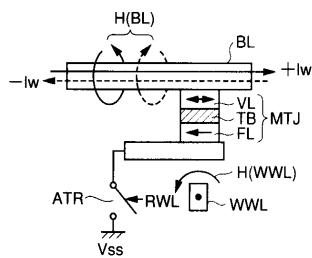
【図4-1】



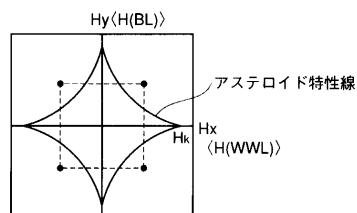
【図4-2】



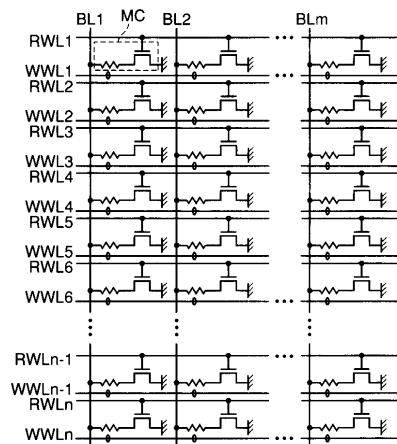
【図4-3】



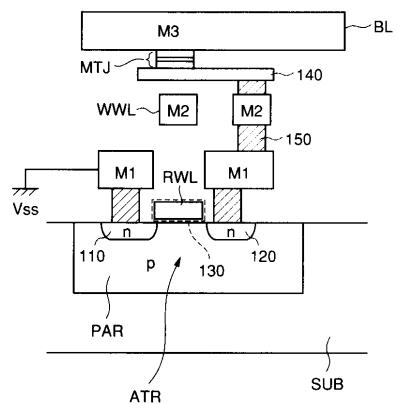
【図4-4】



【図4-5】



【図46】



---

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 43/08

A

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 高瀬 勤

(56)参考文献 特開平10-106255 (JP, A)

特開2001-297579 (JP, A)

特開平11-354728 (JP, A)

国際公開第00/019441 (WO, A1)

特開2002-042458 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/14

G11C 11/15

H01L 21/8246

H01L 27/105

H01L 43/08