

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4881552号
(P4881552)

(45) 発行日 平成24年2月22日(2012.2.22)

(24) 登録日 平成23年12月9日(2011.12.9)

(51) Int.Cl.

F 1

HO1L 21/8247	(2006.01)	HO1L 29/78	371
HO1L 29/788	(2006.01)	HO1L 27/10	434
HO1L 29/792	(2006.01)	G11C 17/00	611E
HO1L 27/115	(2006.01)	G11C 17/00	612E
G11C 16/02	(2006.01)	G11C 17/00	639B

請求項の数 22 (全 21 頁) 最終頁に続く

(21) 出願番号

特願2004-261751 (P2004-261751)

(22) 出願日

平成16年9月9日(2004.9.9)

(65) 公開番号

特開2006-80247 (P2006-80247A)

(43) 公開日

平成18年3月23日(2006.3.23)

審査請求日

平成19年9月5日(2007.9.5)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 志波 和佳

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72) 発明者 谷口 泰弘

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72) 発明者 岡 保志

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

データ書き込み用および消去用のMISFET、データ読み出し用MISFET及び容量素子を有する不揮発性メモリセルを備えた半導体装置であつて、

半導体基板に形成された第1導電型の半導体分離層と、

前記半導体分離層中に形成され、かつ、前記第1導電型とは反対の導電型である第2導電型の第1ウエルおよび第2導電型の第2ウエルと、

前記第1ウエル上および前記第2ウエル上に第1ゲート絶縁膜を介して延在する第1ゲート電極と、

前記第1ウエル内に形成され、かつ、前記第1導電型の第1半導体領域および第2半導体領域と、

前記第2ウエル内に形成され、かつ、前記第2導電型の第3半導体領域とを有し、

前記データ書き込み用および消去用のMISFETは、前記第1ウエル内に形成され、かつ、前記第1半導体領域、前記第1ゲート絶縁膜および前記浮遊ゲート電極を有し、

前記データ読み出し用MISFETは、前記第1ウエル内に形成され、かつ、前記第2半導体領域、前記第1ゲート絶縁膜および前記浮遊ゲート電極を有し、

前記容量素子は、前記第2ウエル内に形成され、かつ、前記第3半導体領域、前記第1ゲート絶縁膜および前記浮遊ゲート電極を有し、

前記不揮発性メモリセルへのデータ書き込み時には、前記第2ウエルに正電圧の第1電圧が印加されることで前記第1ゲート電極に電子が注入され、

10

20

前記不揮発性メモリセルのデータ消去時には、前記第2ウエルに負電圧の前記第1電圧が印加されることで前記第1ゲート電極から前記電子が放出されることを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記半導体分離層中には、複数の前記不揮発性メモリセルが形成されていることを特徴とする半導体装置。

【請求項3】

請求項1記載の半導体装置において、

前記半導体基板の主面上には、前記不揮発性メモリセルには含まれない第1MISFE 10 Tが形成され、

前記第1MISFE Tは、前記第1ゲート絶縁膜を含むことを特徴とする半導体装置。

【請求項4】

請求項1記載の半導体装置において、

前記第1ゲート絶縁膜は、膜厚が13.5nmであり、

前記第1電圧は、9Vであることを特徴とする半導体装置。

【請求項5】

請求項1記載の半導体装置において、

前記不揮発性メモリセルへのデータ書き込み時には、前記データ書き込み用MISFE Tのドレインに前記第1電圧より低い順方向の第2電圧を印加して、前記データ書き込み用MISFETのチャネルから前記第1ゲート電極にホットエレクトロンを注入し、 20

前記不揮発性メモリセルのデータ消去時には、前記データ書き込み用MISFETのソースおよび前記ドレインを開放電位とし、前記第1ゲート電極から前記データ書き込み用MISFETのチャネルへ前記ホットエレクトロンを放出することを特徴とする半導体装置。

【請求項6】

請求項4記載の半導体装置において、

前記不揮発性メモリセルへのデータ書き込み時には、前記データ書き込み用MISFE Tのドレインに前記第1電圧より低い順方向の第2電圧を印加して、前記データ書き込み用MISFETのチャネルから前記第1ゲート電極にホットエレクトロンを注入し、 30

前記不揮発性メモリセルのデータ消去時には、前記データ書き込み用MISFETのソースを開放電位として前記ドレインに順方向の前記第2電圧を印加し、前記第1ゲート電極から前記ドレインへ前記ホットエレクトロンを放出することを特徴とする半導体装置。

【請求項7】

請求項1記載の半導体装置において、

前記不揮発性メモリセルへのデータ書き込み時には、前記データ書き込み用MISFE Tのソースおよびドレインを開放電位として前記第1ウエルから前記第1ゲート電極にエレクトロンを注入し、

前記不揮発性メモリセルのデータ消去時には、前記データ書き込み用MISFETのソースおよび前記ドレインを開放電位とし、前記第1ゲート電極から前記データ書き込み用MISFETのチャネルへ前記エレクトロンを放出することを特徴とする半導体装置。 40

【請求項8】

請求項1記載の半導体装置において、

前記不揮発性メモリセルには、LCDドライバの電圧制御もしくはRAM救済情報が記録されることを特徴とする半導体装置。

【請求項9】

請求項1記載の半導体装置において、

前記データ書き込み用MISFETおよび前記データ読み出し用MISFETは、1つのMISFETで兼用されることを特徴とする半導体装置。

【請求項10】

請求項 1 記載の半導体装置において、

前記不揮発性メモリセルのデータ消去時には、前記データ書き込み用MISFETと前記読み出し用MISFETのソース、ドレインに印加する第2電圧と前記第1ウェルに印加する第1電圧の差がドレイン接合耐圧以上にならないように制御することを特徴とする半導体装置。

【請求項 1 1】

請求項 1 記載の半導体装置において、

前記第1導電型はn型の導電型であり、

前記第2導電型はp型の導電型であることを特徴とする半導体装置。

【請求項 1 2】

請求項 1 記載の半導体装置において、

前記第1ゲート電極は多結晶シリコン膜で形成されていることを特徴とする半導体装置

。

【請求項 1 3】

データ書き込み用および消去用の素子と、データ読み出し用の素子と、容量素子とを有する不揮発性メモリセルを備えた半導体装置であって、

半導体基板に形成された第1導電型の半導体分離層と、

前記半導体分離層内に形成され、かつ、前記第1導電型とは反対の導電型である第2導電型の第1ウエルおよび第2ウエルと、

前記第1ウエル上および前記第2ウエル上に第1ゲート絶縁膜を介して延在する浮遊ゲート電極と、

前記第1ウエル内に形成され、かつ、前記第1導電型の第1半導体領域および第2半導体領域と、

前記第2ウエル内に形成され、かつ、前記第2導電型の第3半導体領域とを有し、

前記データ書き込み用および消去用の素子は、前記第1ウエル内に形成され、かつ、前記第1半導体領域、前記第1ゲート絶縁膜および前記浮遊ゲート電極を有し、

前記データ読み出し用の素子は、前記第1ウェル内に形成され、かつ、前記第2半導体領域、前記第1ゲート絶縁膜および前記浮遊ゲート電極を有し、

前記容量素子は、前記第2ウエル内に形成され、かつ、前記第3半導体領域、前記第1ゲート絶縁膜および前記浮遊ゲート電極を有し、

前記第3半導体領域は、前記不揮発性メモリセルの制御ゲート電極として機能することを特徴とする半導体装置。

【請求項 1 4】

請求項 1 3 に記載の半導体装置において、

前記不揮発性メモリセルの消去動作は、前記第1ウエルに正電圧が印加され、前記第3半導体領域に負電圧が印加され、かつ、前記半導体分離層に正電圧が印加されることで、前記浮遊ゲート電極に蓄積された電子が前記第1ウエルに放出されることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 3 または 1 4 のいずれか 1 項に記載の半導体装置において、

前記不揮発性メモリセルの書き込み動作は、前記データ書き込み用および消去用の素子において、ホットエレクトロンを発生させることで、前記浮遊ゲート電極に電子を注入させることで行われることを特徴とする半導体装置。

【請求項 1 6】

請求項 1 3 または 1 4 のいずれか 1 項に記載の半導体装置において、

前記不揮発性メモリセルの書き込み動作は、前記データ書き込み用及び消去用の素子において、FNトンネル方式によって、前記浮遊ゲート電極に電子を注入させることで行われることを特徴とする半導体装置。

【請求項 1 7】

請求項 1 3 ~ 1 6 のいずれか 1 項に記載の半導体装置において、

10

20

30

40

50

前記不揮発性メモリセルには、LCDドライバの電圧制御情報が記録されることを特徴とする半導体装置。

【請求項18】

請求項13～16のいずれか1項に記載の半導体装置において、

前記不揮発性メモリセルには、LCDドライバのRAM救済が記録されることを特徴とする半導体装置。

【請求項19】

請求項13～18のいずれか1項に記載の半導体装置において、

前記第1導電型はn型の導電型であり、

前記第2導電型はp型の導電型であることを特徴とする半導体装置。 10

【請求項20】

請求項13～19のいずれか1項に記載の半導体装置において、

前記浮遊ゲート電極は多結晶シリコン膜で形成されていることを特徴とする半導体装置。

【請求項21】

請求項13～20のいずれか1項に記載の半導体装置は、さらに、周辺回路領域に第1MISFETが形成されており、

前記第1MISFETは、前記第1ゲート絶縁膜と同層の絶縁膜を前記第1MISFETのゲート絶縁膜としており、かつ、前記浮遊ゲート電極と同層のゲート電極を前記第1MISFETのゲート電極としていることを特徴とする半導体装置。 20

【請求項22】

請求項21に記載の半導体装置において、

前記第1MISFETのゲート電極上にはシリサイド層が形成されており、

前記不揮発性メモリセルの前記浮遊ゲート電極上にはシリサイド層が形成されていないことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、電気の一括消去型EEPROM (Electric Erasable Programmable Read Only Memory; 以下、フラッシュメモリと記す)などの不揮発性メモリを有する半導体装置に適用して有効な技術に関するものである。 30

【背景技術】

【0002】

特開2001-185633号公報(特許文献1)には、半導体基板の上に絶縁層によって絶縁して配置された単一導電層の上に構成されるEEPROMデバイスにおいて、ピット当たりの面積を小さくできる單一レベル・ポリEEPROMデバイスが開示されている。

【0003】

また、特開2001-257324号公報(特許文献2)には、单層ポリフラッシュ技術で形成された不揮発性記憶素子において、長期の情報保持性能を向上させることのできる技術が開示されている。 40

【特許文献1】特開2001-185633号公報

【特許文献2】特開2001-257324号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明者らは、相補型MISFETを形成する製造工程に他の工程を追加することなく不揮発性メモリを形成する技術について検討している。その中で、本発明者は、以下のよ
うな課題を見出した。 50

【0005】

すなわち、上記不揮発性メモリを用いてヒューズ回路を形成した場合には、データの電気的消去をドレイン端においてF N (Fowler-Nordheim)トンネル方式によって行う。そのため、ドレイン端に電界が集中し、素子劣化が大きくなってしまう課題が存在する。

【0006】

また、不揮発性メモリを用いてO T P R O M (One Time Programmable Read Only Memory)型のヒューズ回路を形成した場合には、実際には書き換え動作を行わないために、メモリ容量が書き換え回数分だけ必要となり、モジュールサイズが大型化してしまう課題が存在する。また、メモリ容量の増加およびモジュールサイズの大型化に伴って、そのモジュールの製造コストが増加してしまう課題も存在する。

10

【0007】

本発明の目的は、素子劣化が小さくデータ保持特性の良好な不揮発性メモリを提供することにある。

【0008】

本発明の他の目的は、不揮発性メモリを搭載したモジュールのサイズを小型化できる技術を提供することにある。

【0009】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

20

【0010】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】

すなわち、本発明による半導体装置は、

不揮発性メモリセルを備え、

半導体基板の主面に形成された第1導電型の半導体分離層と、

前記半導体分離層中に形成された第2導電型の第1ウエルおよび第2導電型の第2ウエルと、

前記半導体分離層中に形成され、前記第1ウエルと前記第2ウエルとを分離する第1導電型の第3ウエルと、

前記第1ウエル上および前記第2ウエル上に第1ゲート絶縁膜を介して延在する第1ゲート電極と、

前記第1ウエルに形成され、前記第1ゲート電極をゲート電極とするデータ書き込み用M I S F E Tおよびデータ読み出し用M I S F E Tとを有し、

前記不揮発性メモリセルへのデータ書き込み時には、前記第2ウエルに順方向の第1電圧が印加され、

前記不揮発性メモリセルのデータ消去時には、前記第2ウエルに逆方向の前記第1電圧が印加されるものである。

【発明の効果】

40

【0012】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0013】

素子劣化が小さくデータ保持特性の良好な不揮発性メモリを製造することができる。

【0014】

また、不揮発性メモリを搭載したモジュールのサイズを小型化することができる。

【発明を実施するための最良の形態】**【0015】**

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明

50

するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0016】

(実施の形態1)

本実施の形態1の半導体装置は、不揮発性メモリを有するものである。この本実施の形態1の半導体装置の製造工程について、図1～図13を用いて説明する。

【0017】

図1、図3、図6および図11は、本実施の形態1の半導体装置の製造工程中のメモリセル領域の要部平面図であり、図2、図4、図5、図7～図10、図12および図13は、本実施の形態1の半導体装置の製造工程を説明する要部断面図である。また、各断面図において、符号A、A'を付した部分は対応する平面図中のA-A'線に沿った断面、符号B、B'を付した部分は対応する平面図のB-B'線に沿った断面、符号C、C'を付した部分は周辺回路領域の一部(n チャネル型MISFET (Metal Insulator Semiconductor Field Effect Transistor)が形成される領域)の断面を示している。各平面図には、不揮発性メモリセルを構成する主要な導電層とそれらの接続領域のみを示し、導電層間に形成される絶縁膜などの図示は原則として省略する。周辺回路を構成する n チャネル型MISFETなどによってXデコーダ回路、Yデコーダ回路、センスアンプ回路、入出力回路、論理回路などが形成されるが、これらに限らず、マイクロプロセッサ、CPUなどの論理回路を形成してもよい。

【0018】

まず、図1および図2に示すように、たとえば p 型の単結晶シリコンからなる半導体基板(以下、単に基板と記す)1の正面の素子分離領域に素子分離溝2を形成する。素子分離溝2を形成するには、たとえば基板1の正面をドライエッチングして溝を形成し、続いてこの溝の内部を含む基板1上にCVD (Chemical Vapor Deposition)法で酸化シリコン膜などの絶縁膜を堆積した後、溝の外部の不要な絶縁膜を化学的機械研磨(Chemical Mechanical Polishing; CMP)法で研磨、除去することによって、溝の内部に絶縁膜を残す。この素子分離溝2を形成することにより、メモリアレイの基板1の正面には、素子分離溝2によって周囲を規定された活性領域が形成される。

【0019】

次に、たとえば基板1の一部に n 型(第1導電型)の不純物(たとえばP(リン)またはAs(ヒ素))をイオン注入した後、基板1に熱処理を施すことによって不純物を基板1中に拡散させることにより、 n 型半導体分離領域(半導体分離層)3を形成する。

【0020】

続いて、たとえば基板1の一部に n 型の不純物(たとえばP)をイオン注入し、他の一部に p 型(第2導電型)の不純物(たとえばB(ホウ素))をイオン注入した後、基板1を熱処理してこれらの不純物を基板1中に拡散させることにより、基板1の正面に p 型ウエル(第1ウエル、第2ウエル)4および n 型ウエル(第3ウエル)5を形成する。

【0021】

次に、図3および図4に示すように、基板1を熱酸化して p 型ウエル4および n 型ウエル5のそれぞれの表面に、たとえば酸化シリコンからなる膜厚13.5nm程度のゲート絶縁膜(第1ゲート絶縁膜)6を形成する。続いて、たとえばCVD法でゲート絶縁膜6上に多結晶シリコン膜を形成した後、その多結晶シリコン膜の上部に、たとえばCVD法で酸化シリコン膜等からなる絶縁膜を堆積する。また、その絶縁膜を形成する前には、多結晶シリコン膜には n 型の導電型を示す不純物が注入されている。続いて、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜(図示は省略)をマスクとしたドライエッチングにより、周辺回路領域の絶縁膜を除去する。続いて、基板1上に、たとえばCVD法で膜厚10nm程度以上の酸化シリコン膜等からなる絶縁膜を堆積する。

【0022】

次に、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜(図示は省略)をマスクとしたドライエッチングにより、基板1上の絶縁膜をパターニングする。続

10

20

30

40

50

いて、残った絶縁膜をマスクにしたドライエッティングにより多結晶シリコン膜をパターニングし、ゲート電極（第1ゲート電極）7 A、7 B、7 Cを形成する。ゲート電極7 A、7 B、7 C上の絶縁膜は、キャップ絶縁膜8となる。

【0023】

次に、p型ウェル4とn型ウェル5の一部とにn型の不純物としてPまたはAsをイオン注入することによって低濃度n型半導体領域NMa、NMb、NMcを形成し、p型ウェル4の一部にp型の不純物としてホウ素をイオン注入することによって低濃度p型半導体領域PMa、PMbを形成する。これら低濃度n型半導体領域NMa、NMb、NMcおよび低濃度p型半導体領域PMa、PMbは、後述するn型半導体領域14A、14B、14Cおよびp型半導体領域15A、15Bよりも不純物濃度の低い領域である。 10

【0024】

続いて、図5に示すように、基板1上にCVD法で酸化シリコン膜を堆積した後、その酸化シリコン膜およびキャップ絶縁膜8を異方的にエッティングすることにより、ゲート電極7 A、7 B、7 C、およびキャップ絶縁膜9の側壁にサイドウォールスペーサ12を形成する。この時、酸化シリコン膜をサイドウォールスペーサ12へと形成する際に、周辺回路領域のキャップ膜8は除去され、ゲート電極7 Cの表面が露出する。これは、メモリセル領域のキャップ絶縁膜8の膜厚が周辺回路領域のキャップ膜8の膜厚に比べて厚くなっているからであり、周辺回路領域のゲート電極7 Cの表面が露出したところでエッティングを停止しているからである。 20

【0025】

次に、図6および図7に示すように、p型ウェル4とn型ウェル5の一部とにn型の不純物としてPまたはAsをイオン注入することによってn型半導体領域14A、14B、14Cを形成し、p型ウェル4の一部にp型の不純物としてホウ素をイオン注入することによってp型半導体領域15A、15Bを形成する。なお、図6以降の図面（図8～図10を除く）では説明の簡略化のため、低濃度n型半導体領域NMa、NMb、NMcおよび低濃度p型半導体領域PMa、PMbの記載は省略し、後述する高濃度n型半導体領域14A、14B、14Cおよび高濃度p型半導体領域15A、15Bを代表して図示する。ここまで工程により、メモリセル領域には、n型半導体領域14Bをソース、ドレインとするデータ書き込み用および消去用のMISFETQw1、Qw2と、n型半導体領域14Bをソース、ドレインとするデータ読み出し用のMISFETQr1、Qr2と、ゲート電極7 A、7 Bおよびp型ウェル4を容量電極としゲート絶縁膜6を容量絶縁膜とする容量素子C1、C2が形成され、周辺回路領域には、n型半導体領域14Cをソース、ドレインとするnチャネル型MISFET（第1MISFET）が形成される。また、メモリセル領域においては、ゲート電極7 A、7 Bを浮遊ゲートとし、p型半導体領域15Aをコントロールゲートとする不揮発性記憶素子が形成される。 30

【0026】

ここで、図7の拡大図を図8～図10にそれぞれ示す。

【0027】

図8に示すように、不揮発性記憶素子のコントロールゲートとなる領域は、低濃度p型半導体領域PMaと高濃度p型半導体領域15Aとを形成するためのイオン注入が施された領域である。また、p型ウェル4の給電部は、低濃度p型半導体領域PMaと高濃度p型半導体領域15Bとを形成するためのイオン注入が施された領域である。同様に、n型ウェル5の給電部は、低濃度n型半導体領域NMaと高濃度n型半導体領域14Aとを形成するためのイオン注入が施された領域である。 40

【0028】

図9に示すように、データ書き込み用および消去用のMISFETQw1、Qw2およびデータ読み出し用のMISFETQr1、Qr2のソース・ドレイン領域は、それぞれ、低濃度n型半導体領域NMbおよび高濃度のn型半導体領域14Bによって構成されている。また、p型ウェル4の給電部およびn型ウェル5の給電部の説明については、前述の図8と同様である。 50

【0029】

図10に示すように、周辺回路領域のnチャネル型MISFETのソース・ドレイン領域は、それぞれ、低濃度n型半導体領域NMbおよび高濃度のn型半導体領域14Bによって構成されている。

【0030】

ここで、データ書き込み用および消去用のMISFETQw1、Qw2の低濃度n型半導体領域NMbについては、他の領域の低濃度n型半導体領域NMa、NMcよりも高い不純物濃度で形成することもできる。このようにして低濃度n型半導体領域NMbを形成した場合、MISFETQw1、Qw2の書き込み動作時に発生させるホットエレクトロンの発生量を高くすることが可能となるため、メモリセルの書き込み動作を高速化することができる。10

【0031】

このように、図8～図10には、低濃度n型半導体領域NMa、NMb、NMcについて詳細に示したが、他の図面(図7等)においては、説明の簡略化のためその記載を省略し、n型半導体領域14A、14B、14Cおよびp型半導体領域15A、15Bのみを記載している。

【0032】

次に、シリサイド層18を形成する。このシリサイド層18の形成については、まず、たとえば基板1上にスパッタリング法でCo(コバルト)膜を堆積する。続いて、基板1を熱処理してCo膜と周辺回路領域のゲート電極7Cとの界面、およびCo膜と基板1との界面にシリサイド反応を生じさせた後、未反応のCo膜をエッチングで除去する。これにより、ゲート電極7Cの表面とソース、ドレイン(n型半導体領域14)の表面とにシリサイド(CoSi₂)層18が形成される。また、メモリセル領域においては、n型半導体領域14の表面にシリサイド層18が形成される。ここで、ゲート電極7A、7Bの表面にはキャップ絶縁膜8が残されているため、シリサイド層18は形成されていない。なお、本実施の形態1ではシリサイド層18の材料としてCo(コバルト)を例示したが、これに限られるものではなく、Ti(チタン)、W(タンクステン)またはNi(ニッケル)等を使用することもできる。

【0033】

次に、図11および図12に示すように、基板1上にプラズマCVD法で窒化シリコン膜19をゲート電極7A、7B、7C、キャップ絶縁膜8およびサイドウォールスペーサ12を覆うように堆積する。この窒化シリコン膜19は、後の工程で基板1上に層間絶縁膜を形成し、その層間絶縁膜にn型半導体領域14A、14B、14Cおよびp型半導体領域15A、15Bのそれぞれに達するコンタクトホールを形成する際に、素子分離溝に埋め込んだ酸化シリコン膜とのエッチング選択比を大きくすることにより、合わせずれによりコンタクトホールが素子分離溝上に形成されたとしても、コンタクトホールが基板に達してしまうのを防ぐように機能する。また、オーバーエッチングによってシリサイド層18の表面が削れることを防止する機能も有する。すなわち、窒化シリコン膜19はエッチングストップ膜として機能する。30

【0034】

次に、基板1上に、たとえばCVD法で酸化シリコン膜20を堆積し、続いて化学的機械研磨法で酸化シリコン膜20の表面を平坦化する。続いて、フォトレジスト膜をマスクにして上記酸化シリコン膜20および窒化シリコン膜19をドライエッチングすることにより、n型半導体領域14A、14B、14Cおよびp型半導体領域15A、15Bのそれぞれに達するコンタクトホールを形成する。この時、窒化シリコン膜19は酸化シリコン膜20をエッチングする際のエッチングストップ膜として機能する。続いて、そのコンタクトホールの内部にプラグ22A～22Eを形成する。プラグ22Aはn型半導体領域14A上のシリサイド層18に達し、プラグ22Bはn型半導体領域14B上のシリサイド層18に達し、プラグ22Cはn型半導体領域14C上のシリサイド層18に達し、プラグ22Dはp型半導体領域15A上のシリサイド層18に達し、プラグ22Eはp型半4050

導体領域 15B 上のシリサイド層 18 に達する。プラグ 22A ~ 22E を形成するには、たとえばコンタクトホールの内部を含む酸化シリコン膜 20 上にスパッタリング法で Ti (チタン) 膜および TiN (窒化チタン) 膜を堆積し、続いて CVD 法で TiN 膜および金属膜として W (タンゲステン) 膜を堆積した後、コンタクトホールの外部の W 膜、 TiN 膜および Ti 膜を化学的機械研磨法によって除去する。

【0035】

上記の本実施の形態 1 の半導体装置の製造方法によれば、相補型 MISFET を形成する製造工程に他の工程を追加することなく不揮発性メモリを形成することができる。

【0036】

次に、図 13 に示すように、酸化シリコン膜 20 およびプラグ 22A ~ 22E 上に複数の配線 23 を形成する。配線 23 を形成するには、たとえば酸化シリコン膜 20 上に Ti 膜、 Al (アルミニウム) 合金膜および TiN 膜をスパッタリング法により順次堆積し、続いてフォトレジスト膜をマスクとしたドライエッチングによりその Ti 膜、 Al 合金膜および TiN 膜をパターニングする。この後、酸化シリコン膜 20 および配線 23 を形成した工程と同様の工程を繰り返すことによって、さらに多層に配線層を形成してもよい。

10

【0037】

次に、本実施の形態 1 の不揮発性メモリにおけるデータの書き込み、消去および読み出しの各動作について図 14 ~ 図 17 を用いて説明する。図 14 はメモリセル領域の要部平面図であり、図 15 ~ 図 17 は図 14 中の D - D' 線に沿った断面を示している。なお、図 14 ~ 図 17 中では、説明をわかりやすくするために配線 23 の図示は省略している。

20

【0038】

まず、図 15 に示すように、データの書き込み時には、たとえば n 型ウエル 5 (n 型半導体分離領域 3) に 9V を印加し、 p 型半導体領域 15B (MISFET Qw1, Qw2, Qr1, Qr2 が形成された p 型ウエル 4) に 0V を印加し、 p 型半導体領域 15A (容量素子 C1, C2 が形成された p 型ウエル 4) に順方向の 9V (第 1 電圧) を印加し、データ書き込み用および消去用の MISFET Qw1, Qw2 のソース、ドレイン (n 型半導体領域 14B) の一方に 7V (第 2 電圧) を印加し、他方に 0V を印加し、データ読み出し用の MISFET Qr1, Qr2 のソース、ドレイン (n 型半導体領域 14B) を開放電位とする。これにより、データ書き込み用および消去用の MISFET Qw1, Qw2 において、チャネルホットエレクトロン (e⁻) がゲート電極 7A に注入され、データの書き込みが行われる。

30

【0039】

データの消去時には、図 16 に示すように、たとえば n 型ウエル 5 (n 型半導体分離領域 3) に 9V を印加し、 p 型半導体領域 15B (MISFET Qw1, Qw2, Qr1, Qr2 が形成された p 型ウエル 4) に 9V を印加し、 p 型半導体領域 15A (容量素子 C1, C2 が形成された p 型ウエル 4) に逆方向の -9V (第 1 電圧) を印加し、データ書き込み用および消去用の MISFET Qw1, Qw2 およびデータ読み出し用の MISFET Qr1, Qr2 のソース、ドレイン (n 型半導体領域 14B) を開放電位とする。ここで、容量素子 C1, C2 の容量電極 (ゲート電極 7A, 7B) の面積は、 MISFET Qw1, Qw2 のゲート容量を形成する容量電極 (ゲート電極 7A, 7B) の面積より大きいことから (図 14 参照)、容量素子 C1, C2 の容量は、 MISFET Qw1, Qw2 のゲート容量 (ゲート電極 7A, 7B と MISFET Qw1, Qw2 のチャネルとの間で形成される) に比べて大きくなる。そのため、 MISFET Qw1, Qw2 のゲート容量に印加される電圧は、容量素子 C1, C2 に印加される電圧より大きくなる。これにより、データ書き込み用および消去用の MISFET Qw1, Qw2 およびデータ読み出し用の MISFET Qr1, Qr2 において、ゲート電極 7A から電子 (e⁻) を FN トンネル方式で p 型ウエル 4 へ放出する。その結果、たとえばドレイン (n 型半導体領域 14B) の端部に電界が集中することに起因する素子の劣化を防ぐことができる。素子の劣化を防ぐことにより、電荷のリークを防ぐことが可能となるので、不揮発性メモリのデータ保持特性の劣化を防ぐことが可能となる。また、容量素子 C1, C2 が形成された p 型ウ

40

50

エル4に負(逆方向)の電圧を印加し、MISFET Qw1、Qw2、Qr1、Qr2が形成されたp型ウエル4に正(順方向)の電圧を印加することにより、ゲート破壊を起こさない電圧(9V以下)でデータ消去動作に必要な電位差(18V)を確保することが可能となる。

【0040】

データの読み出し時には、図17に示すように、たとえばn型ウエル5(n型半導体分離領域3)に3Vを印加し、p型半導体領域15B(MISFET Qw1、Qw2、Qr1、Qr2が形成されたp型ウエル4)に0Vを印加し、p型半導体領域15A(容量素子C1、C2が形成されたp型ウエル4)に3Vを印加し、データ書き込み用および消去用のMISFET Qw1、Qw2のソース、ドレイン(n型半導体領域14B)を開放電位とし、データ読み出し用のMISFET Qr1、Qr2のソース、ドレイン(n型半導体領域14B)の一方に1Vを印加し、他方に0Vを印加する。これにより、データ読み出し用のMISFET Qr1、Qr2をオンとする。

10

【0041】

ところで、上記の本実施の形態1では、データ書き込み用および消去用のMISFET(Qw1、Qw2)と、データ読み出し用のMISFET(Qr1、Qr2)とをそれぞれ形成する場合について例示したが、どちらか一方を省略して、データ書き込み、データ消去およびデータ読み出しのすべての動作を一つのMISFETによって行ってもよい。

【0042】

上記のような本実施の形態1の不揮発性メモリは、たとえばLCD(Liquid Crystal Display)ドライバにおける電圧制御情報(画質調整用データ)を蓄積させ、ヒューズ回路として用いることができる。この場合、必要に応じてデータの書き換えを行えるので、メモリ容量が書き換え回数分だけ必要となるOTPROM型のヒューズ回路に比べてモジュールサイズを小型化することができる。また、モジュールサイズの小型化により、モジュールの製造コストを低減することができる。

20

【0043】

また、上記の本実施の形態1の不揮発性メモリの他の用途として、冗長構成によるDRAM(Dynamic Random Access Memory)の不良メモリセルの救済を例示することができる。この時、メモリセルは単位情報セルとなり、この単位情報セルが複数個集まり、複数個の単位情報セルの不揮発性記憶素子に対する電気的なプログラム回路が形成され、複数個の単位情報セルが被救済回路に対する救済情報の記憶回路となる。これにより、不良救済の信頼性を高くすることができる。

30

【0044】

また、上記被救済回路に対する別の救済情報記憶回路として、ヒューズ素子の溶断状態に応じて救済情報を記憶するヒューズプログラム回路を更に設けてもよい。ウエハ段階で検出された不良に対する救済をヒューズプログラム回路で行い、バーンイン後に検出された不良に対して上記の電気的なプログラム回路を用いる事により、救済効率を上げることができる。

【0045】

また、上記被救済回路は、マイクロコンピュータ内蔵DRAMのメモリセルまたはマイクロコンピュータ内蔵SRAMのメモリセルであってもよい。また、LCDドライバの救済回路を構成することも可能である。

40

【0046】

(実施の形態2)

次に、本実施の形態2の不揮発性メモリにおけるデータの書き込み、消去および読み出しの各動作について図18を用いて説明する。

【0047】

図18は、前記実施の形態1における図14中のD-D'線に沿った断面を示したものである。図18に示すように、本実施の形態2の不揮発性メモリの構造は、前記実施の形態1の不揮発性メモリとほぼ同様である。

50

【0048】

本実施の形態2の不揮発性メモリにおけるデータの書き込み動作および読み出し動作は、前記実施の形態1の不揮発性メモリと同様である。図18に示すように、データの消去時には、たとえばn型ウエル5(n型半導体分離領域3)に9Vを印加し、p型半導体領域15B(MISFETQw1、Qw2、Qr1、Qr2が形成されたp型ウエル4)に0Vを印加し、p型半導体領域15A(容量素子C1、C2が形成されたp型ウエル4)に-9Vを印加し、データ書き込み用および消去用のMISFETQw1、Qw2のドレイン(n型半導体領域14B)に7Vを印加し、ソース(n型半導体領域14B)を開放電位とし、データ読み出し用のMISFETQr1、Qr2のソース、ドレイン(n型半導体領域14B)を開放電位とする。この時、データ書き込み用および消去用のMISFETQw1、Qw2においては、ゲート電極7Aの端部に電界が集中することから、前記実施の形態1におけるデータ消去動作時の電圧(9V)より低い電圧(7V)でもゲート電極7Aから電子(e⁻)を放出することができる。これにより、データ書き込み用および消去用のMISFETQw1、Qw2において、ゲート電極7Aの端部からデータ書き込み用および消去用のMISFETQw1、Qw2のドレイン(n型半導体領域14B)へ電子(e⁻)を放出する。

【0049】

また、データ書き込み用および消去用のMISFETQw1、Qw2においては、ゲート電極7Aの端部に電界が集中することから、データ書き込み用および消去用のMISFETQw1、Qw2の素子劣化が起こらないように、ゲート絶縁膜6については、電界集中に耐え得るのに十分な膜厚(たとえば13.5nm程度)で形成しておく。

【0050】

上記のような本実施の形態2によっても、前記実施の形態1と同様の効果を得ることができる。

【0051】

(実施の形態3)

次に、本実施の形態3の不揮発性メモリにおけるデータの書き込み、消去および読み出しの各動作について図19を用いて説明する。

【0052】

図19は、前記実施の形態1における図14中のD-D'線に沿った断面を示したものである。図19に示すように、本実施の形態3の不揮発性メモリの構造は、前記実施の形態1の不揮発性メモリとほぼ同様である。

【0053】

本実施の形態3の不揮発性メモリにおけるデータの消去動作および読み出し動作は、前記実施の形態1の不揮発性メモリと同様である。図19に示すように、データの書き込み時には、たとえばn型ウエル5(n型半導体分離領域3)に9Vを印加し、p型半導体領域15B(MISFETQw1、Qw2、Qr1、Qr2が形成されたp型ウエル4)に-9Vを印加し、p型半導体領域15A(容量素子C1、C2が形成されたp型ウエル4)に9Vを印加し、データ書き込み用および消去用のMISFETQw1、Qw2およびデータ読み出し用のMISFETQr1、Qr2のソース、ドレイン(n型半導体領域14B)を開放電位とする。これにより、データ書き込み用および消去用のMISFETQw1、Qw2において、チャネル全面でFNトンネル方式によって電子(e⁻)がゲート電極7Aに注入され、データの書き込みが行われる。

【0054】

上記のような本実施の形態3によっても、前記実施の形態1と同様の効果を得ることができる。

【0055】

(実施の形態4)

図20は、本実施の形態4の半導体装置のメモリセル部の要部断面図であり、前記実施

の形態 1において示した各平面図中の A - A' 線に相当する断面を示したものである。

【 0 0 5 6 】

半導体素子や配線の微細加工によって、 p 型ウエル 4 と n 型ウエル 5 との間の接合耐圧が十分に得られなくなってしまった場合には、図 2 0 に示すように、 p 型ウエル 4 と n 型ウエル 5 を離間して形成してもよい。それにより、 p 型ウエル 4 と n 型ウエル 5 との間の接合耐圧を向上することができる。また、 2 つの p 型ウエル 4 の間が十分に広い場合には、 n 型ウエル 5 は省略してもよい。

【 0 0 5 7 】

上記のような本実施の形態 4 によっても、前記実施の形態 1 と同様の効果を得ることができる。

10

【 0 0 5 8 】

(実施の形態 5)

次に、本実施の形態 5 の不揮発性メモリにおけるデータの消去動作について説明する。

【 0 0 5 9 】

図 2 1 は、前記実施の形態 1 における図 1 4 中の D - D' 線に沿った断面を示したものである。図 2 1 に示すように、本実施の形態 5 の不揮発性メモリの構造は、前記実施の形態 1 の不揮発性メモリとほぼ同様である。

【 0 0 6 0 】

本実施の形態 5 の不揮発性メモリにおけるデータの消去時には、たとえば n 型ウエル 5 (n 型半導体分離領域 3) に 9 V を印加し、 p 型半導体領域 1 5 B (M I S F E T Q w 1 、 Q w 2 、 Q r 1 、 Q r 2 が形成された p 型ウエル 4) に 9 V を印加し、 p 型半導体領域 1 5 A (容量素子 C 1 、 C 2 が形成された p 型ウエル 4) に - 9 V を印加し、データ書き込み用および消去用の M I S F E T Q w 1 、 Q w 2 のソース、ドレインおよびデータ読み出し用の M I S F E T Q r 1 、 Q r 2 のソース、ドレイン (n 型半導体領域 1 4 B) に 9 V を印加する。前記の実施の形態 1 のように、データ消去時にデータ書き込み用および消去用の M I S F E T Q w 1 、 Q w 2 のドレインを開放電位とするためには、他に制御用の M I S F E T が必要となり、半導体装置の小型化を阻害してしまうことになる。そこで、本実施の形態 5 では、データ書き込み用および消去用の M I S F E T Q w 1 、 Q w 2 とデータ読み出し用の M I S F E T Q r 1 、 Q r 2 のソース、ドレインに 9 V を印加することにより、前記実施の形態 1 と同様の動作状況とすることができます。

20

【 0 0 6 1 】

ここで、データ書き込み用および消去用の M I S F E T Q w 1 、 Q w 2 のチャネル領域では、ホットエレクトロンを発生しやすくするために不純物濃度が高くなっている、接合耐圧が前記実施の形態 1 で説明したゲート破壊を起こさない電圧 (9 V 以下) よりも低く、約 7 V 以下となっている。そこで、図 2 2 示すように、 p 型ウエル 4 に電圧 9 V が印加されるのに先立って M I S F E T Q w 1 、 Q w 2 のドレインに 9 V を印加する。また、 M I S F E T Q w 1 、 Q w 2 のドレイン電圧を 0 V に戻すのに先立って p 型ウエル 4 の電圧を 0 V に戻すと、双方の電位差 V 1 が上記接合耐圧を超えてしまい接合破壊を引き起こしてしまう。そこで、本実施の形態 5 では、データ消去動作時においては、図 2 3 および図 2 4 に示すようなタイミングで M I S F E T Q w 1 、 Q w 2 、 Q r 1 、 Q r 2 が形成された p 型ウエル 4 およびデータ書き込み用および消去用の M I S F E T Q w 1 、 Q w 2 のドレイン (n 型半導体領域 1 4 B) に電圧を印加し、双方の電位差が約 7 V 以上とならないようにすることを例示する。

30

【 0 0 6 2 】

たとえば、図 2 3 に示すように、 p 型ウエル 4 の電圧を立ち上げるのに先立って M I S F E T Q w 1 、 Q w 2 のドレインの電圧を立ち上げる。この時、双方の電圧は、急峻に立ち上げずに緩やかに上昇させ、双方の電位差 V 1 が上記接合耐圧を超えない約 7 V 以上とならないようにする。また、 M I S F E T Q w 1 、 Q w 2 のドレイン電圧を 0 V に戻すのに先立って p 型ウエル 4 の電圧を 0 V に戻し、この時の双方の電圧変化も急峻とならないようにすることにより、双方の電位差 V 1 が上記接合耐圧を超えない約 7 V 以上とならない

40

50

いようにすることができる。

【0063】

また、図24に示すように、p型ウエル4の電圧を立ち上げるのに先立ってMISFE T Qw1、Qw2のドレインの電圧を立ち上げ、9Vまで上昇させる前に4Vもしくは5Vとし、その間にp型ウエル4の電圧を立ち上げてもよい。この時、p型ウエル4の電圧は、タイミングが異なるだけでMISFET Qw1、Qw2のドレインの電圧と同様に変化させる。それにより、双方の電位差V1が上記接合耐圧を超えない約7V以上とならないようにすることができる。また、MISFET Qw1、Qw2のドレイン電圧およびp型ウエル4の電圧を0Vに戻す際には、MISFET Qw1、Qw2のドレイン電圧を低下させるのに先立ってp型ウエル4の電圧を低下させ、その際の電圧変化は、電圧を上昇させる際の変化過程を逆に経るようにすればよい。10

【0064】

上記のような本実施の形態5によつても、前記実施の形態1と同様の効果を得ることができる。

【0065】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0066】

たとえば、前記実施の形態1において、書き込み時に、データ読み出し用MISFET Qr1、Qr2のソース、ドレインを0Vにしてもよいし、読み出し時に、データ書き込み用および消去用MISFET Qw1、Qw2のソース、ドレインを0Vにしてもよい。また、LCDドライバのように、20V程度以上の高耐圧MISFETを含む半導体装置では、前記実施の形態1において、消去時に、n型ウェル5に0V、p型半導体領域15Bに0V、p型半導体領域15Aに-18Vを印可し、データ書き込み用および消去用MISFET Qw1、Qw2およびデータ読み出し用MISFET Qr1、Qr2のソース、ドレインを0Vまたは開放電位としてもよい。20

【産業上の利用可能性】

【0067】

本発明の半導体装置は、たとえば不揮発性メモリを有する半導体装置に適用することができる。30

【図面の簡単な説明】

【0068】

【図1】本発明の実施の形態1である半導体装置の製造方法を説明する要部平面図である。

【図2】本発明の実施の形態1である半導体装置の製造方法を説明する要部断面図である。

【図3】図1に続く半導体装置の製造工程中の要部平面図である。

【図4】図2に続く半導体装置の製造工程中の要部断面図である。

【図5】図4に続く半導体装置の製造工程中の要部断面図である。

【図6】図3に続く半導体装置の製造工程中の要部平面図である。

【図7】図4に続く半導体装置の製造工程中の要部断面図である。

【図8】図7のA-A'断面を拡大した要部断面図である。

【図9】図7のB-B'断面を拡大した要部断面図である。

【図10】図7のC-C'断面を拡大した要部断面図である。

【図11】図6に続く半導体装置の製造工程中の要部平面図である。

【図12】図7に続く半導体装置の製造工程中の要部断面図である。

【図13】図12に続く半導体装置の製造工程中の要部断面図である。

【図14】本発明の実施の形態1である半導体装置の要部平面図である。

【図15】本発明の実施の形態1である半導体装置が有する不揮発性メモリのデータ書き

40

50

込み動作を説明する要部断面図である。

【図16】本発明の実施の形態1である半導体装置が有する不揮発性メモリのデータ消去動作を説明する要部断面図である。

【図17】本発明の実施の形態1である半導体装置が有する不揮発性メモリのデータ読み出し動作を説明する要部断面図である。

【図18】本発明の実施の形態2である半導体装置が有する不揮発性メモリのデータ消去動作を説明する要部断面図である。

【図19】本発明の実施の形態3である半導体装置が有する不揮発性メモリのデータ書き込み動作を説明する要部断面図である。

【図20】本発明の実施の形態4である半導体装置の要部断面図である。 10

【図21】本発明の実施の形態5である半導体装置が有する不揮発性メモリのデータ消去動作を説明する要部断面図である。

【図22】本発明の実施の形態5である半導体装置が有する不揮発性メモリのデータ消去動作時における電圧印加のタイミングを示す説明図である。

【図23】本発明の実施の形態5である半導体装置が有する不揮発性メモリのデータ消去動作時における電圧印加のタイミングを示す説明図である。

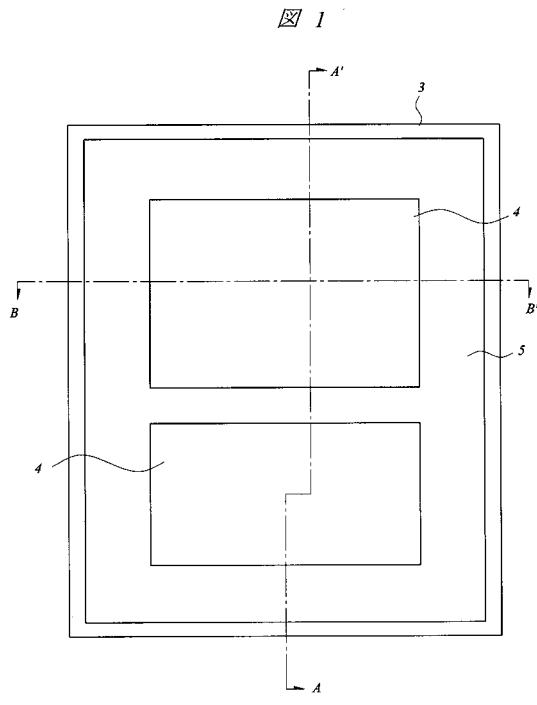
【図24】本発明の実施の形態5である半導体装置が有する不揮発性メモリのデータ消去動作時における電圧印加のタイミングを示す説明図である。

【符号の説明】

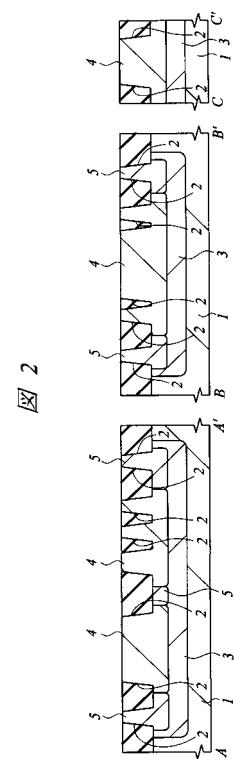
【0069】

- | | | |
|-----------------|--------------------|----|
| 1 | 基板 | 20 |
| 2 | 素子分離溝 | |
| 3 | n型半導体分離領域（半導体分離層） | |
| 4 | p型ウエル（第1ウエル、第2ウエル） | |
| 5 | n型ウエル（第3ウエル） | |
| 6 | ゲート絶縁膜（第1ゲート絶縁膜） | |
| 7A、7B | ゲート電極（第1ゲート電極） | |
| 7C | ゲート電極 | |
| 8 | キャップ絶縁膜 | |
| 12 | サイドウォールスペーサ | 30 |
| 14A、14B、14C | n型半導体領域 | |
| 15A、15B | p型半導体領域 | |
| 18 | シリサイド層 | |
| 19 | 窒化シリコン膜 | |
| 20 | 酸化シリコン膜 | |
| 22A～22E | プラグ | |
| 23 | 配線 | |
| C1、C2 | 容量素子 | |
| NMa、NMb、NMc | 低濃度n型半導体領域 | |
| PMa、PMb | 低濃度p型半導体領域 | 40 |
| Qr1、Qr2、Qw1、Qw2 | MISFET | |

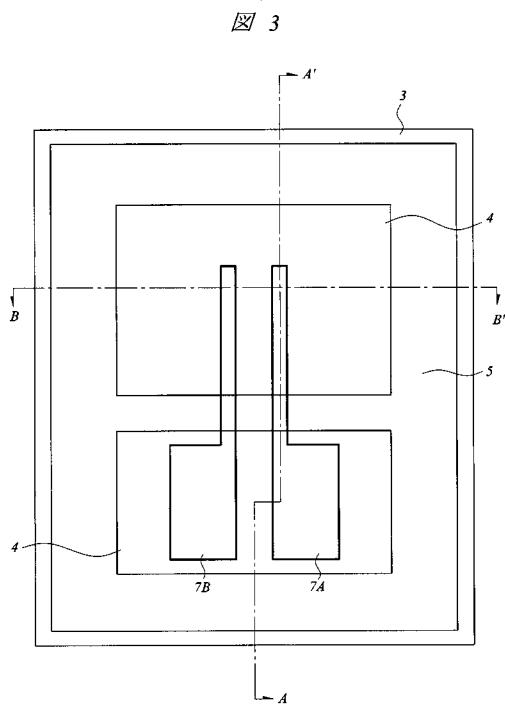
【図1】



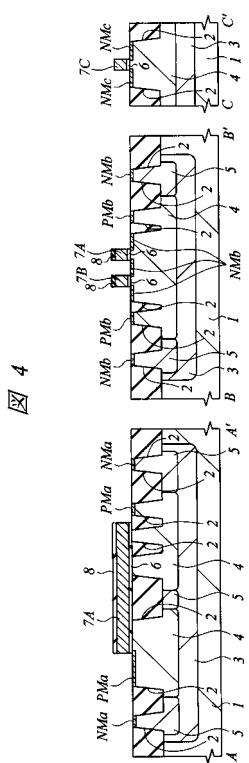
【図2】



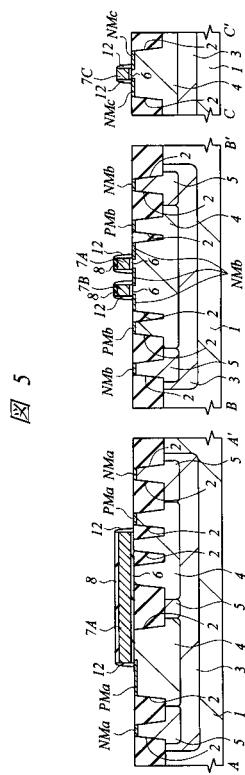
【図3】



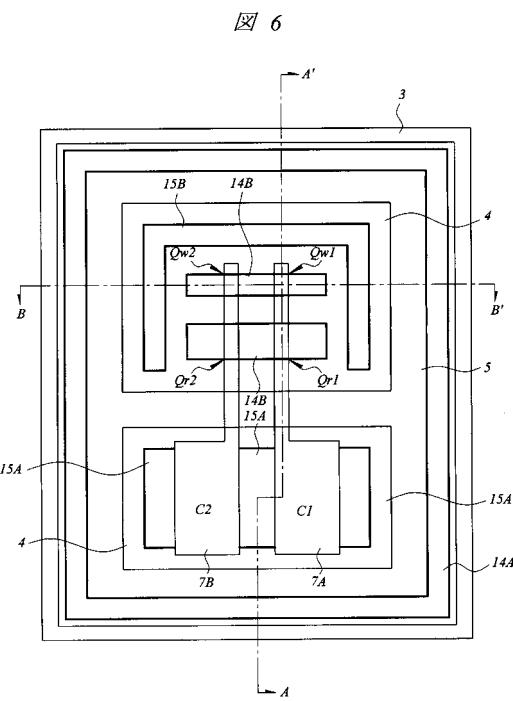
【図4】



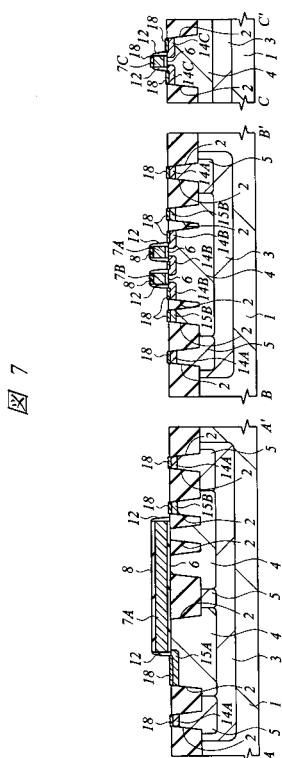
【 四 5 】



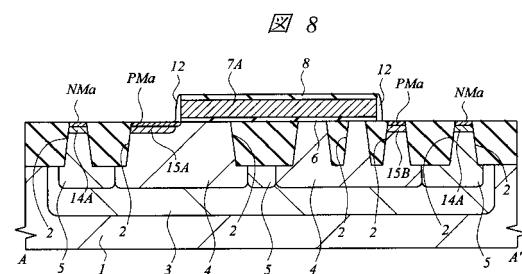
【 四 6 】



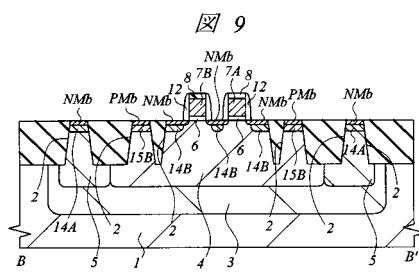
【四七】



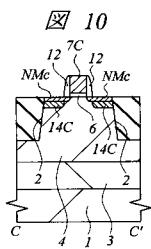
【 四 8 】



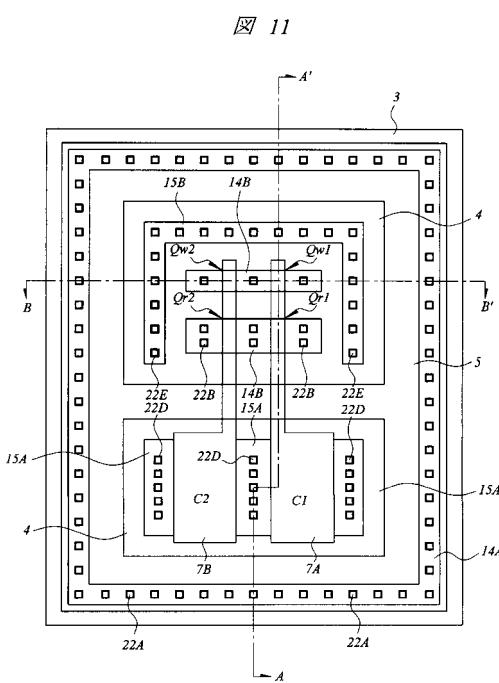
【 9 】



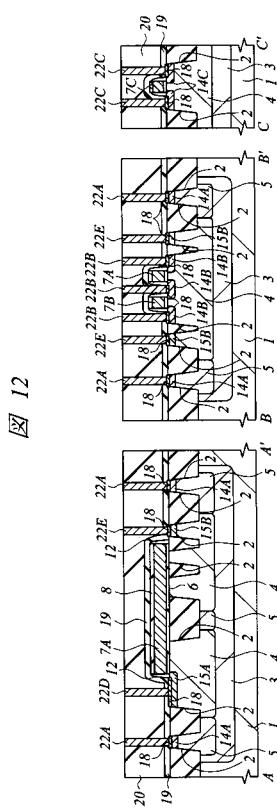
【図10】



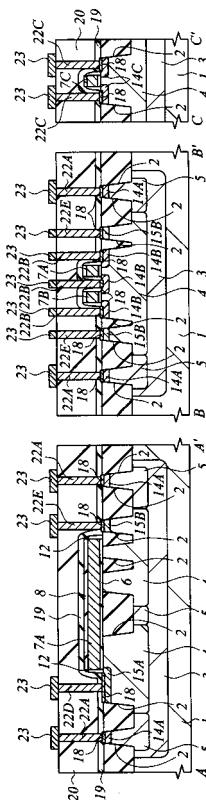
【 図 1 1 】



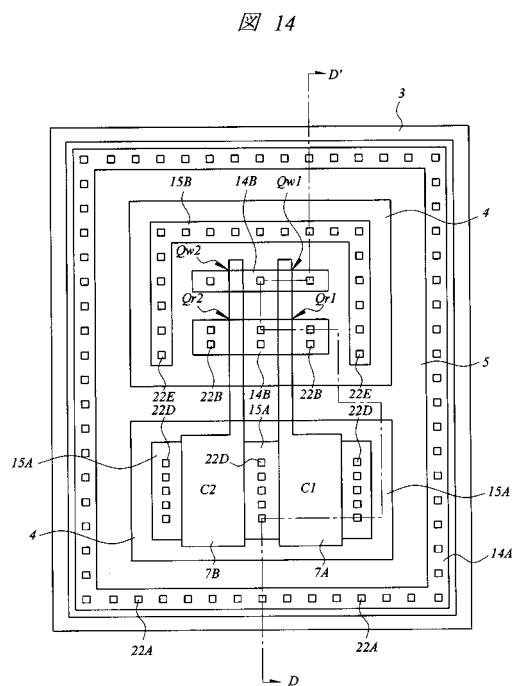
【図12】



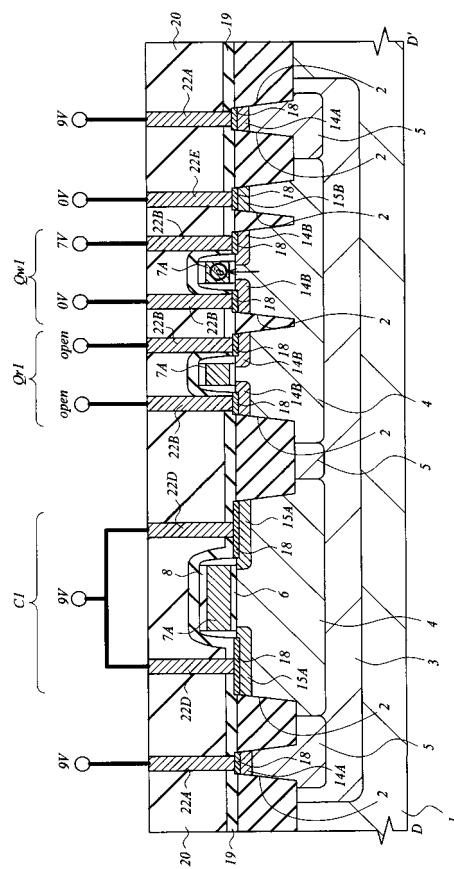
【図13】



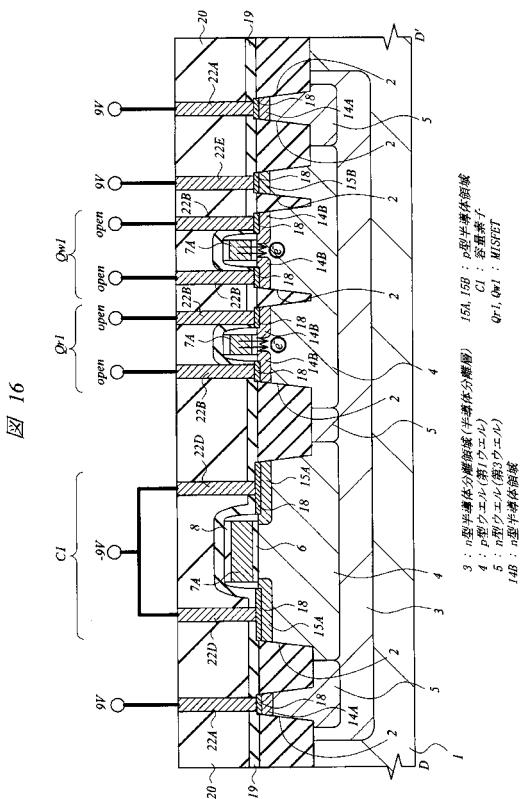
【図14】



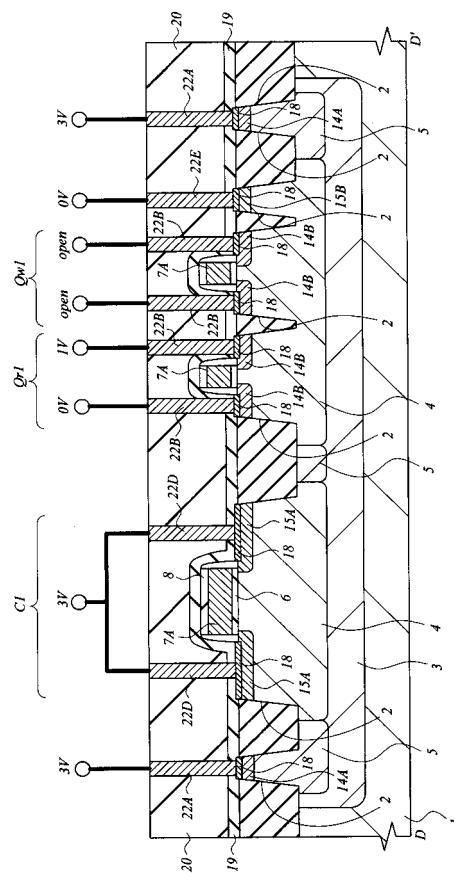
【図15】



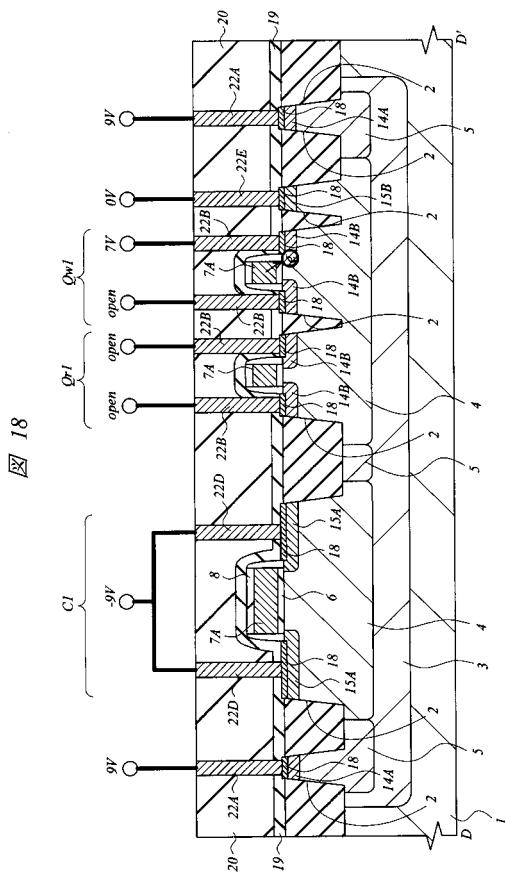
【図16】



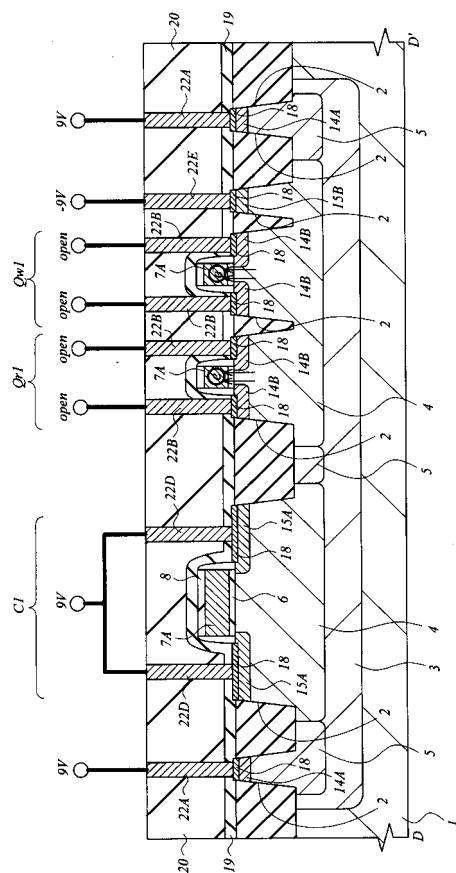
【図17】



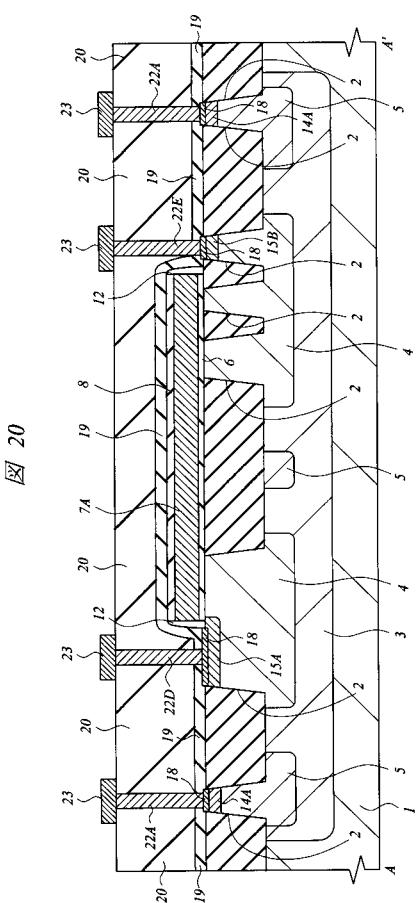
【図18】



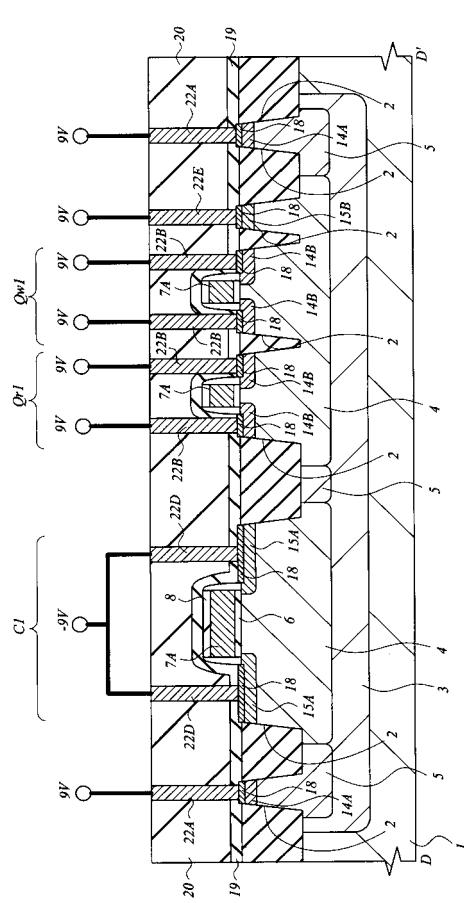
【図19】



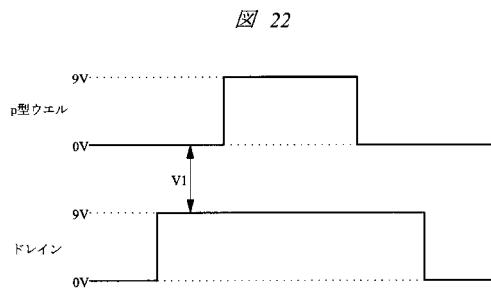
【図20】



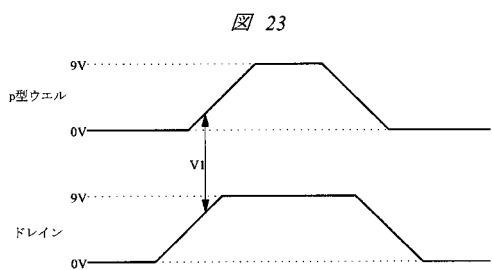
【図21】



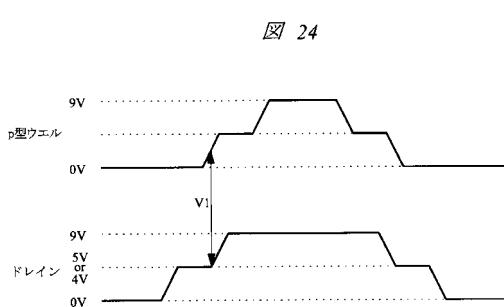
【図22】



【図23】



【図24】



フロントページの続き

(51)Int.Cl. F I
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 2 3 Z
G 1 1 C 16/04 (2006.01)

審査官 正山 旭

(56)参考文献 特開2001-257324 (JP, A)
特表2005-522884 (JP, A)
国際公開第03/088366 (WO, A1)
特表2002-541669 (JP, A)
特開2001-185633 (JP, A)
特開2003-347435 (JP, A)
特表2005-533372 (JP, A)
特開2000-269448 (JP, A)
特開平10-335505 (JP, A)
米国特許第06788574 (US, B1)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/8247
G 11 C 16/02
G 11 C 16/04
G 11 C 16/06
H 01 L 27/115
H 01 L 29/788
H 01 L 29/792