

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：**9508554**

※ 申請日期：**95.3.14**

※ IPC 分類：**G09G 3/00, 3/06**

一、發明名稱：(中文/英文)

(2006.01) (2006.01)

移位暫存電路

SHIFT REGISTER CIRCUIT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

友達光電股份有限公司 / AU Optronics Corp.

代表人：(中文/英文) 李焜耀 / K. Y. Lee

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行二路一號

No. 1, Li-Hsin Road 2, Science-Based Industrial Park, Hsin-Chu, Taiwan, R. O. C.

國 籍：(中文/英文) 中華民國 / TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 張立勳 / Lee-Hsun Chang

2. 林毓文 / Yu-Wen LIN

國 籍：(中文/英文)

中華民國 / TW

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種液晶顯示器的驅動電路，特別是有關於一種液晶顯示器移位暫存器的驅動電路。

【先前技術】

將驅動電路設計在液晶顯示面板的玻璃基板上已成為未來液晶顯示器的一種主要技術，其最大的優點在於節省驅動 IC 的成本。第 1 圖表示為傳統移位暫存器的單一移位暫存單元之驅動電路。第 2 圖係顯示傳統移位暫存器的驅動電路之操作時序圖。為了簡潔說明，在此僅說明一個移位暫存單元之電路及其操作。

傳統移位暫存電路係利用下一級的輸出信號 $S(N+1)$ ，當成此級的下拉信號，下拉系統 101 與下拉系統 102 係電性耦接於開關元件 T22 與低電壓電位 V_s 之間，用來在時脈信號為 CK 與 XCK 時，分別下拉開關元件 T22 的電壓準位。當開關元件 T23 接收到時脈信號 XCK 的高電壓準位時（見第 2 圖時間 t_2 所示），開關元件 T23 被導通，並將 XCK 的高電壓準位傳送到開關元件 T32 的控制端點 a，此時開關元件 T32 被導通，下一級的輸出信號 $S(N+1)$ 的高電壓準位被傳送到開關元件 T30 的控制端點 b，導通開關元件 T30 與開關元件 T29，並將開關元件 T22 的控制端與此級輸出端的電位下拉至低電壓電位 V_s ，確保輸出的信號 $S(N)$ 在時間 t_2 時為關閉狀態。

然而，傳統的下拉機制是利用下一級的輸出信號 $S(N+1)$ 來下拉此級的移位暫存單元，由於下一級輸出信

號 $S(N+1)$ 僅有一個時脈的工作週期 (duty cycle) 來下拉此移位暫存單元 (見第 2 圖時間 t_2 所示), 導致儲存於開關元件 T22 耦合電容的電荷無法完全被釋放, 造成此級的輸出信號 $S(N)$ 無法穩定於關閉狀態, 產生電壓漂移的狀態。再者, 由於時間 t_2 下拉機制的產生, 需經由開關元件 T32 受到時脈信號 XCK 的控制, 開關元件 T32 的控制端在長期受到時脈信號 XCK 的大電壓驅動下, 會導致開關元件 T32 容易劣化, 使輸出端的信號 $S(N)$ 無法保持在關閉狀態, 對液晶顯示器來說便可能造成顯示影像不正確的輸出。

【發明內容】

有鑑於此, 為了提高顯示影像輸出得正確性, 本發明提供一種移位暫存電路, 包括: 一第一移位暫存單元, 具有一第一級輸入端、一第一級輸出端、以及接收一第一時脈信號之一第一級時脈輸入端; 一第二移位暫存單元, 具有耦接於該第一級輸出端之一第二級輸入端、一第二級輸出端、及接收一第二時脈信號之一第二級時脈輸入端, 該第二移位暫存單元包括: 一第一開關元件, 具有一第一端、一第二端及一耦接於該第一級輸出端之第一控制端; 一第二開關元件, 具有一耦接於該第一開關元件之該第二端之第二控制端, 一耦接於該第二時脈信號之一第一端及一耦接於該第二級輸出端之第二端; 以及一下拉單元 (unit), 係耦接於該第二開關元件及一參考電位之間, 並根據一下拉致能信號下拉該第二級輸出端之電壓準位; 一第三移位暫存單元, 具有一第三級

輸出端、一耦接於該第二級輸出端之第三級輸入端及一接收該第一時脈信號之第三級時脈輸入端；以及一第四移位暫存單元，具有一第四級輸出端、一耦接於該第三級輸出端之一第四級輸入端及一接收該第二時脈信號之第四級時脈輸入端，該第四移位暫存單元包括：一第三開關元件，具有一第一端、一第二端及一耦接於該第三級輸出端之第三控制端；一第四開關元件，具有一耦接於該第三開關元件之該第二端以及該下拉單元之第四控制端，一耦接於該第二時脈信號之第四第一端，以及一耦接於該第四級輸出端之第四第二端，其中，該第四移位暫存單元係根據該第三開關元件與第四開關元件之連接點之電壓準位來產生該下拉致能信號。

【實施方式】

第 3A 圖顯示根據本發明一實施例所述之移位暫存電路，為說明之簡潔，第 3A 圖中僅以其中四級移位暫存單元為例，複數之移位暫存單元可構成完整之移位暫存電路。如第 3A 圖所示，移位暫存單元 201，其三個接收端所接收信號分別為上一級第(N-2)級的輸出端輸出信號(N-2)out，下兩級第(N+1)級輸出的下拉控制信號 P1，以及第一時脈信號 CLK1。移位暫存單元 202，其三個接收端所接收信號分別為上一級第(N-1)級的輸出端輸出信號(N-1) out，以及下兩級第(N+2)級輸出的下拉控制信號 P2，以及第二時脈信號 CLK2。移位暫存單元 203，其三個接收端所接收信號分別為上一級第(N)級的輸出端輸出信號(N)out，下兩級第(N+3)級輸出的下拉控制信號 P3，以

及第一時脈信號 CLK1。移位暫存單元 204，其三個接收端所接收信號分別為上一級第(N+1)級的輸出端輸出信號 (N+1)out，下兩級第(N+4)級輸出的下拉控制信號 P4，以及第二時脈信號 CLK2。

第 3B 圖顯示根據本發明另一實施例所述之移位暫存電路，在第 3B 圖所顯示的實施例中，其元件標號與連結方式與第 3A 圖大致相同，不同之處在於各級移位暫存單元皆具有接收第一時脈信號 CLK1 與第二時脈信號 CLK2 的接收端。

第 4 圖顯示本發明實施例所述移位暫存單元之電路圖，為說明之簡潔，第 4 圖中僅說明其中第二移位暫存單元 301 以及第四移位暫存單元 302 之電路操作。如第 4 圖所示，第二移位暫存單元 301 中，開關元件 T1，具有耦接於前一級第(N-1)級輸出端(N-1)out 的控制端以及第一端，以及第二端。開關元件 T2，具有耦接於開關元件 T1 第二端的控制端，耦接於第二時脈信號 CLK2 的第一端，以及耦接於第二移位暫存單元 301 的輸出端 N(out)的第二端。第四移位暫存單元 302 中，開關元件 T3，具有耦接於前一級第(N+1)級輸出端(N+1)out 的控制端以及第一端，以及第二端。開關元件 T4，具有耦接於開關元件 T1 第二端的控制端，耦接於第二時脈信號 CLK2 的第一端，以及耦接於第四移位暫存單元 302 的輸出端 N+2(out)之第二端。其中開關元件 T3 的第二端與開關元件 T4 的控制端之連結點(Q+2)，具有電壓準位產生下拉致能信號。

如第 4 圖所示，第二移位暫存單元 301 中的下拉單元 303 耦接於該第二開關元件以及低電壓參考電位 VSS 之

間，並根據上述的下拉致能信號下拉第二移位暫存單元 301 輸出端的電壓準位。上述下拉單元 303 之一實施方式如第 4 圖所示，開關元件 T6，具有受控於下拉致能信號的控制端，耦接於開關元件 T2 控制端的第一端，以及耦接於低電壓參考電位 VSS 的第二端。開關元件 T5，具有受控於下拉致能信號的控制端，耦接於開關元件 T2 之第二端的第一端，以及耦接於低電壓參考電位 VSS 的第二端。下拉單元 303 的另一實施方式，可單獨存在開關元件 T6，其具有受控於下拉致能信號的控制端，耦接於開關元件 T2 之控制端的第一端，以及耦接於低電壓參考電位 VSS 的第二端。下拉單元 303 的另一實施方式，可單獨存在開關元件 T5，其具有受控於下拉致能信號的控制端，耦接於開關元件 T2 之第二端的第一端，以及耦接於低電壓參考電位 VSS 的第二端。上述的下拉單元系統可存在於每個移位暫存單元中，此僅以第二移位暫存單元 301 為例。

第 5 圖為本發明一實施例所述之移位暫存器的驅動電路之操作時序圖，如第 5 圖所示，在時間為 t_1 時，前級移位暫存單元的輸出信號 $(N-1)_{out}$ 為高電壓準位，開關元件 T1 被導通，則前級移位暫存單元的高電壓準位輸出信號 $(N-1)_{out}$ 傳送至開關元件 T1 與開關元件 T2 的連結處 Q 點，此時有第一電壓準位存在於 Q 點的耦合電容，導致開關元件 T2 被導通，此時第二時脈信號 CLK2 為低電壓準位，則第二移位暫存單元的輸出信號 $(N)_{out}$ 為低電壓準位。在時間為 t_2 時，前級移位暫存單元的輸出信號 $(N-1)_{out}$ 為低電壓準位，關閉開關元件 T1，此時 Q 點的耦合電容將此點電壓準位保持於第一電壓準位，開關元件

T2 仍維持於導通狀態，則第二時脈信號 CLK2 的高電壓準位，被傳送至第二移位暫存單元的輸出 N(out)，即此級為高電壓準位輸出。此時 Q 點的電壓準位為第一電壓準位加上此時第二移位暫存單元輸出 N(out) 的高電壓準位，形成第二電壓準位。在時間為 t3 時，開關元件 T3 接收到第三移位暫存單元輸出 (N+1)out 的高準位，呈現導通的狀態並傳送第三電壓準位的到開關元件 T3 與開關元件 T4 的連結點 (Q+2)，此第三電壓準位導通開關元件 T5 與開關元件 T6，並下拉開關元件 T2 的控制端與第二端的電壓準位至低電壓參考電位 VSS。在時間為 t4 時，開關元件 T3 與開關元件 T4 的連結點 (Q+2) 的電壓準位上升到第四電壓準位，以維持開關元件 T5 與開關元件 T6 為導通狀態，並持續的下拉開關元件 T2 的控制端與第二端的電壓準位，保持第二移位暫存單元 301 的輸出為低電壓參考電位 VSS。如上述，當只存在開關元件 T5 時，第三電壓準位導通開關元件 T5 並下拉開關元件 T2 之第二端的電壓準位至低電壓參考電位 VSS。當只存在開關元件 T4 時，第三電壓準位導通開關元件 T4 並下拉開關元件 T2 之控制端的電壓準位至低電壓參考電位 VSS。

如第 4 圖所示，第二移位暫存單元 301 中的第一下拉系統 304 耦接於該開關元件 T2、低電壓參考電位 VSS 以及開關元件 T1 的控制端之間。上述下拉系統 304 之一實施方式如第 4 圖所示，開關元件 T8，具有耦接於第一時脈信號 CLK1 的控制端與第一端，以及第二端。開關元件 T9，具有耦接於開關元件 T8 第二端的控制端、耦接於開關元件 T2 控制端的第一端以及耦接於低電壓參考電位

VSS 的第二端。當第一時脈信號 CLK1 為高準位時(如第 5 圖中的時間為 t_1 、 t_3 、 t_5 之準位)，開關元件 T8 被導通，且第一時脈信號 CLK1 傳至開關元件 T9 的控制端，導通開關元件 T9，並下拉開關元件 T2 之控制端的電壓準位至低電壓參考電位 VSS。開關元件 T12，具有耦接於開關元件 T8 第二端的控制端、耦接於開關元件 T2 第二端的第一端以及耦接於低電壓參考電位 VSS 的第二端。上述的第一下拉系統 304 加上開關元件 T10，具有耦接於第二時脈信號 CLK2 的控制端、耦接於開關元件 T8 第二端的第一端以及耦接於低電壓參考電位 VSS 的第二端。當第二時脈信號 CLK2 為高電壓時，開關元件 T10 被導通，此時開關元件 T9 之控制端與開關元件 T12 之控制端被下拉至低電壓參考電位 VSS 呈現關閉狀態。為了防止被第一下拉系統 304 下拉掉此級的輸出信號 N(out) 的電壓準位，在上述的第一下拉系統 304，加上第開關元件 T11，具有耦接於開關元件 T2 之第二端的控制端、耦接於開關元件 T8 之第二端的第一端以及耦接於低電壓參考電位 VSS 的第二端。當輸出信號 N(out) 為高電壓準位，開關元件 T11 被導通，開關元件 T9 與開關 T12 元件關閉，即無法下拉開關元件 T2 之電壓準位。第開關元件 T13，具有耦接於開關元件 T1 之第一端的控制端、耦接於開關元件 T8 第二端的第一端以及耦接於低電壓參考電位 VSS 的第二端。當上一級輸入信號(N-1)out 為高電壓準位，開關元件 T13 被導通，開關元件 T9 與第開關元件 T12 關閉，即無法下拉開關元件 T2 的電壓準位。

如第 4 圖所示，第二移位暫存單元 301 中的第二下拉

系統 305 耦接於該開關元件 T2 以及低電壓參考電位 VSS 之間。上述下拉系統 305 之一實施方式如第 4 圖所示，開關元件 T14，具有耦接於第二時脈信號 CLK2 的控制端與第一端，以及第二端。開關元件 T15，具有耦接於開關元件 T14 之第二端的控制端、耦接於開關元件 T2 之控制端的第一端以及耦接於低電壓參考電位 VSS 的第二端。當第二時脈信號 CLK2 為高準位時(如第 5 圖中的時間為 t2、t4、t6 之準位)，開關元件 T14 被導通，且第二時脈信號 CLK2 傳至開關元件 T15 的控制端，導通開關元件 T15，並下拉開關元件 T2 之控制端的電壓準位至低電壓參考電位 VSS。開關元件 T18，具有耦接於開關元件 T14 之第二端的控制端、耦接於開關元件 T2 之第二端的第一端以及耦接於低電壓參考電位 VSS 的第二端。上述的第二下拉系統 305 加上開關元件 T16，具有耦接於第一時脈信號 CLK1 的控制端、耦接於開關元件 T14 之第二端的第一端以及耦接於低電壓參考電位 VSS 的第二端。當第一時脈信號 CLK1 為高電壓時，開關元件 T16 被導通，此時開關元件 T15 之控制端與開關元件 T18 之控制端的電壓準位被下拉至低電壓參考電位 VSS，呈現關閉狀態。為了防止被第二下拉系統 305 下拉掉此級的輸出信號 N(out)的電壓準位，在上述的第二下拉系統 305，加上開關元件 T17，具有耦接於開關元件之 T2 第二端的控制端、耦接於開關元件 T14 之第二端的第一端以及耦接於低電壓參考電位 VSS 的第二端。當輸出信號 N(out)為高電壓準位，開關 T17 被導通，開關 T15 與開關 T18 關閉，即無法下拉元件 T2 的電壓準位。

在上述的電路中，移位暫存單元利用了下兩級移位暫存單元的信號當作下拉信號，由於(Q+2)點有兩個連續時脈當成下拉信號，可以將開關元件 T2 的控制端與第二端的電荷釋放較乾淨，形成較佳的下拉能力，並將移位暫存單元的輸出信號(N)out 固定在低電壓準位，避免受到雜訊干擾而漂移。且上述的第一時脈信號與第二時脈信號可為兩個不同工作週期(duty cycle)的信號，在此以工作週期為 50%為最佳實施例，且其中該第一時脈信號之相位係相反於該第二時脈信號之相位。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係顯示習知移位暫存器的單一移位暫存單元之驅動電路。

第 2 圖係顯示習知移位暫存器的驅動電路之操作時序圖。

第 3A 圖係顯示根據本發明一實施例所述之移位暫存電路。

第 3B 圖係顯示根據本發明另一實施例所述之移位暫存電路。

第 4 圖係顯示本發明一實施例所述之移位暫存單元之電路圖。

第 5 圖係顯示本發明一實施例所述之移位暫存器的驅動電路之操作時序圖。

【主要元件符號說明】

101、102～下拉系統；

201、202、203、204、301、302～移位暫存單元；

304、305～下拉系統；

303～下拉單元；

CK、XCK、CLK1、CLK2～時脈信號；

a～開關元件 T32 的控制端點；

b～開關元件 T30 的控制端點；

Q～開關元件 T1 與開關元件 T2 的連結處；

P1、P2、P3、P4～下拉信號；

Vs～低電壓電位；

VSS～低電壓參考電位；

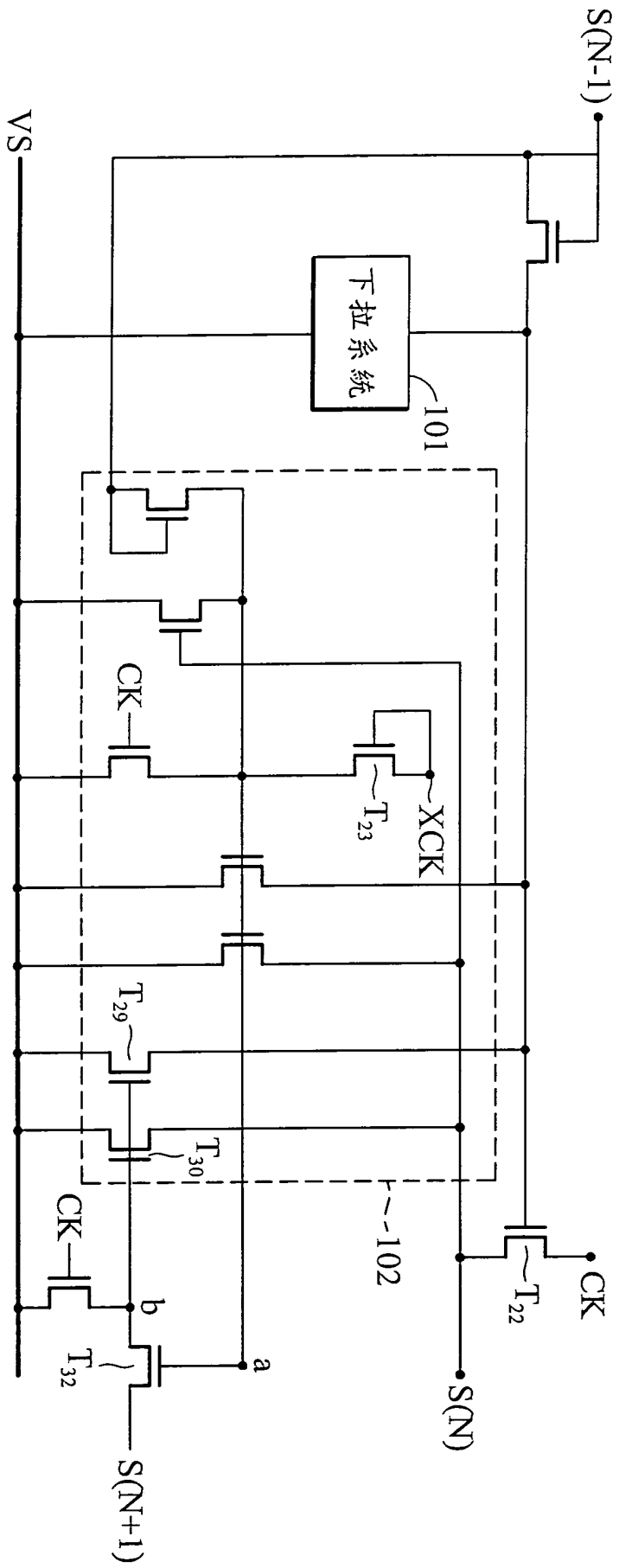
T1 ~T19、T22、T23、T29、T30、T32~開關元件；
S(N-1)、S(N)、S(N+1)、(N-2)out、(N-1)out、(N)out、
(N+1)out、(N+2)out~各級移位暫存單元的輸出信號。

五、中文發明摘要：

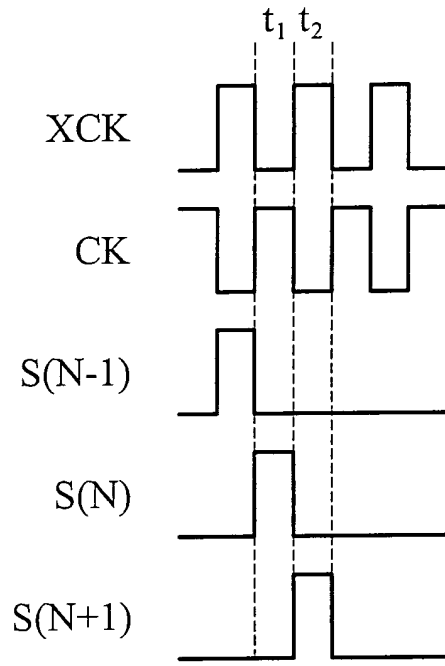
一種移位暫存電路，具有串接之第一移位暫存單元、第二移位暫存單元、第三移位暫存單元以及第四移位暫存單元。第二移位暫存單元具有第二級輸出端以及根據下拉致能信號下拉第二級輸出端之電壓準位之下拉單元。第四移位暫存單元包括第三開關元件與第四開關元件。第四開關元件，具有耦接於第三開關元件之第二端以及下拉單元之控制端，而第四移位暫存單元根據第三開關元件與第四開關元件之連接點之電壓準位來產生下拉致能信號。

六、英文發明摘要：

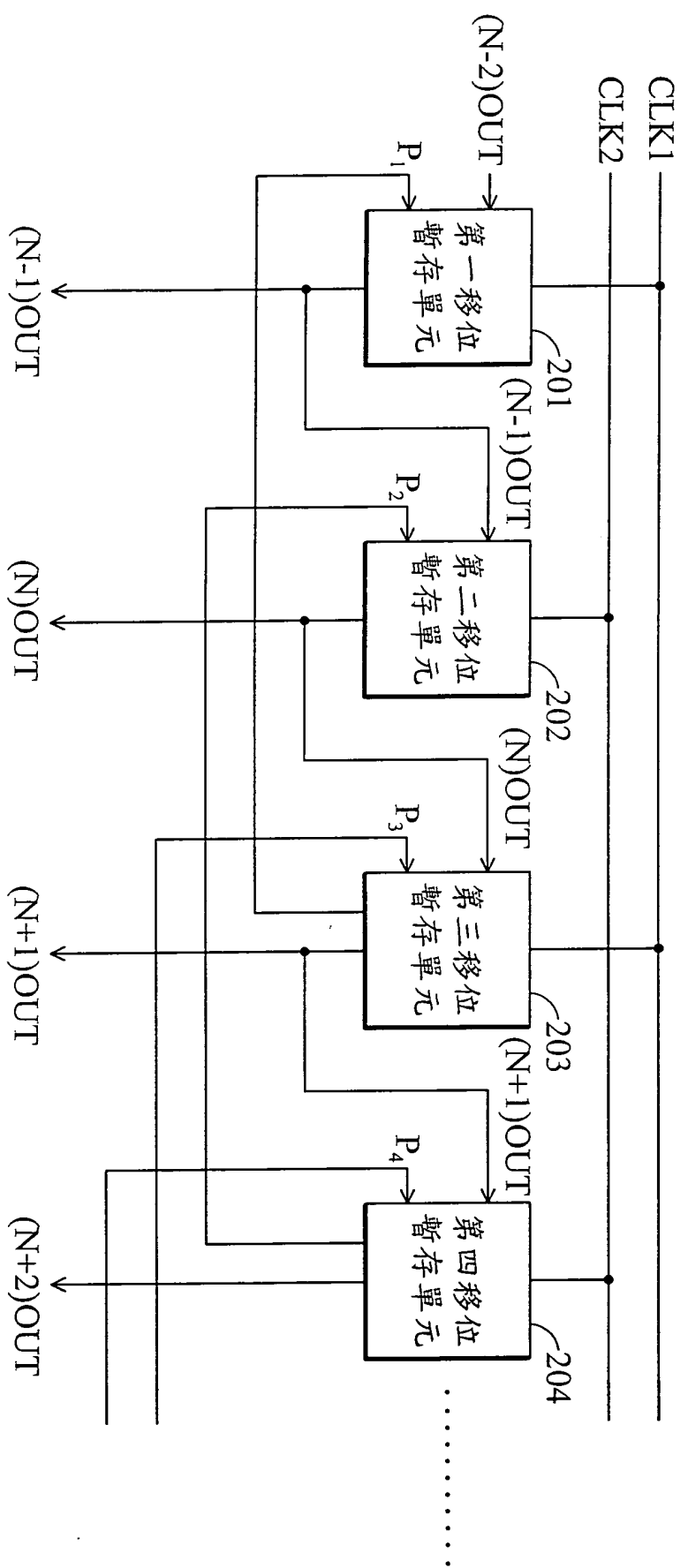
A shift register circuit comprises a first shift register unit, a second shift register unit, a third shift register unit and a fourth shift register unit connected in serial. The second shift register unit comprises an output terminal, and a pull down system pulling the voltage of the output terminal of the second shift register unit according to a pull down signal. The fourth shift register unit comprises a third switch and a fourth switch. The fourth switch has a control terminal coupled to the second terminal of the third switch and the pull down unit. The fourth shift register unit generates the pull down signal according to the voltage level of the connecting point between the third switch and the fourth switch.



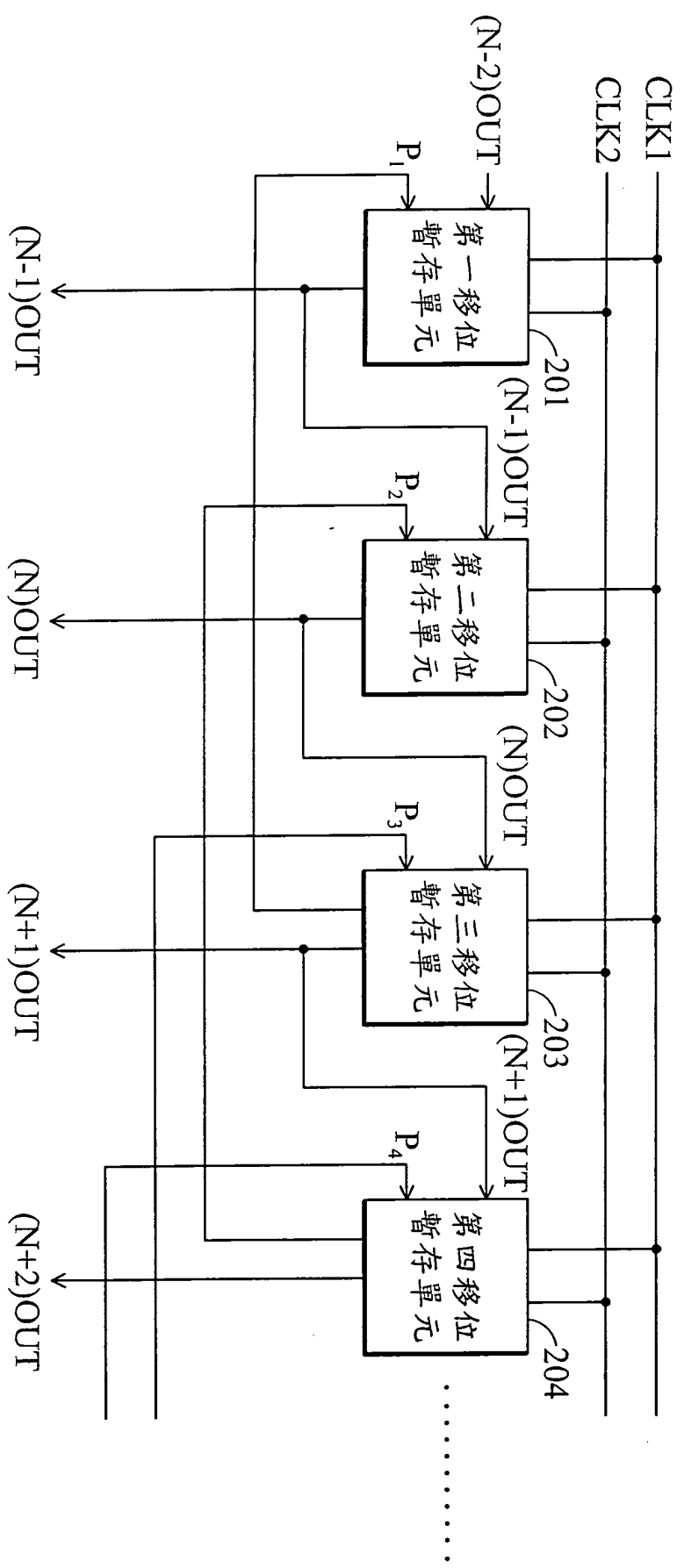
第 1 圖



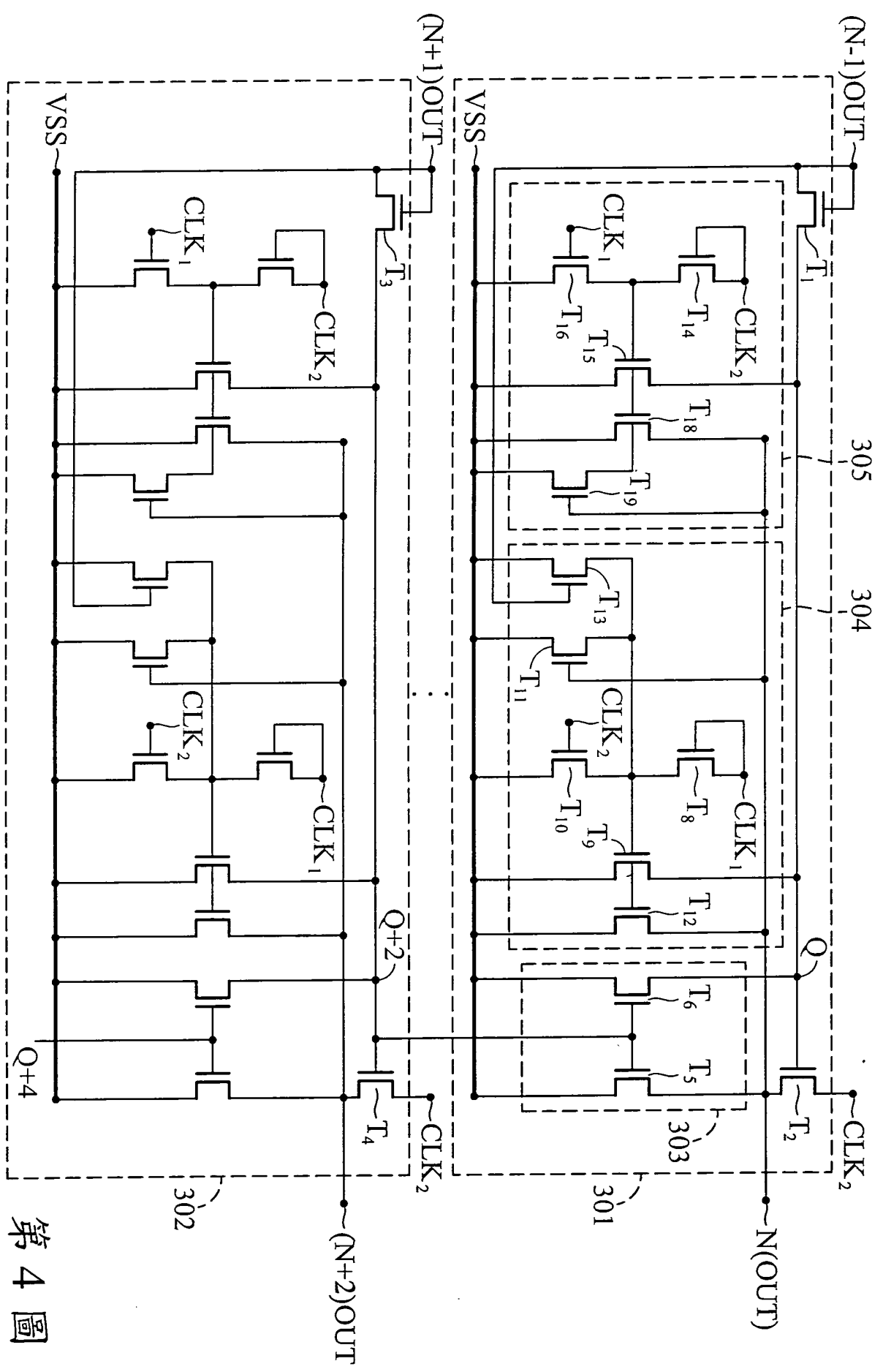
第 2 圖



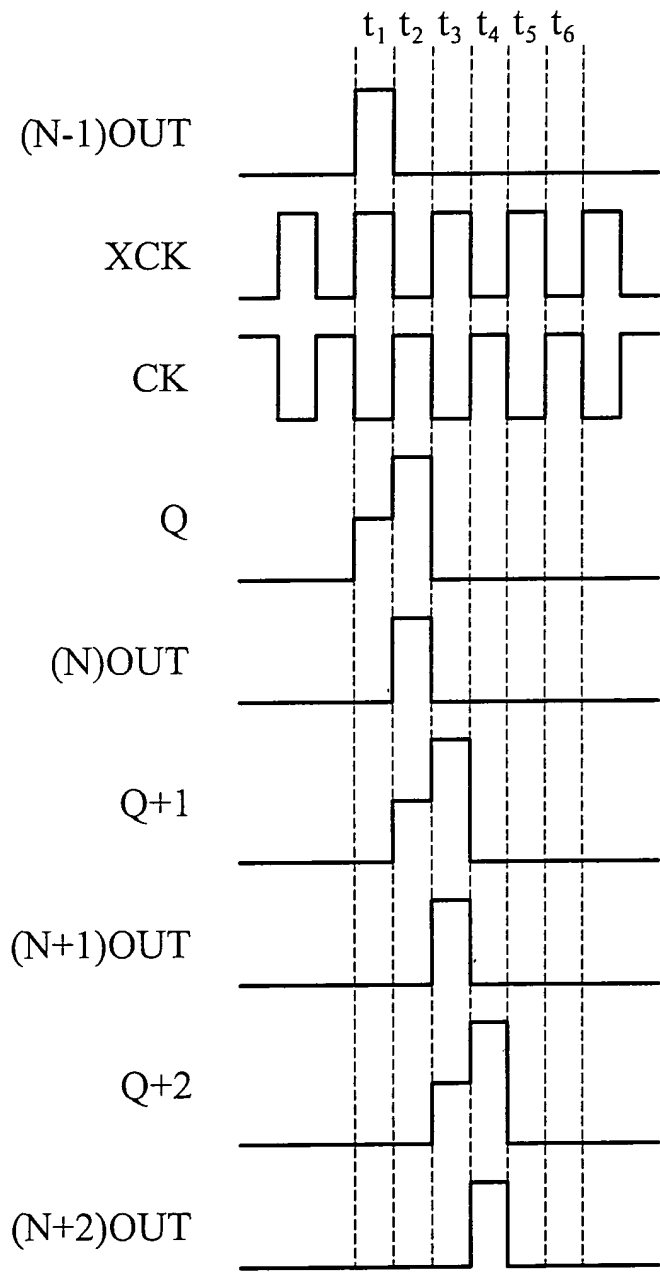
第 3A 圖



第3B圖



第 4 圖



第 5 圖

七、指定代表圖：

(一)本案指定代表圖為：第 4 圖。

(二)本代表圖之元件符號簡單說明：

301、302～移位暫存單元；

303～下拉單元；

304、305～下拉系統；

T1～T19～開關元件；

CLK1、CLK2～時脈信號；

VSS～低電壓參考電位；

Q～開關元件 T1 與開關元件 T2 的連結處；

Q+2～開關元件 T3 與開關元件 4 的連結處。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

十、申請專利範圍：

1. 一種移位暫存電路，包括：

98年10月21日修(更)正替換頁
P16~P20

一第一移位暫存單元，具有一第一級輸入端、一第一級輸出端、以及接收一第一時脈信號之一第一級時脈輸入端；

一第二移位暫存單元，具有耦接於該第一級輸出端之一第二級輸入端、一第二級輸出端、及接收一第二時脈信號之一第二級時脈輸入端，該第二移位暫存單元包括：

一第一開關元件，具有一第一端、一第二端及一耦接於該第一級輸出端之第一控制端；

一第二開關元件，具有一耦接於該第一開關元件之該第二端之第二控制端，一接收該第二時脈信號之一第一端及一耦接於該第二級輸出端之第二端；以及

一下拉單元(unit)，係耦接於該第二開關元件及一參考電位之間，其並根據一下拉致能信號下拉該第二級輸出端之電壓準位；

一第三移位暫存單元，具有一第三級輸出端、一耦接於該第二級輸出端之第三級輸入端及一接收該第一時脈信號之第三級時脈輸入端；以及

一第四移位暫存單元，具有一第四級輸出端、一耦接於該第三級輸出端之一第四級輸入端及一接收該第二時脈信號之第四級時脈輸入端，該第四移位暫存單元包括：

一第三開關元件，具有一第一端、一第二端及一耦接於該第三級輸出端之第三控制端；

一 第四開關元件，具有一耦接於該第三開關元件之該第二端以及該下拉單元之第四控制端，一接收該第二時脈信號之第一端，以及一耦接於該第四級輸出端之第二端，其中，該第四移位暫存單元係根據該第三開關元件與第四開關元件之連接點之電壓準位來產生該下拉致能信號。

2. 如請求項 1 所述之移位暫存電路，其中該下拉模組包括一第五開關元件，具有一接收該致能信號之第五控制端、一耦接於該第二開關元件之該第二端之第一端以及一耦接於該參考電位之第二端。

3. 如請求項 1 所述之移位暫存電路，其中該下拉模組包括一第六開關元件，具有一接收該致能信號之第六控制端、一耦接於該第二開關元件之該第二控制端之第一端以及一耦接於該參考電位之第二端。

4. 如請求項 3 所述之移位暫存電路，其中該下拉模組更包括一第七開關元件，具有接收該致能信號之一第七控制端、一耦接於該第二開關元件之該第二端之第一端以及一耦接於該參考電位之第二端。

5. 如請求項 1 所述之移位暫存電路，更包括：

一 第八開關元件，具有一第一端、第二端及一接收該第一時脈信號之第八控制端；以及

一 第九開關元件，具有一耦接於該第八開關元件之該第二端之第九控制端，一耦接於該第二開關元件之該第二控制端之第一端，以及一耦接於該參考電位之第二端。

6. 如請求項 5 所述之移位暫存電路，更包括一第十

開關元件，具有一接收該第二時脈信號之第十控制端，一耦接於該第八開關元件之該第二端之第一端，以及一耦接於該參考電位之第二端。

7. 如請求項 5 所述之移位暫存電路，更包括一第十一開關元件，具有一耦接於該第二開關元件之該第二端之第十一控制端，一耦接於該第八開關元件之該第二端之第一端，以及一耦接於該參考電位之第二端。

8. 如請求項 5 所述之移位暫存電路，其中更包括一第十二開關元件，具有一耦接於該第八開關元件之該第二端之第十二控制端，一耦接於該第二開關元件之該第二端之第一端，以及一耦接於該參考電位之第二端。

9. 如請求項 5 所述之移位暫存電路，其中更包括一第十三開關元件，具有一耦接於該第一開關元件之該第一端之第十三控制端，一耦接於該第八開關元件之該第二端之第一端，以及一耦接於該參考電位之第二端。

10. 如請求項 1 所述之移位暫存電路，更包括：

一第十四開關元件，具有一第一端、一第二端及一接收該第二時脈信號之第十四控制端；以及

一第十五開關元件，具有一耦接於該第十四開關元件之該第二端之第十五控制端，一耦接於該第二開關元件之該第二控制端之第一端，以及一耦接於該參考電位之第二端。

11. 如請求項 10 所述之移位暫存電路，其中更包括一第十六開關元件，具有一接收該第一時脈信號之第十六控制端，一耦接於該第十四開關元件之該第二端之第一端，以及一耦接於該參考電位之第二端。

12. 如請求項 10 所述之移位暫存電路，其中更包括一第十七開關元件，具有一耦接於第二開關元件之該第二端之第十七控制端，一耦接於該第十四開關元件之該第二端之第一端，以及一耦接於該參考電位之第二端。

13. 如請求項 10 所述之移位暫存電路，其中更包括一第十八開關元件，具有一耦接於該第十四開關元件之該第二端之第十八控制端，一耦接於該第二開關元件之該第二端之第一端，以及一耦接於該參考電位之第二端。

14. 如請求項 5 所述之移位暫存電路，其中更包括：
一第十九開關元件，具有一第一端、一第二端及一接收該第二時脈信號之第十九控制端；以及

一第二十開關元件，具有一耦接於該第十九開關元件之該第二端之第二十控制端，一耦接於該第二開關元件之該第二控制端之第一端，以及一耦接於該參考電位之第二端。

15. 如請求項 14 所述之移位暫存電路，其中更包括一第二十一開關元件，具有一接收該第一時脈信號之第二十一控制端，一耦接於該第十九開關元件之該第二端之第一端，以及一耦接於該參考電位之第二端。

16. 如請求項 14 所述之移位暫存電路，其中更包括一第二十二開關元件，具有一耦接於該第二開關元件之該第二端之第二十二控制端，一耦接於該第十九開關元件之該第二端之第一端，以及一耦接於該參考電位之第二端。

17. 如請求項 14 所述之移位暫存電路，其中更包括一第二十三開關元件，具有一耦接於該第十九開關元件

之該第二端之第二十三控制端，一耦接於該第二開關元件之該第二端之第一端，以及一耦接於該參考電位之第二端。

18. 如請求項 1 所述之移位暫存電路，其中該第一時脈信號之相位係相反於該第二時脈信號之相位。