

(43) 国際公開日
2007 年 6 月 14 日 (14.06.2007)

PCT

(10) 国際公開番号
WO 2007/066626 A1

(51) 国際特許分類:

H01L 21/822 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01) H03K 19/003 (2006.01)
H01L 27/04 (2006.01)

(TSUCHIHASHI, Masanori) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).

(21) 国際出願番号: PCT/JP2006/324193

(22) 国際出願日: 2006 年 12 月 5 日 (05.12.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願2005-353163 2005 年 12 月 7 日 (07.12.2005) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 土橋 正典

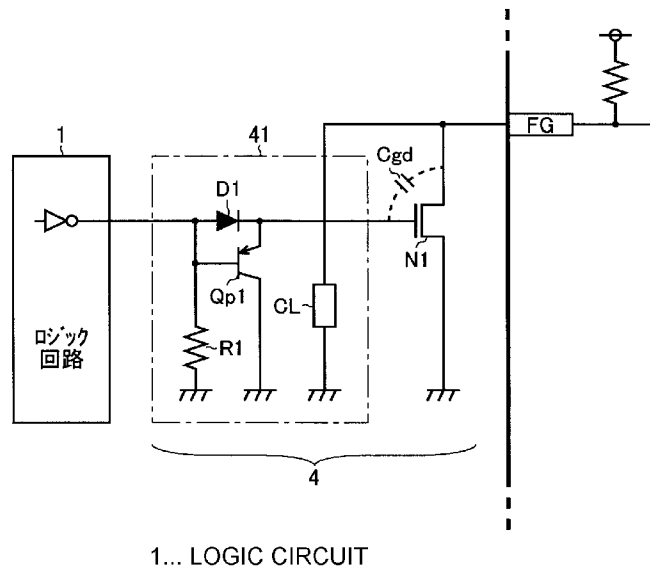
(74) 代理人: 佐野 静夫, 外 (SANO, Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: ELECTROSTATIC BREAKDOWN PROTECTION CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE PROVIDED WITH SAME

(54) 発明の名称: 静電破壊保護回路及びこれを備えた半導体集積回路装置



1... LOGIC CIRCUIT

(57) Abstract: A protection circuit is provided with a diode (D1) wherein an anode is connected to a gate signal input terminal and a cathode is connected to a gate of an output transistor (N1); a resistor (R1) wherein one end is connected to the gate signal input terminal and the other end is connected to a grounding terminal; and a pnp-type bipolar transistor (Qp1) wherein an emitter is connected to the gate of the output transistor (N1), a base is connected to one end of the resistor (R1) and the collector is connected to the grounding terminal. Thus, the open drain system output transistor is prevented from being unintentionally turned on due to application of an electrostatic pulse and the like, without requiring power supply, and the transistor can be protected from electrostatic breakdown.

(57) 要約: 本発明に係る保護回路は、アノードがゲート信号入力端に接続され、カソードが出力トランジスタ N1 のゲートに接続されたダイオード D1 と ; 一端が前記ゲート信号入力端に接続さ

[続葉有]



WO 2007/066626 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

れ、他端が接地端に接続された抵抗R1と；エミッタが出力トランジスタN1のゲートに接続され、ベースが抵抗R1の一端に接続され、コレクタが接地端に接続されたpnp型バイポーラトランジスタQp1と；を有して成る構成とされている。このような構成とすることにより、電力供給を要することなく、静電パルス等の印加によってオープンドレイン形式の出力トランジスタが意図せずオンしてしまうことを防止し、これを静電破壊から保護することが可能となる。

明 細 書

静電破壊保護回路及びこれを備えた半導体集積回路装置

技術分野

- [0001] 本発明は、オープンドレイン形式の出力トランジスタを静電破壊から保護する静電破壊保護回路、及び、これを備えた半導体集積回路装置に関するものである。

背景技術

- [0002] 従来より、半導体集積回路装置においては、そのロジック信号出力手段として、オープンドレイン形式の出力トランジスタを備えた出力回路が広く一般に用いられている。
- [0003] ただし、上記の出力回路では、出力端子(すなわち出力トランジスタのドレイン)に立上がりの速いパルス(静電パルスなど)が印加されると、出力トランジスタのゲート・ドレイン間に付随する寄生容量等を介して、出力トランジスタのゲート電位が持ち上げられるため、出力トランジスタが意図せずにオンとなって、そのソース・ドレイン間に過大電流が流れてしまい、出力トランジスタが破壊に至るおそれがあった。
- [0004] このように、オープンドレイン形式の出力トランジスタを備えた出力回路は、その回路構成が簡易である反面、静電破壊に対する耐性が乏しいという欠点を有していた。そのため、従来の半導体集積回路装置では、その出力トランジスタを静電破壊から保護する手段として、出力トランジスタのドレインと出力端子との間に電流制限用の抵抗を設けたり、出力トランジスタのゲートと接地端子との間にツェナダイオード等のクランプ回路を設けたりすることで、上記の過大電流を抑制する構成が種々採用されていた。
- [0005] なお、本願発明に関連するその他の従来技術としては、出力端子と電源ラインとの電位差が所定値以上になったときに動作するスイッチ回路を備え、当該スイッチ回路が動作することにより、出力トランジスタが駆動されて接地端子と出力端子との間が導通される構成の出力回路が本願出願人によって開示・提案されている(特許文献1を参照)。

特許文献1:特開平2-274124号公報

発明の開示

発明が解決しようとする課題

- [0006] 確かに、上記の従来技術を採用した半導体集積回路装置であれば、出力トランジスタに流れる過大電流を抑制することで、出力トランジスタが破壊に至るおそれを軽減することが可能である。
- [0007] しかしながら、上記の従来技術は、あくまで、静電パルス等の印加時には出力トランジスタが意図せずオンしてしまうことを前提とした上で、出力トランジスタに流れる過大電流を抑制するための技術であって、いずれも、根本的な静電破壊防止技術(出力トランジスタの誤オン防止技術)ではなかった。
- [0008] また、特許文献1の従来技術は、あくまで、半導体集積回路装置の通常動作状態(電力が供給されている状態)における静電破壊防止のみを考慮して創作された技術であって、半導体集積回路装置の単品状態(電力が供給されていない状態)における静電破壊防止については、何ら考慮されていなかった。
- [0009] 本発明は、上記の問題点に鑑み、電力供給を要することなく、静電パルス等の印加によってオープンドレイン形式の出力トランジスタが意図せずオンしてしまうことを防止し、これを静電破壊から保護することが可能な静電破壊保護回路、及び、これを備えた半導体集積回路装置を提供することを目的とする。

課題を解決するための手段

- [0010] 上記目的を達成するために、本発明に係る静電破壊保護回路は、オープンドレイン形式の出力トランジスタを静電破壊から保護する保護回路であって、アノードが前記出力トランジスタへの信号入力端に接続され、カソードが前記出力トランジスタのゲートに接続されたダイオードと;一端が前記信号入力端に接続され、他端が接地端に接続された第1抵抗と;エミッタ或いはソースが前記出力トランジスタのゲートに接続され、ベース或いはゲートが第1抵抗の一端に接続され、コレクタ或いはドレインが接地端に接続されたpnp型バイポーラトランジスタ或いはPチャネル型電界効果トランジスタと;を有して成る構成(第1の構成)とされている。
- [0011] なお、上記第1の構成から成る静電破壊保護回路は、さらに、前記出力トランジスタと並列に接続され、そのトリガ電圧が前記出力トランジスタの設計耐圧よりも低い電圧

値に設定されているクランプ素子を有して成る構成(第2の構成)にするとよい。

[0012] また、上記第1または第2の構成から成る静電破壊保護回路は、さらに、前記pnp型バイポーラトランジスタのコレクタ或いは前記Pチャネル型電界効果トランジスタのドレインと接地端との間に接続された第2抵抗と;前記出力トランジスタのゲートと接地端との間にダーリントン接続され、かつ、初段のベースが第2抵抗の一端に接続された複数段のnnp型バイポーラトランジスタと;を有して成る構成(第3の構成)にするとよい。

[0013] また、本発明に係る半導体集積回路装置は、オープンドレイン形式の出力トランジスタと、前記出力トランジスタのゲートに信号を入力するインバータと;前記出力トランジスタを静電破壊から保護する静電破壊保護回路と、を有して成る半導体集積回路装置であって、前記静電破壊保護回路として、上記第1～第2いずれかの構成から成る静電破壊保護回路を備えた構成(第4の構成)とされている。

発明の効果

[0014] 本発明に係る静電破壊保護回路であれば、電力供給を要することなく、静電パルス等の印加によってオープンドレイン形式の出力トランジスタが意図せずオンしてしまうことを防止し、これを静電破壊から保護することが可能となり、延いては、これを備えた半導体集積回路装置の信頼性や取扱い易さを向上することが可能となる。

図面の簡単な説明

[0015] [図1]は、本発明に係るモータドライバICの概略構成を示す配置レイアウト図である。

[図2]は、静電破壊保護回路41の第1実施形態を示す回路図である。

[図3]は、静電破壊保護回路41の第2実施形態を示す回路図である。

[図4]は、静電破壊保護回路41の変形例を示す回路図である。

[図5A]は、静電破壊保護回路41の別の変形例を示す回路図である。

[図5B]は、静電破壊保護回路41の別の変形例を示す回路図である。

符号の説明

- [0016]
- 1 ロジック回路
 - 2 プリドライバ
 - 3 ドライバ

4 FG信号出力回路

5 レギュレータ

6 ホールコンパレータ

41 静電破壊保護回路

N1 Nチャネル型電界効果トランジスタ(出力トランジスタ)

N2～N3 Nチャネル型電界効果トランジスタ

P1 Pチャネル型電界効果トランジスタ

D1 ダイオード

R1～R3 抵抗

Qp1 pnp型バイポーラトランジスタ

Qn1～Qn4 npn型バイポーラトランジスタ

CL クランプ素子

発明を実施するための最良の形態

[0017] 以下では、モータ(例えば、プリンタやファクシミリの紙送りモータ)の駆動制御を行うモータドライバICに本発明を適用した場合を例に挙げて説明を行う。

[0018] 図1は、本発明に係るモータドライバICの概略構成を示す配置レイアウト図である。本図に示すように、本実施形態のモータドライバICは、IC外部との電氣的接続を行う手段として、種々の外部端子(U、V、W、VCC、FG、VREG、HU+、HU-、HV+、HV-、HW+、HW-)を有して成る。

[0019] また、本実施形態のモータドライバICは、その回路要素として、ロジック回路1と、ブリッドドライバ2と、ドライバ3と、FG信号出力回路4と、レギュレータ5と、ホールコンパレータ6と、を有して成る。

[0020] U、V、W端子は、それぞれ、モータを構成する3相(U、V、W相)のモータコイルに駆動信号を供給するための外部端子である。なお、これらの外部端子には、前記駆動信号として高電圧が印加されるため、その端子耐圧は高く設計されている。

[0021] VCC端子は、IC外部の電源ラインから電力供給を受けるための外部端子である。なお、VCC端子には、入力電圧として高電圧(例えば最大で36[V])が印加されるため、その端子耐圧は高く設計されている。

- [0022] FG端子は、制御パルス信号(FG信号)をICの外部に出力するための外部端子である。なお、FG端子には、電源ラインとの間にプルアップ抵抗が外部接続されている。
- [0023] VREG端子は、レギュレータ回路5で生成された定電圧を各相ホール素子の電源電圧として出力するための外部端子である。
- [0024] HU+端子、HU-端子、HV+端子、HV-端子、HW+端子、HW-端子は、それぞれ、IC外部の3相ホール素子HU、HV、HWから各相ホール信号の入力を受けるための外部端子である。
- [0025] ロジック回路1は、装置の全体動作(FG信号出力回路4を用いたFG信号出力制御、ホールコンパレータ6の各相出力信号に基づくモータの定速度駆動制御及び位相制御、並びに、各種の回路保護制御など)を統括制御する手段である。なお、モータの定速度駆動制御及び位相制御について具体的に述べると、ロジック回路1は、ホールコンパレータ6の各相出力信号に基づいて、モータの回転速度及び位相の帰還制御を行いつつ、モータ各相のプリ駆動信号(uh、ul、vh、vl、wh、wl)を生成し、該プリ駆動信号をプリドライバ2に送出する。
- [0026] プリドライバ2は、ロジック回路1から入力されるプリ駆動信号(uh、ul、vh、vl、wh、wl)のレベルシフトや波形成形を行い、モータ各相の駆動信号(UH、UL、VH、VL、WH、WL)を生成して、これをドライバ3に送出する手段である。
- [0027] ドライバ3は、Hブリッジ接続されたパワートランジスタ(不図示)を用いてモータを駆動する手段である。なお、パワートランジスタは、各々のゲートに入力される駆動信号(UH、UL、VH、VL、WH、WL)に応じて開閉制御され、U、V、W端子に外部接続されたモータを駆動する。
- [0028] FG信号出力回路4は、出力トランジスタとして、オープンドレイン形式のNチャネル電界効果型トランジスタN1を備えて成り、ロジック回路1からの入力信号に応じてトランジスタN1の開閉制御を行うことで、モータの回転数に比例した周波数のFG信号を生成し、これをFG端子からIC外部に送出する手段である。なお、本実施形態のFG信号出力回路4は、出力トランジスタN1を静電破壊から保護するための手段として、本発明に係る静電破壊保護回路41を有して成る。静電破壊保護回路41の構成及

び動作については、後ほど詳細な説明を行う。

- [0029] レギュレータ5は、VCC端子に印加される入力電圧から所望の出力電圧を生成し、これを各相ホール素子の電源電圧として、VREG端子から送出する電圧変換手段である。
- [0030] ホールコンパレータ6は、HU(+/-)端子、HV(+/-)端子、HW(+/-)端子に各々印加される正弦波形状の各相ホール信号(+/-)を互いに比較して矩形波形状の各相出力信号を生成し、当該各相出力信号をロジック回路1に送出する手段である。
- [0031] 次に、静電破壊保護回路41の第1実施形態について、図2を参照しながら、その構成及び動作を詳細に説明する。
- [0032] 図2は、静電破壊保護回路41の第1実施形態を示す回路図である。
- [0033] 本図に示すように、本実施形態の静電破壊保護回路41は、ダイオードD1と、抵抗R1と、npn型バイポーラトランジスタQp1と、クランプ素子CLと、を有して成る。
- [0034] ダイオードD1のアノードは、出力トランジスタN1への信号入力端(ロジック回路1の出力段を構成するインバータの出力端)に接続されている。ダイオードD1のカソードは、出力トランジスタN1のゲートに接続されている。
- [0035] 抵抗R1の一端は、前記信号入力端に接続されている。抵抗R1の他端は、接地端に接続されている。なお、抵抗R1の抵抗値は、数十[k Ω]とされている。
- [0036] トランジスタQp1のエミッタは、出力トランジスタN1のゲートに接続されている。トランジスタQp1のベースは、抵抗R1の一端に接続されている。トランジスタQp1のコレクタは、接地端に接続されている。
- [0037] クランプ素子CLは、出力トランジスタN1と並列する形で、FG端子と接地端との間に接続されており、FG端子にトリガ電圧を上回る過大電圧が印加されたときに、FG端子と接地端との間を短絡させることで、その端子電圧をクランプするトリガ素子である。なお、クランプ素子CLのトリガ電圧は、出力トランジスタN1の設計耐圧よりも低い電圧値に設定されている。例えば、本実施形態の静電破壊保護回路41では、出力トランジスタの設計耐圧が50[V]であるのに対して、クランプ素子CLのトリガ電圧は、42[V]に設定されている。また、クランプ素子は、瞬時的な過大電圧(静電パルスな

ど)の印加では破壊されないように十分高耐圧に設計されている。

[0038] 続いて、上記構成から成る静電破壊保護回路41の動作説明を行う。

[0039] まず、モータドライバICが単品状態(電力が供給されていない状態)である場合について詳細に説明する。

[0040] この場合、FG端子に静電パルス等が印加されると、出力トランジスタN1のゲート・ドレイン間に付随する寄生容量Cgdを介して、出力トランジスタN1のゲート電位が持ち上げられる。このとき、出力トランジスタN1のゲート・ソース間電圧が所定のオンスレッシュホールド電圧(約1.8[V])を上回ると、出力トランジスタN1が意図せずにオンとなって、そのソース・ドレイン間に過大電流が流れてしまい、出力トランジスタN1が破壊に至るおそれがある。

[0041] 一方、トランジスタQp1について見た場合には、FG端子に静電パルス等が印加されると、出力トランジスタN1のゲート・ドレイン間に付随する寄生容量Cgdを介して、そのエミッタ電位が持ち上げられる形となる。このとき、トランジスタQp1は、そのベース・エミッタ間電圧が所定のオンスレッシュホールド電圧(約0.7[V])を上回ると、それまでのオフ状態からオン状態に遷移される。すなわち、トランジスタQp1は、出力トランジスタN1よりも先にオンとなり、出力トランジスタN1のゲートを接地端に導通させる形となる。従って、出力トランジスタN1のゲート・ソース間電圧がそのオンスレッシュホールド電圧を上回ることなく、出力トランジスタN1が意図せずオンしてしまうことを防止することができる。

[0042] このように、パッシブ型の静電破壊保護回路41を備えて成るFG信号出力回路4であれば、電力供給を要することなく、寄生容量Cgdを介したゲート電位の持ち上がりを防ぐことができるので、静電パルス等の印加によってオープンドレイン形式の出力トランジスタN1が意図せずオンしてしまうことを防止し、これを静電破壊から保護することが可能となる。すなわち、本実施形態のモータドライバICであれば、その単品状態時における出力トランジスタN1の静電破壊を効果的に防止することができる。また、本実施形態の静電破壊保護回路41であれば、ゲート・ソース保護を兼ねることもできる上、プルダウンの効果も大きい。

[0043] また、本実施形態のモータドライバIC1では、FG端子にクランプ素子CLのトリガ電

圧を上回る過大電圧が印加されると、クランプ素子CLがオンとなるため、FG端子の端子電圧を接地端に逃がすことができる。従って、出力トランジスタN1の設計耐圧のみに依存した構成に比べて、出力トランジスタN1の静電破壊を効果的に防止することが可能となる。

[0044] 次に、モータドライバICが通常動作状態(電力が供給されている状態)である場合について詳細に説明する。

[0045] この場合、ロジック回路1からハイレベルの入力信号が印加されると、抵抗R1を介して接地端に電流が流れ、トランジスタQp1のベース電位が持ち上げられるため、トランジスタQp1はオフ状態となる。従って、出力トランジスタN1のゲートには、ハイレベルの入力信号が正常に印加される。一方、ロジック回路1からローレベルの入力信号が印加されると、出力トランジスタN1のゲートには、トランジスタQp1のオン/オフ状態に依ることなく、ローレベルの入力信号が正常に印加される。

[0046] このように、モータドライバICの通常動作状態において、静電破壊保護回路41が出力トランジスタN1の開閉制御を妨げることはない。

[0047] なお、モータドライバICが通常動作状態である場合にも、FG端子にクランプ素子CLのトリガ電圧を上回る過大電圧が印加されたときには、クランプ素子CLがオンとなるため、FG端子の端子電圧を接地端に逃がすことができる。従って、出力トランジスタN1の設計耐圧のみに依存した構成に比べて、出力トランジスタN1の静電破壊を効果的に防止することが可能となる。

[0048] 次に、静電破壊保護回路41の第2実施形態について、図3を参照しながら、その構成及び動作を詳細に説明する。

[0049] 図3は、静電破壊保護回路41の第2実施形態を示す回路図である。

[0050] なお、本実施形態の静電破壊保護回路41は、先述の第1実施形態とほぼ同様の構成から成るため、第1実施形態と同様の部分には、図2と同一の符号を付すことで詳細な説明を省略し、以下では、本実施形態の特徴部分について、重点的な説明を行うことにする。

[0051] 本図に示すように、本実施形態の静電破壊保護回路41は、先述した第1実施形態の構成に加えて、抵抗R2～R3と、npn型バイポーラトランジスタQn1～Qn2と、を有

して成る。

- [0052] 抵抗R2の一端は、トランジスタQp1のコレクタに接続されている。抵抗R2の他端は、接地端に接続されている。
- [0053] トランジスタQn1のコレクタは、出力トランジスタN1のゲートに接続されている。トランジスタQn1のエミッタは、抵抗R3を介して、接地端に接続されている。トランジスタQn1のベースは、抵抗R2の一端に接続されている。
- [0054] トランジスタQn2のコレクタは、出力トランジスタN1のゲートに接続されている。トランジスタQn2のエミッタは、接地端に接続されている。トランジスタQn2のベースは、抵抗R3の一端に接続されている。
- [0055] すなわち、本実施形態の静電破壊保護回路41は、先述した第1実施形態の構成に加えて、npn型バイポーラトランジスタQp1のコレクタと接地端との間に接続された抵抗R2と;出力トランジスタN1のゲートと接地端との間にダーリントン接続され、かつ、初段のベースが抵抗R2の一端に接続された複数段(本実施形態では2段)のnpn型バイポーラトランジスタQn1～Qn2と;を有して成る構成とされている。
- [0056] このような構成とすることにより、モータドライバICの単品状態時において、FG端子に静電パルス等が印加されると、トランジスタQp1のオンに伴い、トランジスタQn1～Qn2も相次いでオン状態に遷移されるので、出力トランジスタN1のゲートから迅速に電流を引き抜くことが可能となる。従って、急峻な静電パルス等が印加された場合にも、それに遅れることなく、寄生容量Cgdを介したゲート電位の持ち上がりを防ぐことができるので、出力トランジスタN1が意図せずオンしてしまうことを防止し、これを静電破壊から保護することが可能となる。
- [0057] なお、上記の実施形態では、モータドライバICに本発明を適用した場合を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、オープンドレイン形式の出力トランジスタを備えた半導体集積回路全般に広く適用することが可能である。
- [0058] また、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。
- [0059] 例えば、上記の実施形態では、出力トランジスタN1のゲート電位の持ち上がりを防

止する手段として、npn型バイポーラトランジスタQp1を用いた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、図4に示すように、トランジスタQp1に代えて、より素子耐圧に優れたPチャネル型電界効果トランジスタP1を用いても構わない。なお、当該構成を採用する場合には、トランジスタP1のソースを出力トランジスタN1のゲートに接続し、ドレインを接地端に接続し、ゲートを抵抗R1の一端に接続すればよい。

[0060] また、当該構成を採用する場合には、出力トランジスタN1のゲート電位の持ち上げに際して、出力トランジスタN1よりもトランジスタP1を先にオンさせるべく、トランジスタP1については、そのオンスレッシュホールド電圧が出力トランジスタN1のそれよりも低くなるように素子設計を行うとよい。例えば、出力トランジスタN1のオンスレッシュホールド電圧が1.8[V]であれば、トランジスタP1のオンスレッシュホールド電圧は、その電圧値よりも低い1.0[V]に設定すればよい。

[0061] また、上記の実施形態では、出力トランジスタN1のゲートから迅速に電流を引き抜く手段として、ダーリントン接続された複数段のバイポーラトランジスタQn1～Qn2を用いた構成を例示して説明を行ったが、本発明の構成はこれに限定されるものではなく、図5A、図5Bに示すように、バイポーラトランジスタQn3～Qn4、或いは、電界効果トランジスタN2～N3から成るカレントミラー回路を設けても構わない。

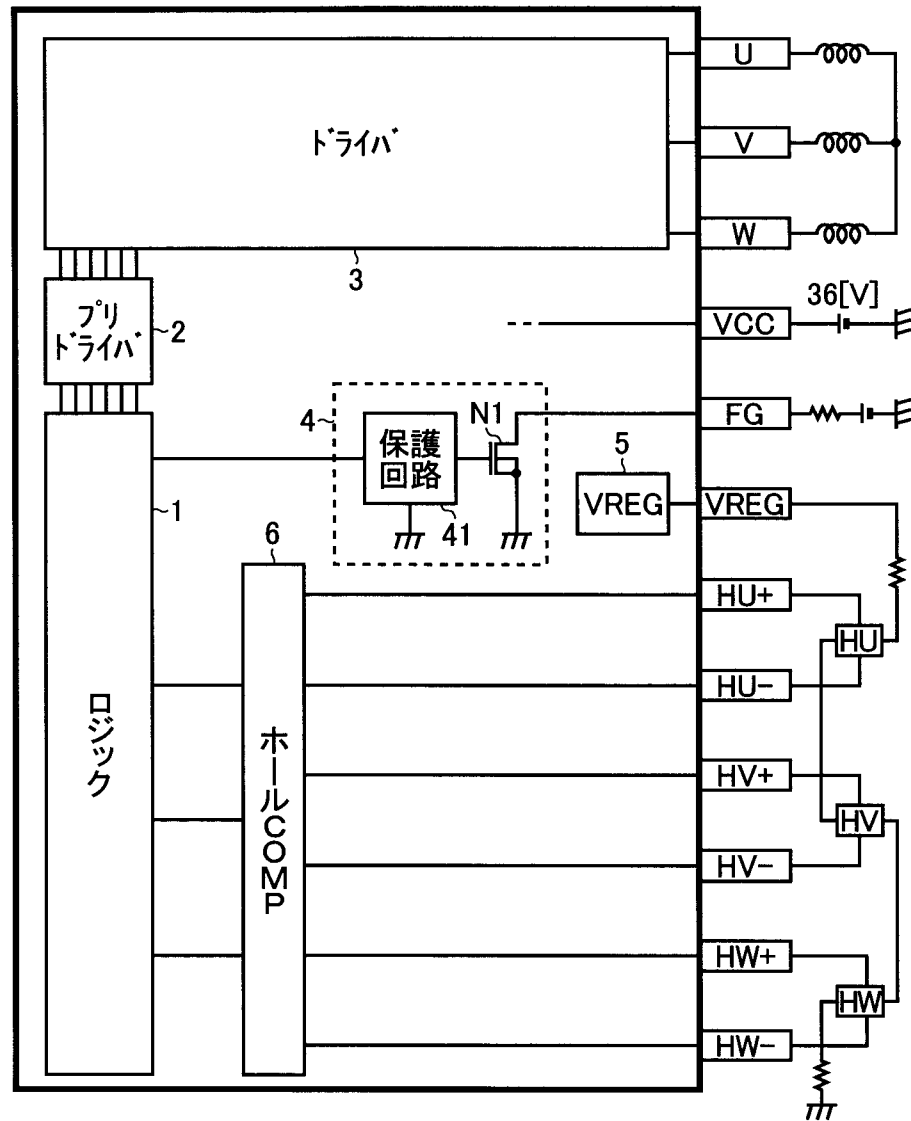
産業上の利用可能性

[0062] 本発明は、ロジック信号出力手段としてオープンドレイン形式の出力トランジスタを備えた半導体集積回路装置の信頼性や取扱い易さを高める上で有用な技術である。

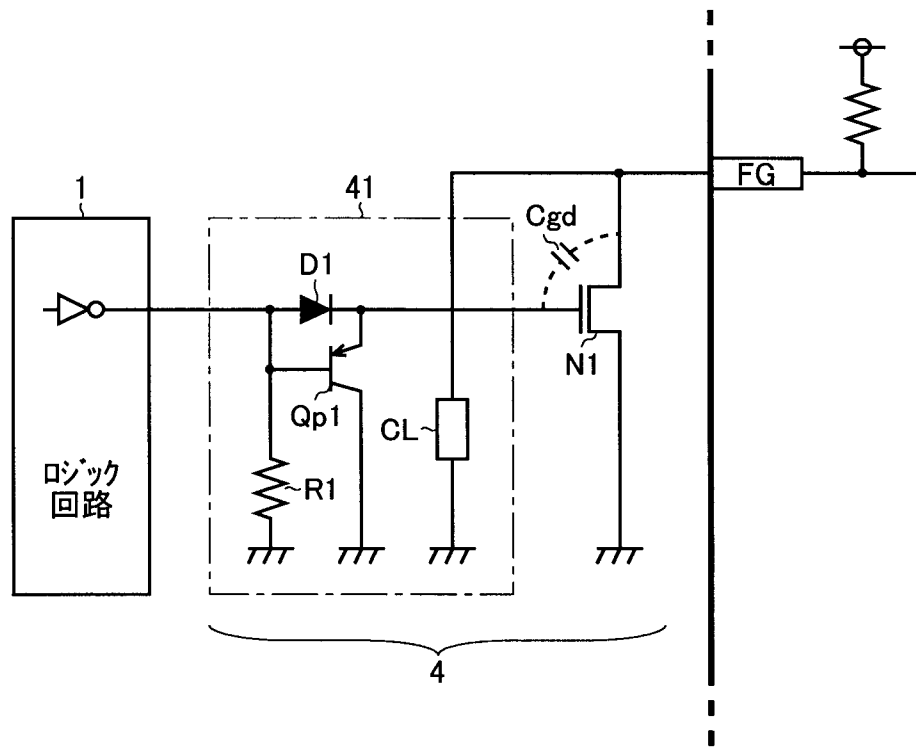
請求の範囲

- [1] オープンドレイン形式の出力トランジスタを静電破壊から保護する保護回路であって、アノードが前記出力トランジスタへの信号入力端に接続され、カソードが前記出力トランジスタのゲートに接続されたダイオードと；一端が前記信号入力端に接続され、他端が接地端に接続された第1抵抗と；エミッタ或いはソースが前記出力トランジスタのゲートに接続され、ベース或いはゲートが第1抵抗の一端に接続され、コレクタ或いはドレインが接地端に接続されたpnp型バイポーラトランジスタ或いはPチャネル型電界効果トランジスタと；を有して成ることを特徴とする静電破壊保護回路。
- [2] 前記出力トランジスタと並列に接続され、そのトリガ電圧が前記出力トランジスタの設計耐圧よりも低い電圧値に設定されているクランプ素子を有して成ることを特長とする請求項1に記載の静電破壊保護回路。
- [3] 前記pnp型バイポーラトランジスタのコレクタ或いは前記Pチャネル型電界効果トランジスタのドレインと接地端との間に接続された第2抵抗と；前記出力トランジスタのゲートと接地端との間にダーリントン接続され、かつ、初段のベースが第2抵抗の一端に接続された複数段のnpn型バイポーラトランジスタと；を有して成ることを特徴とする請求項1に記載の静電破壊保護回路。
- [4] オープンドレイン形式の出力トランジスタと、前記出力トランジスタのゲートに信号を入力するインバータと；前記出力トランジスタを静電破壊から保護する静電破壊保護回路と、を有して成る半導体集積回路装置であって、前記静電破壊保護回路として、請求項1に記載の静電破壊保護回路を備えたことを特徴とする半導体集積回路装置。

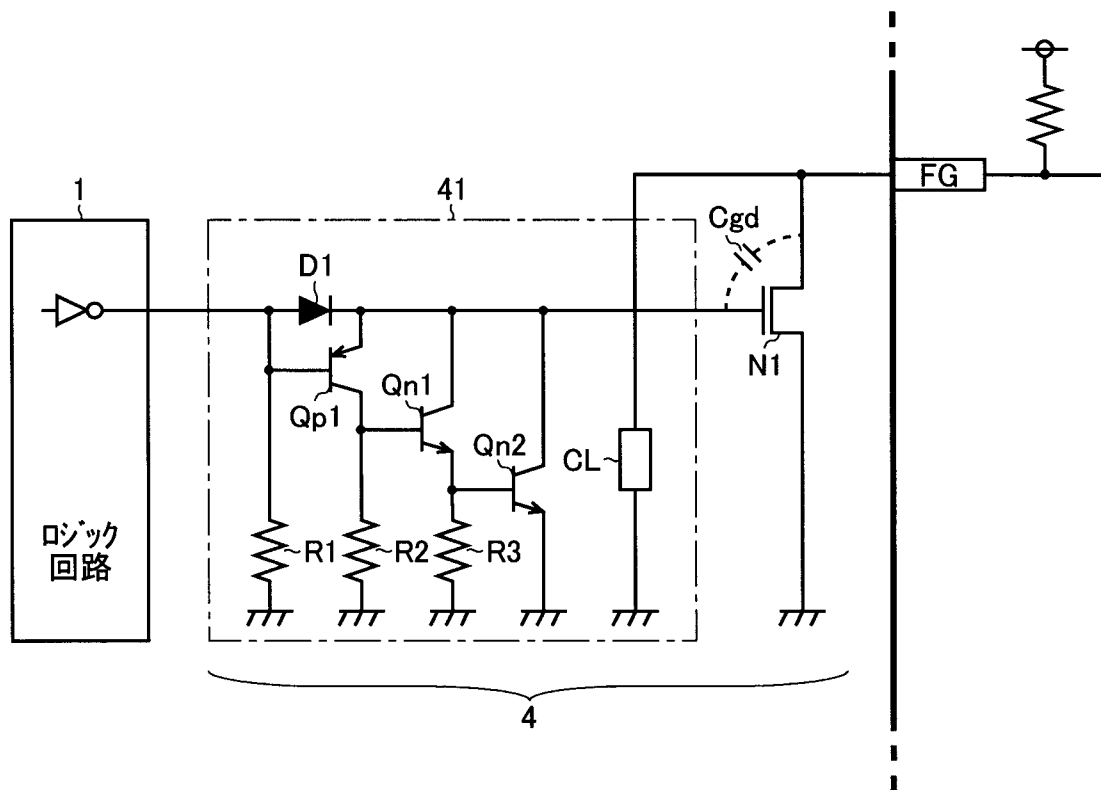
[図1]



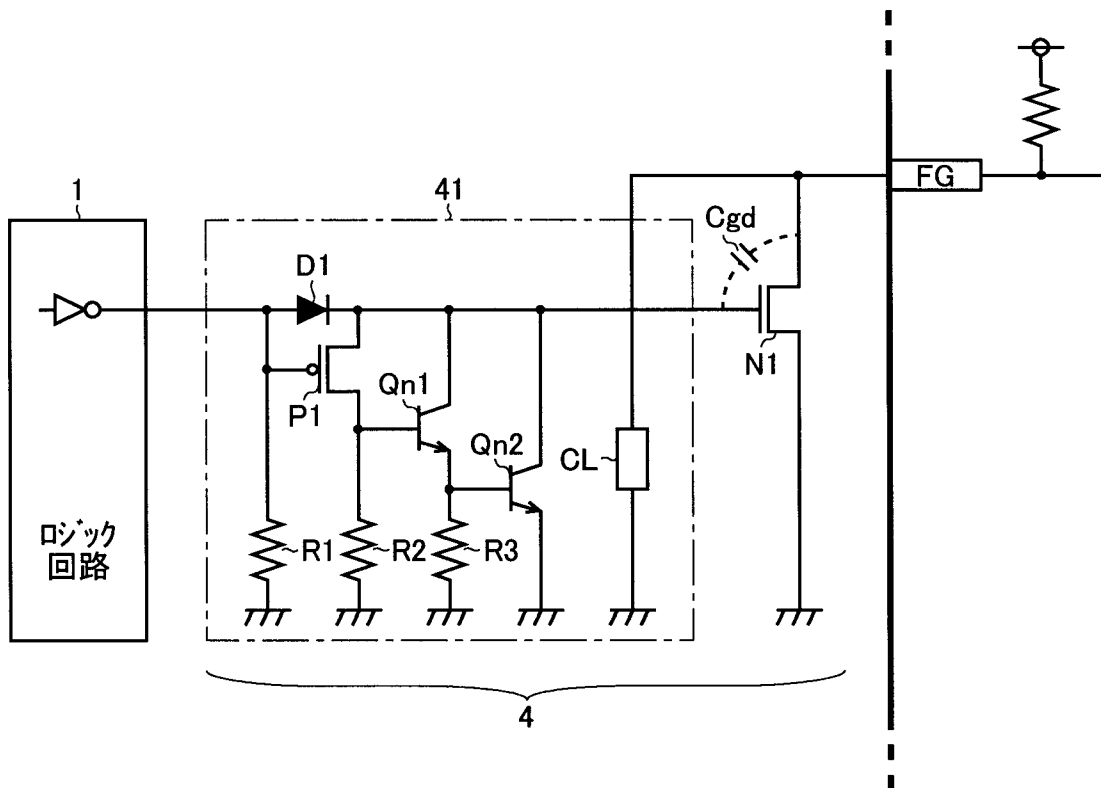
[図2]



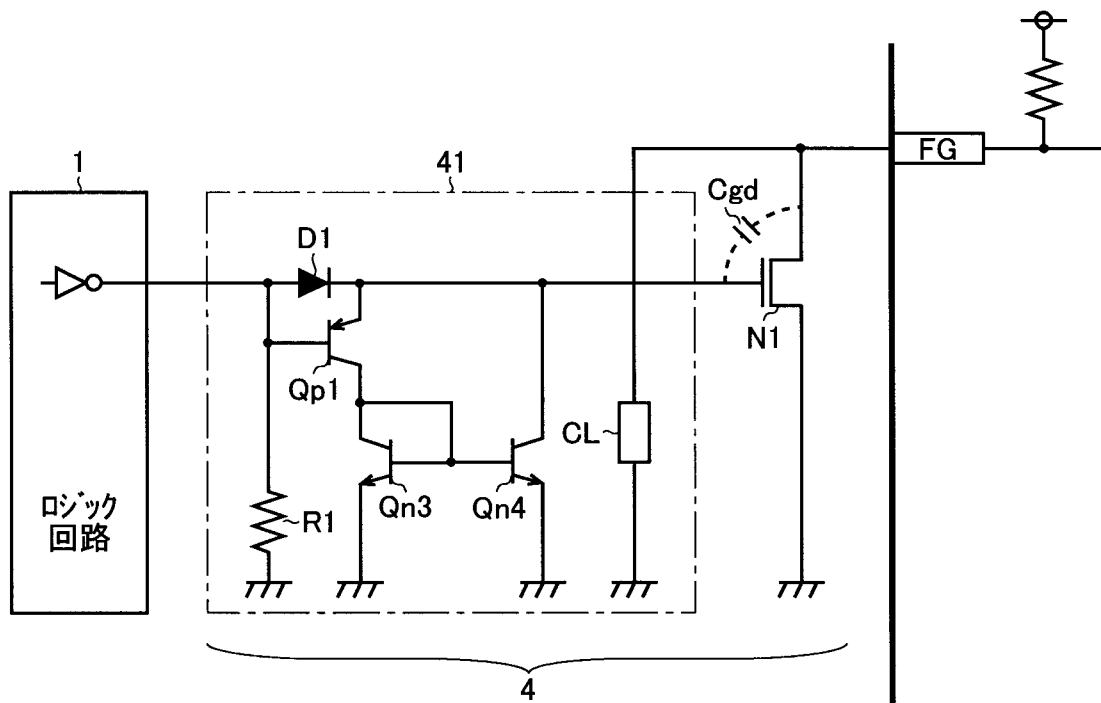
[図3]



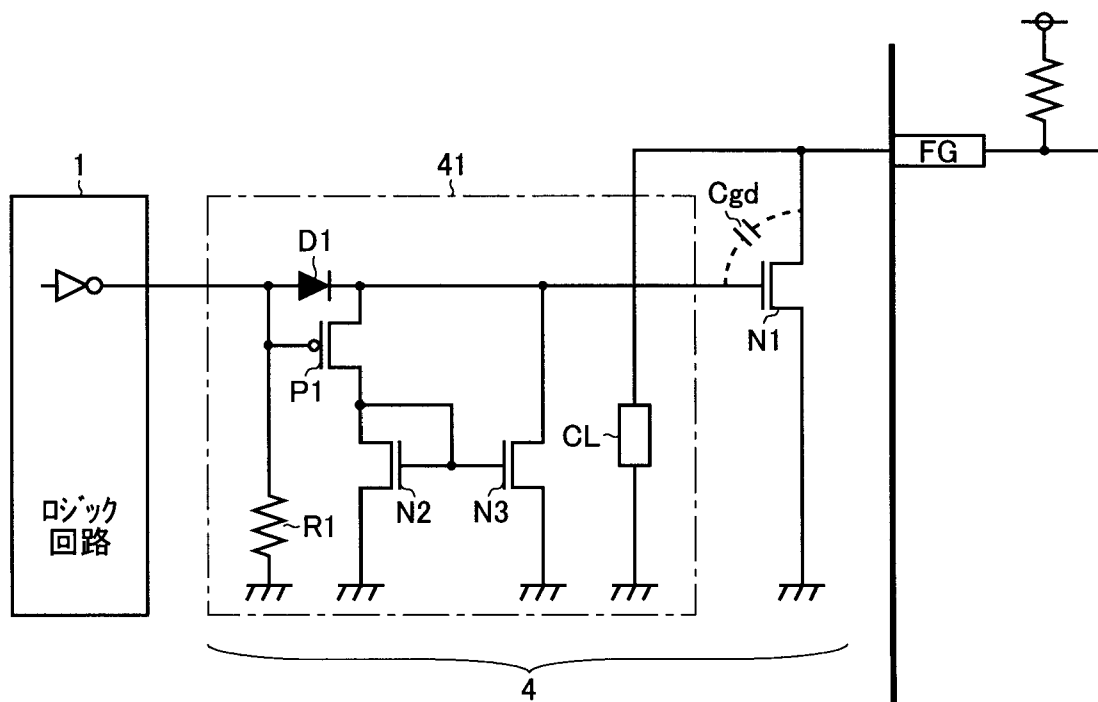
[図4]



[図5A]



[図5B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/324193

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i,
H01L27/088(2006.01)i, H03K19/003(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L21/8234, H01L27/04, H01L27/088, H03K19/003

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-054711 A (Nippon Precision Circuits Inc.), 26 February, 1999 (26.02.99), Full text; all drawings & US 6101077 A	1-4
A	JP 05-327456 A (Fujitsu Ltd.), 10 December, 1993 (10.12.93), Full text; all drawings (Family: none)	1-4
A	US 2003/0197543 A1 (Denso Corp.), 23 October, 2003 (23.10.03), Full text; all drawings & JP 2003-316455 A	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 January, 2007 (09.01.07)

Date of mailing of the international search report
16 January, 2007 (16.01.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/324193

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-224201 A (Fujitsu Ltd.), 21 August, 1998 (21.08.98), Par. Nos. [0066] to [0162]; Figs. 4 to 7 (Family: none)	1-4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/088(2006.01)i, H03K19/003(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/822, H01L21/8234, H01L27/04, H01L27/088, H03K19/003

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 11-054711 A (日本プレシジョン・サーキット株式会社) 1999.02.26, 全文, 全図 & U S 6101077 A	1-4
A	J P 05-327456 A (富士通株式会社) 1993.12.10, 全文, 全図 (ファミリーなし)	1-4

☒ C欄の続きにも文献が列举されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.01.2007

国際調査報告の発送日

16.01.2007

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

電話番号 03-3581-1101 内線 3498

4 L

3642

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 2 0 0 3 / 0 1 9 7 5 4 3 A 1 (株式会社デンソー) 2 0 0 3 . 1 0 . 2 3 , 全文, 全図 & J P 2 0 0 3 - 3 1 6 4 5 5 A	1 - 4
A	J P 1 0 - 2 2 4 2 0 1 A (富士通株式会社) 1 9 9 8 . 0 8 . 2 1 , 段落【0 0 6 6】 - 【0 1 6 2】 , 第4図 - 第7図 (ファミリーなし)	1 - 4