

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97148513

※申請日期：97年12月12日

※IPC分類：

1-101L 21/28 (2006.01)  
H01L 21/336 (2006.01)  
H01L 29/18 (2006.01)

## 一、發明名稱：

(中) PMOS金屬閘極結構製造方法

(英) Methods for fabricating PMOS metal gate structures

## 二、申請人：(共 1 人)

1. 姓名：(中) 英特爾股份有限公司  
(英) INTEL CORPORATION

代表人：(中) 1. 賽門 大衛  
(英) 1. SIMON, DAVID

地址：(中) 美國加州聖大克拉瑞密遜學院路 2200 號

(英) 2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中英) 美國 U.S.A.

## 三、發明人：(共 4 人)

1. 姓名：(中) 梅茲 馬修  
(英) METZ, MATTHEW

國籍：(中) 美國  
(英) U.S.A.

2. 姓名：(中) 達克西 馬克  
(英) DOCZY, MARK L.

國籍：(中) 美國  
(英) U.S.A.

3. 姓名：(中) 狄威 吉伯特  
(英) DEWEY, GILBERT

國籍：(中) 美國  
(英) U.S.A.

4. 姓名：(中) 卡瓦李耶羅 傑克  
(英) KAVALIEROS, JACK

國籍：(中) 美國

**四、聲明事項：**

◎本案申請前已向下列國家（地區）申請專利  主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 ; 2007/12/31 ; 11/968,099  有主張優先權

## 五、中文發明摘要

發明之名稱：PMOS 金屬閘極結構製造方法

本發明說明了形成微電子結構之方法。這些方法可包含下列步驟：在一基材上形成一閘極介電層；在該閘極介電層上形成一金屬閘極層；然後以原處方式在該金屬閘極層上形成一多晶矽層，其中該金屬閘極層並未被暴露於空氣中。

## 六、英文發明摘要

發明之名稱：

### **METHODS FOR FABRICATING PMOS METAL GATE STRUCTURES**

Methods of forming a microelectronic structure are described. Those methods may include forming a gate dielectric layer on a substrate, forming a metal gate layer on the gate dielectric layer, and then forming a polysilicon layer on the metal gate layer in situ, wherein the metal gate layer is not exposed to air.

七、指定代表圖：

(一)、本案指定代表圖為：第(2)圖。

(二)、本代表圖之元件代表符號簡單說明：無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 九、發明說明

### 【發明所屬之技術領域】

本發明係關於 PMOS 金屬閘極結構製造方法。

### 【先前技術】

通常是在矽晶圓及其他類型的基材中製造微電子裝置。如此項技術中習知的，此類積體電路可包含數百萬個諸如金屬氧化物半導體 (MOS) 場效電晶體等的電晶體。如此項技術中習知的，MOSFET 可包含諸如一金屬及 / 或多晶矽閘極結構的一閘極結構。

### 【發明內容及實施方式】

在下文的詳細說明中，將參照以圖示出可實施本發明的特定實施例之各附圖。將以使熟悉此項技術者足以實施本發明的細節說明這些實施例。我們當可了解：本發明的各實施例雖然是不同的，但不必然是互斥的。例如，可在不脫離本發明的精神及範圍下，將本發明中參照一實施例而說明的一特定的特徵、結構、或特性實施於其他實施例中。此外，我們當可了解：可在不脫離本發明的精神及範圍下，修改所揭示的每一實施例內之個別元件的位置或配置。因此，不應以限制之方式理解下文中之詳細說明，且只由被適當詮釋的最後之申請專利範圍以及該等申請專利範圍應享有之完整等效物範圍界定本發明之範圍。在所有該等數個圖式中，相似的代號將參照到相同的或類似的功

能。

現在將說明形成微電子裝置之方法及相關聯的結構。這些方法可包含下列步驟：在一基材上形成一閘極氧化物；在該閘極氧化物上形成一金屬閘極層；然後在該金屬閘極層上原處形成一多晶矽層，其中該金屬閘極層並未被暴露於空氣中。本發明之方法能夠以較簡單之方式與高溫金屬 PMOS 金屬閘極整合。

第 1a-1f 圖示出本發明的一些實施例。第 1a 圖示出一基材 100 的一部分之一橫斷面，該基材 100 在某些實施例中可包含一 P 型矽基材 100，且可包含一金屬氧化物半導體 (MOS) 的一 P 通道之一部分。可由諸如，但不限於矽、絕緣層上覆矽、鍺、銻化銻、碲化鉛、砷化銻、磷化銻、砷化鎵、銻化鎵或以上各材料的組合的材料構成矽基材 100。基材 100 可進一步包含源極/汲極區 104 以及一通道區 106。

可在基材 100 上沈積一閘極介電層 102。閘極介電層 102 可包含一高 k 值閘極介電層 102。可被用來製造高 k 值閘極介電層 102 的一些材料可包括：二氧化鉛、氧化鍺、氧化鈦、以及氧化鋁。雖然本發明述及了可構成閘極介電層 102 的材料之一些例子，但是可根據特定應用而以其其他的高 k 值閘極介電材料製造該層。

可在閘極介電層 102 (第 1b 圖) 上形成一金屬閘極層 108。在一實施例中，金屬閘極層 108 可包含氮化鈮、氮化鈦、氮化鍺、氮化鉛、碳化鈮、碳化鉛、以及碳化鍺

中之至少一者。金屬閘極層 108 可包含具有大於大約攝氏 800 度的熔點之一材料。在一實施例中，可使用原子層沈積 (ALD) 製程以形成金屬閘極層 108。在一實施例中，如此項技術中習知的，可在一多反應室 (multi-chamber) 製程設備系統中執行該 ALD 製程，該多反應室製程設備系統可包含諸如一金屬閘極層形成室及一多晶矽形成室。

在一實施例中，可在大約 0.5 至大約 1.5 托 (Torr) 的壓力、大約攝氏 150 至 300 的溫度、大約 1.5 至大約 2.5 SLM (公升/分鐘) 的氮流量率、大約 350 至大約 450 sccm (立方公分/分鐘) 的氮 ( $\text{NH}_3$ ) 流量率、以及大約 75 至大約 150 sccm 的四(二甲氨基)鈦 (TDMAT) 流量率下形成金屬閘極層 108。在一實施例中，可以氮脈衝電漿與 TDMAT 反應，然後進行氮氣沖洗，接著可以氮及氮脈衝電漿處理，然後進行氮氣沖洗。可根據特定應用而重複此種週期。

在一實施例中，在形成了金屬閘極層 108 之後，可在真空狀態下將被沈積在基材 100 上的金屬閘極層 108 保持在 ALD 沈積製程設備中，且可使金屬閘極層 108 不暴露於空氣中 (亦即，可使金屬閘極層 108 不暴露於大於 50 托的壓力下)。在某些應用中，金屬閘極層 108 可包含大約 75 埃 (angstrom) 或更大的厚度 110。

金屬閘極層 108 最好是可包含一 PMOS 金屬閘極層 108，亦即，金屬閘極層 108 可包含適於在微電子裝置的 PMOS 部分中操作之一功函數值。例如，金屬閘極層 108

最好是可包含與 PMOS 閘電極（PMOS 閘電極通常包含大約 4.8-5.1 電子伏特之功函數值）相容之功函數值。

可在不使金屬閘極層 108 暴露於空氣之情形下，在金屬閘極層 108 上原處形成一實質上非晶形的多晶矽層 112，以便形成一電晶體結構的一部分，例如，形成一 PMOS 電晶體結構 116 的一部分（第 1c 圖）。在一實施例中，可將基材 100（基材 100 在某些實施例中可包含一矽晶圓）上沈積的金屬閘極層 108 自該多反應室沈積製程設備內的該金屬閘極層形成室移到該多晶矽形成室，且同時將該沈積製程設備中之壓力保持在大約 30 托以下。

非晶形的多晶矽層 112 可提供金屬閘極層 108 之一覆蓋層，其中金屬閘極層 108 可包含比其並未被非晶形的多晶矽層 112 覆蓋時所包含的濕氣、氧、及氫較少之濕氣、氧、及氫。在一實施例中，在使用非晶形的多晶矽層 112 之情形下，大約 1% 至大約 0% 的氧可存在於該金屬閘極層中。

在一實施例中，可在大約 10-20 托的壓力、大約攝氏 500 至 600 度的溫度、大約 300 至大約 500 sccm 的二矽烷（disilane）流量率、以及大約 1 至大約 20 sccm 的氮氣流量率下形成非晶形的多晶矽層 112。該等特定的製程參數將根據特定的應用而改變。在一實施例中，非晶形的多晶矽層 112 可包含小於 20% 的氧。

藉由在金屬閘極層 108 上原處形成非晶形的多晶矽層 112，非晶形的多晶矽層 112 內將形成比在非原處形成非

晶形的多晶矽層 112 (在將金屬閘極層 08 暴露於空氣之後才形成非晶形的多晶矽層 112) 時其內形成的氧更少的氧。例如，在非原處形成的多晶矽薄膜可能包含大於大約 25% 的氧。在一實施例中，非晶形的多晶矽層 112 可包含大約 100 埃或更大的厚度 114。

在一實施例中，可使 PMOS 電晶體結構 116 之該部分暴露於一退火製程 118 (第 1d 圖)。退火製程 118 可包含用來提供足以活化源極/汲極區 104 的能量之任何類型的製程，且可包含大約攝氏 800 度至大約 1100 度之溫度。該等特定的製程參數將根據特定的應用而改變。因為金屬閘極層 108 可包含較高的熔點 (高於大約攝氏 800 度)，所以金屬閘極層 108 可耐受退火製程 118 而不會熔化，且/或不不會使電晶體結構的裝置性能下降。

於該退火期間，可在該高 k 值閘極氧化物之下形成一過渡層氧化物 120，且在某些實施例中，過渡層氧化物 120 可包含大約 3-9 埃的厚度 122。在一實施例中，氧化物總電性厚度 121 可包含過渡層氧化物 120、該高 k 值閘極氧化物厚度加上量子力學氧化物 (quantum mechanical oxide) 部分 (圖中未示出)，且可包含大約 14 埃或更小的總電性厚度 (electrical thickness)。與在以非原處之方式在金屬閘極層 108 上形成一多晶矽層的情形下可形成的過渡層氧化物之厚度相比時，該過渡層氧化物 120 之厚度 122 可包含較小的厚度 (該厚度在某些實施例中可以再小約 3-5 埃)。因此，以非晶形的多晶矽層 112 在原處覆

蓋金屬閘極層 108 之方式可減少過渡層氧化物 120 之厚度，且因而減少氧化物總電性厚度 121。

第 1e 圖示出一電晶體結構（諸如第 1d 圖所示之 PMOS 電晶體結構 116）之平帶電壓 124 作為以原處方式形成的多晶矽 128 以及以非原處方式形成的多晶矽 130 的氧化物電性厚度 126 的函數。以原處方式形成的多晶矽 128 的平帶電壓在大約 12 埃的反轉薄氧化物厚度 126 下是大約 0.25 伏特，而以非原處方式形成的多晶矽 130 的平帶電壓 124 在大約 14 埃的反轉薄氧化物厚度 126 下是大約 0.20 伏特。因此，相較於大約為 12 埃之反轉薄氧化物厚度 126 下的 P 型矽，以原處方式形成的多晶矽 128 的平帶電壓 124 是大於約 0 伏特，小於以非原處方式形成的多晶矽 0 的反轉薄氧化物厚度 126。

第 1f 圖示出一個三閘電晶體結構 132 的一部分，該部分包含一個三閘源極區 134、一個三閘汲極區 136、以及一些三閘閘極區 138。與利用諸如取代金屬閘極（replacement metal gate）製程的先前技術製程相比時，可更易於使用本發明之實施例（例如，相對於濺鍍製程之 ALD 沈積製程）而以一金屬閘極材料填滿/覆蓋三閘電晶體結構 132 中之諸如該三閘源極區 134 與一個三閘閘極區 138 可接觸的一側壁區 140 等的某些特徵。

第 2 圖是根據本發明的一實施例之一流程圖。在步驟 201 中，可在一基材上形成一高 k 值閘極氧化物。在步驟 203 中，可在該高 k 值閘極氧化物上形成一 PMOS 金屬閘

極層。在步驟 205 中，可以原處方式在該 PMOS 金屬閘極層上形成一多晶矽層，其中該 PMOS 金屬閘極層並未暴露於空氣中。

第 3 圖示出能夠以製造諸如第 1d 圖所示電晶體結構 116 等的一微電子結構之方法操作的一例示系統 300。我們應可了解：本實施例只不過是可使用本發明的電晶體結構的許多可能的系統中之一系統。

在系統 300 中，電晶體結構 324 可經由 I/O 匯流排 308 而在通訊上被耦合到一印刷電路板 (PCB) 318。可諸如利用一封裝及/或一插座連接器將電晶體結構 324 安裝到 PCB 318 (例如，使用一晶片封裝、插入件 (interposer)、及/或地柵陣列 (land grid array) 插座) 而以實體裝置建立電晶體結構 324 之通訊耦合。亦可經由此項技術中習知的各種無線裝置 (例如，不使用至 PCB 的實體連線) 而將電晶體結構 324 在通訊上耦合到 PCB 318。

系統 300 可包含諸如一處理器等的一運算裝置 302、以及經由一處理器匯流排 305 而在通訊上相互耦合之一快取記憶體 304。在一實施例中，運算裝置 302 可包含至少一電晶體結構。可由一主橋接器 306 將處理器匯流排 305 與 I/O 匯流排 308 橋接。一主記憶體可在通訊上被耦合到 I/O 匯流排 308 及電晶體結構。主記憶體 312 之例子可包括，但不限於靜態機存取記憶體 (SRAM)、及/或動態隨機存取記憶體 (DRAM)、及/或其他狀態保存媒體。在一實施例中，主記憶體 312 可包含至少一電晶體結構。系統

300 亦可包含一圖形共處理器 313，然而，將圖形共處理器 313 加入系統 300 並不是系統 300 的作業所必要的。例如，一顯示裝置 314、一大量儲存裝置 320、以及鍵盤及指向裝置 322 亦可被耦合到 I/O 匯流排 308。在一實施例中，大量儲存裝置 320 可包含至少一電晶體結構。

這些元件執行其在此項技術中習知的功能。尤其可將大量儲存裝置 320 用來提供形成及/或利用根據本發明的實施例的電晶體結構的一方法的可執行指令之長期儲存，而主記憶體 312 可被用來基於較短期限而在運算裝置 302 的執行期間儲存用來形成及/或利用根據本發明的實施例的電晶體結構的一方法的可執行指令。此外，可將該等指令儲存在或以其他方式相關聯到與該系統在通訊上耦合的機器可存取之媒體，例如，唯讀光碟（CD-ROM）、數位多功能光碟（DVD）、軟碟、載波、及/或其他被傳播的信號。在一實施例中，主記憶體 312 可將可執行的指令供應給運算裝置 302（該運算裝置 302 可以是諸如一處理器）以供執行。

因此，本發明之方法能夠形成配合可耐受高溫處理的高 k 值介電材料而使用之高溫 PMOS 金屬閘極。本發明之效益包括能夠在不使用 PMOS 通道結構的取代金屬閘極製程之情形下進行裝置尺寸化及金屬閘極製造。能夠進行金屬閘極電極之（能耐受高溫的）減去式（subtractive based）集成。無須取代金屬閘極製程，即可實現複雜的三閘集成。本發明的新穎原處式堆疊顯著地減少了高 k 值

層之下的氧化。因而能夠製造出具有小於大約埃的伴隨反轉氧化物電性厚度（ $T_{oxe}$ ）之高溫 PMOS 金屬閘極。先前技術製程中已使用取代金屬閘極流程來獲致小於埃的的反轉氧化物厚度，但是該流程需要避免在退火之前將金屬置放在閘極堆疊上，因而增加了製程的複雜性。

雖然前文之說明已指定了可被用於本發明的方法之某些步驟及材料，但是熟悉此項技術者當可了解：可作出許多修改及替代。因此，所有這些修改、變更、替代、及增添將被視為在最後的申請專利範圍界定的本發明之精神及範圍內。此外，我們當可了解：諸如電晶體等的微電子裝置都是此項技術中習知的。因此，我們應可了解：本發明所提供的圖式只示出與本發明的實施有關的一例示微電子裝置之一些部分。因此，本發明不限於本說明書中述及的結構。

#### 【圖式簡單說明】

雖然本說明書已特別指出且清楚地要求被視為本發明的特徵之申請專利範圍作為總結，但是若參閱前文中對本發明的說明並配合各附圖，將可更易於確定本發明之優點，在該等附圖中：

第 1a-1f 圖示出根據本發明的實施例之結構。

第 2 圖示出根據本發明的一實施例之一流程圖。

第 3 圖示出根據本發明的實施例之一系統。

## 【主要元件符號說明】

- 100：基材
- 104：源極/汲極區
- 106：通道區
- 102：閘極介電層
- 108：金屬閘極層
- 110, 114, 122：厚度
- 112：非晶形的多晶矽層
- 116, 324：電晶體結構
- 118：退火製程
- 120：過渡層氧化物
- 121：氧化物總電性厚度
- 124：平帶電壓
- 128：以原處方式形成的多晶矽
- 130：以非原處方式形成的多晶矽
- 126：氧化物電性厚度
- 132：三閘電晶體結構
- 134：三閘源極區
- 136：三閘汲極區
- 138：三閘閘極區
- 300：系統
- 308：I/O 匯流排
- 318：印刷電路板
- 302：運算裝置

- 305：處理器匯流排
- 304：快取記憶體
- 306：主橋接器
- 312：主記憶體
- 313：圖形共處理器
- 314：顯示裝置
- 320：大量儲存裝置
- 322：鍵盤及指向裝置

101年12月13日修正本 p.16~19

附件 3A : 第 097148513 號申請專利範圍修正本

民國 101 年 12 月 13 日修正

#### 十、申請專利範圍：

1. 一種 PMOS 金屬閘極結構製造方法，包含下列步驟：

在一基材上形成一閘極介電層，其中該基材包含源極/汲極區；

在該閘極介電層上形成一金屬閘極層，其中該金屬閘極層包含小於大約 1% 的氧；以及

以原處方式在該金屬閘極層上形成一多晶矽層，其中該金屬閘極層並未被暴露於空氣中，且其中該多晶矽層係未摻雜的。

2. 如申請專利範圍第 1 項之方法，其中該金屬閘極層包含自大約 4.8 電子伏特至大約 5.1 電子伏特之功函數。

3. 如申請專利範圍第 1 項之方法，其中該金屬閘極層包含氮化鋇、氮化鈦、氮化鋯、氮化鉛、碳化鋇、碳化鉛、以及碳化鋯中之至少一者。

4. 如申請專利範圍第 1 項之方法，其中該多晶矽層包含一實質上非晶形的多晶矽層。

5. 如申請專利範圍第 4 項之方法，其中該非晶形的多晶矽層包含小於大約 20% 的氧。

6. 如申請專利範圍第 1 項之方法，進一步包含下列步驟：在大約攝氏 800 度至大約 1100 度之溫度下，將被配置在該基材內之該源極/汲極區退火。

7. 如申請專利範圍第 1 項之方法，其中形成該金屬閘極層之該步驟包含下列步驟：使用一原子層沈積 (ALD) 製程以形成一氮化鈦 (TiN) 層。

8. 如申請專利範圍第 7 項之方法，其中在大約攝氏 150 度至大約 300 度之溫度下，使用四(二甲胺基)鈦 (TDMAT) 及氨 (NH<sub>3</sub>) 氣以形成該氮化鈦 (TiN) 層。

9. 如申請專利範圍第 1 項之方法，其中該金屬閘極層包含至少大約 75 埃之厚度。

10. 如申請專利範圍第 1 項之方法，其中在大約攝氏 500 度至大約 600 度之溫度下形成該多晶矽層。

11. 一種 PMOS 金屬閘極結構製造方法，包含下列步驟：

在一基材上形成一高 k 值閘極介電層，其中該基材包含源極/汲極區；

在該高 k 值閘極介電層上形成一 PMOS 金屬閘極電極，其中該金屬閘極層包含小於大約 1% 的氧；以及

在該 PMOS 金屬閘極電極上形成一非晶形的多晶矽層，其中該多晶矽層係未摻雜的，且其中該 PMOS 金屬閘極電極包含大於大約攝氏 800 度之熔點。

12. 如申請專利範圍第 11 項之方法，其中該 PMOS 金屬閘極電極包含氮化鉬、氮化鈦、氮化鋯、氮化鈳、碳化鉬、碳化鈳、以及碳化鋯中之至少一者。

13. 如申請專利範圍第 11 項之方法，其中在該高 k 值閘極氧化物之下形成一反轉薄氧化物係大約 14 埃以

下。

14. 如申請專利範圍第 11 項之方法，其中在一集束型製程設備中形成該非晶形的多晶矽層及該 PMOS 金屬閘極電極，且其中在形成該 PMOS 金屬閘極電極與形成該非晶形的多晶矽層之間並無真空破壞。

15. 如申請專利範圍第 11 項之方法，其中該基材包含被摻雜的源極/汲極區，且其中在高於大約攝氏 800 度之溫度下將該等源極/汲極區退火。

16. 一種 PMOS 金屬閘極結構，包含：

在一基材上之一閘極介電層，其中該基材包含源極/汲極區；

被配置在該閘極介電層上之一金屬閘極層，其中該金屬閘極層包含小於大約 1% 的氧；以及

被配置在該金屬閘極層上之一多晶矽層，其中該多晶矽層係未摻雜的，且其中該多晶矽層包含小於大約 20% 的氧。

17. 如申請專利範圍第 16 項之結構，其中該金屬閘極層包含一 PMOS 金屬閘極電極，其中該 PMOS 金屬閘極電極之熔點大於大約攝氏 800 度。

18. 如申請專利範圍第 16 項之結構，其中該閘極介電層包含二氧化鈣、氧化鋯、氧化鈦、氧化鋁、以及上列各項的組合中之至少一者。

19. 如申請專利範圍第 16 項之結構，其中該金屬閘極層包含氮化鈮、氮化鈦、氮化鋯、氮化鈣、碳化鈮、碳化

鉛、以及碳化鋯中之至少一者。

20. 一種 PMOS 金屬閘極結構，包含：

被配置在一基材上之一高 k 值閘極介電層，其中該基材包含源極/汲極區；

被配置在該高 k 值閘極介電層之一 PMOS 金屬閘極電極，其中該金屬閘極層包含小於大約 1% 的氧，且其中該 PMOS 金屬閘極電極包含大於大約攝氏 800 度之熔點；以及

被配置在該 PMOS 金屬閘極電極上之一非晶形的多晶矽層，其中該多晶矽層係未摻雜的。

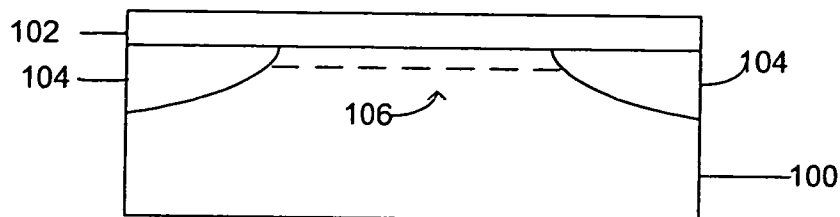
21. 如申請專利範圍第 20 項之結構，其中該非晶形的多晶矽層包含大於大約 200 埃之厚度，且包含小於大約 15% 的氧百分率。

22. 如申請專利範圍第 20 項之結構，其中該 PMOS 金屬閘極電極包含氮化鋁、氮化鈦、氮化鋯、碳化鋁、碳化鉛、碳化鋯、以及氮化鉛中之至少一者，且其中該 PMOS 金屬閘極電極包含大於大約 75 埃之厚度。

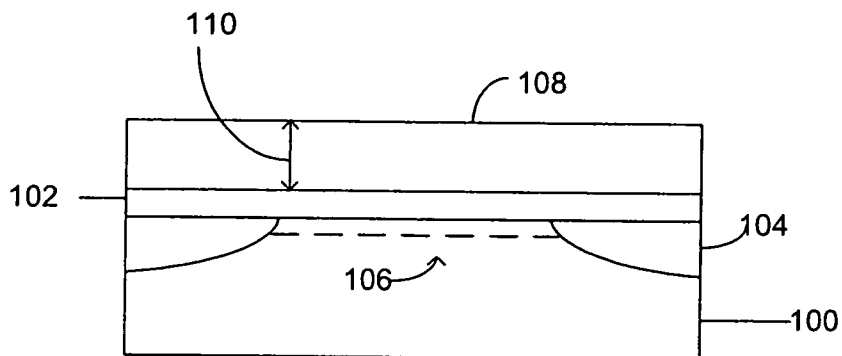
23. 如申請專利範圍第 20 項之結構，進一步包含厚度大約 13 埃以下之一電性薄氧化物。

24. 如申請專利範圍第 20 項之結構，其中該金屬閘極層包含大約 1% 以下之氧百分率。

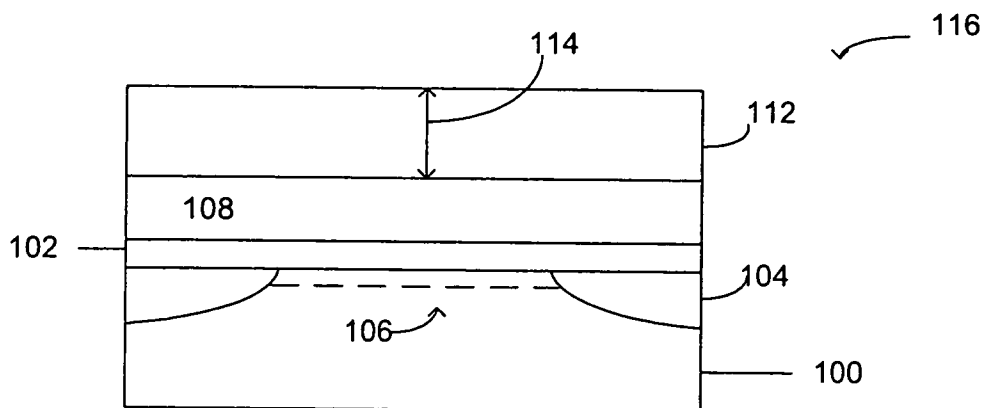
25. 如申請專利範圍第 20 項之結構，其中該結構包含電晶體結構的一部分，其中該電晶體結構包含大於大約零的平帶電壓。



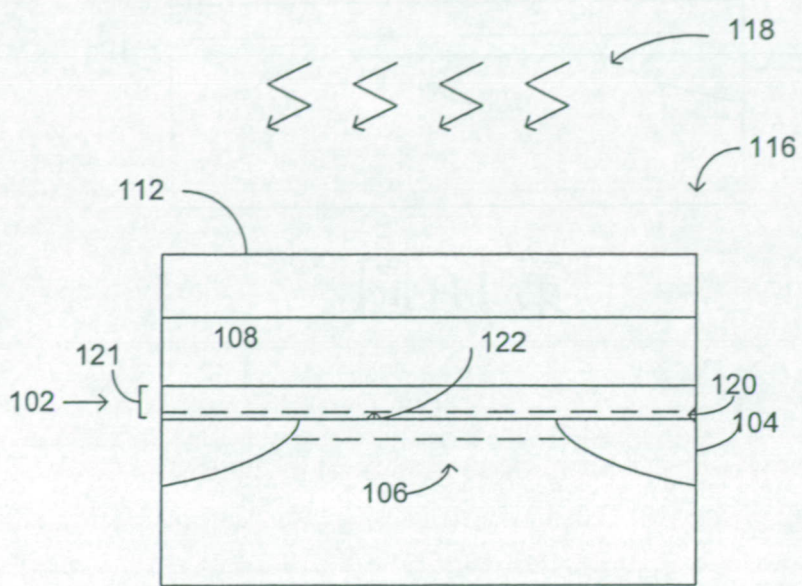
第1a圖



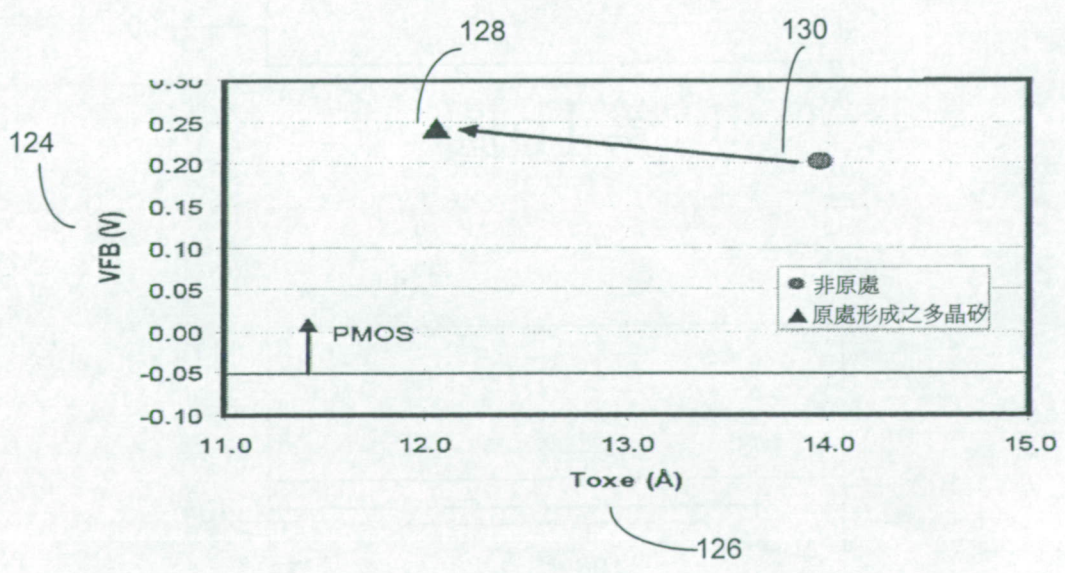
第1b圖



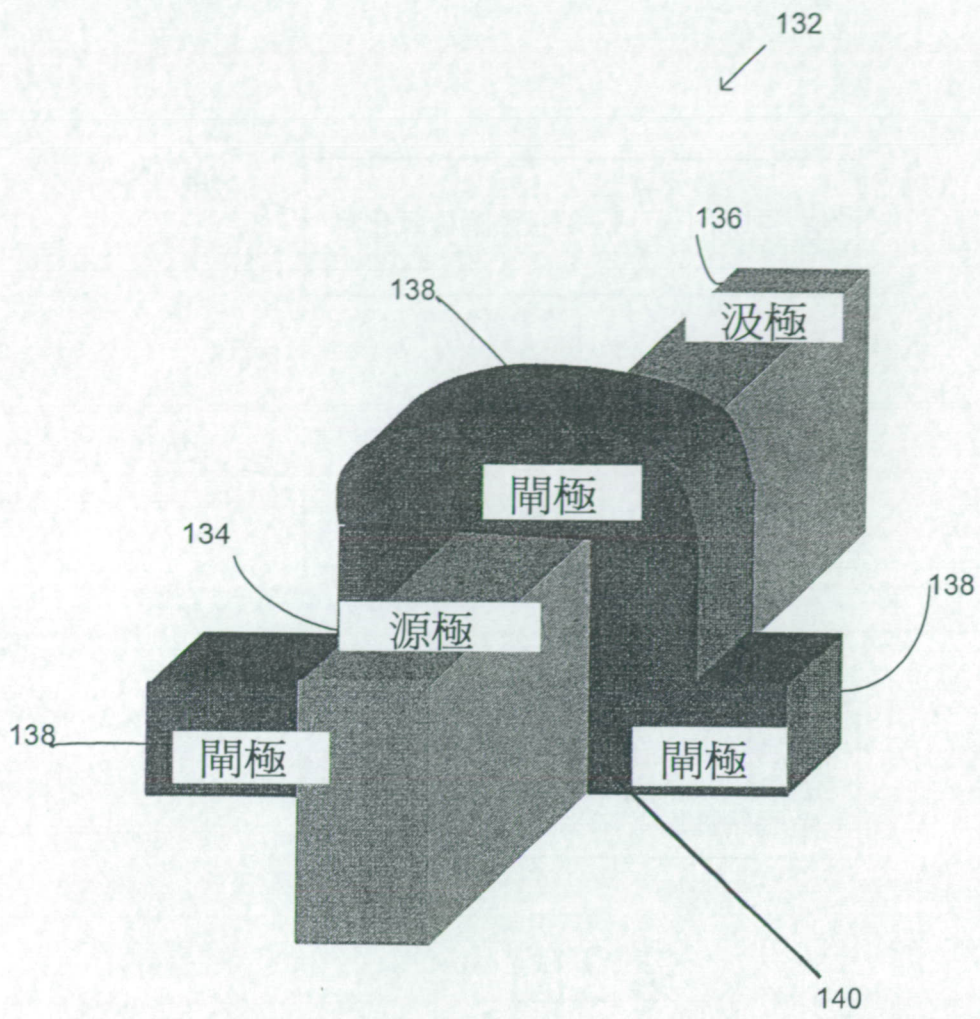
第1c圖



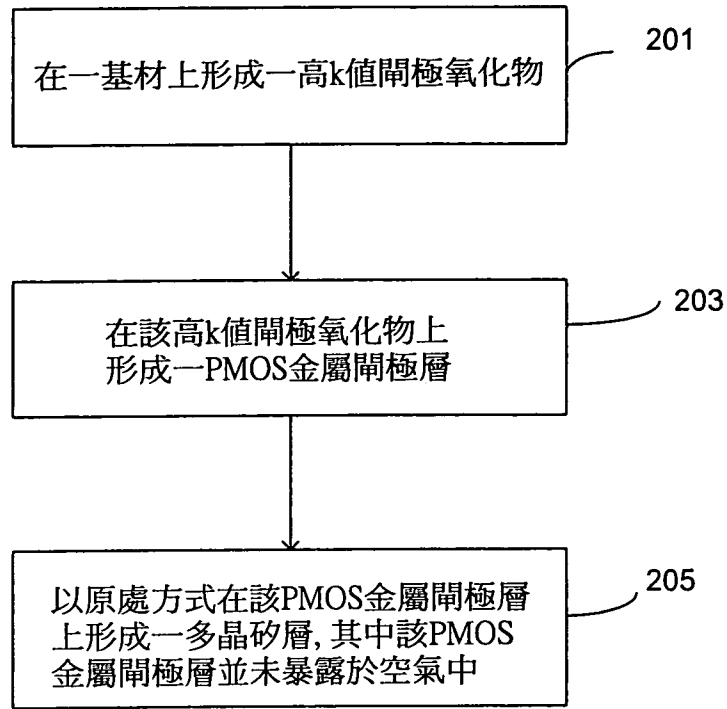
第1d圖



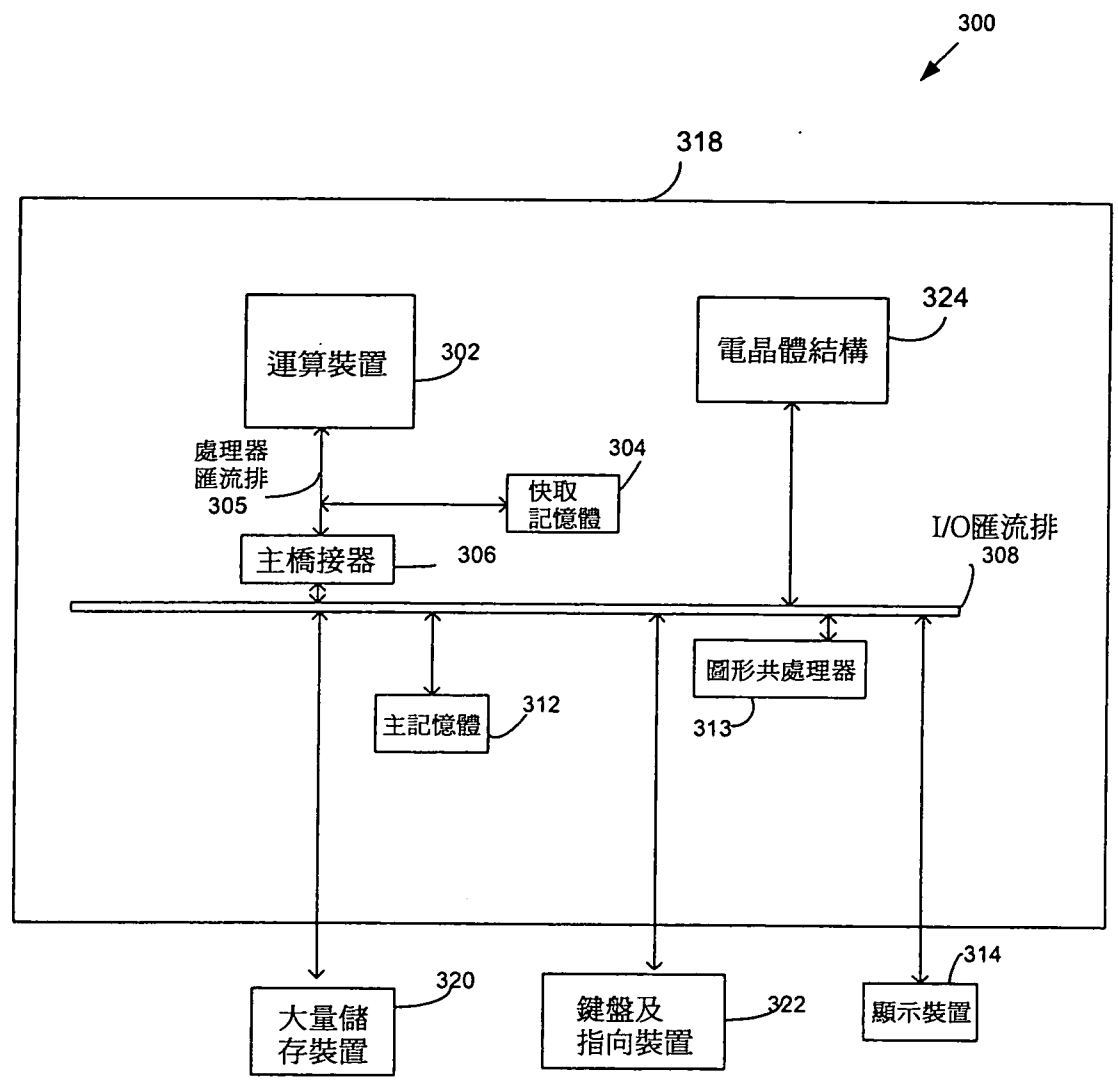
第1e圖



第1f圖



第2圖



第3圖