



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0047601
(43) 공개일자 2008년05월29일

(51) Int. Cl.

HO1L 21/20 (2006.01)

(21) 출원번호 10-2008-7008748(분할)
(22) 출원일자 2008년04월11일
심사청구일자 2008년04월11일
(62) 원출원 특허 10-2002-7010225
원출원일자 2002년08월08일
심사청구일자 2006년11월09일
번역문제출일자 2008년04월11일
(86) 국제출원번호 PCT/JP2001/010733
국제출원일자 2001년12월07일
(87) 국제공개번호 WO 2002/47137
국제공개일자 2002년06월13일
(30) 우선권주장
JP-P-2000-00373826 2000년12월08일 일본(JP)

(71) 출원인

소니 가부시끼 가이샤

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

야마나카 히데오

일본국 도쿄도 시나가와구 기타시나가와 6쵸메 7
반 35고 소니가부시끼 가이샤 내

(74) 대리인

이병호

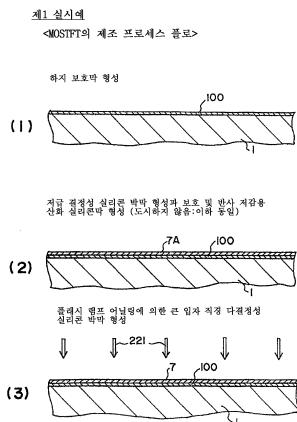
전체 청구항 수 : 총 8 항

(54) 반도체 박막의 형성 방법, 반도체 장치 및 전기 광학장치의 제조 방법, 이들 방법의 실시에 사용하는 장치 및 반도체 장치 및 전기 광학 장치

(57) 요 약

고결정화율로 고품질의 다결정 실리콘 등의 다결정성 또는 단결정성 반도체 박막을 용이하고 또한 낮은 비용으로, 더구나 큰 면적에 형성 가능한 방법과, 이 방법을 실시하는 장치를 제공하는 것. 기체(1) 상에 고결정화율, 큰 입자 직경의 다결정성 실리콘막 등의 다결정(또는 단결정)성 반도체 박막(7)을 형성함에 있어서, 혹은 기체(1) 상에 다결정(또는 단결정)성 반도체 박막(7)을 갖는 반도체 장치를 제조함에 있어서, 기체(1) 상에 저급 결정성 반도체 박막(7A)을 형성한 후, 이 저급 결정성 반도체 박막(7A)에 플래시 램프 어닐링을 실시하여, 용융 또는 반용융 또는 비용융 상태의 가열과 냉각에 의해 저급 결정성 반도체 박막(7A)의 결정화를 촉진하여 다결정(또는 단결정)성 반도체 박막(7)을 얻는 다결정(또는 단결정)성 반도체 박막의 형성 방법 또는 반도체 장치의 제조 방법 및 이들을 실시하기 위한 장치.

대표도 - 도1



특허청구의 범위

청구항 1

SOI(Silicon On Insulator) 기판과 같은 결정 반도체 기판에서, 단결정 반도체 박층 내에 이온 주입 또는 이온 도핑하여 n형 및/또는 p형 불순물 영역을 형성하고, 적어도 적외선 저감 또는 적외선 차단 필터를 사용하고, 상기 기판의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해 불순물 이온을 활성화하는, 단결정 반도체 박막 또는 단결정 반도체 장치의 제조 방법.

청구항 2

기체 상의 레이저{근자외선(UV) 및/또는 원자외선(DUV) 레이저, 가시광선 레이저, 근적외선 및/또는 원적외선 레이저} 어닐링에 의해 결정화된 다결정성 또는 단결정성 반도체 박막에 이온 주입 또는 이온 도핑하여 n형 및/또는 p형 불순물 영역을 형성하고, 적어도 적외선 저감 또는 적외선 차단 필터를 사용하고, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해 불순물 이온을 활성화하는, 다결정성 또는 단결정성 반도체 박막, 또는 다결정성 또는 단결정성 반도체 장치의 제조 방법.

청구항 3

기체 상의 고상(固相) 성장에 의해 결정화된 다결정성 반도체 박막에 이온 주입 또는 이온 도핑하여 n형 및/또는 p형 불순물 영역을 형성하고, 적어도 적외선 저감 또는 적외선 차단 필터를 사용하고, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해 불순물 이온을 활성화하는, 다결정성 또는 단결정성 반도체 박막 또는 다결정성 반도체 장치의 제조 방법.

청구항 4

기체 상의 집광 램프 어닐링에 의해 결정화된 다결정성 또는 단결정성 반도체 박막에 이온 주입 또는 이온 도핑하여 n형 및/또는 p형 불순물 영역을 형성하고, 적어도 적외선 저감 또는 적외선 차단 필터를 사용하고, 상기 기판의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해 불순물 이온을 활성화하는, 다결정성 또는 단결정성 반도체 박막, 또는 다결정성 또는 단결정성 반도체 장치의 제조 방법.

청구항 5

플래시 램프 어닐링에 의해 형성된, 저왜곡점 유리 또는 고왜곡점 유리 또는 수지 기판 상의, 주석과 같은 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막에, 0.1MPa 이상에서 30MPa 이하, 상온 이상에서 기판의 왜곡점 이하의 온도의 고압 저온의 산화성 분위기 중에서 산화계 절연막을 형성하고, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사용하는, 반도체 장치의 제조 방법.

청구항 6

플래시 램프 어닐링에 의해 형성된, 고왜곡점 유리 기판 상의, 주석과 같은 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막을 산화성 분위기 중에서 고온 열산화함으로써 산화계 절연막을 형성하고, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사용하는, 반도체 장치의 제조 방법.

청구항 7

플래시 램프 어닐링에 의해 형성된, 고왜곡점 유리 기판 상의 광 반사 저감 및 보호용 절연막 부착의, 주석과 같은 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막을 산화 분위기 중에서 고온 열산화함으로써 산화계 절연막을 형성하며, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사용하는, 반도체 장치의 제조 방법.

청구항 8

플래시 램프 어닐링에 의해 형성된, 주석과 같은 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막, 및 절연막의 적어도 한쪽을, 상온 내지 기판의 왜곡점 이하의 온도, 분압 13.33Pa 이상에서 포화 증기압 이하의 물의 기체를 포함하는 분위기 중에서의 가열 공정(수증기 중 어닐링)을 거쳐 개질하는, 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 기체(基體) 상에 다결정성 실리콘 또는 단결정성 실리콘 등의 다결정성 또는 단결정성 반도체 박막을 결정 성장시키는 방법 및 그 장치, 그 다결정성 또는 단결정성 반도체 박막을 기체 상에 갖는 반도체 장치 및 전기 광학 장치의 제조 방법 및 그 장치 및 반도체 장치 및 전기 광학 장치에 관한 것이다.

배경기술

<2> 종래, MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)인, 예를 들면, MOSTFT(Thin Film Transistor=박막 절연 게이트형 전계 효과 트랜지스터)의 소스, 드레인 및 채널 영역을 다결정 실리콘막으로 형성함에 있어서, 플라즈마 CVD(CVD: Chemical Vapor Deposition=화학적 기상 성장법)나 감압 CVD법, 촉매 CVD법 등의 기상 성장법, 고상(固相) 성장법, 액상 성장법, 엑시머 레이저-어닐링법 등이 사용되고 있다.

<3> 플라즈마 CVD법, 감압 CVD법 등에 의해 형성한 어몰퍼스 또는 미결정 실리콘막은 특개평 7-131030호, 특개평 9-116156호, 특공평 7-118443호에 보이는 바와 같이 단지 고온 어닐링 또는 엑시머 레이저 어닐링(ELA: Excimer Laser Anneal) 처리함으로써, 다결정 실리콘막화로 캐리어 이동도의 개선을 도모하여 왔지만, 이 방법으로는 80 내지 $120\text{cm}^2/\text{V}\cdot\text{sec}$ 정도의 캐리어 이동도를 얻는 것이 한계였다.

<4> 그러나, 플라즈마 CVD법에 의한 어몰퍼스 실리콘막의 ELA에서 얻어진 다결정 실리콘막을 사용하는 MOSTFT의 전자 이동도는 $100\text{cm}^2/\text{V}\cdot\text{sec}$ 전후로, 고세밀화에도 대응할 수 있기 때문에, 최근에는 구동 회로 일체형 다결정 실리콘 MOSTFT를 사용한 LCD(Liquid Crystal 디스플레이=액정 표시 장치)가 주목받고 있다(특개평 6-242433호 참조). 엑시머 레이저 어닐링법은 XeCl 엑시머 레이저 등의 단파장, 단 펄스 레이저를 시료에 조사하여 단시간에 용융 결정화하는 방법이지만, 어몰퍼스 실리콘막으로의 레이저 광 조사에 의해 유리 기판을 손상시키는 일 없이 다결정화할 수 있어, 높은 스루풋을 기대할 수 있다.

<5> 그러나, 상기한 ELA에 의한 다결정 실리콘 MOSTFT의 제법에서는 결정화 속도가 $n\text{ sec}$ 정도로 빠르기 때문에, 얻어지는 결정 입자 직경은 기껏해야 100nm 정도이다. 그 때문에, 단파장, 단펄스 레이저 조사 시에, 기판 온도를 400°C 정도로 가열하여 결정 성장을 저해하는 수소, 산소 등을 충분히 제거하고, 응고 속도를 제어하는 방법이라도 입자 직경이 500nm 이상인 결정은 어렵다. 그래서, 레이저 조사 회수를 수회 이상, 예를 들면, 5회, 30회 이상으로 하여 결정 성장을 일으키는 에너지를 충분히 줘, 큰 입자 직경 다결정 실리콘막화가 행하여지고 있다. 그러나, 엑시머 레이저 출력의 안정성이나 생산성, 대형화에 의한 장치 가격의 상승, 제품 비율/품질 저하 등의 문제가 산적하고 있으며, 특히, $1\text{m}\times 1\text{m}$ 인 대형 유리 기판이 되면, 상기 문제가 확대하여 성능/품질 향상과 비용 절감이 한층 더 어려워진다.

<6> 최근, 특개평 11-97353호 등에 보이는 바와 같이, 450 내지 600°C , 4 내지 12시간의 가열 처리로 결정화를 조장하는 촉매 원소(Ni, Fe, Co 등)를 비정질 실리콘막 내로 확산시켜 결정성 실리콘막을 형성하는 방법이 제안되고 있다. 그러나, 이 방법에서는 촉매 원소가 형성된 결정성 실리콘막에 잔존하기 때문에, 특개평 8-339960호 등에 보이는 바와 같이, 이 촉매 원소를 제거(게터링)하기 위해, 염소 등의 할로겐 원소를 함유하는 분위기에서 가열 처리하는 방법, 인을 결정성 실리콘막에 선택적으로 첨가하여 가열 처리하는 방법, 촉매 원소를 함유하는 결정성 실리콘막을 레이저광 또는 강광으로 조사하여 촉매 원소를 확산하기 쉬운 상태로 하고, 선택적으로 첨가한 원소로 촉매 원소를 흡수시키는 방법 등이 제안되고 있지만, 공정이 복잡, 게터링 효과가 충분하지 않아, 실리콘막의 반도체 특성을 손상시키고, 제작하는 소자의 안정성, 신뢰성이 손상되어 버린다.

<7> 또한, 고상 성장법에 의한 다결정 실리콘 MOSTFT의 제법에서는 600°C 이상에서의 수십 시간의 어닐링과, 약 1000°C 에서의 열산화의 게이트 SiO_2 형성이 필요하기 때문에, 반도체 제조 장치를 채용하지 않을 수 없다. 이 때문에, 기판 사이즈는 웨이퍼 사이즈 8 내지 12인치Φ가 한계이고, 또한 고내열성이고 고가인 합성 석영 유리

를 채용하여야만 하여, 비용 절감이 어렵고, EVF나 데이터/AV 프로젝터로 용도가 한정되어 있다.

<8> 최근, 유리 기판과 같은 절연성 기판 상에 다결정 실리콘막, 질화 실리콘막 등을 저온에서 제작할 수 있는 뛰어난 열 CVD인 촉매 CVD법이 개발되어(특공소 63-40314호, 특공평 8-250438호 참조), 실용화 검토가 추진되고 있다. 촉매 CVD법에 있어서는 결정화 어닐링 없이, $30\text{cm}^2/\text{V}\cdot\text{sec}$ 정도의 캐리어 이동도를 얻고 있지만, 양질의 MOSTFT 디바이스를 제작하는 데는 아직 불충분하다. 그리고, 유리 기판 상에 다결정 실리콘막을 형성하면, 성막 조건 순서에서는 초기의 어몰퍼스 실리콘의 천이도(두께 5 내지 10nm)가 형성되기 쉽기 때문에, 보텀 게이트형 MOSTFT로 한 경우는 소망하는 캐리어 이동도는 얻기 어렵다. 일반적으로 구동 회로 일체형 다결정 실리콘 MOSTFT를 사용한 LCD는 보텀 게이트형 MOSTFT가 제품 비율 및 생산성 면에서 제조하기 쉽지만, 이 문제가 애로점이 된다.

발명의 내용

해결 하고자하는 과제

<9> 본 발명의 목적은 고결정화율로 고품질의 다결정 실리콘 등의 다결정성 또는 단결정성 반도체 박막을 용이하고 또한 낮은 비용으로, 더구나 큰 면적에 형성 가능한 방법과, 이 방법을 실시하는 장치를 제공함에 있다.

<10> 본 발명의 다른 목적은 이러한 다결정성 또는 단결정성 반도체 박막을 구성 부분으로서 갖는 MOSTFT 등의 반도체 장치 및 전기 광학 장치의 제조 방법과, 이 방법을 실시하는 장치 및 반도체 장치 및 전기 광학 장치를 제공함에 있다.

과제 해결수단

<11> 본 발명은 기체 상에 다결정성 또는 단결정성 반도체 박막을 형성하거나 혹은 기체 상에 다결정성 또는 단결정성 반도체 박막을 갖는 반도체 장치를 제조할 때, 상기 기체 상에 저급 결정성 반도체 박막을 형성하는 제 1 공정과, 상기 저급 결정성 반도체 박막에 플래시 램프 어닐링을 실시하여, 용융 또는 반용융 또는 비용융 상태의 가열과 냉각에 의해 상기 저급 결정성 반도체 박막의 결정화를 촉진하는 제 2 공정을 갖는 반도체 박막의 형성 방법 또는 반도체 장치의 제조 방법에 관련되는 것이다.

<12> 또한, 본 발명은 본 발명의 방법을 실시하는 장치로서, 상기 기체 상에 저급 결정성 반도체 박막을 형성하기 위한 제 1 수단과, 상기 저급 결정성 반도체 박막에 플래시 램프 어닐링을 실시하여, 용융 또는 반용융 또는 비용융 상태의 가열과 냉각에 의해 상기 저급 결정성 반도체 박막의 결정화를 촉진하기 위한 제 2 수단을 갖는 다결정 반도체 박막 또는 단결정성 반도체 박막의 형성 장치 또는 반도체 장치의 제조 장치를 제공하는 것이다.

<13> 또한, 본 발명은 각 색용 유기 또는 무기 전계 발광층의 하층에 각각 상기 다결정성 또는 단결정성 반도체 박막으로 이루어지는 MOSTFT의 드레인 또는 소스와 접속된 음극 또는 양극을 가지고, 상기 MOSTFT 및 다이오드를 포함하는 능동 소자 위도 상기 음극이 덮거나 혹은 상기 각 색용 유기 또는 무기 전계 발광층의 각 층 상 및 각 층간의 전체 면에 공통된 상기 음극 또는 양극이 피착(被着)되어 있는 전기 광학 장치를 제공하는 것이다.

<14> 또한, 본 발명은 전계 방출 디스플레이(FED)의 이미터가 상기 다결정성 또는 단결정성 반도체 박막으로 이루어지는 MOSTFT의 드레인에 상기 다결정성 또는 단결정성 반도체 박막을 통해 접속됨과 함께 상기 다결정성 또는 단결정성 반도체 박막 상에 성장된 n형 다결정성 반도체막 또는 다결정성 다이아몬드막 또는 질소 함유 또는 비함유의 탄소 박막 또는 질소 함유 또는 비함유의 탄소 박막 표면에 형성한 다수의 미세 돌기 구조(예를 들면, 카본나노튜브) 등에 의해 형성되어 있는 전기 광학 장치도 제공하는 것이다.

<15> 본 발명에 의하면, 기체 상에 저급 결정성 반도체 박막을 형성하고, 이 저급 결정성 반도체 박막에 플래시 램프 어닐링을 실시하여, 용융 또는 반용융 또는 비용융 상태의 가열과 냉각에 의해 상기 저급 결정성 반도체 박막의 결정화를 촉진하여, 다결정성 또는 단결정성 반도체 박막을 형성하고 있기 때문에, 다음 (1) 내지 (10)에 도시하는 현저한 작용 효과가 얻어진다.

<16> (1) 임의의 μsec 내지 msec 의 단시간에서의 1회 또는 수회 반복한 플래시 조사를 행할 수 있는 플래시 램프 어닐링에 의해, 높은 조사 에너지를 저급 결정성 실리콘 등의 저급 결정성 반도체 박막에 줘, 이것을 용융 또는 반용융 형태로 가열하거나 혹은 비용융 상태로 가열하고 냉각함으로써, 큰 입자 직경의 고캐리어 이동도, 고품질의 다결정성 실리콘막 등의 다결정성 또는 단결정성 반도체 박막이 얻어져, 생산성이 대폭 향상하고, 대폭적인 비용 절감이 가능해진다.

- <17> (2) 플래시 램프 어닐링은 임의의 개수의 램프와 그 플래시식 방전 기구를 조합함으로써, 예를 들면, ① 1000mm × 1000mm의 큰 면적을 일괄하여 1회 또는 필요 회수 반복하여 플래시 조사한다, ② 200mm × 200mm 정사각형 모양으로 집광 정형한 플래시 조사광을 검류계(galvanometer) 스캐너로 주사시켜, 필요에 따라서 오버랩 스캐닝으로 플래시 조사한다, ③ 200mm × 200mm 정사각형 모양으로 집광 정형한 플래시 광 조사 위치를 고정시켜, 기판을 스템 & 리피트로 이동시켜 필요에 따라서 오버랩 스캐닝하여 플래시 조사한다는 식으로, 기판 또는 플래시 조사광을 임의의 방향과 속도로 이동시켜 가열 용융 및 냉각 속도를 제어하여, 임의의 큰 면적의 저급 결정성 실리콘 막 등을 극히 단시간에 다결정화 또는 단결정화할 수 있기 때문에, 극히 생산성이 높고, 대폭적인 비용 절감이 실현된다.
- <18> (3) 플래시 조사광을 임의의 선형, 직사각형 또는 정사각형 모양 또는 원 모양으로 집광 정형하여 조사함으로써, 조사 강도, 즉, 용융 효율 및 스루풋 향상과 결정화의 균일성 향상에 의한 캐리어 이동도의 격차 저감을 도모할 수 있다.
- <19> (4) 플래시 램프 어닐링에 의해 결정화시킨 다결정성 실리콘 등의 막 상에 저급 결정성 실리콘 등의 막을 적층하고, 다시 이 플래시 램프 어닐링으로 결정화하는 방법을 반복함으로써, μm 단위의 두께로 큰 입자 직경에서의 고캐리어 이동도, 고품질의 다결정성 실리콘막 등을 적층 형성할 수 있다. 이로써, MOSLSI뿐만 아니라, 고성능, 고품질의 바이폴라 LSI, CMOS 센서, CCD 에어리어/리니어 센서, 태양 전지 등도 형성할 수 있다.
- <20> (5) 저급 결정성 반도체 박막의 막 두께, 유리 등의 기판의 내열 온도, 희망하는 결정 입자 직경(캐리어 이동도) 등에 따라서, 플래시 램프 어닐링의 파장 조정(밀봉 가스 기체 변경, 방전 조건 변경, 열선 저감 필터 또는 열선 차단 필터 채용 등), 조사 강도, 조사 시간 등의 제어가 용이하기 때문에, 고캐리어 이동도, 고품질의 다결정성 실리콘막 등이 고생산성으로 얻어진다.
- <21> (6) 크세논 램프, 크세논-수은 램프, 크립톤(krypton) 램프, 크립톤-수은 램프, 크세논-크립톤 램프, 크세논-크립톤-수은 램프, 메탈 할라이드 램프 등의 플래시 램프 어닐링의 램프는 반복하여 발광에 견딜 수 있는 램프로, XeCl, KrF 등의 엑시머 레이저-어닐링 장치의 엑시머 레이저 발진기에 비하여 훨씬 염가이고, 긴 수명으로 보수가 간단하기 때문에, 대폭적인 비용 절감이 가능하다.
- <22> (7) 주로 플래시 램프와 방전 회로로 구성되는 플래시 램프 어닐링 장치는 엑시머 레이저-어닐링 장치에 비하여 간단한 구조의 장치이기 때문에, 염가이고, 비용 절감이 가능하다.
- <23> (8) XeCl, KrF 등의 엑시머 레이저 어닐링 처리는 nsec 정도의 펄스 발진형 레이저를 사용하기 때문에, 그 출력의 안정성에 과제가 있으며, 조사면의 에너지 분포의 격차, 얻어진 결정화 반도체막의 격차, TFT마다의 소자 특성의 격차가 보인다. 그래서, 400°C 정도의 온도를 부여하면서 엑시머 레이저 펄스를, 예를 들면, 5회, 30회 등의 다수 회 조사하는 방법이 채용되고 있지만, 그래도 조사 격차에 의한 결정화 반도체막 및 TFT 소자 특성의 격차, 스루풋 저하에서의 생산성 저하에 의한 비용 증대가 있다. 이에 대하여 플래시 램프 어닐링에서는 상기 (2)와 같이, 예를 들면, 1000mm × 1000mm의 큰 면적을 μsec 내지 msec 정도의 펄스로 일괄 플래시 조사할 수 있기 때문에, 조사면의 에너지 분포의 격차, 얻어진 결정화 반도체막의 격차, TFT마다의 소자 특성의 격차가 적어, 높은 스루풋에서의 고생산성에 의한 비용 절감이 가능하다.
- <24> (9) 특히, 구리 분말, 철 분말 등의 열선 흡수재를 함유시킨 컬러 필터 유리(열선 흡수 필터) 또는 ITO막 등의 적외선 반사막을 코팅한 콜드 미러/콜드 필터 또는 양자를 조합한 필터(열선 흡수 필터에 적외선 반사막을 코팅한 것 등) 등의 적어도 적외선을 차단 또는 저감하는 열선 차단 필터 또는 열선 저감 필터를 사용한 강한 자외선 광의 플래시 램프 어닐링에서는 저온(200 내지 400°C)에서 적용할 수 있기 때문에, 염가이고 대형화가 용이한 알루미노 규산 유리, 봉규산 유리 등의 저왜곡점 유리나 폴리이미드 등의 내열성 수지를 채용할 수 있어, 경량화와 비용 절감을 도모할 수 있다.
- <25> (10) 톱 게이트형뿐만 아니라, 보텀 게이트형, 듀얼 게이트형 및 백 게이트형 MOSTFT라도, 높은 캐리어 이동도의 다결정성 반도체막 또는 단결정성 반도체막 등이 얻어지기 때문에, 이 고성능 반도체막을 사용한 고속, 고전류 밀도의 반도체 장치, 전기 광학 장치, 나아가서는 고효율의 태양 전지 등의 제조가 가능해진다. 예를 들면, 실리콘 반도체 장치, 실리콘 반도체 집적 회로 장치, 탄화규소 반도체 장치, 탄화규소 반도체 집적 회로 장치, III-V 및 II-VI족 화합물 반도체 장치, III-V 및 II-VI족 화합물 반도체 집적 회로 장치, 다결정성 또는 단결정성 다이아몬드 반도체 장치, 다결정성 또는 단결정성 다이아몬드 반도체 집적 회로 장치, 액정 표시 장치, 전계 발광(유기/무기) 표시 장치, 발광 폴리머 표시 장치, 발광 다이오드 표시 장치, 광 센서 장치, CCD 에어리어/리니어

센서 장치, CMOS 센서 장치, 태양 전지 장치 등이 제조 가능하다.

<26> 또한, 본 발명에 있어서, 상기 저급 결정성 반도체 박막이란 후술하는 정의와 같이, 어몰퍼스(비정질)로 이루어지는 구조, 미결정(그레인 사이즈에서는 통상 10nm 이하)으로 이루어지는 구조, 미결정도 함유하는 어몰퍼스(비정질)를 베이스로 한 구조, 어몰퍼스(비정질)도 함유하는 미결정을 베이스로 한 구조, 더욱이 어몰퍼스(비정질) 및 미결정도 함유하는 다결정을 베이스로 한 구조로 주로 이루어지며, 상기 다결정성 반도체 박막은 그러한 어몰퍼스 성분이 제거된 큰 입자 직경(그레인 사이즈에서는 통상, 수 100nm 이상)의 다결정을 베이스로 하여, 미결정도 함유하는 구조로 주로 이루어진다. 또한, 상기 단결정성 반도체막은 단결정 실리콘 등의 단결정 반도체는 물론, 단결정 화합물 반도체(예를 들면, 단결정 갈륨 비소)나 단결정 실리콘-게르마늄을 포함하는 개념으로, 단결정성이란 아립계나 전이를 함유하는 단결정에 대해서도 이것을 포함시킨 개념이라 정의한다. 또한, 상기 다결정성 다이아몬드막은 어몰퍼스(비정질) 다이아몬드를 거의 함유하지 않고, 미결정 다이아몬드 및 다결정 다이아몬드를 함유하는 결정성 다이아몬드막으로 한다.

효과

<27> 본 발명은 상술한 바와 같이, 기체 상에 저급 결정성 반도체 박막을 형성하여, 이 저급 결정성 반도체 박막에 플래시 램프 어닐링을 실시하고, 용융 또는 반용융 또는 비용융 상태의 가열과 냉각에 의해 상기 저급 결정성 반도체 박막의 결정화를 촉진하여, 다결정성 또는 단결정성 반도체 박막을 형성하고 있기 때문에, 다음 (1) 내지 (10)에 나타내는 현저한 작용 효과가 얻어진다.

<28> (1) 임의의 μ sec 내지 msec의 단시간에서의 1회 또는 수회 반복의 플래시 조사를 할 수 있는 플래시 램프 어닐링에 의해, 높은 조사 에너지를 저급 결정성 실리콘 등의 저급 결정성 반도체 박막에 주고, 이것을 용융 또는 반용융 또는 비용융 상태의 가열과 냉각, 바람직하게는 서냉각함으로써, 큰 입자 직경의 고캐리어 이동도, 고품질의 다결정성 실리콘 박막 등의 다결정성 또는 단결정성 반도체 박막이 얻어지고, 생산성이 대폭 향상하여, 대폭적인 비용 절감이 가능해진다.

<29> (2) 플래시 램프 어닐링은 임의의 개수의 램프와 그 플래시식 방전 기구를 장착함으로써, 예를 들면, ① 1000mm \times 1000mm의 큰 면적을 일괄하여, 1회 또는 필요회수 반복하여 플래시 조사한다, ② 200mm \times 200mm 정사각형 모양으로 집광 정형한 플래시 조사광을 검류계 스캐닝으로 주사시켜, 필요에 따라서 오버랩 스캐닝으로 플래시 조사한다, ③ 200mm \times 200mm 정사각형 모양으로 집광 정형한 플래시광 조사 위치를 고정하여, 기판을 스텝 & 리피트로 이동시켜 필요에 따라서 오버랩 스캐닝하여 플래시 조사하는 것과 같이, 기판 또는 플래시 조사광을 임의의 방향과 속도로 이동시켜, 가열 용융 및 냉각 속도를 제어하며, 임의의 큰 면적의 저급 결정성 실리콘 박막 등을 극히 단시간에 다결정화 또는 단결정화할 수 있기 때문에, 극히 생산성이 높고, 대폭적인 비용 절감이 실현된다.

<30> *(3) 플래시 조사광을 임의의 선형, 직사각형 또는 정사각형 모양 또는 원 모양으로 집광 정형하여 조사함으로써, 조사 강도, 결국 용융 효율 및 스루풋 향상과 결정화의 균일성 향상에 의한 캐리어 이동도의 격차 저감을 도모할 수 있다.

<31> (4) 플래시 램프 어닐링에 의해 결정화시킨 다결정성 실리콘 등의 막 상에 저급 결정성 실리콘 등의 막을 적층하여, 다시 이 플래시 램프 어닐링으로 결정화하는 방법을 반복함으로써, μ m 단위의 두께로 큰 입자 직경에서의 고캐리어 이동도, 고품질의 다결정성 실리콘막 등을 적층 형성할 수 있다. 이로써, MOSLSI뿐만 아니라, 고성능, 고품질의 바이폴라 LSI, CCD 에어리어/리니어 센서, CMOS 센서, 태양 전지 등도 형성할 수 있다.

<32> (5) 저급 결정성 반도체 박막의 막 두께, 유리 등의 기판의 내열 온도, 희망하는 결정 입자 직경(캐리어 이동도) 등에 따라서, 플래시 램프 어닐링의 파장 조정(밀봉 가스 기체의 변경, 열선 저감 필터 또는 열선 차단 필터 채용, 방전 조건의 변경 등), 조사 강도, 조사 시간 등의 제어가 용이하기 때문에, 고캐리어 이동도, 고품질의 다결정성 실리콘 박막 등이 제현성 좋게 고생산성으로 얻어진다.

<33> (6) 크세논 램프, 크세논-수은 램프, 크립톤 램프, 크립톤-수은 램프, 크세논-크립톤 램프, 크세논-크립톤-수은 램프, 메탈 할라이드 램프 등의 플래시 램프 어닐링의 램프는 XeCl, KrF 등의 엑시머 레이저-어닐링 장치의 엑시머 레이저 발진기에 비하여 훨씬 염가이고, 긴 수명화로 보수가 간단하기 때문에, 생산성 향상과 운전 자금 저감에 의해 대폭적인 비용 절감이 가능하다.

<34> (7) 주로 플래시 램프와 방전 회로로 구성되는 플래시 램프 어닐 장치는 엑시머 레이저-어닐링 장치에 비하여 간단한 구조의 장치이기 때문에, 염가로, 비용 절감이 가능하다.

<35> (8) XeCl , KrF 등의 액시머 레이저-어닐링 처리는 nsec 정도의 펄스 발진형 레이저를 사용하기 때문에, 그 출력의 안정성에 과제가 있고, 조사면의 에너지 분포의 격차, 얻어진 결정화 반도체막의 격차, TFT 마다의 소자 특성의 격차가 보인다. 그래서, 400°C 정도의 온도를 부여하면서 액시머 레이저 펄스를, 예를 들면, 5회, 30회 등의 다수회 조사하는 방법이 채용되고 있지만, 그래도, 조사 격차에 의한 결정화 반도체막 및 TFT 소자 특성의 격차, 스루풋 저하에서의 생산성 저하에 의한 비용 증가가 있다. 이에 대하여 플래시 램프 어닐링에서는 상기 (2)와 같이, 예를 들면, $1000\text{mm} \times 1000\text{mm}$ 의 큰 면적을 μsec 내지 msec 정도의 펄스로 일괄 플래시 조사할 수 있기 때문에, 조사면의 에너지 분포의 격차, 얻어진 결정화 반도체막의 격차, TFT 마다의 소자 특성의 격차가 적고, 높은 스루풋에서의 고생산성에 의한 비용 절감이 가능하다.

<36> (9) 특히, 열선 저감 필터 또는 열선 차단 필터를 사용한 강한 자외선광의 플래시 램프 어닐링에서는 저온(200 내지 400°C)에서 적용할 수 있기 때문에, 염가이고 대형화가 용이한 알루미노 규산 유리, 봉규산 유리 등의 저왜곡점 유리나, 폴리아미드 등의 내열성 수지를 채용할 수 있고, 경량화와 비용 절감을 도모할 수 있다.

<37> (10) 톱 게이트형뿐만 아니라, 보텀 게이트형, 듀얼 게이트형 및 백 게이트형 MOSTFT라도, 높은 캐리어 이동도의 다결정성 반도체막 또는 단결정성 반도체막 등이 얻어지기 때문에, 이 고성능의 반도체막을 사용한 고속, 고전류 밀도의 반도체 장치, 전기 광학 장치, 또한 고효율의 태양 전지 등의 제조가 가능해진다. 예를 들면, 실리콘 반도체 장치, 실리콘 반도체 집적 회로 장치, 전계 방출 디스플레이(FED) 장치, 실리콘-게르마늄 반도체 장치, 실리콘-게르마늄 반도체 집적 회로 장치, 탄화 규소 반도체 장치, 탄화 규소 집적 회로 장치, III-V 및 II-VI족 화합물 반도체 장치, III-V 및 II-VI족 화합물 반도체 집적 회로 장치, 다결정성 또는 단결정성 다이아몬드 반도체 장치, 다결정성 또는 단결정성 다이아몬드 반도체 집적 회로 장치, 액정 표시 장치, 전계 발광(유기/무기) 표시 장치, 발광 폴리머 표시 장치, 발광 다이오드 표시 장치, 광 센서 장치, CCD 에어리어/리니어 센서 장치, CMOS 센서 장치, 태양 전지 장치 등을 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

<38> 본 발명에 있어서, 상기 저급 결정성 반도체 박막은 촉매 CVD나 플라즈마 CVD 등에 의해 기상 성장시켜도 되지만, 이것에 사용하는 원료 가스는 수소화규소 또는 그 유도체, 수소화규소 또는 그 유도체와 수소, 질소, 게르마늄, 탄소 또는 주석을 함유하는 가스와의 혼합물, 수소화규소 또는 그 유도체와 주기표 제 III족 또는 제 V족 원소로 이루어지는 불순물을 함유하는 가스와의 혼합물, 수소화규소 또는 그 유도체와 수소, 질소, 게르마늄, 탄소 또는 주석을 함유하는 가스와 주기표 제 III족 또는 제 V족 원소로 이루어지는 불순물을 함유하는 가스와의 혼합물 등을 들 수 있다.

<39> 상기와 같은 원료 가스를 사용함으로써, 어몰퍼스 실리콘막, 미결정 실리콘 함유 어몰퍼스 실리콘막, 미결정 실리콘(어몰퍼스 실리콘 함유 미결정 실리콘)막, 어몰퍼스 실리콘 및 미결정 실리콘 함유 다결정 실리콘막, 어몰퍼스 게르마늄막, 미결정 게르마늄 함유 어몰퍼스 게르마늄막, 미결정 게르마늄(어몰퍼스 게르마늄 함유 미결정 게르마늄)막, 어몰퍼스 게르마늄 및 미결정 게르마늄 함유 다결정 게르마늄막, $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)로 도시되는 어몰퍼스 실리콘 게르마늄막, 어몰퍼스 카본막, 미결정 카본 함유 어몰퍼스 카본막, 미결정 카본(어몰퍼스 카본 함유 미결정 카본)막, 어몰퍼스 카본 및 미결정 카본 함유 다결정 카본막, $\text{Si}_x\text{C}_{1-x}$ ($0 < x < 1$)로 도시되는 어몰퍼스 실리콘 카본막 또는 $\text{Ga}_x\text{As}_{1-x}$ ($0 < x < 1$)로 도시되는 어몰퍼스 갈륨 비소막 등으로 이루어지는 상기 저급 결정성 반도체 박막을 형성할 수 있다. 이 저급 결정성 반도체 박막은 어몰퍼스을 베이스로 하고, 또한 미결정을 포함할 경우에는 결정 성장의 시드(seed)가 되는 입자 직경이 10nm 이하인 미결정이 점재하는 것이 좋다.

<40> 그리고, 이 저급 결정성 반도체 박막의 성장 시 또는 성장 후에, 주석, 게르마늄, 납 등의 IV족 원소의 적어도 1종을 적량(합계가, 예를 들면, 10^{17} 내지 10^{22}atoms/cc , 바람직하게는 10^{18} 내지 10^{20}atoms/cc) 함유시켜, 이 상태에서 상기 플래시 램프 어닐링을 행하면, 이 저급 결정성 반도체 박막이 결정화될 때에, 결정화를 촉진함과 함께, 예를 들면, 다결정성 반도체 박막의 결정 입체(그레이인 바운더리)에 존재하는 부정을 저감하여, 그 막 스트레스를 저감하여 고캐리어 이동도, 고품질의 다결정성 반도체 박막이 얻어지기 쉬워진다. 이 IV족 원소는 원료 가스 중에 가스 성분으로서 혼합하거나, 혹은 이온 주입 또는 이온 도핑에 의해, 저급 결정성 반도체 박막 중에 함유시킬 수 있다. 또한, 감압 CVD 등에서의 미결정 실리콘막에, 예를 들면, $1 \times 10^{15}\text{atoms/cm}^2$ 의 도즈량으로 실리콘 또는 게르마늄 이온 주입하여 어몰퍼스 실리콘화한 후에 플래시 램프 어닐링하여 큰 입자 직경 다결정성 또는 단결정성 실리콘 박막을 형성하여도 된다.

<41> 또한, 본 발명에 의한 큰 입자 직경 다결정성 또는 단결정성 반도체막 중의 산소, 질소, 탄소 농도는 각각 $1 \times$

10^{19} atoms/cc 이하, 바람직하게는 5×10^{18} atoms/cc 이하가 좋으며, 수소 농도는 0.01원자% 이상이 바람직하다. 또한, 나트륨이 SIMS 최저 농도 영역에서 1×10^{18} atoms/cc 이하가 바람직하다.

<42> 상기 플래시 램프 어닐링에 의해 상기 저급 결정성 실리콘 등의 저급 결정성 반도체 박막을 큰 입자 직경의 다결정성 실리콘 등의 다결정성 반도체 박막으로 개질(改質)시키지만, 이 이외에도 상기 기체에 있어서 소정의 소자 형성 예정 영역에 소정 형상 및 치수의 단자 부착 오목부를 형성하여, 이 오목부를 포함하는 상기 기체 상에 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 상기 저급 결정성 실리콘 박막을 형성한 후, 상기 플래시 램프 어닐링에 의해 상기 단자의 낮은 변의 각진 부분을 시드로 그래포 에피택셜 성장시키면, 상기 저급 결정성 실리콘 박막을 단결정성 실리콘 박막으로 개질시킬 수 있다.

<43> 혹은, 상기 기체에 있어서 소정의 소자 형성 예정 영역에 단결정 실리콘과 격자 정합이 좋은 결정성 사파이어 등의 물질층을 형성하여, 이 물질층 상에 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 상기 저급 결정성 실리콘 박막을 형성한 후, 상기 플래시 램프 어닐링에 의해 상기 물질층을 시드로 헤테로 에피택셜 성장시키면, 상기 저급 결정성 실리콘 박막을 단결정성 실리콘 박막으로 개질시킬 수 있다. 상기 그래포 에피택셜 성장 또는 상기 헤테로 에피택셜 성장으로 형성한 단결정성 실리콘 박막 표면 등을 CMP(Chemical Mechanical Polishing) 또는 선택적 에칭 등을 하여 아일랜드(island)화한 소정의 막 두께 및 면적의 단결정성 실리콘 박막을 형성하고, 필요에 따라서 고온열산화, 저온 고압 어닐링, CVD 등에 의해 게이트 절연막 또는 보호막을 형성하여 SCSOS 기판, 예를 들면, SCSOG 기판을 제작하여도 된다. 여기서 SCSOS: Single Crystal Semiconductor (Silicon) on Substrate, SCSOG: Single Crystal Semiconductor (Silicon) on Glass이다.

<44> 그리고, 이 플래시 램프 어닐링과 저급 결정성 반도체 박막의 성막을 반복함으로써, 막을 적층하여 μm 단위의 다결정성 또는 단결정성 반도체 후막을 형성하여도 된다. 즉, 1회째의 플래시 램프 어닐링으로 큰 입자 직경의 다결정성 또는 단결정성 반도체 박막을 형성하고, 그 위에 저급 결정성 반도체 박막을 적층 형성하며, 다음으로 이 하지의 큰 입자 직경 다결정성 또는 단결정성 반도체 박막을 시드로 2회째와 동일한 플래시 램프 어닐링에 의해 큰 입자 직경 다결정성 또는 단결정성 반도체막의 적층 형성하는 것을 필요 회수 반복하여, μm 단위의 막 두께의 큰 입자 직경 다결정 또는 단결정성 반도체막을 적층 형성할 수 있다. 이러한 적층 시는 하지막의 큰 입자 직경 다결정성 또는 단결정성 반도체막을 시드로 하여 차례로 적층 형성하기 때문에, 막 표면에 가까울수록 고결정화율, 고순도인 큰 입자 직경 다결정성 또는 단결정성 반도체막을 적층 형성할 수 있다. 이 때는 각 어닐링 후의 결정화막 표면에 저속 산화막 형성이나 컨테미네이션(contamination)(불순물질) 부착이 없는 것이 중요해진다.

<45> 저속 산화막 형성 및 컨테미네이션 방지, 생산성 향상 면에서, 저급 결정성 반도체 박막 형성 공정 또는 수단(플라즈마 CVD, 촉매 CVD, 스퍼터 등)과, 플래시 램프 어닐링 공정 또는 어닐러를 일체화한 장치로 하여, 예를 들면, 인라인(연속 챔버) 방식(리니어형, 회전형), 멀티 챔버 방식, 클러스터 방식 등에 의해 연속적으로 혹은 순차로 행하는 것이 바람직하다.

<46> 이들 중, 다음 (1) 또는 (2)의 클러스터 방식이 보다 바람직하다.

<47> (1) CVD부에서 저급 결정성 반도체 박막을 형성한 후, 어닐러부의 플래시 램프 어닐링으로 결정화하여, 이것을 CVD부로 되돌려 그 위에 저급 결정성 반도체 박막을 형성하여, 다시 어닐러부의 플래시 램프 어닐링으로 결정화를 행하는 공정을 반복하는 클러스터 방식 일체화 장치.

<48> (2) CVD-1부에서 하지 보호막(산화 실리콘/질화 실리콘 적층막 등)을 형성하고, CVD-2부에서 저급 결정성 반도체 박막을 형성한 후, 필요에 따라서 이온 도핑/이온 주입부에서 IV족 원소를 첨가하고 나서, 어닐러부의 플래시 램프 어닐링으로 결정화하고, 더욱이 CVD-3부에서 게이트 절연막(산화 실리콘막 등) 형성 작업을 연속하는 클러스터 방식 일체화 장치.

<49> 그리고, 이 때에, 플래시 램프 어닐링을 다시 행하기 전에, 예를 들면, 상기 다결정성 반도체 박막에 대하여 수소 또는 수소 함유 가스의 플라즈마 방전 또는 촉매 반응에서 생성한 수소계 활성종 등을 작용시켜(즉, 플라즈마 또는 촉매 AHA(Atomic Hydrogen Anneal) 처리에 의해), 상기 다결정성 반도체 박막의 표면 클리닝 및/또는 산화 피막 제거를 행하고, 그 후에 상기 저급 결정성 반도체 박막 형성 후에 상기 플래시 램프 어닐링을 행하는 것이 바람직하다. 이 경우(혹은 다른 경우도), 플래시 램프 어닐링을 특히 감압 수소 중 또는 감압 수소 함유 가스 중 또는 진공 중에서 행하는 것이 바람직하다.

<50> 즉, 구체적으로는 다음의 (1) 또는 (2)의 조건이 바람직하다.

- <51> (1) CVD에 의한 성막 전에 원료 가스를 흘리지 않고 수소계 캐리어 가스만으로 플라즈마 또는 촉매 AHA 처리함으로써, 1회째의 플래시 램프 어닐링으로 형성된 다결정성 실리콘 박막 표면의 컨테미네이션(저속 산화막, 수분, 산소, 질소, 탄산 가스 등)을 제거하여 계면을 클리닝하여, 잔존하는 어몰퍼스 실리콘 성분을 에칭하여 고결정화율의 다결정 실리콘 박막화하기 때문에, 이 하지를 시드로 하여 깨끗한 계면 상에 적층하는 저급 결정성 실리콘 박막은 다음 플래시 램프 어닐링에 의해, 양호한 결정의 큰 입자 직경 다결정성 또는 단결정성 반도체 박막으로서 적층 형성된다.
- <52> (2) 산화 및 질화 방지를 위해, 플래시 램프 어닐링을 감압 수소 또는 감압 수소계 가스 분위기 중 또는 진공 중에서 행한다. 이 분위기로서는 수소 또는 수소와 불활성 가스(아르곤, 헬륨, 크립톤, 크세논, 네온, 라돈)와의 혼합 가스로, 가스압은 1.33Pa 이상으로 대기압 미만, 바람직하게는 133Pa 내지 $4 \times 10^4\text{Pa}$ 이다. 진공도는 1.33Pa 이상으로 대기압 미만, 바람직하게는 13.3Pa 내지 $1.33 \times 10^4\text{Pa}$ 이다. 단, 저급 결정성 반도체 박막 표면에 절연성 보호막(산화 실리콘막 또는 질화 실리콘막, 산질화 실리콘막 또는 산화 실리콘/질화 실리콘 적층막 또는 산화 실리콘/질화 실리콘/산화 실리콘 적층막 등)이 있는 경우는 또는 연속 작업이 아닌 경우는 공기 중, 대기압 질소 중이라도 된다.
- <53> 플래시 램프 어닐링을 감압 수소 또는 감압 수소 함유 가스 중에서 행하면, 분위기 가스를 구성하는 비열이 커져 열 냉각 효과가 큰 기체 분자가 박막면에 충돌하여, 이탈할 때에 박막의 열을 빼앗기 때문에, 국부적으로 온도가 낮은 부분을 형성하며, 이로써, 이 부분에서 결정핵이 발생하고, 결정 성장을 촉진하는 일이 있다. 이 때의 분위기 가스가 수소 가스 또는 수소와 불활성 가스(He, Ne, Ar 등)의 혼합 가스이면, 그 가스압을 1.33Pa 이상이고 대기압 미만, 바람직하게는 133Pa 내지 $4 \times 10^4\text{Pa}$ 로 하는 것이 좋지만, 이것은 비열이 높은 수소 분자 등의 운동에 의해 상기 작용 효과가 확실하게 얻어지기 때문이다.
- <54> 또한, 플래시 램프 어닐링 시에, 저항 가열 히터, 적외선 램프 등에 의해 기판을 그 왜곡점 이하의 온도로 가열하는 것이 좋다. 폴리이미드 등의 내열성 수지 기판이나 봉규산 유리, 알루미나 규산 유리 등의 저왜곡점 유리 기판에서는 200 내지 500°C , 바람직하게는 300 내지 400°C 로, 석영 유리, 결정화 유리 등의 내열성 기판에서는 200 내지 800°C , 바람직하게는 300 내지 600°C 이다.
- <55> 플래시 램프 어닐링하는 방법으로서는 ① 큰 면적을 일괄하여 적어도 1회 플래시 조사하는 일괄 플래시 조사, ② 동일 영역을 플래시 조사하면서 적어도 1회 주사하는 스캐닝 조사, ③ 또는 플래시 조사광에 대하여 상기 기체를 상대적으로 스텝 이송 및/또는 리피트 이송하면서 적어도 1회 플래시 조사하는 스텝 및/또는 리피트 조사가 있다. 구체적으로는 다음과 같다. 더구나, 필요에 따라서, 오버랩하여 주사시켜, 동일한 영역을 1회 또는 필요 회수 반복하여 플래시 조사하여도 된다.
- <56> ① 일괄 플래시 조사
- <57> 예를 들면, $1000 \times 1000\text{mm}$ 의 큰 면적 기판을 일괄하여, 1회 또는 필요 회수 반복하여 플래시 조사한다.
- <58> ② 검류계 스캐닝으로 플래시 조사
- <59> 기판을 고정시켜, 예를 들면, $200 \times 200\text{mm}$ 정사각형 모양으로 집광 정형한 플래시 조사광을 검류계 스캐너로 주사시켜, 동일 영역 내를 1회 또는 필요 회수 반복하여 플래시 조사한다.
- <60> ③ 스텝 & 리피트로 플래시 조사
- <61> 예를 들면 $200 \times 200\text{mm}$ 정사각형 모양으로 집광 정형한 플래시 조사광 위치를 고정시키고, 기판을 고정 밀도 X-Y 이동시켜, 동일 영역을 1회 또는 필요 회수 반복하여 플래시 조사한다.
- <62> 플래시 램프에는 플래시식으로 하여 반복하여 발광시킬 수 있다. 예를 들면, 크세논 램프, 크세논-수은 램프, 크세논-크립톤 램프, 크립톤 램프, 크립톤-수은 램프, 크세논-크립톤-수은 램프, 메탈 할라이드 램프 등이 적합하다.
- <63> 플래시 램프로부터의 조사광은 적어도 자외선 파장 영역의 발광 스펙트럼을 도시하는 바와 같이 파장 제어하는 것이 좋다(필요에 따라서 구리 분말, 철 분말, 인산 등의 열선 흡수재를 함유시킨 컬러 필터 유리(열선 흡수 필터) 또는 ITO막 등의 적외선 반사막을 코팅한 콜드 미러/콜드 필터 또는 양자를 포갠 필터(예를 들면, 열선 흡수 필터에 적외선 반사막을 코팅한 것) 등의 적어도 적외선을 차단 또는 저감하는 열선 차단 필터 또는 열선 저감 필터를 통해, 기판의 온도 상승을 방지하여도 된다). 또한, 플래시 램프 어닐링 시에 플래시 램프에 흘리는 방전 전류의 피크치 및 시간 폭 및 램프 발광의 반복 속도를 적당히 조정할 수 있도록 한 플래시식 방전 기구와

자외선 등의 광원 램프를 포함하는 발광 장치를 사용할 수 있다.

- <64> 예를 들면, 도 8에 도시하는 바와 같은 크세논 플래시 램프의 발광 스펙트럼에 있어서 동일 형상의 램프를 사용할 경우는, 콘덴서의 충전 전압을 높게 하여 방전시키면, 방전 시의 방전 전류 파형의 피크치가 올라, 결과적으로, 파장 400nm 이하의 자외선 파장 영역의 스펙트럼 강도가 상대적으로 증대한다. 또한, 콘덴서의 충전 전압이 일정한 경우는, 인덕턴스를 작게 할수록 1/3 펄스 폭이 감소하고, 방전 전류 파형의 피크치가 증대하여, 결과적으로 파장 400nm 이하의 자외선 파장 영역의 스펙트럼 강도가 상대적으로 증대한다.
- <65> 큰 입자 직경(고캐리어 이동도)의 다결정화 촉진과, 상기한 그래포 에피택셜 또는 헤테로 에피택셜 성장에서의 단결정화 촉진을 위해서는 실리콘 용융 후에 서냉각하는 것이 바람직하기 때문에, 플래시 램프 어닐링 시의 플래시 시간(펄스 폭)이나 피크치, 램프 발광의 반복 속도 및 빈도를 적당히 제어하고, 특히 1/3 펄스 폭은 길수록 좋으며, 예를 들면, 1밀리초 이상, 바람직하게는 1.5밀리초 이상이 바람직하다. 또한, 1/3 펄스 폭은 저급 결정성 반도체 박막의 제법, 막 두께, 피조사 면적 및 형상 등에 의해 수시 변경하는 것이 바람직하다.
- <66> 본 발명에 사용하는 플래시 램프 광원 장치는 다음의 (1) 내지 (4) 중 적어도 하나의 구성으로 이루어져 있어도 된다.
- <67> (1) 램프를 수용한 어스 전위의 케이스 내에 설치된 반사 부재로서, 필요시 상기 반사 부재의 표면에 미세한 요철이 형성되는, 상기 반사 부재. 구체적으로는 순환 냉매(순수(純水) 등)로 냉각된 어스 전위의 금속제 외위기(外圍器)의 내부에 반사 부재(알루미늄판 등)가 설치되고, 이 반사 부재의 표면에 미세한 요철 형상(블래스트 가공, 애칭 등)을 설치하여, 난반사에 의해 반사광의 조도 균일화를 도모하여도 된다.
- <68> (2) 광 차단성 케이스 내에 수용되는 램프 및 반사 부재로서, 필요시 열선 흡수성 또는 열선 차단성 투명 부재를 통해 플래시 조사광이 유도되는, 상기 램프 및 반사 부재. 구체적으로는 플래시 램프 및 반사 부재 등을 광 차단의 금속제 외위기로 모이며, 필요에 따라서 구리 분말, 철 분말, 인산 등의 열선 흡수재를 함유시킨 컬러 필터 유리(열선 흡수 유리) 또는 ITO막 등의 적외선 반사막을 코팅한 콜드 미러/콜드 필터 또는 양자를 조합한 필터(예를 들면, 열선 흡수 필터에 적외선 반사막을 코팅한 필터) 등의 적어도 적외선을 차단 또는 저감하는 열선 차단 필터 또는 열선 저감 필터를 통해 소정 방향으로 효율 좋게 투광된다.
- <69> (3) 케이스 내에 수용되는 램프 및 반사 부재로서, 반사 집광된 플래시 조사광 및 전방에의 플래시 조사광이 집광 렌즈 또는 광 정형기를 통해 유도되는, 상기 램프 및 반사 부재. 구체적으로는 띠 모양의 플래시 광으로 조사할 경우는, 복수의 플래시 램프 후방에 순환 냉매(순수 등)로 냉각된 오목형 집광 반사 부재를 배치하여, 반사 집광시킨 플래시 조사광 및 전방 플래시 조사광을 더욱 집광 렌즈로 조여 조도가 향상한 띠 모양의 플래시 조사광으로 한다. 또한, 정사각형 모양 또는 직사각형 모양의 플래시 조사광으로 큰 면적 일괄 조사할 경우는, 복수의 플래시 램프 후방에 순환 냉매(순수 등)로 냉각된 반사 부재를 배치하여, 반사시킨 플래시 조사광 및 전방 플래시 조사광을 광 정형기(광 균질기(homogenizer) 등)로 정형하여 조도 균일성을 향상시킨다. 이 때도, 필요에 따라서 상기 열선 저감 필터 또는 열선 차단 필터를 통해 소정 방향으로 투광하여도 된다. 또한, 이 광 정형기(광 균질기 등)에 열선 반사막을 코팅하여도 된다.
- <70> (4) 순수 등의 순환 냉매로 냉각되는 반사 부재 및 케이스.
- <71> 또한, 상기 플래시 램프 어닐링에 사용하는 램프의 외벽에 트리거 전극을 설치하는 것이 좋다(트리거 방식). 이 경우, 플래시 램프를 평행 평판형 발광판으로서 형성하여, 이 발광판 내에 한 쌍 또는 복수 쌍의 대향 전극을 배치하고, 또한 상기 대향 전극간에 있어서 상기 발광판의 외벽에 상기 트리거 전극 박막 패턴 또는 트리거 전극 조립체를 상기 대향 전극의 적어도 한 쌍의 수만큼 설치하는 것이 좋다.
- <72> 또한, 직관형 발광판 내에 복수 쌍의 대향 전극을 배치하여, 이들 대향 전극간에 있어서 상기 발광판의 외벽에 트리거 전극 조립체 또는 트리거 전극 박막 패턴을 설치하여도 된다.
- <73> 플래시 램프의 점등 방법은 통상의 백열 전구와는 달리, 램프 내에 밀봉된, 예를 들면, 크세논 가스는 전기적으로 절연체이기 때문에, 특별한 고전압 발생의 회로에 의한 트리거 전압으로 램프 내벽에 미리 절연을 파괴하여 전류가 흐르는 길(스트리머)이 만들어진다. 미리 직류 전류에 의해 충전되어, 축적된 주방 전용 콘덴서 내의 전하는 이 길을 따라 방전하여, 램프가 점등한다. 램프의 점등 모드에는 2종류 있으며, 반복하여 점등할 때에, 점등을 용이하게 하기 위해 늘 미소의 예비 전류를 흘려 전기적인 도체로 유지하여, 용이하게 주방전을 할 수 있도록 한 방식(시마 방식)과, 예비 전류가 없어, 점등 때마다 고전압을 인가하여 기체를 절연 파괴하여 점등시키는 방식(트리거 방식)이 있으며, 모두 섬광적으로 1회 또는 반복 발광이 가능한 플래시식 방전 기구(직류 전

원, 전하 축적용 콘텐서, 방전 시의 전류 과정 제어용 코일, 플래시 램프 등)를 갖고 있다.

- <74> 본 발명에서는 어느 방식도 적용 가능하지만, 트리거 방식에 대해서는 종래의 플래시 램프 구조에서는, 예를 들면, 석영 유리제 직경 10mm, 길이 150mm인 직관형 발광관의 양단 근방에 한 쌍의 전극이 대향 배치되며, 발광관의 외벽에 트리거 전극 조립체가 배치되어 있지만, 본 발명에서는 이러한 구조뿐만 아니라, 예를 들면, 세로 150×가로 100×높이 10mm의 평행 평판형 발광관의 양단 근방에 한 쌍 또는 복수 쌍의 전극이 대향 배치되며, 발광관의 외벽에 트리거 전극 박막 패턴 또는 트리거 전극 조립체가 배치된 구조로 하여도 된다. 이 때에, 석영 유리제 발광관 벽면(내측 또는 외측 또는 쌍방)을 미세 요철 가공(블래스트, 에칭 등)함으로써, 플래시 조사광의 조도 균일화를 도모하여도 된다. 더욱이, 평행 평판형 발광관의 경우, 복수의 각각의 음극 및 양극과 트리거 금속선 또는 트리거 전극 패턴의 간격이 같은 거리가 되도록 설치하는 것이 바람직하다.
- <75> 이러한 평행 평판형(직방체) 발광관은, 예를 들면, 세로 150×가로 100×높이 10mm인 평행 평판형 발광관의 양단 근방에 한 쌍 또는 복수 쌍의 전극이 대향 배치되며, 발광관의 외벽에 트리거 전극 조립체 또는 트리거 전극 박막 패턴이 배치된 구조이기 때문에, 플래시 조사 면적의 확대와 조사광의 조도 균일화를 도모할 수 있다. 또한, 더욱이 석영 유리제의 평행 평판형 발광관 및 직관형 발광관의 경우에, 발광관 벽면(내측 또는 외측 또는 쌍방)을 미세 요철 가공(블래스트, 에칭)함으로써, 플래시 조사광의 조도 균일화가 향상된다. 더구나, 램프 형상으로서, 그형, 스파이럴형(모기향형), 스파이럴형+동심원형 등으로 하여도 된다.
- <76> 벨브 외벽에 투명 도전성 피막을 설치하고, 더욱이 그 위에 스프링성이 있는 나선형 금속선을 설치하여, 상기 금속의 한쪽 끝을 프리로 하고, 다른쪽 끝 부분을 상기 피막에 도전성 페인트로 고착하는 플래시 램프(실용 신안 제 2555672호 참조)에, 상기와 같은 벨브 또는 직방체 외벽에 미세 요철 가공을 추가하면, 플래시 조사광의 조도 균일화, 투명 도전성 피막의 밀착성이 개선되고, 스프링성이 있는 나선형 금속선의 밀착성도 개선되기 때문에, 안정된 발광과 긴 수명화가 가능해진다.
- <77> 예를 들면 세로 150×가로 100×높이 10mm인 평행 평판형 발광관은 길이 150mm×직경 10mm인 직관형 발광관의 10개분의 조사 면적임에도 불구하고, 토탈로 하여 낮은 소비 전력으로 플래시 조사할 수 있기 때문에, 효율이 좋으며, 염가로 교환 빈도가 적어, 비용 절감이 실현된다.
- <78> 이 때에, 평행 평판형 발광관의 투광면의 반대면 측에 투명 도전성 피막 또는 금속 피막을 패터닝하여 트리거 전극선을 병렬로 설치함으로써, 복수 쌍의 전극간 방전 격차를 저감하기 때문에, 안정된 발광과 긴 수명화가 가능해진다.
- <79> 발광관 후방에 냉각한 반사 부재를 설치하면, 사용 중에 고온도가 되지 않기 때문에, 반사 부재 기능이 열화하지 않고, 램프 동작이 안정화되며, 또한 쓸데 없는 가스를 방출시켜 외위기 내부의 분위기를 악화시킬 일이 없기 때문에, 안정된 발광과 긴 수명화가 가능해진다.
- <80> 또한, 상기 플래시 램프 어닐링에 사용하는 램프를 복수 개 사용하여, 이들 램프를 평면적으로 병치(並置)함과 함께, 복수 개를 서로 직렬 접속하여 각각의 전원에 접속하든지, 각 램프마다 전원을 설치하든지, 혹은 모든 램프를 직렬 접속하여 공통된 전원에 접속하여, 복수의 램프를 동기하여 트리거하여 동시에 발광시킬 수 있다.
- <81> 또한, 플래시 램프를 진공 용기 내에 수용하여, 반사 부재를 진동 흡수재를 통해 상기 진공 용기에 설치하는 것이 좋다.
- <82> *또한, 상기 저급 결정성 반도체 박막 상에, 예를 들면, 산화 실리콘막 또는 질화 실리콘막 또는 산질화 실리콘막 또는 산화 실리콘/질화 실리콘 적층막, 산화 실리콘/질화 실리콘/산화 실리콘 적층막 등의 절연성 보호막을 적당한 막 두께로 형성하여, 이 상태에서 상기 플래시 램프 어닐링을 행하는 것이 좋다. 예를 들면, 상기 기체상에 형성된 상기 저급 결정성 반도체 박막에 대하여, 또는 보호용 절연막을 피복하여, 상기 저급 결정성 반도체 박막의 플래시 조사로 상기 플래시 램프 어닐링을 행함에 있어서, 그 상면으로부터 또는 하면으로부터 또는 상면과 하면으로부터 동시에 상기 플래시 조사를 행하는 것이 좋다(단, 상면 이외의 경우는 기체는 투명(400nm 이하인 파장의 광도 투과하는 것)).
- <83> 이 경우, 상기 저급 결정성 반도체 박막 또는 상기 보호용 절연막을 피복한 상기 저급 결정성 반도체 박막은 소망하는 면적 및 형상으로 아일랜드화된 것, 대기압 질소 중 또는 공기 중에서 상기 플래시 조사를 행하는 것, 감압 수소 가스 중 또는 감압 수소 함유 가스 중 또는 진공 중에서 상기 플래시 조사를 행하는 것(이들은 다른 플래시 조사 조건 하에서도 동일하여도 된다)이 좋다.
- <84> 기관 온도 상승 저감, 막 스트레스 저감, 함유 가스(수소 등)의 순간적 팽창에 의한 막의 크랙 방지, 서냉각에

의한 큰 입자 칙경화 등 때문에, 더욱이, 상기 절연성 보호막을 피복한 저급 결정성 반도체 박막은 소망하는 면적 및 형상으로 패터닝하여 아일랜드화한 상태에서, 상기 플래시 램프 어닐링을 행하는 것이 좋다.

<85> 또한, 자장 및/또는 전장의 작용 하에서 상기 플래시 램프 어닐링을 행하는 것이 좋다.

<86> 플래시 램프 어닐링 시에 기체를 그 왜곡점 이하의 온도, 바람직하게는 300 내지 500°C로 가열해 두면, 어닐링 시에 저급 결정성 반도체 박막의 탈수소화, 결정성 균일화, 막 및 기판 스트레스 저감화, 조사 에너지의 효율 향상, 스루풋 향상 등을 도모할 수 있다. 더구나, 플래시 램프 어닐링하기 전에 저급 결정성 반도체 박막의 탈수소화의 가열(예를 들면, 420 내지 450°C, 30분) 처리해 두어도 된다.

<87> 플래시 램프 어닐링에서 얻어진 상기 다결정성 또는 단결정성 반도체 박막에 의해, MOSTFT의 채널, 소스 및 드레인 영역 또는 다이오드, 배선, 저항, 용량 또는 전자 방출체 등을 형성할 수 있다. 이 경우, 상기 채널, 소스 및 드레인 영역, 다이오드, 저항, 용량, 배선, 전자 방출체 등의 형성 후에 이들 영역에 대하여, 이 플래시 램프 어닐링을 실시하면, 재결정화와 막 중의 n형 또는 p형 불순물의 활성화를 행할 수 있다. 또한, 상기 영역을 소망하는 면적 및 형상의 패터닝(아일랜드화)한 후에 플래시 램프 어닐링하면, 온도 상승에 의한 기판 테미지(크랙, 균열 등)를 방지할 수 있고, 또한 급격한 온도 상승에 의한 막 균열을 방지할 수 있다.

<88> 본 발명은 실리콘 반도체 장치, 실리콘 반도체 집적 회로 장치, 실리콘 게르마늄 반도체 장치, 실리콘-게르마늄 반도체 집적 회로 장치, III-V 및 II-VI족 화합물 반도체 장치, III-V족 및 II-VI족 화합물 반도체 집적 회로 장치, 탄화규소 반도체 장치, 탄화규소 반도체 집적 회로 장치, 다결정성 또는 단결정성 다이아몬드 반도체 장치, 다결정성 또는 단결정성 다이아몬드 반도체 집적 회로 장치, 액정 표시 장치, 유기 또는 무기 전계 발광(EL) 표시 장치, 전계 방출 디스플레이(FED) 장치, 발광 폴리머 표시 장치, 발광 다이오드 표시 장치, CCD 에어리어/리니어 센서 장치, CMOS 또는 MOS 센서 장치, 태양 전지 장치용 등의 박막을 형성하는 데 적합하다.

<89> 예를 들면, 이 박막에 의해 텁 게이트형 또는 보텀 게이트형 또는 듀얼 게이트형 또는 백 게이트형 MOSTFT를 형성하고, 또한 이 MOSTFT에 의한 주변 구동 회로, 영상 신호 처리 회로, 메모리 회로 등의 일체형 전기 광학 표시 장치, 예를 들면, 액정 표시 장치, 유기 EL 표시 장치, FED 표시 장치 등이 얻어진다.

<90> 이 경우, 내부 회로 및 주변 회로를 갖는 반도체 장치, 전기 광학 표시 장치, 고체 활성 장치 등의 제조에 있어서, 이들 회로의 적어도 한쪽을 구성하는 MOSTFT의 채널, 소스 및 드레인 영역을 상기 다결정성 또는 단결정성 반도체 박막에 의해 형성하면 되며, 또한 주변 구동 회로, 영상 신호 처리 회로, 메모리 회로 등의 일체형 구성으로 할 수도 있다.

<91> 또한, 각 색용 유기 또는 무기 전계 발광층(EL층)의 하층에 각각 상기 MOSTFT의 드레인 또는 소스와 접속된 음극 또는 양극을 갖는 EL 소자 구조로 하는 것이 좋다.

<92> 이 경우, 상기 MOSTFT 및 다이오드 등의 능동 소자 위도 상기 음극이 덮이도록 하면, 양극이 상부에 있는 구조에서는 발광 면적이 증대함과 함께, 음극의 차광 작용으로 발광 광이 상기 능동 소자에 입사하여 리크 전류를 발생시키는 것을 방지할 수 있다. 또한, 상기 각 색용 유기 또는 무기 EL층의 각 층상 및 각 층간의 전체 면에 상기 음극 또는 양극이 꾀착되도록 하면, 전체 면이 음극 또는 양극에서 덮임으로써, 습기에 약한 유기 EL층의 열화나 전극 산화를 방지하여, 긴 수명, 고품질, 고신뢰성이 가능해지며, 또한 음극으로 덮이면 방열 효과가 높아지기 때문에, 발열에 의한 유기 EL 박막의 구조 변화(융해 혹은 재결정화)가 저감하여, 긴 수명, 고품질, 고신뢰성이 가능해지고, 더욱이 이로써, 고정밀도, 고품질의 풀 컬러의 유기 EL층을 생산성 좋게 형성할 수 있기 때문에, 비용 절감이 가능해진다.

<93> 또한, 상기 각 색용 상기 유기 또는 무기 EL층간에 크롬, 이산화크롬 등의 블랙 마스크층을 형성하면, 각 색간 또는 화소간에서의 광 누설을 방지하여 콘트라스트가 향상한다.

<94> 본 발명을 전계 방출 디스플레이(FED) 장치에 적용할 때는, 그 이미터(전계 방출 캐소드)를 상기 다결정성 또는 단결정성 반도체막을 통해 상기 MOSTFT의 드레인에 접속함과 함께 상기 다결정성 또는 단결정성 반도체 박막 상에 성장된 n형 다결정성 반도체막 또는 다결정성 다이아몬드막 또는 질소 함유 또는 비함유의 탄소 박막 또는 질소 함유 또는 비함유의 탄소 박막 표면에 형성된 다수의 미세 돌기 구조(예를 들면, 카본나노튜브) 등에 의해 형성하는 것이 좋다.

<95> 이 경우, 상기 MOSTFT, 다이오드 등의 능동 소자 상에 절연막을 통해 어스 전위의 금속 차폐막(이것은 상기 FED의 게이트 인출 전극과 동일 재료로 동일 공정에 의해 형성하면, 공정 간략화 등의 점에서 유리하다)을 형성하면, 기밀 용기 내에 있는 가스가 이미터로부터 방출된 전자에 의해 양이온화되어 절연층 상에 차지 업하여, 이

양전하가 절연층 하에 있는 능동 소자에 불필요한 반전층을 형성하거나, 이 반전층을 통해 여분의 전류가 흐르기 때문에 생기는 이미터 전류의 폭주를 방지할 수 있다. 또한, 이미터로부터 방출된 전자 충돌에 의해 형광체가 발광할 때, 이 광에 의해 MOSTFT의 게이트 채널 내에 전자, 정공이 발생하여 리크 전류가 생기는 것도 방지할 수 있다.

<96> 본 발명은 또한, 기체 상에 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막을 형성하는 제 1 공정과, 상기 기체를 그 왜곡점 이하의 온도로 가열하는 예비 가열 처리(Pre-baking)를 행하는 제 2 공정과, 상기 기체를 그 왜곡점 이하의 온도로 가열하는 보조 가열 상태(Asist-baking)에서의 플래시 램프 어닐링에 의해, 용융 또는 반용융 또는 비용융 상태의 가열과 냉각으로 상기 저급 결정성 반도체 박막의 결정화를 촉진하는 제 3 공정과, 상기 결정화한 반도체 박막을 적어도 상기 기체의 왜곡점 이하의 온도로 냉각할 때까지 후 가열 유지(Post-baking)하는 제 4 공정을 갖는 반도체 박막의 형성 방법 및 반도체 장치의 제조 방법도 제공하는 것이다.

<97> 여기서, 상기 저급 결정성 반도체 박막 및 플래시 램프 어닐링은 상술한 정의의 것이지만, 상기 각 열 처리는 하기의 이유로부터 각각 중요한 것이다(이 정의 및 그 중요성은 후술하는 각 방법에 있어서도 동일하다).

<98> <예비 가열 처리(프리 베이킹; Pre-baking)>

<99> 저결정성 반도체 박막에 흡착한 가스(산소, 질소, 탄산 가스 등), 수분, 더욱이 성막 시의 가스(플라즈마 CVD 성막에서의 수소 가스 등)를 함유한 채 플래시 램프 어닐링하면, 급격한 막 및 기체 온도 상승에 의한 스트레스 불량, 예를 들면, 수소 가스의 팽창 폭발에 의해 막이 벗겨져, 막 크랙, 기체 데미지(유리 결정화 등) 등의 불량이 일어나기 때문에, 이것을 방지하기 위해 예비 가열 처리하여 상기 불량 요인을 제거한다.

<100> 상기 예비 가열 처리는 저항 가열 히터, 할로겐 램프 등의 가열 수단에 의해 상온 이상에서 기체의 왜곡점 이하의 온도, 예를 들면, 300°C 내지 500°C의 온도로 하여, 처리 시간은 저급 결정성 반도체 박막 성막 조건(기상 성장, 스퍼터링, 증착 등)에 의한 막 두께 및 막질, 기체의 재질과 사이즈 등에 의해 최적화, 예를 들면, 5 내지 20분간으로 하는 것이 바람직하다.

<101> 또한, 미리 다른 가열 장치에서, 플라즈마 CVD에서의 어몰퍼스 실리콘 박막 중의 탈수소화 처리 온도(약 420°C)의 가열 처리 등을 행하여도 되지만, 상기 이유에 의해 플래시 램프 어닐링 장치 내에서의 상기 예비 가열 처리가 필요한 것은 말할 필요도 없다.

<102> <보조 가열 상태(어시스트 베이킹; Asist-baking)>

<103> 예를 들면 1.5msec인 초단시간의 플래시 조사에 의해 급격한 막 온도 상승으로 저급 결정성 반도체 박막을 용융시키면, 기체의 온도와 용융 실리콘과의 온도차에 의한 스트레스 데미지, 예를 들면, 막 벗겨짐, 막 크랙, 기체의 크랙, 기체 균열 등의 문제가 일어나기 쉽기 때문에, 그 온도차를 적게 하여 스트레스 데미지 저감 때문에, 플래시 조사 시에 기체를 소정의 온도로 유지해 두는 것이 바람직하다.

<104> 상기 보조 가열 상태는 상온 이상에서 기체의 왜곡점 이하의 온도, 예를 들면, 300°C 내지 500°C로 하여, 플래시 램프 어닐링 조건, 저급 결정성 반도체 박막 성막 조건(기상 성장, 스퍼터링, 증착 등)에 의한 막 두께 및 막질, 기체의 재질과 사이즈 등에 의해 최적화하는 것이 바람직하다.

<105> <후 가열 유지 상태(포스트 베이킹; Post-baking)>

<106> 보조 가열 상태에서의 초단시간, 예를 들면, 1.5msec의 플래시 램프 어닐링에 의해, 상기 저급 결정성 반도체 박막의 용융 또는 반용융 또는 비용융 상태의 가열과 냉각으로 상기 저급 결정성 반도체 박막의 결정화를 촉진하지만, 이 때에 서냉각하면, 결정 입자 직경의 대형화, 막 스트레스 저감화 등에 의한 결정성 및 TFT 특성 향상을 기대할 수 있다.

<107> 이에 대하여, 급냉각하면, 기체의 온도와 용융 실리콘과의 온도차에 의한 스트레스 데미지, 예를 들면, 막 벗겨짐, 막 크랙, 기체의 크랙, 기체 균열 등의 문제가 일어나기 쉽기 때문에, 그 급격한 온도차를 적게 하여 열 스트레스를 저감하기 위해, 플래시 램프 어닐링 후에, 기체 및 결정화한 반도체 박막을 적어도 예비 가열 온도 또는 보조 가열 온도까지 냉각하는 시간, 예를 들면, 1 내지 10분간 유지해 두는 것이 바람직하다.

<108> 따라서, 가열 장치를 공용화하여, 예비 가열 온도와 보조 가열 온도 및 후 가열 유지 온도를 동일한 온도, 예를 들면, 플라즈마 CVD에서의 어몰퍼스 실리콘 박막 중의 탈수소화 처리 온도(약 420°C)로 설정하여, 상기 소정 시간의 예비 가열 후에 플래시 램프 어닐링하고, 더욱이 소정 시간의 가열 유지 후에, 예를 들면, 1 내지 10분 후

에 기체를 추출하는 일련의 작업으로 하여도 된다.

<109> 또한, 상기 기체는 저왜곡점 유리 기판(붕규산 유리, 알루미노 규산 유리, 강화 유리 등), 고왜곡점 유리 기판(합성 석영 유리, 용융 석영 유리, 결정화 유리 등), 내열성 수지 기판(폴리이미드 등), 세라믹스 기판, 절연성 막 코팅의 금속 기판 또는 세라믹스 기판, 절연성막 코팅의 실리콘 또는 화합물 반도체 기판 등이 있지만, 필요에 따라서 사용 구분하여도 된다.

<110> 이 제조 방법에서는 상기 제 1 공정과 상기 제 2 공정과 상기 제 3 공정과 상기 제 4 공정을 반복하는 것이 바람직하다.

<111> 또한, 상기 기체의 적당한 상기 예비 가열 처리(Pre-baking), 상기 보조 가열 상태(Asist-baking) 및 상기 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링의 조사 시간(1/3 펄스 폭)은 $0.1\mu\text{sec}$ 이상, 바람직하게는 0.5 내지 3msec인 것이 바람직하다.

<112> 즉, 결정화의 플래시 램프 어닐링에서는 기체의 내열성과 소망하는 전자/정공 이동도(결정 입자 직경 포함한다) 등에 의해 플래시 조사 조건을 설정하는 것이 바람직하다. 석영 유리, 결정화 유리 등의 내열성 유리인 경우는 가능한 한 오래 조사 시간을 설정, 예를 들면, 1.5 내지 3msec로 하면, 용융 실리콘이 서냉각되어 결정 입자 직경이 커져, 높은 전자/정공 이동도의, 예를 들면, 결정성 실리콘 박막 등이 얻어진다.

<113> 반대로, 붕규산 유리, 알루미노 규산 유리, 강화 유리 등의 저왜곡점 유리나 폴리이미드 등의 내열성 수지인 경우는 기체의 테미지 방지와 소망하는 전자/정공 이동도(결정 입자 직경 포함한다)와의 밸런스로 조사 에너지량(조사 시간) 설정, 예를 들면, 0.5 내지 1.5msec로 할 필요가 있다. 또한, 이온 활성화의 플래시 램프 어닐링에서는 실리콘의 비용용 상태(예를 들면, 700 내지 1000°C)에서의 가열 시간이 좋기 때문에, 가능한 한 오래 조사 시간(예를 들면, 3msec 이상)을 설정하는 편이 좋다.

<114> 본 발명은 더욱이, 하기 (a) 내지 (r)의 방법 또는 장치도 제공하는 것이다.

<115> (a) 화소 표시부의 능동 소자 및 수동 소자 영역과, 주변 회로부의 능동 소자 및 수동 소자 영역 각각에 있어서, 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막의 피조사 면적 및 형상을 동등화하는 패터닝을 행한 후에, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링을 행하여, 필요에 따라서 더욱 각각의 결정화 영역을 소정의 면적 및 치수로 패터닝하는 전기 광학 장치의 제조 방법.

<116> *이 방법에 있어서, 플래시 램프 어닐링 시의 저급 결정성 반도체 박막의 결정화 레벨은 그 막 두께와 피조사 면적에 비례한다. 즉, 그 막 두께가 클수록 또한 그 면적이 클수록 플래시 조사광 에너지의 흡수가 크기 때문에, 결정화가 촉진된다.

<117> 따라서, LCD, 유기 EL(전계 발광) 등의 표시용 패널 내의 결정화 레벨을 균일화하기 위해서는 막 두께를 같게 함과 함께, 범용 리소그래피 및 에칭에 의해, 화소 표시부 및 주변 회로부 내의 대상으로 하는 저급 결정성 반도체 박막의 피조사 면적 및 형상을 동등화하는 것이 필요하다. 예를 들면, 화소 표시부 및 주변 회로부 내의 TFT 영역을 동등 면적으로 하고, 주변 회로 내의 각각의 다이오드, 저항 등의 영역을 모두 동등 면적으로 한다. 더욱이 이 플래시 램프 어닐링 후에, 각각의 결정화 영역을 임의의 TFT, 다이오드 및 저항 면적 및 형상으로 패터닝하는 것이 바람직하다.

<118> (b) 화소 표시부의 능동 소자 및 수동 소자 영역보다도 주변 회로부 각각의 능동 소자 및 수동 소자 영역에 있어서 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막의 피조사 면적 및 형상을 크게 패터닝한 후에, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링을 행하여, 필요에 따라서 더욱 각각의 결정화 영역을 소정의 면적 및 치수로 패터닝하는 전기 광학 장치의 제조 방법.

<119> 프로젝터용 LCD 패널의 경우는 강한 입사광의 누설 광에 의한 화소 표시용 TFT 리크 전류 대책으로서, 화소 표시부의 전압 구동형 TFT는 저이동도의 어몰퍼스 실리콘막 또는 미결정 실리콘막, 주변 회로부의 전류 구동형 TFT는 고이동도의 다결정성 실리콘막 또는 단결정성 실리콘막으로 구성하는 것이 바람직한 경우가 있다.

<120> 그래서, 범용 리소그래피 및 에칭에 의해 화소 표시부의 TFT 영역보다도 주변 회로부 각각의 TFT, 다이오드 및 저항 영역의 피조사 면적 및 형상을 크게 패터닝한 후에 플래시 램프 어닐링함으로써, 주변 회로부 각각의 TFT, 다이오드 및 저항 영역의 저급 결정성 반도체 박막을 고이동도의 다결정성 실리콘막 또는 단결정성 실리콘막화하고, 화소 표시부의 저급 결정성 반도체 박막은 저이동도의 어몰퍼스 실리콘막 또는 미결정 실리콘막화하는 것

이 바람직하다. 더욱이 이 플래시 램프 어닐링 후에, 각각의 결정화 영역을 소정의 TFT, 다이오드 및 저항의 면적 및 형상으로 패터닝하는 것이 바람직하다.

<121> (c) 기체의 소정의 소자 형성 예정 영역에 소정 형상 및 치수의 단차 부착 오목부를 형성하거나, 혹은 기체 상에 산화성 절연막-1과 질화성 절연막-1과 산화성 절연막-2의 적층막(예를 들면, SiO_2 -1/ SiN -1/ SiO_2 -2 등) 또는 산화성 절연막-1과 질화성 절연막-1과 산화성 절연막-2와 질화성 절연막-2의 적층막(예를 들면, SiO_2 -1/ SiN -1/ SiO_2 -2/ SiN -2 등)을 형성하고 전자의 산화성 절연막-2 또는 후자의 질화성 절연막-2의 소정의 소자 형성 예정 영역에 소정 형상 및 치수의 단차 부착 오목부를 형성하여, 이 오목부를 포함하는 상기 기체 상에 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막 및 필요에 따라서 광 반사 저감 및 보호용 절연막을 적층하여, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해, 상기 단차의 바닥 주변 모서리 부분을 시드로 그래포 에피택셜 성장으로 적어도 오목부 내에 단결정성 반도체 박막을 형성하여, 이 단결정성 반도체 박막 표면을 CMP(Chemical Mechanical Polishing) 또는 선택적 에칭 등을 하여, 아일랜드화한 소정의 막 두께 및 면적의 단결정성 반도체 박막을 형성하며, 필요에 따라서, 고온 열산화, 저온 고압 어닐링(여기에는 후술하는 아임계수 반응 또는 초아임계수 반응도 포함된다: 이하, 동일), CVD 등에 의해 게이트 절연막 또는 절연 보호막을 형성한 SCSOS(Single Crystal Semiconductor (Silicon) On Substrate) 기판, 예를 들면, SCSOG(Single Crystal Semiconductor (Silicon) On Glass) 기판을 제작하는 반도체 기판 또는 반도체 장치의 제조 방법.

<122> (d) 기체 상에 필요에 따라서 산화성 절연막-1과 질화성 절연막-1과 산화성 절연막-2의 적층막(예를 들면, SiO_2 -1/ SiN -1/ SiO_2 -2 등)을 형성하고, 그 위에 단결정 반도체(예를 들면, 단결정 실리콘 등)와 격자 정합이 좋은 물질층(예를 들면, 결정성 사파이어 박막 등)을 형성하여, 이 물질층 상에 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막 및 필요에 따라서 광 반사 저감 및 보호용 절연막을 적층하고, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해, 상기 물질층을 시드로 헤테로 에피택셜 성장으로 단결정성 반도체 박막을 형성하고, 이 단결정성 반도체 박막 표면 등을 CMP 또는 선택적 에칭 등을 함으로써 소정의 막 두께의 단결정성 반도체 박막을 형성하며, 필요에 따라서 고온 열산화, 저온 고압 어닐링, CVD 등에 의해 게이트 절연막 또는 절연 보호막을 형성한 SCSOS 기판, 예를 들면, SCSOG 기판을 제작하는 반도체 기판 또는 반도체 장치의 제조 방법.

<123> 이들 (c), (d)의 방법에 있어서, 제작한 광 반사 저감 및 보호용 절연막 및 단결정성 반도체 박막 표면을 CMP 또는 선택적 에칭 등을 함으로써, 소망하는 막 두께 및 면적의 단결정성 실리콘 박막을 갖는 SCSOS, 예를 들면, SCSOG 기판을 작성할 수 있다. 또한, 이들 (c), (d)의 방법과 공통되게, 이 CMP 또는 선택적 에칭 후에 고온 열산화, 저온 고압 어닐링, CVD 등에 의해 게이트 절연막 또는 보호막을 형성하여, MOSLSI(Large Scale Integration), BiCMOS LSI, 바이폴라 LSI 등을 제작할 수 있다.

<124> 이 때에, 기체로부터의 불순물 오염(Na 이온 등) 방지를 위해, 적당한 막 두께의 질화성 절연막(질화 실리콘막, 산질화 실리콘막 등)을 기체 전체 면에 형성할 필요가 있는 경우가 있지만, 이 경우는 기체와 질화성 절연막의 밀착성 향상을 위해, 적당한 막 두께의 산화성 절연막(산화 실리콘막 등)을 기체와 질화성 절연막 사이에 삽입할 필요가 있다.

<125> 더욱이, 이 기체에는 저왜곡점 유리 기판(붕규산 유리, 알루미노 규산 유리, 강화 유리 등), 고왜곡점 유리 기판(합성 석영 유리, 용융 석영 유리, 결정화 유리 등), 내열성 수지 기판(폴리이미드 등), 금속 기판(철, 구리, 알루미늄, 스테인리스 등의 합금 등), 세라믹스 기판, 고용점 금속(티타늄, 탄탈, 몰리브덴, 텉스텐, 그들 합금, 예를 들면, 몰리브덴 탄탈 합금 등) 및/또는 금속 실리사이드(WSi_2 , MoSi_2 , TiSi_2 , TaSi_2 , CoSi , Pd_2Si , Pt_2Si , CrSi_2 , NiSi , RhSi 등)막을 코팅한 금속 기판 또는 저왜곡점 유리 기판 또는 내열성 수지 기판 또는 세라믹스 기판, 실리콘 기판, 화합물 반도체 기판 등을 들 수 있다.

<126> *(e) 상기 (c), (d)에서 제작한 상기 SCSOS 기판, 예를 들면, SCSOG 기판의 상기 단결정성 반도체 박막 내에 이온 주입 또는 이온 도핑하여 n형 및/또는 p형 불순물 영역(예를 들면, 소스/드레인, 소스/게이트 채널/드레인 등)을 형성하여, 적어도 적외선 저감 또는 적외선 차단 필터를 사용하여, 상기 기판의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해, 불순물 이온을 활성화하는 단결정성 반도체 박막 또는 단결정성 반도체 장치의 제조 방법.

- <127> (f) 결정 반도체(Si, SiGe, SiC, GaAs 등) 기판, SOI(Silicon On Insulator) 기판 등에 있어서, 단결정 반도체 박층 내에 이온 주입 또는 이온 도핑하여 n형 및/또는 p형 불순물 영역(예를 들면, 소스/드레인, 소스/게이트 채널/드레인 등)을 형성하고, 적어도 적외선 저감 또는 적외선 차단 필터를 사용하여, 상기 기판의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해, 불순물 이온을 활성화하는 단결정 반도체 박막 또는 단결정 반도체 장치의 제조 방법.
- <128> 금후의 실리콘 MOS LSI의 $0.07\text{ }\mu\text{m}$ 노드에서는 MOS 트랜지스터의 소스·드레인에 있어서의 접합 깊이는 10 내지 15 nm 로 얕아진다. 그러나, 현재 사용되고 있는 텅스텐-할로겐 램프를 사용한 어닐링(RTA, Rapid Thermal Anneal) 기술에서는 조사 시간이 수초 정도로 길기 때문에, n형 및/또는 p형 불순물이 열 확산하여, 얕은 접합을 형성하는 것이 어려워, 접합 깊이 20 nm 가 기술적인 한계로 되어 왔다.
- <129> 그러나, 본 발명의 플래시 램프 어닐링, 예를 들면, 크세논 플래시 램프의 조사 시간은, 예를 들면, 1 내지 5 msec 의 수 밀리초 정도에서의 비용용 상태의 가열에 의한 이온 활성화가 가능해지고, 그 한계를 타파하는 것이 가능해져, 깊이 20 nm 이하의 극히 얕은 접합이 실현된다.
- <130> 그러나 이 크세논 램프의 플래시 조사광은 적외선 영역의 800 내지 1000 nm 파장으로 강한 피크를 갖는 발광 스펙트럼이기 때문에, 이 영역의 격차가 큰 강광 흡수에 의한 실리콘층의 가열 온도에 불균일함이 생겨, n형 및/또는 p형의 주입 불순물의 이온 활성화 및 열 확산 레벨도 흩어지기 쉬우며, 더욱이 얕은 접합을 균일하게 재현성 좋게 형성하는 것이 비교적 어렵다. 그래서 상기한 바와 같이, 상기 기판의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 비용용 상태의 가열의 플래시 램프 어닐링 시에 적어도 적외선 저감 또는 적외선 차단 필터를 사용하여 800 내지 1000 nm 파장의 강한 발광 피크 영역을 저감 또는 컷하여, 안정된 플래시 발광 영역인 자외선 또는 자외선 및 가시광선 등의 조사에 의해 실리콘층을 제어한 가열을 행할 수 있도록 하여, n형 및/또는 p형의 주입 불순물의 열 확산 레벨을 제어한 이온 활성화를 실현하여, 초극천 접합을 형성하는 것이 가능해진다. 이 때의 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking) 조건은 기판의 재질 등에 의해 임의로 선택할 수 있지만, 300 내지 500°C 가 바람직하다.
- <131> 또한, SOI 기판의 제법에는 SIMOX법(단결정 실리콘 기판에 산소 이온 주입하여, 1300 내지 1400°C 의 융접 극한으로 어닐링하여 SOI 기판을 제작하는 방법), 웨이퍼 접착법(접착 열산화시킨 단결정 실리콘 기판의 한쪽 면 연마로 SOI 기판을 제작하는 방법), SMART CUT법(열산화시킨 단결정 실리콘 기판의 한쪽에 수소 이온 주입하여, 접착 열산화 후에 수소 이온 주입한 단결정 실리콘층만을 남기고 벗겨, SOI 기판을 제작하는 방법), ELTRAN법(다공질 실리콘 기판 상에 에피택시 실리콘 성장 및 열산화하고, 지지 기판과 접착 열산화시켜 워터 젯 분리하여, 선택 에칭 및 수소 어닐링 등에 의해 SOI 기판을 제작하는 방법) 등의 여러가지 수법이 있지만, 모두 본 발명에 사용할 수 있는 것은 말할 필요도 없다.
- <132> (g) 기체 상의 레이저{근자외선(UV) 및/또는 원자외선(DUV) 레이저(예를 들면, 엑시머 레이저, 비선형 광학 효과에서의 광 고조파 변조된 근자외선(UV) 및/또는 원자외선(DUV) 레이저 등), 가시광선 레이저, 근적외선 및/또는 원적외선 레이저 등} 어닐링에 의해 결정화된 다결정성 또는 단결정성 반도체 박막에 이온 주입 또는 이온 도핑하여 n형 및/또는 p형 불순물 영역(예를 들면, 소스/드레인, 소스/게이트 채널/드레인 등)을 형성하고, 적어도 적외선 저감 또는 적외선 차단 필터를 사용하여, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해, 불순물 이온을 활성화하는 다결정성 또는 단결정성 반도체 박막 또는 다결정성 또는 단결정성 반도체 장치의 제조 방법.
- <133> (h) 기체 상의 고상 성장에 의해 결정화된 다결정성 반도체 박막에 이온 주입 또는 이온 도핑하여 n형 및/또는 p형 불순물 영역(예를 들면, 소스/드레인, 소스/게이트 채널/드레인 등)을 형성하여, 적어도 적외선 저감 또는 적외선 차단 필터를 사용하여, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해, 불순물 이온을 활성화하는 다결정성 반도체 박막 또는 다결정성 반도체 장치의 제조 방법.
- <134> (i) 기체 상의 접광 램프 어닐링에 의해 결정화된 다결정성 또는 단결정성 반도체 박막에 이온 주입 또는 이온 도핑하여 n형 및/또는 p형 불순물 영역(예를 들면, 소스/드레인, 소스/게이트 채널/드레인 등)을 형성하고, 적어도 적외선 저감 또는 적외선 차단 필터를 사용하여, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에 의해 불순물 이온을 활성화하는 다결정성 또는 단결정성 반도체 박막 또는 다결정성 또는 단결정성 반도체 장치의 제조 방법.

- <135> (j) 기체에, 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막을 형성하는 제 1 공정과, 상기 저급 결정성 반도체 박막에 이온 주입 또는 이온 도핑으로 n형 및/또는 p형 불순물 영역(예를 들면, 소스/드레인, 소스/게이트 채널/드레인 등)을 형성하는 제 2 공정과, 상기 기체에 그 왜곡점 이하의 온도로 가열하는 예비 가열 처리(Pre-baking)를 행하는 제 3 공정과, 상기 기체를 그 왜곡점 이하의 온도로 가열하는 보조 가열 상태(Asist-baking)에서의 플래시 램프 어닐링에 의해, 용융 또는 반용융 또는 비용융 상태의 가열과 냉각으로 상기 저급 결정성 반도체 박막의 결정화 및 불순물 이온의 활성화를 동시에 행하는 제 4 공정과, 상기 기체를 그 왜곡점 이하의 온도로 냉각할 때까지 후 가열 유지(Post-baking)하는 제 5 공정을 갖는 반도체 박막 또는 반도체 장치의 제조 방법.
- <136> (k) 기체에, 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막을 형성하는 제 1 공정과, 상기 기체를 그 왜곡점 이하의 온도로 가열하는 예비 가열 처리(Pre-baking)를 행하는 제 2 공정과, 상기 기체를 그 왜곡점 이하의 온도로 가열하는 보조 가열 상태(Asist-baking)에서의 플래시 램프 어닐링에 의해, 용융 또는 반용융 또는 비용융 상태의 가열과 냉각으로 상기 저급 결정성 반도체 박막을 결정화하는 제 3 공정과, 상기 기체를 그 왜곡점 이하의 온도로 냉각할 때까지 후 가열 유지(Post-baking)하는 제 4 공정과, 형성된 다결정성 또는 단결정성 반도체 박막에 이온 주입 또는 이온 도핑으로 n형 및/또는 p형 불순물 영역(예를 들면, 소스/드레인, 소스/게이트 채널/드레인 등)을 형성하는 제 5 공정과, 적어도 적외선 저감 또는 적외선 차단·필터를 사용하여, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링의 비용융 상태의 가열에 의해, 불순물 이온을 활성화하는 제 6 공정을 갖는 반도체 박막 또는 반도체 장치의 제조 방법.
- <137> (1) 기체 상에, 기체보다도 높은 열 전도성 및 전기 전도성으로 차광성 또한 광 반사 저감 및 보호용 절연막과, 저급 결정성 반도체 박막을 투과한 플래시 조사광에 대하여, 고흡수성 또는 고반사성을 도시하는 하지막을 형성하고, 그 위에 필요에 따라서 전기 절연성으로 광 투과성 또는 차광성 베퍼막을 형성하여, 그 위의 적어도 하지막 영역에 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막을 형성하고, 더욱이 필요에 따라서 그 위에 광 반사 저감 및 보호용 절연막을 형성하여, 상기 기체의 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에서의 용융 또는 반용융 또는 비용융 상태의 가열과 냉각에 의해, 상기 저급 결정성 반도체 박막의 결정화를 촉진하는 반도체 박막 또는 반도체 장치의 제조 방법.
- <138> 보텀 게이트 TFT, 백 게이트 TFT, 듀얼 게이트 TFT 등의 경우, 광 반사 저감 및 보호용 절연막과 저급 결정성 반도체 박막을 투과한 플래시 조사광을 흡수하여 가열되는 고열 전도성 및 전기 전도성의, 예를 들면, 백색계 금속(크롬, 구리 등), 고용점 금속(티타늄, 탄탈, 몰리브덴, 텅스텐, 그들 합금, 예를 들면, 몰리브덴 탄탈 합금 등), 금속 실리사이드(WSi₂, MoSi₂, TiSi₂, TaSi₂, CoSi, Pd₂Si, Pt₂Si, CrSi₂, NiSi, RhSi 등)가 하지막으로서 사용된다. 이 경우는 기체의 온도 상승이 비교적 높기 때문에, 석영 유리, 결정화 유리 등의 고왜곡점(내열성) 유리나 세라믹스가 기체의 재료로서 적합하다.
- <139> 또한, 광 반사 저감 및 보호용 절연막과 저급 결정성 반도체 박막을 투과한 플래시 조사광을 반사하는 고열 전도성 및 전기 전도성의, 예를 들면, 백색계 금속(알루미늄, 알루미늄 합금(1% 실리콘 함유 알루미늄 등), 은, 니켈, 플라티나 등), 백색계 금속/고용점 금속 적층막(알루미늄/몰리브덴 등) 등이 하지막으로서 사용된다. 이 경우는 기체의 온도 상승이 비교적 낮기 때문에, 봉규산 유리, 알루미노 규산 유리, 강화 유리 등의 저왜곡점 유리나 폴리이미드 등의 내열성 수지 그 밖의 것이 기체의 재료로서 적합하지만, 석영 유리, 결정화 유리 등의 고왜곡점(내열성) 유리나 세라믹스 등도 사용할 수 있다.
- <140> 또한, 플래시 램프 어닐링으로 하지막과 저급 결정성 반도체 박막이 반응하는 것을 방지하기 위해 베퍼막을 설치하지만, 용융한 저급 결정성 반도체 박막과 반응하지 않는 재질로 하지막을 형성한 경우는 베퍼막을 생략하여도 된다. 예를 들면, 양극 산화에 의한 절연막으로 광복한 알루미늄, 고용점 금속(Mo-Ta 합금 등) 등의 하지막에서는 새로운 베퍼막 형성을 불필요하다.
- <141> 베퍼막으로서는 전기 절연성의 산화 실리콘막, 산질화 실리콘막, 질화 실리콘막, 산화 실리콘/질화 실리콘 적층막, 질화 실리콘/산화 실리콘 적층막, 산화 실리콘/질화 실리콘/산화 실리콘 적층막 등이 사용된다.
- <142> 기체dp, 봉규산 유리, 알루미노 규산 유리 등의 저왜곡점 유리, 용융 석영 유리, 결정화 유리, 더욱이 내열성 수지 등을 사용할 경우는 기체로부터의 불순물(Na 이온 등) 확산 방지를 위해, 질화 실리콘막, 예를 들면, 산질화 실리콘막, 질화 실리콘막, 산화 실리콘/질화 실리콘 적층막, 질화 실리콘/산화 실리콘 적층막, 산화 실리

콘/질화 실리콘/산화 실리콘 적층막 등을 사용하는 것이 바람직하다.

<143> 플래시 조사 시의 하지막 상의 저급 결정성 실리콘 박막은 그 막 자신의 조사광 흡수에 의한 가열과 하지막의 가열·축열 효과에 의해 용융이 진행하여, 용융한 실리콘이 유출하여 하지막 상에 다결정성 또는 단결정성 실리콘 박막이 형성되기 어렵다. 그래서, 하지막 영역 상에만 저급 결정성 반도체 박막을 형성함으로써, 용융 실리콘의 유출을 방지하여 하지막 영역 상에만 다결정성 또는 단결정성 실리콘 박막을 형성하는 것이 좋다.

<144> 또한, 상기 하지막은 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 상기 저급 결정성 반도체 박막과 동등 이상의 면적에서, 일부가 선형으로 돌출한 형상으로 패터닝하여, 상기 플래시 램프 어닐링에서의 용융 또는 반용융 또는 비용융 상태의 상기 저급 결정성 반도체 박막을 상기 하지막의 상기 돌출한 형상부로부터 열 방산시켜 결정 성장 핵을 형성하여, 전체를 임의의 결정 방위에서 결정화시키는 것이 좋다.

<145> 이 경우는 선형으로 돌출한 부분이 다른 부분보다 열 방산이 크고, 재결정화의 계기(종, 핵)를 만들기 때문에, 전체를 임의의 결정 방위의 큰 입자 직경 다결정성 또는 단결정성 반도체 박막을 형성할 수 있다.

<146> 또한, 상기 하지막 상의 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 상기 저급 결정성 반도체 박막을 상기 하지막과 동등 이하의 면적에서, 상기 하지막의 돌출한 형상 영역에 미소 돌출한 형상으로 패터닝하여, 상기 플래시 램프 어닐링에서의 용융 또는 반용융 또는 비용융 상태의 상기 저급 결정성 반도체의 미소 돌출한 형상부를 결정 성장의 핵으로 하여, 전체를 임의의 결정 방위로 결정화시켜도 된다.

<147> 이 경우도, 미소 돌출한 부분이 다른 부분보다 열 방산이 크고, 재결정화의 계기(종, 핵)를 만들기 때문에, 전체를 임의의 결정 방향의 큰 입자 직경 다결정성 또는 단결정성 반도체 박막을 형성할 수 있다.

<148> 또한, 상기 하지막은 선형으로 돌출한 부분을 통해 임의의 전위(무전위, 어스 전위, TFT의 게이트 전위 등)로 사용되는 것이 좋다.

<149> 또한, 상기 플래시 램프 어닐링 시의 광 반사 저감 및 보호용 절연막은 적어도 자외선을 투과하는 전기 절연성 막이거나 혹은 게이트 절연막에 사용하여도 된다.

<150> 적어도 자외선을 투과하는 전기 절연성막으로서는 예를 들면, 산화 실리콘막, 질화 실리콘막, 산질화 실리콘막, 산화 실리콘/질화 실리콘 적층막, 질화 실리콘/산화 실리콘 적층막, 산화 실리콘/질화 실리콘/산화 실리콘 적층막 등이 있으며, 또한 게이트 절연막으로서는 예를 들면, 산화 실리콘막, 질화 실리콘막, 산질화 실리콘막, 산화 실리콘/질화 실리콘 적층막, 질화 실리콘/산화 실리콘 적층막, 산화 실리콘/질화 실리콘/산화 실리콘 적층막 등이 있다.

<151> (m) 산화성 분위기 중(공기, 산소, 오존, 수증기, NO, N₂O 등)에서의 플래시 램프 어닐링의 용융 또는 반용융 가열과 냉각에 의해, 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막을 결정화시킬 때에, 이 다결정성 또는 단결정성 반도체 박막의 표면에 동시에 산화계 절연막(산화 실리콘막, 산질화 실리콘막 등)을 형성하여, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사용하는 반도체 박막 또는 반도체 장치의 제조 방법.

<152> (o) 플래시 램프 어닐링에 의해 형성된 저왜곡점 유리 또는 고왜곡점 유리 또는 내열성 수지 기판 상의 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막에 0.1MPa 이 상이고 30MPa 이하, 상온 이상에서 기판의 왜곡점 이하 온도의 고압 저온의 산화성 분위기 중(공기, 산소, 오존, 수증기, NO, N₂O 등)으로 산화계 절연막(산화 실리콘막, 산질화 실리콘막 등)을 형성하여, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사용하는 반도체 박막 또는 반도체 장치의 제조 방법.

<153> 상기 (o)의 방법에 있어서는 플래시 램프 어닐링에 의해 형성된 저왜곡점 유리 기판 또는 고왜곡점 유리 기판 또는 내열성 수지 기판 상의 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 실리콘 박막에 하기의 고압 저온 어닐링의 일종인 아임계수 반응 또는 초임계수 반응에 의해 산화계 절연막을 형성하여, 이것을 게이트 절연막 또는 보호막에 사용하는 것이 하기의 ① 내지 ②에 서술하는 효과로부터 보아 바람직하다.

<154> 아임계수 반응: 물의 경계점(374°C, 22MPa)보다도 온도, 압력이 낮은 열수(熱水)(아임계수)에 의한 반응.

<155> 초임계수 반응: 물의 경계점(374°C, 22MPa) 이상의 상태의 초임계수에 의한 반응.

<156> ① 이 반응에 의해 양질의 게이트 절연막과 양질의 계면 형성이 가능해져, 다결정성 또는 단결정성 실리콘 박막

의 결정 결함을 저감하여, TFT의 V_{th} 나 S치가 향상함과 함께, TFT의 제품 비율 및 신뢰성이 향상한다.

<157> ② 고온 열산화(예를 들면, 1050°C, 60분)로 게이트 절연막(예를 들면, SiO_2 막)을 형성하면, TFT용 8"Φ, 약 800 μm 두께의 석영 유리로 100 내지 150 μm 의 웨이퍼 휘어짐이 발생하여, 이 웨이퍼 휘어짐에 의해, 다음의 (가) 내지 (마)의 결점이 생긴다.

<158> (가) 진공 흡착 불량 등의 포토리소그래피 및 애칭 작업의 트러블이 발생하기 쉽다.

<159> (나) 기판 중앙부와 주변부의 포커스 불균일함 발생으로 정밀도가 흐려져, 제품 비율, 품질 저하 문제가 발생하기 쉽다.

<160> (다) TFT 기판과 대향 기판과의 중복으로 액정 캡 제어가 어렵고, 또한 액정 캡 불균일함이 다발하여, 광 투과율 및 콘트라스트 저하에서의 제품 비율, 품질 저하 문제가 되기 쉽다.

<161> (라) 액정 구동(TFT) 기판의 이면 흡집이 다발하기 때문에, 이면 광학 연마가 필요해져, 비용 증가가 된다.

<162> (마) 석영 유리 사이즈가, 예를 들면, 8"Φ→12"Φ로 커지면, 더욱 웨이퍼 휘어짐이 커지고, 상기 문제가 더욱 커져, 제품 비율, 품질 및 생산성 저하가 되기 쉽다.

<163> 이에 대하여, 상기 (o)의 방법에서는 고압 저온의 아임계수 반응 또는 초임계수 반응으로 게이트 절연막(예를 들면, SiO_2 막)을 형성하기 때문에, 웨이퍼 휘어짐이 해소되어 상기한 각 문제가 해소되어, 제품 비율, 품질 및 생산성 향상에 의한 대폭적인 비용 절감이 가능해진다.

<164> (p) 플래시 램프 어닐링에 의해 형성된 고왜곡점 유리 기판 상의 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막을 산화성 분위기 중(공기, 산소, 오존, 수증기, NO , N_2O 등)에서 고온 열산화함으로써 산화계 절연막(산화 실리콘막, 산질화 실리콘막 등)을 형성하여, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사용하는 반도체 박막 또는 반도체 장치의 제조 방법.

<165> (q) 플래시 램프 어닐링에 의해 형성된 고왜곡점 유리 기판 상의 광 반사 저감 및 보호용 절연막 부착의 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막을 산화성 분위기 중(공기, 산소, 오존, 수증기, NO , N_2O 등)에서 고온 열산화함으로써 산화계 절연막(산화 실리콘막, 산질화 실리콘막 등)을 형성하여, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사용하는 반도체 박막 또는 반도체 장치의 제조 방법.

<166> (r) 플래시 램프 어닐링에 의해 형성된 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막 및 절연막의 적어도 한쪽을 상온 내지 기판의 왜곡점 이하의 온도, 분압 13.33Pa 이상에서 포화 증기압 이하의 물의 기체를 포함하는 분위기 중에서의 가열 공정(수증기 중 어닐링)을 거쳐 개질하는 반도체 박막 또는 반도체 장치의 제조 방법.

<167> 이 방법에 있어서는 형성된 절연막 중의 결함이나 불순물에서 기인하는 양전하를 중성화하여, 음으로 기운 플랫 밴드 전압을 0V 측에 근접시켜 절연막의 개질을 행하기 때문에, 상온 내지 기판의 왜곡점 이하의 온도, 분압 13.33Pa 이상에서 포화 증기압 이하의 물의 기체를 포함하는 분위기 중에서의 가열 공정(수증기 중 어닐링)을 행한다. 이 때에, 기판의 재질 및 사이즈, 다결정성 또는 단결정성 실리콘 박막 및 절연막의 막 두께 및 막질 등에 의해, 예를 들면, 10 내지 60분의 가열 시간을 설정한다.

<168> 다음으로, 본 발명을 바람직한 실시예에 대해서 더욱 상세하게 설명한다.

제 1 실시예

<169> 도 1 내지 도 33에 대해서, 본 발명의 제 1 실시예를 설명한다.

<170> 본 실시예는 본 발명을 텁 게이트형 다결정성 실리콘 CMOS(Complementary MOS) TFT에 적용한 것이다.

<촉매 CVD법과 그 장치>

<171> 우선, 본 실시예에 사용하는 촉매 CVD법에 대해서 설명한다. 촉매 CVD법에 있어서는 수소계 캐리어 가스와 실란 가스 등의 원료 가스로 이루어지는 반응 가스를 가열된 텅스텐 등의 촉매체에 접촉시켜, 이것에 의해 생성한 래디컬한 퇴적층 또는 그 전구체 및 활성화 수소 이온 등의 수소계 활성층에 높은 에너지를 줘, 기판 상에 어몰퍼스 실리콘 함유 미결정 실리콘 등의 저급 결정성 반도체 박막을 기상 성장시킨다.

- <174> 이 촉매 CVD는 도 5 내지 도 6에 도시하는 바와 같은 장치를 사용하여 실시된다.
- <175> 이 장치에 의하면, 수소계 캐리어 가스와 수소화규소(예를 들면, 모노실란) 등의 원료 가스(40)(및 필요에 따라서 B_2H_6 이나 PH_3 , SnH_4 등의 도핑 가스도 포함한다)로 이루어지는 가스는 공급 도관(41)으로부터 샤큐 헤드(42)의 공급구(도시하지 않음)를 통해 성막실(44)로 도입된다. 성막실(44)의 내부에는 유리 등의 기판(1)을 지지하기 위한 서셉터(susceptor)(45)와, 내열성이 좋은(바람직하게는 촉매체(46)와 동일하든지 혹은 그 이상의 용점을 갖는 재질의) 샤큐 헤드(42)와, 예를 들면, 코일 모양의 텅스텐 등의 촉매체(46)와, 나아가서는 개폐 가능한 셔터(47)가 각각 배치되어 있다. 또한, 도시는 하지 않지만, 서셉터(45)와 성막실(44) 사이에는 자기 실이 실시되고, 또한, 성막실(44)은 이전 공정을 행하는 전실에 후속되며, 터보 분자 펌프 등으로 밸브를 통해 배기된다.
- <176> 그리고, 기판(1)은 서셉터(45) 내의 히터선 등의 가열 수단으로 가열되고, 또한 촉매체(46)는, 예를 들면, 저항선으로서 용점 이하(특히, 800 내지 2000°C, 텅스텐의 경우는 약 1600 내지 1800°C)로 가열되어 활성화된다. 촉매체(46)의 양단자는 직류 또는 교류의 촉매체 전원(48)에 접속되어, 이 전원으로부터의 통전에 의해 소정 온도로 가열된다.
- <177> 촉매 CVD법을 실시하기 위해서는 도 5의 상태에서 성막실(44) 내의 진공도를 1.33×10^{-4} 내지 1.33×10^{-6} Pa로 하여, 예를 들면, 수소계 캐리어 가스 100 내지 200SCCM을 공급하여, 촉매체를 소정 온도로 가열하여 활성화한 후에, 수소화규소(예를 들면, 모노실란) 가스 1 내지 20SCCM(및 필요에 따라서 B_2H_6 이나 PH_3 등의 도핑 가스도 적당량 포함한다)으로 이루어지는 원료 가스(40)를 공급 도관(41)으로부터 샤큐 헤드(42)의 공급구(43)를 통해 도입하여, 가스압을 0.133 내지 13.3Pa, 예를 들면, 1.33Pa로 한다. 여기서, 수소계 캐리어 가스는 수소, 수소+아르곤, 수소+헬륨, 수소+네온, 수소+크세논, 수소+크립톤 등의 수소에 불활성 가스를 적당량 혼합시킨 가스이면, 어느 것이어도 된다(이하, 동일).
- <178> 그리고, 도 6과 같이 셔터(47)를 열어, 원료 가스(40)의 적어도 일부를 촉매체(46)와 접촉하여 촉매적으로 분해시켜, 촉매 분해 반응 및/또는 열 분해 반응에 의해, 고에너지지를 갖는 실리콘 등의 이온, 래디컬 등의 반응종의 집단(즉, 퇴적종 또는 그 전구체 및 수소계 활성종 등)을 형성한다. 이렇게 하여 생성한 이온, 래디컬 등의 반응종(50)을 높은 에너지로 200 내지 800°C(예를 들면, 300 내지 400°C)로 유지된 기판(1) 상에 어몰퍼스 실리콘 함유 미결정 실리콘 등의 소정의 막으로서 기상 성장시킨다.
- <179> 이렇게 하여, 플라즈마를 발생시키지 않고, 반응종에 대하여, 촉매체(46)의 촉매 작용과 그 열 에너지에 의한 높은 에너지를 주기 때문에, 원료 가스를 효율 좋게 반응종으로 바꾸어, 기판(1) 상에 균일하게 열 CVD에서 퇴적할 수 있다.
- <180> 또한, 기판 온도를 저온화하여도 퇴적종의 에너지가 크기 때문에, 목적으로 하는 양질의 막이 얻어지기 때문에, 기판 온도를 더욱 저온화할 수 있어, 대형이고 염가인 절연 기판(붕규산 유리, 알루미노 규산 유리 등의 저왜곡 점 유리 기판, 폴리이미드 등의 내열성 수지 기판 등)을 사용할 수 있어, 이 점에서도 비용 절감이 가능해진다.
- <181> 또한, 당연한 것이지만, 플라즈마 발생이 없기 때문에, 플라즈마에 의한 테마지가 없고, 저스트레스의 생성막이 얻어짐과 함께, 플라즈마 CVD법에 비교하여, 훨씬 심플하고 염가인 장치가 실현된다.
- <182> 이 경우, 감압 하(예를 들면, 0.133 내지 1.33Pa) 또는 상압 하에서 조작을 행할 수 있지만, 감압 타입보다도 상압 타입 쪽이 보다 심플하고 염가인 장치가 실현된다. 그리고, 상압 타입이라도 종래의 상압 CVD에 비하여 밀도, 균일성, 밀착성이 좋은 고품질막이 얻어진다. 이 경우도, 감압 타입보다도 상압 타입 쪽이 스루풋이 크고, 생산성이 높아 비용 절감이 가능하다.
- <183> 상기 촉매 CVD에 있어서, 촉매체(46)에 의한 복사열 때문에, 기판 온도는 상승하지만, 상기한 바와 같이, 필요에 따라서 기판 가열용 히터 또는 냉각 수단(51)을 설치하여도 된다. 또한, 촉매체(46)는 코일 모양(이 이외에 폐쉬, 와이어, 다공판형도 된다)으로 하고 있지만, 더욱이 가스 흐름 방향으로 복수단(예를 들면, 2 내지 3단)으로 하여, 가스와의 접촉 면적을 늘리는 것이 좋다. 또한, 이 CVD에 있어서, 기판(1)을 서셉터(45)의 하면에 있어서 샤큐 헤드(42) 위쪽에 배치하고 있기 때문에, 성막실(44) 내에서 생긴 파티클이 낙하하여 기판(1) 또는 그 위의 막에 부착하는 일이 없다.
- <184> <플래시 램프 어닐링과 그 장치>
- <185> 도 7에는 플래시 램프 어닐링을 행하는 장치(어닐러)가 예시되어 있다. 이것에 의하면, 발광 광선 차단용 외측 케이스(200) 내에 배치한 동일한 내측 케이스(201) 내(모두 N_2 퍼지되어 있다)에는 크세논 가스 등을 밀봉한,

예를 들면, 10개의 플래시 램프(203)를 자외선 방사원으로 하고, 그 배면 측에는 반사 미러(204)를 설치하여 조사 강도를 증강시키고 있다. 또한, 램프(203)와(저급 결정성 실리콘 박막 부착) 절연성 기판(1) 사이에 렌즈, 미러 등으로 구성하는 집광 정형 기구(여기서는 도시하지 않음)에 의해, 조사하는 광(210)을 선형{예를 들면, (500 내지 600mm)×(1 내지 10mm), 직사각형 모양(예를 들면, (10 내지 100mm)×(200 내지 300mm)} 또는 정사각형 모양(예를 들면, 100×100mm) 또는 원 모양(예를 들면, 100 내지 300mm ϕ)으로 집광 정형하여 플래시 조사함으로써, 조사 강도 불균일함을 저감하여, 용융 효율 및 스루풋 향상에서의 생산성 향상을 도모하여도 된다. 기판(1)은 서셉터(208) 내의 히터(209)에 의해 그 왜곡점 이하로 미리 가열된다. 반사 부재(반사 미러 등)(204)의 표면에 미세한 요철 형상(블래스트 가공, 에칭 등)을 설치하여, 난반사에 의해 반사광의 조도 균일화를 도모하여도 된다.

<186> 그리고, 램프(203)와 절연성 기판(1) 사이에는 구리 분말, 철 분말, 인산 등의 열선 흡수재를 함유시킨 컬러 필터 유리(열선 흡수 필터) 또는 ITO막 등의 적외선 반사막을 코팅한 콜드 미러/콜드 필터 또는 양자를 조합한 필터(예를 들면, 열선 흡수 필터에 적외선 반사막을 코팅한 필터) 등의 적어도 적외선을 차단 또는 저감하는 열선 저감 또는 열선 차단 필터(205)를 설치하여, 기판 온도 상승을 저감시켜도 된다. 케이스(201)의 배면은 순환 냉매를 통과시키는, 예를 들면, 수냉(水冷) 파이프(207)에 의해 필요 이상으로 온도 상승하지 않도록 하여, 반사판(204)의 반사 기능 유지와 램프(205) 발광의 안정화를 도모하여도 된다.

<187> 램프(205)는 후술한 바와 같이, 플래시식 방전 기구에서 발생한 고압 펄스를 인가하면, 램프 내부에 밀봉된 크세논 등의 기체가 한순간에 절연 파괴를 일으켜, 이것이 방아쇠가 되어 콘덴서에 축적된 전기 에너지가 극히 짧은 시간(μ sec 내지 msec) 사이에 램프 내로 한꺼번에 방출되며, 이 때에 강렬한 아크 방전의 섬광(플래시)을 방출한다. 이 섬광이 저급 결정성 실리콘 박막에 흡수되어, 열로 변환되어 용융된다.

<188> 이 때, 램프(205)로부터 조사되는 광(210)은, 예를 들면, 도 8에 도시하는 스펙트럼 분포를 갖고 있어, 저급 결정성 실리콘의 흡수 파장(자외선 영역, 약 400nm 이하)에 대응한 발광 강도의 파장을 갖고 있다. 또한, 조사광(210)은 장파장 성분을 커하는 등, 후술하는 방법으로 스펙트럼 제어하여도 되지만, 어느 정도의 장파장 성분을 포함하고 있으면, 이것이 기판(1)을 가열함으로써 서냉각에 의한 큰 입자 직경화에 기여하는 것이 있다.

<189> 예를 들면, 도 25, 도 36은 본 발명에 근거하는 플래시 램프 어닐링에 의해 형성된 다결정성 실리콘 박막의 SEM(주사 전자 현미경) 사진이지만, 상기한 수 μ m 사이즈의 큰 입자 직경의 다결정 실리콘 입자가 존재하고 있는 것을 알 수 있다. 이것에 대해서는 나중에 상술한다.

<190> 반사경(204)은, 예를 들면, 도 9에 도시하는 요면형(A)과 평면형(B) 타입이 있지만, 전자는 집광 렌즈(211)를 통해 띠 모양의 플래시 조사를 행하는(조도의 향상) 것에 적합하며, 후자는 광 정형기(광 균질기)(212)를 통해 큰 면적의 정사각형 모양, 직사각형 모양 등의 플래시 조사(균일성 향상)를 행하는 데 적합하다. 이 때도, 필요에 따라서 상기 열선 저감 또는 차단 필터를 통해 소정 방향으로 투광하여도 된다. 또한, 이 광 정형기(광 균질기 등)에 열선 반사막을 코팅하여도 된다.

<191> 예를 들면, 1000×1000mm인 유리 기판(1)에 플래시 램프 어닐링할 경우, 하기 (1) 내지 (3)의 방법이 있어, 적당히 선택하여도 된다.

<192> (1) 도 10의 (1)에 도시하는 바와 같이, 도 7의 예에 대응하여 1000×1000mm의 큰 면적을 일괄하여 1회 또는 필요 회수 반복하여 플래시 조사한다.

<193> (2) 도 10의 (2)에 도시하는 바와 같이, 기판(1)을 고정시켜 200×200mm 정사각형 모양으로 집광 정형한 플래시 조사광(210)을 겸류계 스캐닝으로 주사시키고, 동일한 영역을 1회 또는 필요 회수 반복하여, 필요에 따라서 오버랩 스캐닝하여 플래시 조사한다.

<194> (3) 도 11의 (3)에 도시하는 바와 같이, 200×200mm 정사각형 모양으로 집광 정형한 플래시 조사 위치를 고정시켜 기판(1)을 스텝 & 리피트로 고정 밀도로 X-Y 방향으로 이동시키고, 동일한 영역을 1회 또는 필요 회수 반복하여, 필요에 따라서 오버랩 스캐닝하여 플래시 조사한다.

<195> 더구나, 겸류계 스캐닝 및 스텝 & 리피트로 플래시 조사하는 경우는 이웃 영역으로의 플래시 조사광의 크로스 토크에 의한 결정화 격차를 저감하기 위해, 가로 방향의 광 누설 방지의 차폐판을 설치하여, 기체와 램프 하우스(케이스) 또는 진공 용기 방사면의 간격을 가능한 한 작게(예를 들면, 10mm 이하로) 하는 것이 바람직하다.

<196> *그리고, 이 플래시 램프 어닐링 조건(램프의 발광 파장, 조사 강도, 조사 시간, 냉각 속도 등)은 저급 결정성 실리콘막 두께, 유리 기판의 내열 온도, 얻어지는 결정 입자 직경(캐리어 이동도)에 의해, 최적화를 적당히 결

정하여도 된다. 또한 이 플래시 램프 어닐링 시에는 기판 온도의 균일화 및 안정화에 의한 결정화막의 균일화, 결정화막 및 기판 스트레스의 저감화, 램프 조사 파워 삭감을 위해, 유리 기판(1)의 왜곡점 이하의 상온 내지 500°C, 바람직하게는 300 내지 400°C로 히터(209)나 적외선 램프(할로겐 램프) 등으로 유리 기판(1)을 가열하는 것이 좋다.

<197> 또한, 본 발명에 사용 가능한 자외선 광원 램프(203)로서는 플래시식으로 또한 반복하여 발광시킬 수 있는 것이 바람직하며, 예를 들면, 크세논 램프, 크세논-수은 램프, 크세논-크립톤 램프, 크립톤 램프, 크립톤-수은 램프, 크세논-크립톤-수은 램프, 메탈 할라이드 램프 등의 각종 램프를 사용할 수 있다. 램프를 섬광적으로 발광시키기 위한 플래시식 방전 기구로서는 도 12에 도시하는 바와 같이, 예를 들면, 직류 전원(214), 전하를 축적하기 위한 콘덴서(C), 램프 전원(214)과 램프(203) 사이의 배선이 갖는 인덕턴스, 콘덴서(C)의 내부 인덕턴스, 펄스 폭 조정용 인덕턴스 등으로 형성되는 인덕턴스(L) 등에 의해 방전 램프 회로가 구성된다.

<198> 예를 들면, 동일 형상의 램프를 사용할 경우는 콘덴서의 충전 전압을 높게 하여 방전시키면, 방전 시의 전압 피크치가 올라, 결과적으로, 파장 400nm 이하의 자외선 파장 영역의 스펙트럼 강도가 상대적으로 증대한다. 또한, 콘덴서의 충전 전압이 일정한 경우는 인덕턴스를 작게 할수록 1/3 펄스 폭이 감소하여, 방전 전류 파형의 피크치가 증대하며, 결과적으로 파장 400nm 이하의 자외선 파장 영역의 스펙트럼 강도가 상대적으로 증대한다.

<199> 큰 입자 직경(고캐리어 이동도의 다결정화) 촉진과, 상기한 그래포 에피택셜 또는 헤테로 에피택셜 성장에서의 단결정성화 촉진을 위해서는 실리콘 용융 후에 서냉각하는 것이 바람직하기 때문에, 플래시 램프 어닐링 시의 플래시 시간(펄스 폭)이나 피크치, 램프 발광의 반복 속도 및 빈도를 적당히 제어하고, 특히 1/3 펄스 폭은 길 수록 좋으며, 예를 들면, 1밀리초 이상, 바람직하게는 1.5밀리초 이상이 바람직하다. 또한, 1/3 펄스 폭은 저급 결정성 반도체 박막의 제법, 막 두께 등에 의해 수시 변경하는 것이 바람직하다.

<200> 그리고, 램프(203)에 흐르는 방전 전류의 피크치 및 펄스 폭 및 램프 발광의 반복 속도 및 빈도를 적당히 조절 할 수 있도록 한다. 이 경우, 램프의 접속 방법에는 예를 들면,

<201> (1) 도 12의 (1)에 도시하는 바와 같이, 직렬 접속된 2개의 램프(203)를 각각의 램프 전원(214)에 접속하여, 합계 4개의 램프를 병렬로 동기하여 발광시킨다.

<202> (2) 도 12의 (2)에 도시하는 바와 같이, 각 램프(203)마다 전원(214)을 설치하여 램프를 동시에 발광시킨다.

<203> (3) 도 12의 (3)에 도시하는 바와 같이, 직렬 접속된 램프(203)를 하나의 램프 전원(214)에 접속하여, 각 램프를 동시에 발광시킨다.

<204> 이 중 어느 것이어도 된다.

<205> 이렇게 복수의 램프를 사용할 경우, 복수의 램프를 동기시켜 발광시킨 쪽이 효율이 향상한다. 통상, 램프를 발광시키기 위한 트리거 회로(도시하지 않음)에 의해 복수의 램프는 동기하여 트리거되며, 복수의 램프가 동시에 발광하도록 하는 편이 좋다. 트리거 회로에 의해 트리거 전극을 통하여, 예를 들면, 수십 kV의 고압 펄스를 가하면, 발광관 내의 크세논 가스 중에 트리거 전극을 따라 가는 길이 형성되며, 부분적인 절연 파괴를 야기하여, 주방전은 이 부분을 따라 성장한다(상술한 시마 방식의 점등에서는 이 트리거 전극은 없다).

<206> 예를 들면, 도 13의 (1)에 도시하는 플래시 램프 구조에서는, 예를 들면, 직경 10mm, 길이 150mm의 직관형 발광관(215)의 양단 근방에 한 쌍의 전극(216, 217)이 대향 배치되며, 발광관의 외벽에 트리거 와이어(218) 등의 트리거 전극 조립체가, 예를 들면, 권회하여 배치되어 있다. 이러한 구조뿐만 아니라, 도 13의 (2)에 도시하는 바와 같이, 예를 들면, 세로 150×가로 100×높이 10mm의 평행 평판형 발광관(219)의 양단 근방에 한 쌍 또는 복수 쌍의 전극(216, 217)이 대향 배치되며, 발광관의 외벽에 투명 도전막(ITO(Indium Tin Oxide), ZnO 등)으로 이루어지는 트리거 전극 박막 패턴(또는 트리거 전극 조립체)(220)이 배치된 구조로 하여도 된다. 이 때에, 발광관 벽면(내측 또는 외측 또는 쌍방)을 미세 요철 가공(블래스트, 에칭 등)함으로써, 플래시 조사광의 조도 균일화를 도모하여도 된다. 더욱이, 이 평행 평판형 발광관의 경우, 복수의 각각의 양극(216) 및 음극(217)과 각 트리거 금속선(또는 트리거 전극 박막 패턴)(220)의 간격이 동일한 거리가 되도록 위치적으로 대응하여 설치하는 것이 바람직하다.

<207> 이러한 평행 평판형(직방체) 발광관(219)은, 예를 들면, 세로 150×가로 100×높이 10mm인 평행 평판형 발광관의 양단 근방에 한 쌍 또는 복수 쌍의 전극(216, 217)이 대향 배치되며, 발광관의 외벽에 트리거 전극 조립체(또는 트리거 전극 박막 패턴)(220)가 배치된 구조이기 때문에, 플래시 조사 면적의 확대와 함께, 방전의 균일화에 의한 플래시 조사광의 조도 균일화를 도모할 수 있다. 또한, 각 전극(216, 217)을 동시 또는 개별로 동작

가능하고, 예를 들면, 파괴한 부분이 있더라도 다른 전극을 정상 동작시킴으로써, 방전 강도 유지, 수명, 비용 면에서 유리해진다. 또한, 더욱이 평행 평판형 발광관 및 직관형 발광관의 경우에, 발광관 벽면(내측 또는 외측 또는 쌍방)을 미세 요철 가공(블래스트, 에칭 등)함으로써, 플래시 조사광의 조도 균일화가 향상한다.

<208> 그리고, 발광관 외벽의 미세 요철 가공을 추가하면, 플래시 조사광의 조도 균일화, 투명 도전성 피막의 밀착성이 개선되어, 스프링성이 있는 나선형 금속선의 밀착도 개선되기 때문에, 안정된 발광과 긴 수명이 가능해진다. 예를 들면, 세로 150×가로 100×높이 10mm인 평행 평판형 발광관(220)은 길이 150mm×직경 10mm인 직관형 발광관의 복수 개분(예를 들면, 10개분)의 조사 면적임에도 불구하고, 토탈로 하여 낮은 소비 전력으로 동등 이상의 플래시 조사를 행할 수 있기 때문에, 효율이 좋으며, 염가이고 교환 빈도가 적어, 비용 절감이 실현된다.

<209> 이 때에, 평행 평판형 발광관의 투광면의 반대면 측에 투명 전극성 피막 또는 금속 피막을 패터닝하여 트리거 전극선을 병렬로 설치함으로써, 복수 쌍의 전극간 방전 격차를 저감하기 때문에, 안정된 발광과 긴 수명화가 가능해진다.

<210> 발광관 후방에 냉각한 반사 부재를 설치하면, 사용 중에 고온도가 되지 않기 때문에, 반사 부재의 기능이 열화하지 않고, 램프 동작이 안정화되며, 또한 쓸데 없는 가스를 방출시켜 외위기 내부의 분위기를 악화시키는 일이 없기 때문에, 안정된 발광과 긴 수명화가 가능해진다. 더구나, 발광관 및 반사 부재를 펜 등에 의해 공냉하거나, 또는 순환시킨 순수(또는 초순수(超純水))로 수냉시켜도 된다.

<211> <촉매 CVD(또는 플라즈마 CVD 등)와 플래시 램프 어닐링의 연속 처리>

<212> 컨테미네이션 방지, 생산성 향상 면에서 저급 결정성 반도체 박막 형성 공정 또는 수단(플라즈마 CVD, 촉매 CVD, 스퍼터 등)과, 플래시 램프 어닐링 또는 어닐러를 일체화한 장치로 하여, 예를 들면, 인 라인(연속 챔버) 방식(리니어형, 회전형), 멀티 챔버 방식, 클러스터 방식 등에 의해 연속적으로 혹은 순차로 행하는 것이 바람직하다.

<213> 다음 (1) 또는 (2)의 클러스터 방식이 보다 바람직하다.

<214> (1) 예를 들면, 도 14에 도시하는 바와 같이, CVD부에서 저급 결정성 반도체 박막을 형성한 후, 어닐러부의 플래시 램프 어닐링으로 결정화하여, 이것을 CVD부로 되돌려 그 위에 저급 결정성 반도체 박막을 형성하고, 다시 어닐러부의 플래시 램프 어닐링으로 결정화를 행하는 공정을 반복하는 클러스터 방식 일체화 장치로 하여도 된다. 도 15의 (A)는 이것을 인 라인 방식으로 한 것이다.

<215> (2) 또한, 도 16에 도시하는 바와 같이, CVD-1부에서 하지 보호막(산화 실리콘/질화 실리콘 적층막 등)을 형성하고, CVD-2부에서 저급 결정성 반도체 박막을 형성한 후, 필요에 따라서 이온 도핑/이온 주입부에서 IV족 원소를 적당량 첨가하고나서, 어닐러부의 플래시 램프 어닐링으로 결정화하며, 더욱이 CVD-3부에서 게이트 절연막(산화 실리콘막 등) 형성 작업을 연속하는 클러스터 방식 일체화 장치로 하여도 된다. 도 15의 (B)는 이것을 인 라인 방식으로 한 것이다.

<216> 또한, CVD-1부에서 형성하는 산화 실리콘/질화 실리콘 적층막 등은 톱 게이트형 MOSTFT의 하지 보호막 또는 보텀 게이트형 MOSTFT의 보텀 게이트 절연막겸 보호막이 되는 것이면 되면, 또한 CVD-3부에서 형성하는 산화 실리콘막 또는 산화 실리콘/질화 실리콘 적층막 등은 톱 게이트형 MOSTFT의 게이트 절연막 또는 보텀 게이트형 MOSTFT의 보호막이 되는 것이어야 된다.

<217> 또한, 상기 CVD는 촉매 CVD, 플라즈마 CVD, TEOS계 플라즈마 CVD 등이면 되며, 또한 이 대신 스퍼터여도 된다. CVD에서는 성막 전에 플라즈마 또는 촉매 AHA 처리하는 것이 좋다. 예를 들면, 플라즈마 CVD에 의한 성막 전에 원료 가스를 흘리지 않고 수소계 캐리어 가스만으로 플라즈마 AHA 처리하여 발생한 수소계 활성종(활성화 수소 이온 등)의 작용에 의해, 형성된 다결정성 실리콘 박막 표면의 컨테미네이션(저속 산화막, 수분, 산소, 질소, 탄산 가스 등)을 제거하여 계면을 클리닝하여, 잔존하는 어몰퍼스 실리콘 성분을 에칭하여 고결정화율의 다결정 실리콘 박막화시키면, 이 하지층을 시드로 하여, 깨끗한 계면 상에 적층하는 저급 결정성 실리콘 박막은 다음의 플래시 램프 어닐링에 의해 양호한 결정의 큰 입자 직경 다결정성 또는 단결정성 반도체 박막으로서 적층 형성된다.

<218> 또한, 산화 및 질화 방지를 위해, 플래시 램프 어닐링을 감압 수소 또는 감압 수소계 가스 분위기 중 또는 진공 중에서 하는 것이 좋다. 수소 또는 수소와 불활성 가스(아르곤, 헬륨, 크립톤, 크세논, 네온, 라돈)와의 혼합 가스로, 가스압은 1.33Pa 이상이고 대기압 미만, 바람직하게는 133Pa 내지 $4 \times 10^4\text{Pa}$ 이고, 진공도는 1.33Pa 이상

이고 대기압 미만, 바람직하게는 13.3Pa 내지 $1.33 \times 10^4\text{Pa}$ 이다. 단, 저급 결정성 반도체 박막 표면에 절연성 보호막(산화 실리콘막 또는 질화 실리콘막 또는 산질화 실리콘막 또는 산화 실리콘/질화 실리콘 적층막 등)이 있는 경우, 또는 연속 작업이 아닌 경우는 공기 중, 대기압 질소 중에서도 된다.

<219> 또한, 촉매 CVD 및 플래시 램프 어닐링은 모두 플라즈마 발생 없이 행할 수 있기 때문에, 플라즈마에 의한 데미지가 없으며, 저스트레스의 생성막이 얻어지고, 또한 플라즈마 CVD법에 비하여 심플하고 염가인 장치를 실현할 수 있다.

<220> 또한, 상기한 플래시 램프 어닐링에 있어서, 하기에 도시하는 바와 같은 여려가지 개량을 가할 수 있다.

<221> 공기 또는 대기압 질소 중에서의 크세논 램프의 플래시 조사 시는 소위 천등과 같이 결정화에 이용하는 섬광과 불필요한 충격음이 발생한다. 이 때문에, 차광 및 방음 대책으로서, 도 17의 (A)에 도시하는 바와 같이, 램프(203)를 밀폐형 진공 용기(201) 내에 수용하여, 램프(203) 및 반사 부재(204)를 스프링(230)을 통해 진공 용기(201)에 설치한 구조로 한다. 스프링(230) 이외의 완충재도 사용 가능하다.

<222> 이 경우, 도 17의 (B)에 도시하는 바와 같이, 램프 하우스인 아래 방향 조사형 진공 용기(201)는 고정시켜, 저급 결정성 실리콘 박막 부착 기체(1)를 고정밀도 스텝 & 리피트 동작시켜 플래시 조사한다. 고정된 복수 개의 램프 하우스(201)에 대하여, 기체(1)가 인 라인으로 이동하여 플래시 조사하여도 된다. 더구나, 이 때에, 기체를 고정시켜 아래 방향 조사형 진공 용기(201)를 고정 밀도 스텝 & 리피트 동작으로 플래시 조사하여도 된다.

<223> 단, 클러스터 방식 등의 일체형 장치의 경우는 램프 및 반사 부재 등으로 이루어지는 램프 하우스와 기체가 동일 진공 용기 중에 수용되어 플래시 조사되기 때문에, 원래 차광되고 또한 충격음이 저감되어 있다.

<224> 플래시 램프 어닐링은 고정된 시간 폭에서 플래시 조사하는 이외에도, 시간차를 설치하여 스위칭 수단에 의해 플래시 조사를 제어하여도 된다.

<225> 도 23에는 상기한 바와 같이 시간차를 설치하여 스위칭 수단에 의해 플래시 조사하는 데 사용하는 충방전 회로의 구성예를 도시한다.

<226> 여기서 크세논 플래시 램프(203)의 접속은 다음 3가지가 있다.

<227> ① 복수 개를 서로 직렬 접속하여 각각의 전원에 접속한다.

<228> ② 각 램프마다 전원을 설치한다.

<229> ③ 모든 램프를 직렬 접속하여 공통의 전원에 접속한다.

<230> 이 때, 복수의 램프는 동기하여 트리거되며, 복수의 램프가 동시에 발광된다.

<231> 그리고, 시간차를 설치하여 개폐가 행하여지는 스위칭 수단에 의해 다음과 같이 제어한다.

<232> ① 처음에 SW_1 이 ON되면, 고압 펄스 발생 회로에서 발생시킨 파고 치수 kV 내지 수십 kV의 고압 펄스가 트리거 전극에 인가되며, 동시에 연동하여 SW_1' 이 ON된다. 트리거 전극을 따라 플래시 램프 내벽에 길이 형성되며, 이 것을 따라 램프 내부에 밀봉된 기체(크세논)가 일순간에 절연 파괴를 일으키고, 이것이 방아쇠가 되어 충전용 콘덴서(C_1)에 축적된 전기 에너지가 급히 짧은 시간에 램프 내에 한꺼번에 방출되며, 이 때에 강렬한 섬광(플래시)을 방출한다.

<233> ② 소정 시간 경과 후, 다음으로 SW_2 와 SW_2' 가 ON되어, C_2 에 의해 플래시 조사된다.

<234> ③ 소정 시간 경과 후, 다음으로 SW_3 과 SW_3' 가 ON되어, C_3 에 의해 플래시 조사된다.

<235> SW_1 과 SW_1' , SW_2 와 SW_2' , SW_3 과 SW_3' 는 플래시 직후에 OFF가 된다. 그리고, 방전 종료와 거의 동시에, 직류 전압 전원 측으로부터 충전용 콘덴서에 대하여 충전이 개시된다. 충전에 요하는 시간은 충전용 콘덴서와 충전 전류 억제 저항의 곱에 의해 구해지는 시정수(τ)에 관계된다. 이 시정수(τ)와 방전 시간(t)의 관계는 일반적으로 $\tau \gg t$ 이다. 더구나, 플래시 조사 시의 플래시 조사 에너지(E)는 $E = (1/2) \times C \times V^2(J)$ 로 하여 구해진다(단, C 는 방전용 콘덴서(μF), V 는 인가 전압(V)이다).

<236> 도 18의 (a)에 도시하는 바와 같이, 각 1회의 플래시 조사로 스텝 & 리피트 동작시킬 경우, 유리 기판(1) 내의 조사 면적을 9분할하여, 각각에 대하여 도시한 시퀀스로 조사한다.

- <237> 이렇게, 각 1회의 플래시 조사로 기판을 스텝 & 리피트 동작시킬 경우의 전제로 하여, 예를 들면, 다음 (1) 내지 (3)으로 한다.
- <238> (1) $1m \times 1m$ 유리 기판에 저급 결정성 실리콘 박막(50nm 두께)이 형성되고, 그 표면에 보호 및 반사 저감용 산화 실리콘막(10 내지 50nm 두께)이 형성되어 있는 것. 그리고, 능동 소자(MOSTFT, 다이오드 등)와 수동 소자(저항, 용량 등)의 영역에 아일랜드화되어 있는 것.
- <239> (2) 이 유리 기판 내의 조사 면적을 9분할하여, $330 \times 330\text{mm}$ 의 조사 면적을 갖는 플래시 조사광을 각 에어리어 내에 각 1회씩 조사하는 것.
- <240> (3) 충전용 콘덴서의 충전 시간을 20초, 기판의 스텝 & 리피트 택트를 10초 미만으로 가정하는 것.
- <241> 이 때에, 도 23에 도시하는 방전 회로를 사용하여 다음 (a) 내지 (d)와 같이 동작시킨다.
- <242> (a) 트리거 스위치(SW_1)와 방전 스위치(SW_1')를 $ON \rightarrow OFF$ 하여, 방전용 콘덴서(C_1)에 의해 조사 에어리어 ①을 1회 플래시 조사함과 함께, 방전용 콘덴서(C_1)를 충전한다.
- <243> (b) 이 직후에 기판을 이동하여, 조사 위치에 조사 에어리어 ②를 셋하여, 트리거 스위치(SW_2)와 방전 스위치(SW_2')를 $ON \rightarrow OFF$ 하여, 조사 에어리어 ②를 방전용 콘덴서(C_2)에 의해 1회 플래시 조사함과 함께, 방전용 콘덴서(C_2)를 충전한다.
- <244> (c) 이 직후에 기판을 이동하여, 조사 위치에 조사 에어리어 ③을 셋하여, 트리거 스위치(SW_3)와 방전 스위치(SW_3')를 $ON \rightarrow OFF$ 하여, 조사 에어리어 ③을 방전용 콘덴서(C_3)에 의해 1회 플래시 조사함과 함께, 방전용 콘덴서(C_3)를 충전한다.
- <245> (d) 이 직후에 기판을 이동하여, 조사 위치에 조사 에어리어 ⑥을 셋하고, 트리거 스위치(SW_1)와 방전 스위치(SW_1')를 $ON \rightarrow OFF$ 하여, 조사 에어리어 ⑥을 충전 종료한 방전용 콘덴서(C_1)에 의해 1회 플래시 조사함과 함께, 방전용 콘덴서(C_1)를 다시 충전한다.
- <246> 이상의 동작을 반복하여, $1m \times 1m$ 유리 기판 내를 플래시 램프 어닐링한다. 따라서, 방전용 콘덴서의 충전 시간이 짧으면, 더욱 생산성이 향상하는 것은 말할 필요도 없다. 단, 저급 결정성 반도체 박막, 예를 들면, 어몰퍼스 실리콘막의 융점(약 1200°C : CVD, 스퍼터 등의 성막 방법에 의해 약간 변동한다) 부근을 피크치(P)의 $3/4P$ 로 가정하고 있다. 따라서, 예를 들면, 피크치(P)가 낮은 경우는 $4/5$ 펄스 폭 등으로 변화하는 일이 있다.
- <247> 종래의 DVD 점착 등에 사용되고 있는 플래시 조사에서는 방전 전류의 피크치(P)와 $1/3$ 펄스 폭($1/3P$) 또는 $1/2$ 펄스 폭($1/2P$) 등을 관리하고 있지만, 본 발명에 있어서는 저급 결정성 반도체 박막의 용융 및 냉각에서는, 예를 들면, 어몰퍼스 실리콘막의 융점(약 1200°C)을 넘은 피크치와 가능한 한 긴 용융 시간 및 냉각 시간이 큰 입자 직경화, 고결정율화에 따라서 필요하다. 따라서, 본 발명에서는 방전 전류의 피크치(P)와 펄스 폭의 관리를 다음과 같이 행하는 것이 바람직하다.
- <248> 종래: 피크치와 $1/3$ 펄스 폭(또는 $1/2$ 펄스 폭)
- <249> 본 발명: (1) 피크치와 $1/3$ 펄스 폭(또는 $1/2$ 펄스 폭)
- <250> (2) 피크치와 $1/3$ 펄스 폭(또는 $1/2$ 펄스 폭)과
- <251> $2/3$ 펄스 폭(또는 $3/4$ 펄스 폭)
- <252> (3) 피크치와 $2/3$ 펄스 폭(또는 $3/4$ 펄스 폭)
- <253> 단, $3/4$ 펄스 폭은, 예를 들면, 어몰퍼스 실리콘막의 융점 부근이며, 피크치가 낮은 경우는 $4/5$ 펄스 폭 등으로 변동하게 된다.
- <254> 플래시 조사 조건의 관리는 조사 에너지 $E=(1/2)CV^2(J)$ 를 구성하는 인가 전압(V)과 충전용 콘덴서(C)와 인덕턴스(L)로 결정되는 방전 전류의 피크치(P)와, 하기의 펄스 폭(시간 폭)이 된다.
- <255> $\tau_1=1/3$ 펄스 폭은 입력 전류 파형이 제로로부터 상승하여 피크치의 $1/3$ 이 되고, 그 후에 다시 피크치의 $1/3$ 로

감쇠하는 시간 폭으로, 본 발명에서는 1.5msec 이상이 바람직하다.

<256> $\tau_2=1/2$ 폴스 폭은 입력 전류 파형이 제로로부터 상승하여 피크치의 1/2이 되고, 그 후에 다시 피크치의 1/2로 감쇠하는 시간 폭으로, 본 발명에서는 1.0msec 이상이 바람직하다.

<257> $\tau_3=2/3$ 폴스 폭은 입력 전류 파형이 제로로부터 상승하여 피크치의 2/3이 되고, 그 후에 다시 피크치의 2/3로 감쇠하는 시간 폭으로, 본 발명에서는 0.8msec 이상이 바람직하다.

<258> $\tau_4=3/4$ 폴스 폭은 입력 전류 파형이 제로로부터 상승하여 피크치의 3/4가 되고, 그 후에 다시 피크치의 3/4으로 감쇠하는 시간 폭이며, 본 발명에서는 0.5msec 이상이 바람직하다. 또한, 이 3/4 폴스 폭은 저급 결정성 반도체 박막의 용점 부근으로 한다.

<259> 한편, 동일 영역을 수회 반복하여 플래시 조사할 경우는 도 19의 (b)에 도시하는 바와 같이 행한다.

<260> 예를 들면, 어몰퍼스 실리콘막의 용점(어몰퍼스 실리콘막의 성막 조건에 따라 약간 다르지만, 약 1200°C)이 3/4 폴스 폭으로 판정되면, C_1 의 방전에 의해 P (피크치)와, τ_{41} 의 용융 시간이 유지되며, τ_{41} 시간이 경과하기 직전의 C_2 의 방전에 의해 τ_{42} 의 용융 시간이 유지되며, τ_{42} 시간이 경과하기 직전의 C_3 의 방전에 의해 τ_{43} 의 용융 시간이 유지되며, 토탈로 하여 $\tau_0 = \tau_{41} + \tau_{42} + \tau_{43}$ (예를 들면, $1.5 = 0.5 + 0.5 + 0.5$ msec)의 용융 시간이 유지된 후에, 서냉각하면서 결정화하여 간다(이 시퀀스는 하기에 도시한다). 따라서, 이 때는 $C_1 \geq C_2 \geq C_3$ 이며, 인가 전압은 $E_1 \geq E_2 \geq E_3$ 이 된다.

<261> SW_1/SW_1' ON→OFF τ_{41}

<262> 0.5msec 이내에 SW_2/SW_2' ON→OFF τ_{42}

<263> 0.5msec 이내에 SW_3/SW_3' ON→OFF τ_{43}

<264> 또한, 방전 전류 파형은 도 20에 도시하는 바와 같이, 1회의 플래시 조사 시의 방전 전류의 파형 타입을 각종 제어할 수 있다.

<265> 도면 중 ①은 도 19와 동일하며, 일반적인 급준한 상승 파형과 비교적 급준한 하강 파형으로 이루어져 있다. 또한, ②는 방전 회로(C, L, R 등)의 조정에 의해, 완만한 경사의 상승 파형 및 하강 파형이며, 프리히트 및 서냉각 효과에 의해 큰 입자 직경, 고결정화율의 다결정성 또는 단결정성 반도체 박막이 형성된다. 더욱이 ③은 방전 회로(C, L, R 등)의 조정에 의해, ②보다도 더욱 완만한 경사의 상승 파형 및 ①과 동일한 비교적 급준한 하강 파형이며, 프리히트 효과(결정화의 균일성 향상)로 균일한 다결정성 반도체 박막 또는 단결정성 반도체 박막이 형성된다.

<266> 다음으로, 도 21에는 플래시 조사로 프리히트할 경우를 도시하며, C_1 의 방전에 의해 τ_{31} (2/3 폴스 폭)의 프리히트 시간을 유지하고, C_2 의 방전에 의해 τ_{41} (3/4 폴스 폭)의 용융 시간을 유지하며, C_3 의 방전에 의해 τ_{42} (3/4 폴스 폭)의 용융 시간을 유지한다. 이 때는 $C_1 < C_2 \geq C_3$ 이며, 인가 전압은 $E_1 < E_2 \geq E_3$ 이 된다. 이 프리히트에 의해, 결정화의 균일성이 향상하여, 균일한 특성의 다결정성 또는 단결정성 반도체 박막이 형성된다.

<267> 여기서, τ_{31} : 충전용 콘덴서(C_1)의 방전에 의한 방전 전류가 제로로부터 상승하여 $\tau_{41} = \tau_{42}$ 의 피크치의 3/4(용점)의 2/3 이상 내지 3/4 미만이 되어, 용점 미만이 그 후에, 다시 2/3 이상 내지 3/4 미만으로 감쇠하기까지의 시간 폭(폴스 폭).

<268> τ_{41} : 충전용 콘덴서(C_2)의 방전에 의한 방전 전류가 제로로부터 상승하여 피크치의 3/4가 되고, 그 후에, 다시 3/4으로 감쇠하기까지의 시간 폭(폴스 폭).

<269> τ_{42} : 충전용 콘덴서(C_3)의 방전에 의한 방전 전류가 제로로부터 상승하여 피크치의 3/4가 되고, 그 후에, 다시 3/4으로 감쇠하기까지의 시간 폭(폴스 폭).

<270> 도 22에는 플래시 조사로 서냉각할 경우를 도시하며, C_1 의 방전에 의해 τ_{41} 의 용융 시간을 유지하고, C_2 의 방전에 의해 τ_{32} 의 후 가열 시간을 유지하며, C_3 의 방전에 의해 τ_{33} 의 후 가열 시간을 유지한다. τ_{41} (3/4 폴스

폭), τ_{32} 및 τ_{33} (2/3 폴스 폭)에 대해서, $C_1 > C_2 \leq C_3$ 이며, $E_1 > E_2 \leq E_3$ 이 된다. 이 서avage에 의해, 큰 입자 직경으로 고결정화율의 다결정성 또는 고단결정성 반도체막이 형성된다.

<271> 여기서, τ_{41} : 충전용 콘덴서(C_1)의 방전에 의한 방전 전류가 제로로부터 상승하여 피크치의 3/4(용점)이 되고, 그 후, 다시 3/4으로 감쇠하기까지의 시간 폭(폴스 폭).

<272> τ_{32} : 충전용 콘덴서(C_2)의 방전에 의한 방전 전류가 제로로부터 상승하여 τ_{41} 의 피크치의 3/4(용점)의 2/3 이상 내지 3/4 미만이 되며, 3/4(용점) 미만이 그 후에, 다시 2/3 이상 내지 3/4 미만으로 감쇠할 때까지의 시간 폭(폴스 폭).

<273> τ_{33} : 충전용 콘덴서(C_3)의 방전에 의한 방전 전류가 제로로부터 상승하여 τ_{41} 의 피크치의 3/4(용점)의 2/3 이상 3/4 미만이 되며, 3/4(용점) 미만이 그 후에, 다시 2/3 이상 내지 3/4 미만으로 감쇠하기까지의 시간 폭(폴스 폭).

<274> 다음으로, 플래시 램프 어닐링 시에, 도 24에 도시하는 바와 같이, 저급 결정성 실리콘 박막(7A)의 표면을 산화 실리콘막 또는 질화 실리콘막 또는 산질화 실리콘막 또는 산화 실리콘/질화 실리콘 적층막 또는 산화 실리콘/질화 실리콘/산화 실리콘 적층막 등의 절연성 보호막(235)으로 피복하고, 이 상태에서 플래시 램프 어닐링을 행하면, 그렇게 피복된 경우에는 목적으로 하는 다결정성 실리콘 박막(7)이 확실하게 형성된다. 그러나, 피복되지 않을 경우는 용융한 실리콘이 비산하거나, 표면 장력에 의해 실리콘 입자가 잔존하여, 다결정성 실리콘 박막이 형성되지 않는 일이 있다. 더구나, 이 때, 플라즈마 CVD 등에 의한 어몰퍼스 실리콘 박막은 다결정성 실리콘 박막이 형성되기 쉬우며, 감압 CVD나 촉매 CVD 등에 의한 미결정 함유 어몰퍼스 실리콘 박막, 어몰퍼스 실리콘 함유 미결정 실리콘 박막 등의 결정 핵(시드)이 존재하는 경우에 큰 입자 직경 다결정성 또는 단결정성 실리콘 박막이 형성되기 쉽다.

<275> 여기서, 본 발명의 플래시 램프 어닐링에서 형성한 다결정성 실리콘 박막의 훌 효과 캐리어 이동도를 평가하고, 더욱이 SEM에 의한 다결정 입자 직경, 라만 분광 특성에 의한 결정성을 평가하였다.

<276> <평가 샘플 A의 제작 조건>

<277> 기판: 석영 유리 $20 \times 20 \times 0.7\text{mm}$

<278> 저급 결정성 반도체 박막: RF 플라즈마 CVD에 의한 어몰퍼스 실리콘막(200nm 두께)

<279> 플래시 램프 어닐링 조건: 조사 에너지 약 20J/cm^2 (상대치),

<280> 인가 전압 약 2500V,

<281> 1/3 폴스 폭 1.5msec, 램프와 기판간 거리 50mm,

<282> 대기압 N_2 중, 기판 온도 350°C

<283> 훌 소자 패턴: $5 \times 5\text{mm}$, $2 \times 2\text{mm}$, $1 \times 1\text{mm}$ 의 4구석에 A1 전극 형성(측정 단자)

<284> 이온 주입 및 활성화 처리: 인 이온 10keV , $3 \times 10^{14}\text{ atoms/cm}^2$ 의 도즈량,

<285> * 550 내지 580°C, 30분 어닐링

<286> <훌 효과의 원리>

<287> 훌 효과라는 것은 시료에 전계와 자계가 서로 수직으로 걸렸을 때, 그들 전계와 자계 쌍방에 수직인 방향으로 캐리어가 움직임으로써 기전력이 발생하는 것을 말한다. 이 효과를 사용한 측정법이 훌 측정이며, 시료 중의 캐리어 종류, 밀도(정공 또는 전자의 밀도), 이동도를 대단히 간단하게 평가할 수 있다.

<288> <훌 효과 측정>

<289> 측정기: Bio-Rad HL5500 Hall System

<290> 평가 조건: I-means: $10\mu\text{A DC}$, 실온,

<291> 자계: 0.320Tesla, Targ.V: 20mV

<292> <측정치>

<293> 시트 저항 $Rs=619\Omega/cm^2$, 저항율 $R=0.0124\Omega\cdot cm$ <294> 전자 불순물 농도 $N=7.68\times 10^{18} atoms/cc$ <295> 홀 효과 전자 이동도 $\mu e=65.7\text{cm}^2/V\cdot s$

<296> 이 결과에 의하면, 동일 조건에서 평가하였을 때의 XeCl 엑시머 레이저-어닐링법에 의한 다결정 실리콘 박막의 홀 효과 전자 이동도 $\mu e=40$ 내지 $45\text{cm}^2/V\cdot s$ 에 대하여, 본 발명의 플래시 램프 어닐링법에 의한 다결정성 실리콘 박막의 홀 효과 전자 이동도 $\mu e=65.7\text{cm}^2/V\cdot s$ 이고, 약 1.5배가 높은 캐리어 이동도가 얻어졌다. 이 플래시 램프 어닐링 조건의 최적화에 의해, 더욱 큰 결정 입자 직경과 높은 캐리어 이동도가 가능하다.

<297> 또한, 도 25에 도시하는 SEM 관찰($\times 5000$)에서는 샘플 A의 다결정성 실리콘을 포함하는 입자는 수 μm 로 비교적 큰 것이 판명되었다.

<298> 더욱이, 도 28에 도시하는 바와 같이, 라만 산란 분광법(Ar 레이저(파장 514.53nm), 빔 직경 $1\mu m\phi$, 단결정 실리콘과 비교: 이하, 동일)의 현미 측정에 의하면, 샘플 A는 단결정 실리콘에 비하여 손색 없는 결정성이 얻어지고 있지만, 입자 직경/입계/응력 등의 미묘한 구조 차이가 반영되어, 라만 스펙트럼이 저파수 측(어몰퍼스 실리콘 측)으로 약간 시프트하고 있다.

<299> <평가 샘플 B, C의 제작 조건>

<300> 기판: 풍규산 유리 기판 $20\times 20\times 0.7mm$

<301> 저급 결정성 반도체 박막: RF 플라즈마 CVD에 의한 어몰퍼스 실리콘막

<302> (50nm 두께)

<303> 보호용 절연막: 산화 실리콘막(50nm 두께)(단, 영역의 반은 보호용 절연막을

<304> 제거하고, 산화 실리콘막이 있는 부분을 샘플 B, 없는 부분을

<305> 샘플 C로 한다)

<306> 플래시 램프 어닐링 조건: 조사 에너지 약 $20J/cm^2$ (상대치),

<307> 인가 전압 약 2500V,

<308> 1/3 펄스 폭 1.5msec, 램프와 기판간 거리 50mm,

<309> 공기 중, 기판 온도 350°C

<310> 샘플 B에 대한 SEM 관찰($\times 5000$)에서는 도 26에 도시하는 바와 같이, 보호 및 반사 저감용 산화 실리콘막을 피복하였기 때문에(도 24 참조), 플래시 램프 어닐링 시의 용융한 실리콘이 보호 및 반사 저감용 산화 실리콘막과 유리 기판간에 갇히며, 임의의 결정 핵을 시드로 결정화하고 있기 때문에, 거의 50nm 두께로 3 내지 $8\mu m$ 로 큰 입자 직경의 다결정성 실리콘 박막이 아일랜드형으로 형성되어 있다.

<311> 또한, 도 29에 도시하는 바와 같이, 라만 산란 분광법의 현미 측정에 의하면, 샘플 B(보호 및 반사 저감용 산화 실리콘막을 피복하고 있다)는 3 내지 $8\mu m$ 로 큰 입자 직경의 다결정성 실리콘 박막이 형성되어 있으며, 이 때문에, 단결정 실리콘에 비하여 손색 없는 결정성의 다결정성 실리콘 박막이 얻어지고 있다.

<312> 또한, 샘플 C에 대한 SEM 관찰에서는 도 27에 도시하는 바와 같이, 보호 및 반사 저감용 산화 실리콘막이 없기 때문에(도 24 참조), 플래시 램프 어닐링 시의 용융한 실리콘이 일부 비산하거나, 또한 표면 장력에 의해 임의의 형상으로 고화하여, 수십 μm 사이즈의 실리콘 입자(덩어리)가 형성되어 있다.

<313> 또한, 도 30에 도시하는 바와 같이, 라만 산란 분광법의 현미 측정에 의하면, 샘플 C(보호 및 반사 저감용 산화 실리콘막이 없다)는 수십 μm 사이즈의 임의의 형상의 실리콘 입자(덩어리)가 형성되어 있으며, 이것은 단결정 실리콘과 거의 근사한 결정성이다.

<314> 또한, 상기 라만 스펙트럼에 의한 라만 산란 분광법은 다음과 같은 특징을 갖는다.

- <315> 측정 원리: 물질에 여기(레이저)광을 조사하였을 때의 비탄성 산란(라만 산란)광을 검출한다. 여기광이 물질 중의 여러가지 소여기와 상호 작용할 때의 파장 변화를 분광함으로써, 물질의 원자/분자/전자 구조에 관한 여러 가지 정보를 끌어낸다.
- <316> *특징: 목적 개소(>1 μ m²)의 물질 정보가 비파괴로 얻어진다.
- <317> 얻어지는 정보: 고체(결정/어몰퍼스) 중의 여러가지 소여기의 에너지 결정의 대칭성 및 균일성에 관한 정보.
- <318> *그리고, 도 28이나 도 29에 도시한 바와 같이, 얻어지는 라만 스펙트럼은 비대칭으로 범위를 가진 피크가 나타나고 있지만, 이 형상의 차이는 실리콘 박막의 입자 직경/입계/응력 등의 미묘한 구조 차이를 반영한 것으로, 전기적인 특성 모두 밀접한 관계를 가지고 있다. 이러한 관계를 바탕으로 하여, 반대로 poly-SiTFT에 가장 적합한 형상의 Si:TO-phonon peak가 얻어지는 조건을 찾아내어, 프로세스의 최적화로 연결지어 갈 수 있다.
- <319> 또한, 플래시 램프 어닐링에 의한 저급 결정성 반도체 박막의 결정화 처리 시에 자장 또는 전장 또는 자장 및 전장을 인가하여, 이 작용 하에서 어닐링을 행하면, 결정 입자의 결정 방위를 일치시킬 수 있다.
- <320> 예를 들면, 자장을 인가할 경우, 도 31에 도시하는 바와 같이, 플래시 램프 장치와 기판(1)을 수용한 진공 용기(201) 주위에 영구 자석(231) 또는 전자석(232)을 설치하고, 이것에 의한 자장의 작용 하에서 플래시 램프 어닐링을 행한다.
- <321> 이렇게, 예를 들면, 저급 결정성 실리콘 박막(7A)에 자장의 작용 하에서 플래시 램프 어닐링을 행하면, 일단 녹인 실리콘 박막(7A)의 실리콘 원자의 전자 스핀은 자장과 상호 작용하여, 일정한 방향으로 향하여, 이 상태로부터 냉각에 의해 고화할 때에 실리콘의 결정 방위가 일치된다. 이렇게 하여 결정화된 막은 결정 방향이 거의 일치되기 때문에, 입계가 갖는 전자 포텐셜 배리어가 낮아지고, 캐리어 이동도가 커진다. 이 때, 결정 방향을 일정 방향으로 일치하는 것이 중요하며, 실리콘 원자의 외각(外殼) 궤도의 구조에 따라서, 얻어진 다결정 실리콘 박막(7)의 수직 방향으로 결정이 일치할 경우도 있으며 혹은 수평 방향으로 결정 방향이 일치하는 경우도 있다. 결정 입자가 일치함으로써, 다결정 실리콘 박막 표면의 요철도 없어져, 박막 표면이 평탄화되게 되어, 이것에 접하여 형성되는 게이트 절연막 등과의 사이의 계면 상태가 양호해져, 캐리어 이동도가 개선되게 된다.
- <322> 그리고, 이 자장의 작용 하에서의 플래시 램프 어닐링에 사용하는 플래시 램프(203)는 진공 용기(201) 내에 수용되어 있기 때문에, 그 조사 효율이 좋으며, 플래시 램프 특유의 상술한 작용을 충분히 발휘할 수 있다.
- <323> 도 32는 상기 자장 대신 전원(233)에 의한 전장을 인가하는 예이지만, 플래시 램프 장치와 기판(1)을 수용한 진공 용기(201) 주위에 고주파 전압(또는 직류 전압 혹은 이들 쌍방)을 인가하는 전극(234)을 설치하여, 이것에 의한 전장의 작용 하에서 플래시 램프 어닐링을 행한다.
- <324> 이 때에, 일단 녹인 저급 결정성 실리콘 박막(7A) 중의 실리콘 원자의 전자 스핀이 전장과 상호 작용하여 일정한 방향으로 향하여, 이 상태로부터 냉각에 의해 고화할 때에, 일정한 방향성을 가지고 결정화하게 된다. 이것은 상기한 자장의 경우와 마찬가지로, 일정한 방향으로 결정 입자가 일치하며, 캐리어 이동도가 향상하여, 또한 표면의 요철도 감소한다. 나아가서는 플래시 램프(203)의 조사 효율도 양호하다.
- <325> 도 33은 상기 자장과 함께 전장도 동시에 인가하는 예이지만, 플래시 램프 장치와 기판(1)을 수용한 진공 용기(201) 주위의 영구 자석(231)(이것은 전자석이어도 된다)에 의한 자장과 동시에, 고주파 전압(또는 직류 전압 혹은 이들 쌍방)을 인가하는 전극(234)에 의한 전장이 동시에 작용하는 조건에서 플래시 램프 어닐링을 행한다.
- <326> 이 때에, 일단 녹인 저급 결정성 실리콘 박막(7A)의 실리콘 원자의 전자 스핀이 자장과 전장의 상호 작용으로 일정한 방향으로 향하여, 이 상태로부터 냉각에 의해 고화할 때에, 자장과 전장의 상승 작용에 의해 더욱 충분한 방향성을 가지고 결정화하게 된다. 따라서, 일정 방향으로 결정 입자가 더욱 일치시키기 쉬워져, 캐리어 이동도가 한층 더 향상하고, 또한 표면 요철도 한층 더 감소한다. 나아가서는, 플래시 램프(203)의 조사 효율도 양호하다.
- <327> <톱 게이트형 CMOSTFT의 제조>
- <328> 다음으로, 본 실시예에 따른 플래시 램프 어닐링을 사용한 톱 게이트형 CMOSTFT의 제조예를 도시한다.
- <329> 우선, 도 1의 (1)에 도시하는 바와 같이, 봉규산 유리, 알루미노 규산 유리, 석영 유리, 결정화 유리 등의 절연 기판(1)의 적어도 TFT 형성 영역에 플라즈마 CVD, 촉매 CVD, 감압 CVD 등의 기상 성장법에 의해, 보호용 질화 실리콘막 및 산화 실리콘막의 적층막으로 이루어지는 하지 보호막(100)을 하기의 조건으로 형성한다(이하,

동일).

<330> 이 경우, TFT 형성의 프로세스 온도에 의해 유리 재질을 구분 사용한다.

<331> 200 내지 500°C의 저온인 경우: 봉규산, 알루미노 규산 유리 등의 유리 기판(예를 들면, 500×600×0.5 내지 1.1mm 두께), 폴리이미드 등의 내열성 수지 기판을 사용하여도 된다.

<332> 600 내지 1000°C의 고온인 경우: 석영 유리, 결정화 유리 등의 내열성 유리 기판(예를 들면, 6 내지 12인치, 700 내지 800 μm 두께)을 사용하여도 된다.

<333> 보호막용 질화 실리콘막은 유리 기판으로부터의 Na 이온 스탭을 위해 형성하지만, 합성 석영 유리를 사용하는 경우는 불필요하다.

<334> 또한, 촉매 CVD를 사용하는 경우, 도 5 및 도 7에 도시한 것과 동일한 장치가 사용 가능하지만, 촉매체의 산화 열화 방지를 위해, 수소계 캐리어 가스를 공급하여 촉매체를 소정 온도(약 1600 내지 1800°C, 예를 들면, 약 1700°C)로 가열하여, 성막 후는 촉매체를 문제 없는 온도까지 냉각하여 수소계 캐리어 가스를 컷할 필요가 있다.

<335> *성막 조건으로서는 챔버 내에 수소계 캐리어 가스(수소, 아르곤+수소, 헬륨+수소, 네온+수소 등)를 상시 흘려, 유량과 압력, 서셉터 온도를 하기의 소정 값으로 제어한다.

<336> 챔버 내 압력: 0.1 내지 10Pa 정도, 예를 들면, 1Pa

<337> 서셉터 온도: 350°C

<338> 수소계 캐리어 가스 유량(혼합 가스의 경우, 수소는 80 내지 90몰%): 100 내지 200SCCM

<339> 또한, 질화 실리콘막은 다음 조건에서 50 내지 200nm 두께로 형성한다.

<340> H₂를 캐리어 가스로 하여, 원료 가스로서 모노실란(SiH₄)에 암모니아(NH₃)를 적당량 비율로 혼합하여 형성한다.

<341> H₂ 유량: 100 내지 200SCCM, SiH₄ 유량: 1 내지 2SCCM, NH₃ 유량: 3 내지 5SCCM

<342> 또한, 산화 실리콘막은 다음 조건으로 50 내지 200nm 두께로 형성한다.

<343> H₂를 캐리어 가스, 원료 가스로서 모노실란(SiH₄)에 He 희석 O₂를 적당량 비율로 혼합하여 형성한다.

<344> H₂ 유량: 100 내지 200SCCM, SiH₄ 유량: 1 내지 2SCCM, He 희석

<345> O₂ 유량: 0.1 내지 1SCCM

<346> 또한, RF 플라즈마 CVD에서 성막할 경우의 조건은 다음과 같다.

<347> 산화 실리콘막은 SiH₄ 유량: 5 내지 10SCCM, N₂O 유량: 1000SCCM, 가스압: 50 내지 70Pa, RF 파워: 1000W, 기판 온도: 350°C에서 형성한다.

<348> 또한, 질화 실리콘막은 SiH₄ 유량: 50 내지 100SCCM, NH₃ 유량: 200 내지 250SCCM, N₂ 유량: 700 내지 1000SCCM, 가스압: 50 내지 70Pa, RF 파워: 1300W, 기판 온도: 250°C에서 형성한다.

<349> 이어서, 도 1의 (2)에 도시하는 바와 같이, 촉매 CVD 또는 플라즈마 CVD에 의해, 예를 들면, 주기표 IV족 원소, 예를 들면, 주석을 10¹⁷ 내지 10²² atoms/cc, 바람직하게는 10¹⁸ 내지 10²⁰ atoms/cc 도핑한(이것은 CVD 시 또는 성막 후의 이온 주입에 의해 도핑하여도 된다) 저급 결정성 실리콘 박막(7A)을 50nm 두께로 형성한다. 단, 이 주석의 도핑은 반드시 필요하지는 않다(이하, 동일). 그리고, 연속하여 보호 및 반사 저감용 산화 실리콘막을 10 내지 30nm 두께로 형성한다.

<350> 이 경우, 도 5 및 도 6에 도시한 장치를 사용하여, 상기 촉매 CVD에 의해 하기의 조건으로 저급 결정성 반도체 박막으로서의, 예를 들면, 주석 도핑의 저급 결정성 실리콘 박막을 기상 성장시킨다.

<351> 촉매 CVD에 의한 어몰퍼스 실리콘 함유 미결정 실리콘의 성막: H₂를 캐리어 가스, 원료 가스로서 모노실란(SiH₄), 수소화주석(SnH₄)을 적당량 비율로 혼합하여 형성한다. H₂ 유량: 150SCCM, SiH₄ 유량: 15SCCM, SnH₄ 유량: 15SCCM. 이 때, 원료 가스의 실란계 가스(실란 또는 디실란 또는 트리실란 등)에, n형 인 또는 비소 또는

안티몬(Antimon) 등을 적당량 혼입하거나, 또는 p형 붕소 등을 적당량 혼입함으로써, 임의의 n 또는 p형 불순물 캐리어 농도의 주석 함유 실리콘 박막을 형성하여도 된다.

<352> n형화의 경우: PH₃(포스핀), AsH₃(알신), SbH₃(스티빈)

<353> p형화의 경우: B₂H₆(디보란)

<354> 또한, 상기 각 막을 동일 챔버에서 형성할 경우는 수소계 캐리어 가스를 상시 공급하여, 촉매체를 소정 온도로 가열하여 스텐바이 해 두고, 다음과 같이 처리하여도 된다.

<355> 모노실란에 암모니아를 적당 비율로 혼합하여 소정막 두께의 질화 실리콘막을 형성하여, 이전의 원료 가스 등을 충분히 배출한 후, 연속하여 모노실란과 He 희석 O₂를 적당 비율로 혼합하여 소정막 두께의 산화 실리콘막을 형성하여, 이전의 원료 가스 등을 충분히 배출한 후에, 연속하여 모노실란과 SnH₄를 적당량 비율로 혼합하여 소정막 두께의 주석 함유 어몰피스 실리콘 함유 미결정 실리콘막을 형성하여, 이전의 원료 가스 등을 충분히 배출한 후, 연속하여 모노실란과 He 희석 O₂를 적당 비율로 혼합하여 소정막 두께의 산화 실리콘막을 형성한다. 성막 후는 원료 가스를 컷하여, 촉매체를 문제 없는 온도로 냉각하여 수소계 캐리어 가스를 컷한다. 이 때, 절연막 형성 시의 원료 가스는 경사 감소 또는 경사 증가시키고, 경사 접합의 절연막으로 하여도 된다.

<356> 혹은, 각각 독립한 챔버에서 형성할 경우는 각 챔버 내에 수소계 캐리어 가스를 상시 공급하여, 촉매체를 소정 온도로 가열하여 스텐바이 해두고, 다음과 같이 처리하여도 된다. A챔버로 옮겨, 모노실란에 암모니아를 적당량 비율로 혼합하여 소정막 두께의 질화 실리콘막을 형성한다. 다음으로 B챔버로 옮겨, 모노실란에 He 희석 O₂를 적당량 비율로 혼합하여 산화 실리콘막을 형성한다. 다음으로 C챔버로 옮겨, 모노실란과 SnH₄를 적당량 비율로 혼합하여 주석 함유의 어몰피스 실리콘 함유 미결정 실리콘막을 형성한다. 다음으로 B챔버로 옮겨, 모노실란에 He 희석 O₂를 적당량 비율로 혼합하여 산화 실리콘막을 형성한다. 성막 후는 원료 가스를 컷하여, 촉매체를 문제 없는 온도까지 냉각하여 수소계 캐리어 가스를 컷한다. 이 때에, 각각의 챔버 내에 수소계 캐리어 가스와 각각의 원료 가스를 상시 공급하여, 스텐바이 상태로 해 두어도 된다.

<357> RF 플라즈마 CVD에서 저급 결정성 실리콘 박막을 성막하는 조건은 SiH₄:100SCCM, H₂:100SCCM, 가스압: 1.33×10⁴Pa, RF 파워: 100W, 기판 온도: 350°C이다.

<358> 이어서, 도 1의 (3)에 도시하는 바와 같이, 대기압 질소 가스 중에서, 예를 들면, 크세논 플래시 램프(또는 펠스드 크세논 램프라고도 한다)의 1회 또는 수회의 반복 플래시 조사(221)에 의해, 어몰피스 실리콘 함유 미결정 실리콘 박막(7A)을 용융 상태로 하여, 서냉각에 의해 큰 입자 직경으로 고결정화율의 다결정성 실리콘 박막(7)을 50nm 두께로 형성한다. 그리고, 기판의 사이즈에 따라서, 예를 들면, 스텝 & 리피트로 고정밀도로 기판을 이동시켜, 소정의 기판 내를 플래시 조사한다.

<359> 이 플래시 램프 어널링은 상술한 도 7 내지 도 13 중 어느 한 장치를 사용하여 행하여도 되며, 그 어널링 조건은, 예를 들면, 다음과 같다.

<360> 램프: 크세논 플래시 램프(직경 10mmΦ,

<361> 유효 아크 길이 200mm의 크세논 램프 20개)

<362> 조사 면적: 200×200mm의 정사각형 모양의 스텝 & 리피트로

<363> 각 1회의 플래시 조사

<364> 조사 에너지: 약 20J/cm²(상대치)

<365> 램프-유리 기판간 조사 거리: 50mm

<366> 인가 전압: 약 2.5kV

<367> 1/3 펄스 폭: 1.5msec

<368> 기판 온도: 300 내지 400°C

<369> 또한, 이 플래시 램프 어널링 시에 저급 결정성 실리콘 박막의 표면에 보호용 산화 실리콘막 또는 질화 실리콘

막 또는 산질화 실리콘막 또는 산화 실리콘/질화 실리콘 적층막 등이 존재하고 있으면, 어닐링 시에 용융한 실리콘이 비산하거나, 표면 장력에 의한 실리콘 결정 입자(덩어리)화가 없고, 양호하게 다결정성 실리콘 박막을 얻을 수 있다. 또한, 필요에 따라서 열선 저감 또는 열선 차단 필터를 사용하여, 결정성 향상과 기판 테미지 저감을 도모하여도 되지만, 이 때는 조사 에너지를 높일 필요가 있다.

<370> 또한, 기판 온도 상승 저감과 결정화 촉진을 위해, 저급 결정성 실리콘 박막을 아일랜드화한 후, 또는 보호용 산화 실리콘막으로 퍼복된 저급 결정성 실리콘 박막을 아일랜드화한 후에, 플래시 램프 어닐링하여도 양호한 다결정성 실리콘 박막을 얻을 수 있다.

<371> 또한, 적당한 조건에서 이 플래시 램프 어닐링을 후술하는 게이트 채널/소스/드레인 영역 형성 후에 행하면, 결정화 촉진과 동시에 게이트 채널/소스/드레인 영역에 주입된 n형 또는 p형 캐리어 불순물(인, 비소, 봉소 등)이 활성화되기 때문에, 생산성이 좋은 경우가 있다.

<372> 그리고 다음으로, 다결정성 실리콘 박막(7)을 소스, 채널 및 드레인 영역으로 하는 MOSTFT 제작을 행한다.

<373> 즉, 고온 프로세스의 경우, 도 2의 (4)에 도시하는 바와 같이, 범용 포토리소그래피 및 에칭 기술에 의해 보호 및 반사 저감용 산화 실리콘막을 제거하고, 더욱이 다결정성 실리콘 박막(7)을 아일랜드화한 후, nMOSTFT용 채널 영역의 불순물 농도 제어에 의한 임계치(V_{th})의 최적화를 위해, pMOSTFT부를 포토레지스트(9)로 마스크하여, 이온 주입 또는 이온 도핑에 의해 p형 불순물 이온(예를 들면, 봉소 이온)(10)을, 예를 들면, $5 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하여, $1 \times 10^{17} \text{ atoms/cc}$ 의 억셉터 농도로 설정하고, 다결정 실리콘 박막(7)의 도전형을 p형화한 다결정성 실리콘 박막(11)으로 한다.

<374> 이어서, 도 2의 (5)에 도시하는 바와 같이, pMOSTFT용 채널 영역의 불순물 농도 제어에 의한 임계치(V_{th})의 최적화를 위해, 이번에는 nMOSTFT부를 포토레지스트(12)로 마스크하여, 이온 주입 또는 이온 도핑에 의해 n형 불순물 이온(예를 들면, 인 이온)(13)을, 예를 들면, $1 \times 10^{12} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $2 \times 10^{17} \text{ atoms/cc}$ 의 도너 농도로 설정하여, 다결정성 실리콘 박막(7)의 도전형을 n형화한 다결정성 실리콘 박막(14)으로 한다.

<375> 이어서, 도 3의 (6)에 도시하는 바와 같이, 촉매 CVD 등에 의해 게이트 절연막의 산화 실리콘막(50nm 두께)(8)을 형성한 후, 게이트 전극 재료로서의 인 도프드 다결정 실리콘막(15)을, 예를 들면, 2 내지 20SCCM의 PH₃ 및 20SCCM의 SiH₄의 공급 하에서의 상기와 동일한 촉매 CVD법에 의해 두께, 예를 들면, 400nm 두께로 퇴적된다.

<376> 이어서, 도 3의 (7)에 도시하는 바와 같이, 포토레지스트(16)를 소정 패턴으로 형성하고, 이것을 마스크 인 도프드 다결정 실리콘막(15)을 게이트 전극 형상으로 패터닝하며, 더욱이, 포토레지스트(16) 제거 후에 도 3의 (8)에 도시하는 바와 같이, 예를 들면, 촉매 CVD 등에 의해 산화 실리콘막(17)을 20nm 두께로 형성한다.

<377> 이어서, 도 3의 (9)에 도시하는 바와 같이, pMOSTFT부를 포토레지스트(18)로 마스크하고, 이온 주입 또는 이온 도핑에 의해 n형 불순물인, 예를 들면, 인 이온(19)을, 예를 들면, $1 \times 10^{15} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $2 \times 10^{20} \text{ atoms/cc}$ 의 도너 농도로 설정하여, nMOSTFT의 n⁺형 소스 영역(20) 및 드레인 영역(21)을 각각 형성한다.

<378> 이어서, 도 4의 (10)에 도시하는 바와 같이, nMOSTFT부를 포토레지스트(22)로 마스크하고, 이온 주입 또는 이온 도핑에 의해 p형 불순물인, 예를 들면, 봉소 이온(23)을, 예를 들면, $1 \times 10^{15} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $2 \times 10^{20} \text{ atoms/cc}$ 의 억셉터 농도로 설정하여, pMOSTFT의 p⁺형 소스 영역(24) 및 드레인 영역(25)을 각각 형성한다. 이 후에, N₂ 중, 약 900°C에서 5분간 정도의 어닐링에 의해, 각 영역에 도핑된 불순물 이온을 활성화시켜, 각각을 설정된 불순물 캐리어 농도로 설정한다.

<379> 이렇게 하여 게이트, 소스 및 드레인을 형성하지만, 이들은 상기한 프로세스 이외의 방법으로 형성하는 것이 가능하다.

<380> 즉, 저온 프로세스의 경우, 도 1의 (2)의 공정 후에, 다결정성 실리콘 박막(7)을 pMOSTFT와 nMOSTFT 영역에 아일랜드화한다. 이것은 범용 포토리소그래피 및 에칭 기술에 의해, 보호 및 반사 저감용 산화 실리콘막은 풀루 오르산계 에칭액으로 제거하여, 어몰퍼스 실리콘 함유 미결정 실리콘 박막은 CF₄, SF₆ 등의 플라즈마 에칭으로 선택적으로 제거하여, 유기 용제 등으로 포토레지스트를 박리 설정한다. 다음의 플래시 램프 어닐링 시의 플래시 조사에 의한 급격한 온도 상승에서의 실리콘 용융과 냉각 시의 스트레스로, 형성되어야 할 다결정성 실리콘

박막에 균열이 발생하기 쉽기 때문에, 기판 온도 상승을 저감하기 위해서도 아일랜드화는 중요한 포인트이다. 이 램프 어닐 전의 아일랜드화는 열 방산을 적게 하여 실리콘 용융대의 냉각을 지연시켜 결정 성장을 촉진할 목적으로, 불필요한 실리콘 용융대에서의 기판 온도 상승을 저감하는 것이다.

<381> 그리고, 상술한 바와 동일하게 하여 저급 결정성 실리콘 박막(7A)에 대하여 플래시 램프 어닐링을 행한 후, 보호 및 반사 저감용 산화 실리콘막을 제거하여, 상술한 바와 동일하게 포토레지스트 마스크로 pMOSTFT 영역에 이온 주입 또는 이온 도핑법에 의해 n형 불순물, 예를 들면, 인 이온을 $1 \times 10^{12} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $2 \times 10^{17} \text{ atoms/cc}$ 의 도너 농도로 설정하여, nMOSTFT 영역에 p형 불순물, 예를 들면, 봉소 이온을 $5 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하여, $1 \times 10^{17} \text{ atoms/cc}$ 의 억셉터 농도로 설정하고, 각 채널 영역의 불순물 농도를 제어하여, V_{th} 를 최적화한다.

<382> 그리고, 다음으로, 범용 포토리소그래피 기술에 의해, 포토레지스트 마스크로 각 소스/드레인 영역을 형성한다. nMOSTFT의 경우, 이온 주입 또는 이온 도핑법에 의해 n형 불순물, 예를 들면, 비소, 인 이온을 $1 \times 10^{15} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $2 \times 10^{20} \text{ atoms/cc}$ 의 도너 농도로 설정하여, pMOSTFT의 경우, 이온 주입 또는 이온 도핑법에 의해 p형 불순물, 예를 들면, 봉소 이온을 $1 \times 10^{15} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하여, $2 \times 10^{20} \text{ atoms/cc}$ 의 억셉터 농도로 설정한다.

<383> 그 후, 다결정성 실리콘 박막 중의 n형 또는 p형 불순물의 활성화를 위해 결정화 처리보다도 낮은 조사 에너지의 플래시 램프 어닐링 또는 할로겐 램프 등의 적외선 램프의 RTA(Rapid Thermal Anneal)에 의해, 예를 들면, 약 1000°C , 30초 정도의 열 처리로 게이트 채널 영역, 소스 및 드레인 영역의 불순물 이온 활성화를 행한다. 그 후(혹은 불순물 활성화 처리 전에), 게이트 절연막으로서 산화 실리콘막을 형성하지만, 필요에 따라서 연속하여 질화 실리콘막과 산화 실리콘막을 형성한다. 즉, 촉매 CVD법에 의해, 수소계 캐리어 가스와 모노실란에 He 희석 O_2 를 적당량 비율로 혼합하여 산화 실리콘막(8)을 40 내지 50nm 두께로 형성하며, 필요에 따라서 수소계 캐리어 가스와 모노실란에 NH_3 을 적당량 비율로 혼합하여 질화 실리콘막을 10 내지 20nm 두께로 형성하고, 더욱이 상기 조건으로 산화 실리콘막을 40 내지 50nm 두께로 형성한다.

<384> 이어서, 고온 프로세스에서는 도 4의 (11)에 도시하는 바와 같이, 전체 면에 상기한 것과 동일한 촉매 CVD법에 의해, 수소계 캐리어 가스 150SCCM을 공통으로 하여, 1 내지 2SCCM의 헬륨 가스 희석의 O_2 , 15 내지 20SCCM의 모노실란 공급 하에서 산화 실리콘막(26)을, 예를 들면, 50nm 두께로, 더욱이, 1 내지 20SCCM의 PH_3 , 1 내지 2SCCM의 헬륨 희석의 O_2 , 15 내지 20SCCM의 SiH_4 공급 하에서 포스핀 실리게이트 유리(PSG)막(28)을, 예를 들면, 400nm 두께로 형성하고, 50 내지 60SCCM의 NH_3 , 15 내지 20SCCM의 모노실란 공급 하에서 질화 실리콘막(27)을, 예를 들면, 200nm 두께로 적층한다.

<385> 이어서, 도 4의 (12)에 도시하는 바와 같이, 상기 절연막의 소정 위치에 콘택트 창 천공을 한다. 즉, 범용 포토리소그래피 및 예칭 기술에 의해 nMOSTFT 및 pMOSTFT의 게이트, 소스, 드레인 전극 창 천공을 포토레지스트 패턴으로 형성하여, CF_4 , SF_6 등으로 패시베이션용 질화 실리콘막을 플라즈마 예칭하여, 산화 실리콘막 및 PSG막을 플루오르산계 예칭액으로 예칭하여, 유기 용제 등으로 포토레지스트를 세정 제거하여, nMOSTFT 및 pMOSTFT의 게이트, 소스, 드레인 영역을 노출 형성한다.

<386> 이어서, 각 콘택트 홀을 포함하는 전체 면에 1% Si가 들어있는 알루미늄 등의 전극 재료를 스팍터법 등으로 150°C 에서 $1\mu\text{m}$ 의 두께로 퇴적하여, 이것들을 패터닝하여, pMOSTFT 및 nMOSTFT의 각각의 소스 또는 드레인 전극(29)(S 또는 D)과 게이트 인출 전극 또는 배선(30)(G)을 형성하여, 톱 게이트형의 각 MOSTFT를 형성한다. 이후에, 포밍 가스 중에서 400°C , 1h의 수소화 처리 및 소결(sinter) 처리를 한다. 더구나, 촉매 CVD법에 의해, 알루미늄 화합물 가스(예를 들면, AlCl_3)를 공급하여, 알루미늄을 형성하여도 된다.

<387> 또한, 상기 게이트 전극 형성 대신, 전체 면에 Mo-Ta 합금 등의 내열성 금속의 스팍터막(100 내지 500nm 두께)을 형성하여, 범용 포토리소그래피 및 예칭 기술에 의해, nMOSTFT 및 pMOSTFT의 게이트 전극을 형성하여도 된다.

<388> 또한, 실리콘 합금 용융액의 액상 성장법과 플래시 램프 어닐링을 톱 게이트형 다결정성 실리콘 CMOSTFT의 제법 예에 대해서 설명하면, 우선, 상기 하지 보호막 형성 후에, 하기의 어느 한 방법으로 주석 함유 또는 비함유의

어몰퍼스 실리콘 함유 미결정 실리콘층을 (석출)성장시킨(이하는 주석 함유의 예로 한다) 후, 그 위의 주석 등의 저용점 금속막을 제거한다.

<389> 실리콘을 포함하는 주석 등의 저용점 금속 용융액을 도포하여 냉각시킨다.

<390> 실리콘을 포함하는 주석 등의 저용점 금속 용융액에 침적하여, 끌어올려 냉각시킨다.

<391> 실리콘을 포함하는 주석 등의 저용점 금속막을 가열 용융하여 냉각시킨다.

<392> 실리콘막 상에 주석 등의 저용점 금속막을 형성하여, 가열 용융 및 냉각시킨다.

<393> 주석 등의 저용점 금속막 상에 실리콘막을 형성하여, 가열 용융 및 냉각시킨다.

<394> 이어서, 주석 함유 또는 비함유의 어몰퍼스 실리콘 함유 미결정 실리콘층을 아일랜드화하고, pMOSTFT부와 nMOSTFT부로 분할하여, 이온 주입 또는 이온 도핑법에 의해 채널 영역의 불순물 농도를 제어하여 V_{th} 를 최적화한다(조건은 상술한 것에 준한다). 그 후에, 이온 주입 또는 이온 도핑법에 의해 pMOSTFT부와 nMOSTFT부의 소스, 드레인을 형성한다(조건은 상술한 것에 준한다).

<395> 이어서, 플래시 램프 어닐링으로 결정화 촉진과 이온 활성화를 행한다(조건은 상술한 것에 준한다). 연속하여 촉매 CVD에 의해 게이트 절연막의 산화 실리콘막을 형성하지만, 필요에 따라서 연속하여 질화 실리콘막 및 산화 실리콘막을 형성한다(성막 조건은 상술한 것에 준한다). 이 이후의 프로세스는 상술한 것과 동일하다. 또한, 이 액상 성장법을 사용하는 방법은 후술하는 보텀 게이트형, 듀얼 게이트형 CMOSTFT 등에 대해서도, 동일하게 적용되어도 된다.

<396> 스팍터법에 의한 저급 결정성 실리콘 박막의 플래시 램프 어닐링을 사용한 틈 게이트형 다결정성 실리콘 CMOSTFT의 제법예에 대해서 설명하면, 우선, 상기 하지 보호막을 스팍터링으로 형성한다. 즉, 절연성 기판의 전체 면에 질화 실리콘 타깃을 아르곤 가스압 0.133 내지 1.33Pa의 진공 중에서 스팍터링하여, 질화 실리콘막 (50 내지 200nm 두께)을 형성하고, 이 질화 실리콘막의 전체 면에 산화 실리콘 타깃을 아르곤 가스압 0.133 내지 1.33Pa의 진공 중에서 스팍터링하여, 산화 실리콘막(100 내지 200nm 두께)을 형성한다.

<397> 다음으로, 주석을 0.1 내지 1at% 함유하는 혹은 비함유의 실리콘 타깃을 아르곤 가스압 0.133 내지 1.33Pa의 진공 중에서 스팍터링하여, 절연성 기판의 적어도 TFT 형성 영역에 50nm 두께의, 예를 들면, 주석 함유 또는 주석 비함유의 어몰퍼스 실리콘막을 형성한다.

<398> 다음으로, 이 어몰퍼스 실리콘막의 전체 면에 산화 실리콘 타깃을 아르곤 가스압 0.133 내지 1.33Pa의 진공 중에서 스팍터링하여, 산화 실리콘막을 10 내지 30nm 두께로 형성한다.

<399> 또한, 공통된 실리콘 타깃으로, 아르곤 가스+질소 가스(5 내지 10몰%)의 스팍터링으로 질화 실리콘막을 아르곤 가스+산소 가스(5 내지 10몰%)의 스팍터링으로 산화 실리콘막을 아르곤 가스의 스팍터링으로 어몰퍼스 실리콘막을 더욱 아르곤 가스+산소 가스(5 내지 10몰%)의 스팍터링으로 산화 실리콘막을 연속 적층 형성하여도 된다.

<400> 이어서, 형성한 주석 함유 또는 비함유의 어몰퍼스 실리콘 박막을 아일랜드화하여, pMOSTFT부와 nMOSTFT부로 분할한다(조건은 기상 성장법의 경우에 준한다). 그 후, 이온 주입 또는 이온 도핑에 의해 게이트 채널, 소스, 드레인 영역을 형성한다(조건은 기상 성장법의 경우에 준한다).

<401> 이어서, 주석 함유 또는 비함유의 어몰퍼스 실리콘 박막을 플래시 램프 어닐링한다. 이 플래시 램프 어닐링에 의해, 다결정 실리콘 박막화하고, 동시에 이온 주입 또는 이온 도핑한 n형 또는 p형 불순물을 활성화하여, 게이트 채널, 소스, 드레인 영역의 최적 캐리어 불순물 농도를 형성한다(플래시 램프 어닐링 처리 조건은 상술한 것에 준한다). 더구나, 상기한 바와 마찬가지로, 결정화의 플래시 램프 어닐링과, 이온 활성화의 플래시 램프 어닐링 또는 RTA 처리로 나누어 처리하여도 되는 것은 말할 필요도 없다.

<402> 이어서, 게이트 절연막으로서 산화 실리콘막을 형성하지만, 필요에 따라서 연속하여 질화 실리콘막 및 산화 실리콘막을 형성한다. 즉, 촉매 CVD법 등에 의해, 산화 실리콘막을 40 내지 50nm 두께, 질화 실리콘막을 10 내지 20nm 두께, 산화 실리콘막을 40 내지 50nm 두께로 연속 형성한다(성막 조건은 상술한 것에 준한다).

<403> 이후의 프로세스는 상술한 것과 동일하다. 또한, 이 스팍터링막을 사용하는 방법은 후술하는 보텀 게이트형, 듀얼 게이트형 CMOSTFT 등에 대해서도, 동일하게 적용되어도 된다.

<404> 또한, 상기 저급 결정성 실리콘 박막 형성과 플래시 램프 어닐링을 필요 회수 반복함으로써, 고결정성, 고순도의 단결정성 실리콘에 가까운 큰 입자 직경 다결정 실리콘 후막을 형성할 수 있기 때문에, CCD 에어리어/리니어

센서, 바이폴라 LSI, 태양 전지 등의 후막에 필요한 디바이스에 적합해진다. 즉, 1회째의 플래시 램프 어닐링에 의해, 예를 들면, 200 내지 300nm 두께의 큰 입자 직경 다결정 실리콘 박막을 형성한다. 그리고, 그 위에 저급 결정성 실리콘 박막(200 내지 300nm 두께)을 적층한다. 그리고, 2회째의 플래시 램프 어닐링에 의해, 하지막을 시드로 하여, 예를 들면, 200 내지 300nm 두께의 큰 입자 직경 다결정성 실리콘 박막을 적층 형성하여, 약 400 내지 600nm의 큰 입자 직경 다결정성 실리콘 박막을 형성한다. 이러한 공정을 필요 회수 반복함으로써, μm 단위막 두께의 큰 입자 직경 다결정성 실리콘 후막을 적층 형성할 수 있다. 또한, 이 후막도 본 발명의 「다결정성 실리콘 박막」의 개념에 포함된다.

<405> 이러한 적층의 경우, 하지의 큰 입자 직경 다결정성 실리콘 박막이 다음 플래시 램프 어닐링 시의 결정핵(시드)이 되어, 보다 큰 입자 직경의 다결정성 실리콘 박막이 차례로 적층하여 가기 때문에, 후막의 표면에 근접할수록 고결정성, 고순도의 단결정 실리콘에 가까운 큰 입자 직경 다결정성 실리콘 후막을 형성할 수 있다. 따라서, MOSLSI뿐만 아니라 일반적으로, 후막의 표면을 능동 및 수동 소자 영역으로 하는 CCD 에어리어/리니어 센서, 바이폴라 LSI, 태양 전지 등의 후막이 필요한 디바이스에 적합해진다.

<406> [I] 또한, 상기한 바와 같이 아일랜드화 후에 플래시 램프 어닐링을 행할 경우, 다음 (1) 내지 (4)의 처리 중 어느 하나를 행하는 것이 좋다.

<407> (1) 저온 프로세스(A)에서는 산화 실리콘(이하, SiO_2)/질화 실리콘(이하, SiN_x) 적층막 부착 어몰퍼스 실리콘막을 패터닝하여 아일랜드화 한다. 플래시 램프 어닐링으로 다결정 실리콘화 한 후에, SiN_x 막만을 박리하고, SiO_2 또는 $\text{SiO}_2/\text{SiN}_x$ 막을 적층하고, 게이트 절연막의 SiO_2 또는 $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 적층막을 형성한다. 여기서 저온 프로세스는 기판에, 봉규산 유리, 알루미노규산 유리 등의 저왜곡점 유리나 폴리이미드 등의 내열성 수지를 사용하는 것을 의미한다(이하, 동일). 또한, 질화 실리콘막은 플라즈마 CVD 등의 저온 성막으로 형성되기 때문에, 완전한 Si_3N_4 가 아닌, SiN_x 로 표시한다(이하, 동일).

<408> (2) 저온 프로세스(B)에서는 SiO_2 (또는 SiN_x)막 부착 어몰퍼스 실리콘막을 패터닝하여 아일랜드화 한다. 플래시 램프 어닐링으로 다결정 실리콘화 한 후에, SiO_2 (또는 SiN_x)막을 박리하여, 게이트 절연막의 SiO_2 , 또는 $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 적층막을 형성한다.

<409> (3) 저온 프로세스(C)에서는 어몰퍼스 실리콘막을 패터닝하여 아일랜드화 한 후에, 플래시 램프 어닐링하고, 그 후에 게이트 절연막의 SiO_2 또는 $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 적층막을 형성한다.

<410> (4) 고온 프로세스(A)에서는 어몰퍼스 실리콘막을 패터닝하여 아일랜드화 한 후, 플래시 램프 어닐링하고, 그 후에 고온(1000°C, 30분)의 열산화 작용으로 다결정성 실리콘막의 표면을 산화시켜 게이트 절연막을 형성한다. 여기서 고온 프로세스란, 석영 유리나 결정화 유리 등의 내열성 유리나 세라믹스 등을 사용하는 것을 의미한다(이하, 동일).

<411> [II] 또한, 아일랜드화전의 플래시 램프 어닐링의 경우는 다음 (1) 내지 (4)의 처리의 어느 하나를 행하는 것이 좋다.

<412> (1) 저온 프로세스(D)에서는 $\text{SiO}_2/\text{SiN}_x$ 적층막 부착 어몰퍼스 실리콘막을 플래시 램프 어닐링 후에 패터닝하여 아일랜드화 한다. 그 후에, SiN_x 막만을 박리하여, SiO_2 또는 $\text{SiO}_2/\text{SiN}_x$ 막을 적층하고, 게이트 절연막의 SiO_2 , 또는 $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 적층막을 형성한다.

<413> (2) 저온 프로세스(E)에서는 SiO_2 (또는 SiN_x)막 부착 어몰퍼스 실리콘막을 플래시 램프 어닐링한 후에, 패터닝하여 아일랜드화 한다. 그 후에, SiO_2 (또는 SiN_x)막을 박리하고, SiO_2 또는 $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 막을 적층하여, 각각을 게이트 절연막으로 한다.

<414> (3) 저온 프로세스(F)에서는 어몰퍼스 실리콘막을 플래시 램프 어닐링한 후에, 패터닝하여 아일랜드화 한다. 그 후에, SiO_2 또는 $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 막을 적층하여, 각각을 게이트 절연막으로 한다.

<415> (4) 고온 프로세스(B)에서는 어몰퍼스 실리콘막을 플래시 램프 어닐링한 후에, 패터닝하여 아일랜드화하고, 고온(1000°C, 30분)의 열산화 작용으로 다결정성 실리콘막을 열산화시켜 게이트 절연막을 형성한다.

<416> 상기의 [I], [II] 모두, 저온 프로세스용 SiO_2 는 촉매 CVD, 플라즈마 CVD, TEOS계 플라즈마 CVD, 저온 고압

어널링(30MPa 이하의 고압 용기 중에서 상온 이상, 기판의 왜곡점 이하의 온도에서 수증기를 사용하여 소위 아임계수 반응 또는 초임계수 반응에 의해 열산화 한다) 등으로 형성하고, SiN_x 는 촉매 CVD, 플라즈마 CVD 등으로 형성한다. 고온 프로세스는 상기한 바와 같이 고온 열산화로 다결정성 실리콘 박막을 열산화시켜 양질의 SiO_2 막 및 다결정성 실리콘 박막을 형성한다. 따라서, 다결정성 실리콘 막 두께는 두껍게 형성해 둘 필요가 있다. 또한, 요구되는 특성에 따라서, 저온 프로세스 및 고온 프로세스 모두, 플래시 램프 어널링 시의 저급 결정성 실리콘 박막 상의 반사 저감 및 보호용 절연막(SiO_2 , SiN_x , SiON 등)을 플래시 램프 어널링으로 결정화 한 후에, 그대로 게이트 절연막으로서 사용하여도 좋다.

<417> 상술한 바와 같이, 본 실시예에 따르면, 하기 (a) 내지 (j)의 우수한 작용 효과를 얻을 수 있다.

<418> (a) 임의의 μsec 내지 msec 의 단시간에서의 1회 또는 수회 반복의 플래시 조사를 행할 수 있는 플래시 램프 어널링에 의해, 높은 조사 에너지를 저급 결정성 실리콘 등의 저급 결정성 반도체 박막에 주고, 이것을 용융 또는 반용융 또는 비용융 상태로 가열하고, 냉각함으로써, 큰 입자 직경의 고캐리어 이동도, 고품질의 다결정성 실리콘 박막 등의 다결정성 또는 단결정성 반도체 박막이 얻어지고, 생산성이 대폭 향상하여, 대폭적인 비용 절감이 가능해진다.

<419> (b) 플래시 램프 어널링은 임의의 개수의 램프와 그 플래시식 방전 기구를 장착함으로써, 예를 들면, ① $1000\text{mm} \times 1000\text{mm}$ 의 큰 면적을 일괄하여, 1회 또는 필요 회수 반복하여 플래시 조사한다, ② $200\text{mm} \times 200\text{mm}$ 정사각형 모양으로 집광 정형한 플래시 조사광을 겹류계 스캐너로 주사시켜, 필요에 따라서 오버랩 스캐닝으로 플래시 조사한다, ③ $200\text{mm} \times 200\text{mm}$ 정사각형 모양으로 집광 정형한 플래시 조사광의 조사위치를 고정하고, 기판을 스텝 & 리피트로 이동시켜 필요에 따라서 오버랩 스캐닝하여 플래시 조사하는 것과 같이, 기판 또는 플래시 조사광을 임의의 방향과 속도로 이동시켜, 가열 용융 및 냉각 속도를 제어하고, 임의의 큰 면적의 저급 결정성 실리콘 박막 등을 극히 단시간에 결정화 할 수 있기 때문에, 극히 생산성이 높고, 대폭적인 비용 절감이 실현된다.

<420> (c) 플래시 조사광을 선형, 직사각 모양 또는 정사각형 모양 또는 원 모양으로 집광 정형하여 조사함으로써, 조사 강도, 즉 용융 효율 및 스루풋 향상과, 결정화된 막질의 균일성 향상에 의한 캐리어 이동도의 격차 저감을 도모할 수 있다.

<421> (d) 플래시 램프 어널링에 의해 결정화시킨 다결정성 실리콘 등의 막 상에 저급 결정성 실리콘 등의 막을 적층하고, 재차 이 플래시 램프 어널링으로 결정화하는 방법을 반복함으로써, μm 단위의 두께로 큰 입자 직경에서의 고캐리어 이동도, 고품질의 다결정성 실리콘막 등을 적층 형성할 수 있다. 이로써, MOSLSI뿐만 아니라, 고성능, 고품질의 바이폴라 LSI, CMOS 센서, CCD 에어리어/리니어 센서, 태양 전지 등도 형성할 수 있다.

<422> (e) 저급 결정성 반도체 박막의 막 두께, 유리 등의 기판 내열 온도, 희망하는 결정 입자 직경(캐리어 이동도)에 따라서, 플래시 램프 어널링의 파장 조정(밀봉 가스 기체의 변경, 열선 저감 또는 차단 필터 채용, 방전 조건의 변경 등), 조사 강도, 조사 시간 등의 제어가 용이하기 때문에, 고캐리어 이동도, 고품질의 다결정성 실리콘막 등이 재현성 좋게 고생산성으로 얻어진다.

<423> (f) 크세논 램프, 크세논-수은 램프, 크립톤 램프, 크립톤-수은 램프, 크세논-크립톤 램프, 크세논-크립톤-수은 램프, 메탈 할라이드 램프 등의 플래시 램프 어널링의 램프는 XeCl , KrF 등의 엑시머 레이저 어널링 장치의 엑시머 레이저 발진기에 비하여 훨씬 염가이고, 긴 수명으로 보수가 간단하기 때문에, 생산성 향상과 운전 자금 저감에 의해 대폭적인 비용 절감이 가능하다.

<424> (g) 주로 플래시 램프와 방전 회로로 구성되는 플래시 램프 어널링 장치는 엑시머 레이저 어널링 장치에 비하여 간단한 구조의 장치이므로, 염가로 비용 절감이 가능하다.

<425> (h) XeCl , KrF 등의 엑시머 레이저 어널링 처리는 nsec 정도의 펄스 발진형 레이저를 사용하기 때문에, 그 출력의 안정성에 과제가 있고, 조사면의 에너지 분포의 격차, 얻어진 결정화 반도체막의 격차, MOSTFT 마다의 소자 특성의 격차가 보인다. 그래서, 400°C 정도의 온도를 부여하면서 엑시머 레이저 펄스를, 예를 들면, 5회, 30회 등의 다수회 조사하는 방법이 채용되고 있지만, 그래도, 조사 격차에 의한 결정화 반도체막 및 TFT 소자 특성의 격차, 스루풋 저하에서의 생산성 저하에 의한 비용 증가가 있다. 이에 대하여 플래시 램프 어널링에서는 상기 (b)와 같이, 예를 들면, $1000\text{mm} \times 1000\text{mm}$ 의 큰 면적을 μsec 내지 msec 정도의 펄스로 일괄 플래시 조사할 수 있기 때문에, 조사면의 에너지 분포의 격차, 얻어진 결정화 반도체막의 격차, MOSTFT 마다의 소자 특성의 격차가 적고, 높은 스루풋에서의 고생산성에 의한 비용 절감이 가능하다.

<426> (i) 특히, 열선 저감 또는 차단 필터를 사용한 강한 자외선광의 플래시 램프 어널링에서는 저온(200 내지

400°C)에서 적용할 수 있기 때문에, 염가로 대형화가 용이한 저왜곡점 유리나 내열성 수지 기판을 채용할 수 있고, 경량화와 비용 절감을 도모할 수 있다.

<427> (j) 톱 게이트형뿐만 아니라, 보텀 게이트형, 듀얼 게이트형 및 백 게이트형 MOSTFT라도, 높은 캐리어 이동도의 다결정성 반도체막 또는 단결정성 반도체막 등이 얹어지기 때문에, 이 고성능의 반도체막을 사용한 고속, 고전류 밀도의 반도체 장치, 전기 광학 장치, 또한 고효율의 태양 전지 등의 제법이 가능해진다. 예를 들면, 실리콘 반도체 장치, 실리콘 반도체 집적 회로 장치, 전계 방출 디스플레이(FED) 장치, 실리콘-게르마늄 반도체 장치, 실리콘-게르마늄 반도체 집적 회로 장치, 탄화 규소 반도체 장치, 탄화 규소 반도체 집적 회로 장치, III-V 및 II-VI 족 화합물 반도체 장치, III-V족 및 II-VI족 화합물 반도체 집적 회로 장치, 다결정성 또는 단결정성 다이아몬드 반도체 장치, 다결정성 또는 단결정성 다이아몬드 반도체 집적 회로 장치, 액정 표시 장치, 전계 발광(유기/무기) 표시 장치, 발광 폴리머 표시 장치, 발광 다이오드 표시 장치, 광센서 장치, CCD 에어리어/리니어 센서 장치, CMOS 센서 장치, 태양 전지 장치 등이다.

<428> 제 2 실시예

<429> <LCD의 제조예 1>

<430> 본 실시예는 고온 프로세스에 의한 다결정성 실리콘 MOSTFT를 사용한 LCD(액정 표시 장치)에 본 발명을 적용한 것으로, 이하 그 제조예를 나타낸다.

<431> 우선, 도 34의 (1)에 도시하는 바와 같이, 화소부 및 주변 회로부에서, 석영 유리, 결정화 유리 등의 내열성 절연 기판(61)(왜곡점 약 800 내지 1100°C, 두께 50 미크론 내지 수 mm)의 일 주면에, 상술한 촉매 CVD법 등에 의해, 하지 보호막(100)(여기서는 도시 생략: 이하, 동일)을 형성한 후에, 더욱이 상기의 촉매 CVD 등에 의해 저급 결정성 실리콘 박막(67A)을 형성한다. 또한, 필요에 따라서 보호 및 반사 저감용 산화 실리콘막(10 내지 30nm 두께)을 형성한다(여기서는 도시생략).

<432> 이어서, 도 34의 (2)에 도시하는 바와 같이, 저급 결정성 실리콘 박막(67A)에 상술한 플래시 램프 어닐링을 실시하고, 예를 들면, 50nm 두께의 다결정성 실리콘 박막(67)을 형성한다.

<433> 이어서, 도 34의 (3)에 도시하는 바와 같이, 보호 및 반사 저감용 산화 실리콘막을 제거한 후에, 범용 포토리소그래피 및 에칭 기술에 의해 다결정성 실리콘 박막(67)을 패터닝(아일랜드화)하여, 트랜지스터, 다이오드 등의 능동 소자, 저항, 용량, 인덕턴스 등의 수동 소자의 활성층을 형성한다. 또한, 이후의 프로세스는 TFT 제작에 관해서 말하지만, 다른 소자의 제작도 같은 것은 말할 필요도 없다.

<434> 이어서, 다결정성 실리콘 박막(67)의 각 채널 영역의 불순물 농도 제어에 의한 V_{th} 의 최적화를 위해 상기와 같은 봉소 또는 인 등의 소정의 불순물을 이온 주입 또는 이온 도핑한 후, 도 34의 (4)에 도시하는 바와 같이, 예를 들면, 상기와 같은 촉매 CVD법 등에 의해 다결정성 실리콘 박막(67)의 표면에 두께, 예를 들면, 50nm 두께의 게이트 절연막용의 산화 실리콘막(68)을 형성한다. 촉매 CVD법 등으로 게이트 절연막용의 산화 실리콘막(68)을 형성하는 경우, 기판 온도 및 촉매체 온도는 상기한 것과 동일하지만, 산소 가스 유량은 1 내지 2SCCM, 모노 실란 가스 유량은 15 내지 20SCCM, 수소계 캐리어 가스는 150SCCM으로서 하여도 좋다.

<435> 이어서, 도 35의 (5)에 도시하는 바와 같이, 게이트 전극 및 게이트 라인 재료로서, 예를 들면, Mo-Ta 합금을 스퍼터링으로 두께, 예를 들면, 400nm 두께로 퇴적시키거나, 혹은, 인도프트 다결정 실리콘막을, 예를 들면, 수소계 캐리어 가스 150SCCM, 2 내지 20SCCM의 PH_3 및 20SCCM의 모노 실란 가스의 공급하에서의 상기 와 동일한 촉매 CVD법 등에 의해 두께, 예를 들면, 400nm 두께로 퇴적시킨다. 그리고, 범용 포토리소그래피 및 에칭 기술에 의해, 게이트 전극 재료층을 게이트 전극(75) 및 게이트 라인의 형상으로 패터닝한다. 또, 인도프트 다결정 실리콘막의 경우는 포토레지스트 마스크의 제거 후에, 예를 들면, 900°C에서 60분간, O_2 중에서의 산화처리에서 인도프트 다결정 실리콘막(75)의 표면에 산화 실리콘막을 형성한다.

<436> 이어서, 도 35의 (6)에 도시하는 바와 같이, pMOSTFT부를 포토레지스트(78)로 마스크하고, 이온 주입 또는 이온 도핑법에 의해 n형 불순물인, 예를 들면, 비소(또는 인) 이온(79)을, 예를 들면, $1 \times 10^{15} \text{ atoms/cm}^2$ 의 도즈량으로 도편트하여, $2 \times 10^{20} \text{ atoms/cc}$ 의 도너 농도로 설정하고, nMOSTFT의 n⁺형 소스 영역(80) 및 드레인 영역(81)을 각각 형성한다.

<437> 이어서, 도 35의 (7)에 도시하는 바와 같이, nMOSTFT부를 포토레지스트(82)로 마스크하여, 이온 주입 또는 이온

도핑법에 의해 p형 불순물인, 예를 들면, 봉소 이온(83)을, 예를 들면, 1×10^{15} atoms/cm²의 도즈량으로 도핑하여, 2×10^{20} atoms/cc의 억셉터 농도로 설정하여, pMOSTFT의 p⁺형 소스 영역(84) 및 드레인 영역(85)을 각각 형성한다. 그 후에, N₂ 중, 약 900°C에서 5분간 정도의 어닐링에 의해, 각 영역에 도핑된 불순물 이온을 활성화시켜, 각각 설정된 불순물 캐리어 농도로 설정한다. 또한, 스위칭 특성 향상을 위해 표시 영역의 nMOSTFT 부에 n⁻형의 LDD(Lightly Doped Drain)부를 형성하여도 좋다.

<438> 이어서, 도 35의 (8)에 도시하는 바와 같이, 전체 면에 상기한 것과 동일한 촉매 CVD법 등에 의해서, 수소계 캐리어 가스 150SCCM을 공통으로 하고, 1 내지 2SCCM의 He 희석 O₂, 15 내지 20SCCM의 SiH₄ 공급 하에서 산화 실리콘막을, 예를 들면, 50nm 두께, 더욱이, 1 내지 20SCCM의 PH₃, 1 내지 2SCCM의 He 희석 O₂, 15 내지 20SCCM의 SiH₄ 공급 하에서 포스트인 실리케이트 유리(PSG)막을, 예를 들면, 600nm 두께로 형성하고, 50 내지 60SCCM의 NH₃, 15 내지 20SCCM의 SiH₄ 공급 하에서 질화 실리콘막을, 예를 들면, 200nm 두께로 적층하여, 이들의 절연막의 적층에 의해서 층간 절연막(86)을 형성한다. 또, 이러한 층간 절연막은 상기와는 다른 통상 방법으로 형성하여도 좋다.

<439> 이어서, 도 36의 (9)에 도시하는 바와 같이, 상기 절연막(86)의 소정 위치에 콘택트 창 천공을 행하고, 각 콘택트 홀을 포함하는 전체 면에 알루미늄 등의 전극 재료를 스퍼터법 등으로 150°C에서 1 μm의 두께로 퇴적하고, 이것을 패터닝하여, 화소부의 nMOSTFT의 소스 전극(87) 및 데이터 라인, 주변 회로부의 pMOSTFT 및 nMOSTFT의 소스 전극(88, 90)과 드레인 전극(89, 91) 및 배선을 각각 형성한다. 또한, 이 때, 촉매 CVD법에 의해 알루미늄을 형성하여도 좋다.

<440> 이어서, 표면 상에 산화 실리콘막 등의 층간 절연막(92)을 CVD법 등으로 형성한 후, 포밍 가스 중에서 400°C, 30분의 수소화 및 소결 처리한다. 그리고, 도 36의 (10)에 도시하는 바와 같이, 화소부의 nMOSTFT의 드레인 영역에서 층간 절연막(92) 및 층간 절연막(86)에 콘택트 홀을 천공하고, 예를 들면, ITO(Indium Tin Oxide: 인듐 산화물에 주석을 도프한 투명 전극 재료)를 진공 증착법 등으로 전체 면에 퇴적시켜, 패터닝하여 화소부의 nMOSTFT의 드레인 영역(81)에 접속된 투명 화소 전극(93)을 형성한다. 그 후에, 열 처리(포밍 가스 중에서 200 내지 250°C, 1시간)에 의해, 콘택트 저항의 저감화와 ITO 투명도의 향상을 도모한다.

<441> 이렇게 하여 액티브 매트릭스 기판을 제작하여, 투과형의 LCD를 제작할 수 있다. 이 투과형 LCD는 도 36의 (11)에 도시하는 바와 같이, 투명 화소 전극(93)상에 배향막(94), 액정(95), 배향막(96), 투명 전극(97), 대향 기판(98)이 적층된 구조로 이루어져 있다.

<442> 또, 상기한 공정은 반사형의 LCD의 제조에도 동일하게 적용 가능하다. 도 41의 (A)에는 이 반사형의 LCD의 일 예를 도시하고 있지만, 도면 중의 101은 조면화된 절연막(92)상에 피착된 알루미늄 등의 반사막이며, MOSTFT의 드레인과 접속되어 있다.

<443> 이 LCD의 액정 셀을 면면 조립으로 제작하는 경우(2 인치 사이즈 이상의 중/대형 액정 패널에 적합하다), 우선 TFT 기판(61)과, 전체 면이 고체인 ITO(Indium Tin Oxide) 전극(97)을 설치한 대향 기판(98)의 소자 형성면에, 폴리이미드 배향막(94, 96)을 형성한다. 이 폴리이미드 배향막은 룰 코팅, 스판 코팅 등에 의해 50 내지 100nm 두께로 형성하고, 180°C/2h에서 경화 큐어한다.

<444> 이어서, TFT 기판(61)과 대향 기판(98)을 러빙, 또는 광배향 처리한다. 러빙 버퍼재에는 코튼이나 레이온 등이 있지만, 버프 찌꺼기(띠끌)나 지연(retradation) 등의 면으로부터는 코튼쪽이 안정되어 있다. 광배향은 비접촉의 선형 편광 자외선 조사에 의한 액정 분자의 배향 기술이다. 또한, 배향에는 러빙 이외에도, 편광 또는 비편광을 경사지게 입사시킴으로써 고분자 배향막을 형성할 수 있다(이러한 고분자 화합물은, 예를 들면, 아조벤젠을 갖는 폴리메틸메타크릴레이트계 고분자 등이 있다).

<445> 이어서, 세정 후에, TFT 기판(61)측에는 코문제 도포, 대향 기판(98)측에는 시일제 도포한다. 러빙 버프 찌꺼기를 제거하기 위해서, 물, 또는 IPA(이소프로필알코올) 세정한다. 코문제는 도전성 필터를 함유한 아크릴, 또는 에폭시아크릴레이트, 또는 에폭시계 접착제라도 좋고, 시일제는 아크릴, 또는 에폭시아크릴레이트, 또는 에폭시계 접착제라도 좋다. 가열 경화, 자외선 조사 경화, 자외선 조사 경화+열 경화의 어떠한 것이라도 사용할 수 있지만, 중합의 정밀도와 작업성으로부터는 자외선 조사 경화+가열 경화 타입이 좋다.

<446> 이어서, 대향 기판(98)측에 소정의 캡을 얻기 위한 스페이서를 분포시키고, TFT 기판(61)과 소정의 위치에서 겹치게 한다. 대향 기판(98)측의 얼라이먼트 마크와 TFT 기판(61)측의 얼라이먼트 마크를 정밀도 좋게 맞춘

후에, 자외선 조사하여 시일제를 가경화시켜, 그 후에 일괄하여 가열 경화한다.

<447> 이어서, 스크라이브 브레이크하여, TFT 기판(61)과 대향 기판(98)을 겹친 단개(單個)의 액정 패널을 작성한다.

<448> 이어서, 액정(95)을 양 기판(61-98)간의 캡 내에 주입하고, 주입구를 자외선 접착제로 밀봉한 후에, IPA 세정한다. 액정의 종류는 어떠한 것이라도 좋지만, 예를 들면, 네마틱 액정을 사용하는 고속 응답의 TN(트위스트 네마틱) 모드가 일반적이다.

<449> 이어서, 가열 금냉 처리하여, 액정(95)을 배향시킨다.

<450> 이어서, TFT 기판(61)의 패널 전극 추출부에 플렉시블 배선을 이방성 도전막의 열 압착으로 접속하고, 또한 대향 기판(98)에 편광판을 접합시킨다.

<451> 또한, 액정 패널의 면단 조립의 경우(2 인치 사이즈 이하의 소형 액정 패널에 적합하다), 상기와 같이 TFT 기판(61)과 대향 기판(98)의 소자 형성면에, 폴리이미드 배향막(94, 96)을 형성하고, 양 기판을 러빙, 또는 비접촉의 선형 편광 자외선광의 배향 처리한다.

<452> 이어서, TFT 기판(61)과 대향 기판(98)을 다이싱 또는 스크라이브 브레이크로 단개로 분할하여, 물 또는 IPA 세정한다. TFT 기판(61)에는 코몬체 도포, 대향 기판(98)에는 스페이서가 함유된 시일제 도포하여, 양 기판을 겹친다. 이 이후의 프로세스는 상기에 준한다.

<453> 상기한 LCD에서, 대향 기판(98)은 CF(컬러 필터)기 판이고, 컬러 필터층(도시하지 않음)을 ITO 전극(97)하에 설치한 것이다. 대향 기판(98)측에서의 입사광은, 예를 들면, 반사막(93)으로 효율 좋게 반사되어 대향 기판(98)측에서 출사하여도 좋다.

<454> 다른 한편, TFT 기판(61)으로서, TFT 기판(61)에 컬러 필터를 설치한 온침 컬러 필터(OCCF) 구조의 TFT 기판으로 할 때에는 대향 기판(98)에는 ITO 전극이 고체 부착(또는 블랙 마스크 부착 ITO 전극이 고체 부착)된다.

<455> 투과형 LCD의 경우, 다음과 같이 하여 온 칩 컬러 필터(OCCF)구조와 온 칩 블랙(OCB) 구조를 제작할 수 있다.

<456> 즉, 도 36의 (12)에 도시하는 바와 같이, 포스핀 실리케이트 유리/산화 실리콘의 절연막(86)의 드레인부도 창천공하여 드레인 전극용의 알루미늄 매립층을 형성한 후, R, G, B의 각 색을 각 세그먼트마다 안료 분산한 포토레지스트(99)를 소정 두께(1 내지 $1.5 \mu\text{m}$)로 형성한 후, 범용 포토리소그래피 기술로 소정 위치(각 화소부)만을 남기는 패터닝으로 각 컬러 필터층(99(R), 99(G), 99(B))을 형성한다(온 칩 컬러 필터 구조). 이 때, 드레인부의 창 천공도 행한다. 또, 불투명한 세라믹 기판이나 저투과율의 유리 및 내열성 수지 기판은 사용할 수 없다.

<457> 이어서, 표시용 MOSTFT의 드레인에 연결되는 콘택트 홀에, 컬러 필터층 상에 가하여 블랙 마스크층이 되는 차광층($100'$)을 금속의 패터닝으로 형성한다. 예를 들면, 스퍼터법에 의해, 몰리브덴을 200 내지 250nm 두께로 성막하고, 표시용 MOSTFT를 덮어 차광하는 소정의 형상으로 패터닝한다(온 칩 블랙 구조).

<458> 이어서, 투명 수지의 평탄화막(92)을 형성하고, 또한 이 평탄화막에 설치한 스루홀에 ITO 투명 전극(93)을 차광층($100'$)에 접속하도록 형성한다.

<459> 이와 같이, 표시 어레이부 상에, 컬러 필터(99)나 블랙 마스크($100'$)를 만들어 넣음으로써, 액정 표시 패널의 개구율을 개선하고, 또한 백 라이트도 포함시킨 디스플레이 모듈의 저소비 전력화가 실현된다.

<460> 도 37은 상술한 톱 게이트형 MOSTFT를 장착하여 구동 회로 일체형으로 구성한 액티브 매트릭스 액정 표시 장치(LCD)의 전체를 개략적으로 도시하는 것이다. 이 액티브 매트릭스 LCD는 주기판(61)(이것은 액티브 매트릭스 기판을 구성한다)과 대향 기판(98)을 스페이서(도시하지 않음)를 개재하여 접합한 플랫 패널 구조로 이루어지고, 양 기판(61-98)간에 액정(여기서는 도시하지 않음)이 밀봉되어 있다. 주기판(61)의 표면에는 매트릭스형으로 배열한 화소 전극(93)과, 이 화소 전극을 구동하는 스위칭 소자로 이루어지는 표시부, 및 이 표시부에 접속되는 주변 구동 회로부가 설치되어 있다.

<461> 표시부의 스위칭 소자는 상기한 nMOS 또는 pMOS 또는 CMOS로 LDD 구조의 톱 게이트형 MOSTFT로 구성된다. 또한, 주변 구동 회로부에도, 회로 요소로서, 상기한 톱 게이트형 MOSTFT의 CMOS 또는 nMOS 또는 pMOSTFT 또는 이들의 혼재가 형성되어 있다. 또, 한쪽의 주변 구동 회로부는 데이터 신호를 공급하여 각 화소의 MOSTFT를 수평라인마다 구동하는 수평 구동 회로이고, 또한 다른쪽의 주변 회로부는 각 화소의 MOSTFT의 게이트를 주사라인마다 구동하는 수직 구동 회로이며, 통상은 표시부의 양 변에 각각 설치된다. 이들의 구동 회로는 점순차 아날로그 방식, 선순차 디지털 방식의 어떠한 것이라도 구성할 수 있다.

- <462> 도 38에 도시하는 바와 같이, 직교하는 게이트 버스 라인과 데이터 버스라인의 교차부에 상기의 MOSTFT가 배치되고, 이 MOSTFT를 개재하여 액정 용량(C_{LC})에 화상 정보를 기록하고, 다음 정보가 올 때까지 전하를 유지한다. 이 경우, MOSTFT의 채널 저항만으로 유지시키기 위해서는 충분하지 않기 때문에, 그것을 보충하기 위해서 액정 용량과 병렬로 축적 용량(보조 용량)(C_s)을 부가하여, 리크 전류에 의한 액정 전압의 저하를 보충하여도 좋다. 이러한 LCD용 MOSTFT에서는 화소부(표시부)에 사용하는 MOSTFT의 특성과 주변 구동 회로에 사용하는 MOSTFT의 특성에서는 요구 성능이 다르고, 특히 화소부의 MOSTFT에서는 오프 전류의 제어, 온 전류의 확보가 중요한 문제가 된다. 이 때문에, 표시부에는 후술한 바와 같은 LDD 구조의 MOSTFT를 설치함으로써, 게이트-드레인간에 전계가 걸리기 어려운 구조로서 채널 영역에 이러한 실효적인 전계를 저감시키고, 오프 전류를 저감하며, 특성의 변화도 작게 할 수 있다. 그러나, 프로세스적으로는 복잡하게 되어, 소자 사이즈도 커지고, 또한 온 전류가 저하하는 등의 문제도 발생하기 때문에, 각각의 사용 목적에 맞춘 최적 설계가 필요하다.
- <463> 또, 사용 가능한 액정으로서는 TN 액정(액티브 매트릭스 구동의 TN 모드용으로 사용되는 네마틱 액정)을 비롯하여, STN(슈퍼트위스트네마틱), GH(게스트 · 호스트), PC(페이즈 · 체인지), FLC(강유전성 액정), AFLC(반강유전성 액정), PDLC(폴리머분산형 액정) 등의 각종 모드용의 액정을 채용하여도 좋다.
- <464> <LCD의 제조예 2>
- <465> 다음에, 본 실시예에 따른 저온 프로세스의 다결정성 실리콘 MOSTFT를 사용한 LCD(액정 표시 장치)의 제조예를 나타낸다(이 제조예는 후술하는 유기 EL이나 FED의 표시부 등에도 동일하게 적용 가능하다).
- <466> 이 제조예에서는 상술한 제조예 1에 있어서, 기판(61)으로서 알루미노 규산 유리, 봉규산 유리 등의 저왜곡점 유리나 폴리이미드 등의 내열성 수지를 사용하여, 도 34의 (1) 및 (2)의 공정을 동일하게 행한다. 즉, 기판(61)상에 촉매 CVD와 플래시 램프 어닐링에 의해 주석 함유(또는 비함유)의 다결정성 실리콘 박막(67)을 형성하여 이것을 아일랜드화하고, 표시 영역의 nMOSTFT부와 주변 구동 회로 영역의 pMOSTFT부를 형성한다. 이 경우, 동시에, 다이오드, 콘텐서, 인터너스, 저항 등의 영역을 형성한다. 상기와 같이, 이후의 프로세스의 설명은 MOSTFT에 대한 것이지만, 다른 소자의 프로세스도 동일하게 처리할 수 있는 것은 말할 필요도 없다.
- <467> 이어서, 도 39의 (1)에 도시하는 바와 같이, 각 MOSTFT 게이트 채널 영역의 캐리어 불순물 농도를 제어하여 V_{th} 를 최적화하기 위해서, 표시 영역의 nMOSTFT부와 주변 구동 회로 영역의 pMOSTFT부를 포토레지스트(82)로 커버하고, 주변 구동 회로 영역의 pMOSTFT부에, 이온 주입 또는 이온 도핑법에 의해, 예를 들면, 인, 비소 등의 n형 불순물(79)을 $1 \times 10^{12} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $2 \times 10^{17} \text{ atoms/cc}$ 의 도너 농도로 설정하고, 더욱이 도 39의 (2)에 도시하는 바와 같이, 주변 구동 회로 영역의 pMOSTFT부를 포토레지스트(82)로 커버하며, 표시 영역의 nMOSTFT부와 주변 구동 회로 영역의 nMOSTFT부에, 이온 주입 또는 이온 도핑법에 의해, 예를 들면, 봉소 등의 p형 불순물(83)을 $5 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $1 \times 10^{17} \text{ atoms/cc}$ 의 억셉터 농도를 설정한다.
- <468> 이어서, 도 39의 (3)에 도시하는 바와 같이, 스위칭 특성 향상을 목적으로 표시 영역의 nMOSTFT부에 n^- 형의 LDD(Lightly Doped Drain)부를 형성하기 위해서, 범용 포토리소그래피 기술에 의해, 표시 영역의 nMOSTFT의 게이트부와 주변 구동 영역의 pMOSTFT 및 nMOSTFT 전부를 포토레지스트(82)로 덮고, 노출된 표시 영역의 nMOSTFT의 소스/드레인 영역에, 이온 주입 또는 이온 도핑법에 의해, 예를 들면, 인등의 n형 불순물(79)을 $1 \times 10^{13} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $2 \times 10^{18} \text{ atoms/cc}$ 의 도너 농도로 설정하고, n^- 형의 LDD부를 형성한다.
- <469> 이어서, 도 40의 (4)에 도시하는 바와 같이, 표시 영역의 nMOSTFT부 및 주변 구동 회로 영역의 nMOSTFT부의 전체부를 포토레지스트(82)로 커버하고, 주변 구동 회로 영역의 pMOSTFT부의 게이트부를 포토레지스트(82)로 커버하여 노출된 소스, 드레인 영역에, 이온 주입 또는 이온 도핑법에 의해, 예를 들면, 봉소등의 p형 불순물(83)을 $1 \times 10^{15} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $2 \times 10^{20} \text{ atoms/cc}$ 의 억셉터 농도로 설정하여 p^+ 형의 소스부(84), 드레인부(85)를 형성한다.
- <470> 이어서, 도 40의 (5)에 도시하는 바와 같이, 주변 구동 회로 영역의 pMOSTFT부를 포토레지스트(82)로 커버하고, 표시 영역의 nMOSTFT의 게이트 및 LDD부와 주변 구동 회로 영역의 nMOSTFT부의 게이트부를 포토레지스트(82)로 커버하고, 노출된 표시 영역 및 주변 구동 영역의 nMOSTFT의 소스, 드레인 영역에, 이온 주입 또는 이온 도핑법에 의해, 예를 들면, 인, 비소 등의 n형 불순물(79)을 $1 \times 10^{15} \text{ atoms/cm}^2$ 의 도즈량으로 이온 도핑하여, $2 \times$

10^{20} atoms/cc의 도너 농도로 설정하고, n⁺형의 소스부(80), 드레인부(81)를 형성한다.

<471> 이어서, 도 40의 (6)에 도시하는 바와 같이, 플라즈마 CVD, 감압 CVD, 촉매 CVD법 등에 의해, 게이트 절연막(68)으로서, 산화 실리콘막(40 내지 50nm 두께), 질화 실리콘막(10 내지 20nm 두께), 산화 실리콘막(40 내지 50nm 두께)의 적층막을 형성한다. 그리고, 할로겐 램프 등에서의 RTA 처리를 예를 들면, 약 1000°C, 10 내지 20초 행하고, 첨가한 n 또는 p형 불순물을 활성화함으로써, 설정한 각각의 캐리어 불순물 농도를 얻는다.

<472> 그 후에, 전체 면에 400 내지 500nm 두께의 1% Si가 들어간 알루미늄 스퍼터막을 형성하고, 범용 포토리소그래피 및 에칭 기술에 의해, 전 MOSTFT의 게이트 전극(75) 및 게이트 라인을 형성한다. 또한 그 후에, 플라즈마 CVD, 촉매 CVD법 등에 의해, 산화 실리콘막(100 내지 200nm 두께), 포스핀실리케이트 유리막(PSG막)(200 내지 300nm 두께)의 적층막으로 이루어지는 절연막(86)을 형성한다.

<473> 이어서, 범용 포토리소그래피 및 에칭 기술에 의해, 주변 구동 회로의 전 MOSTFT부의 소스/드레인부 및 표시용 nMOSTFT부의 소스부의 창 천공을 행한다. 질화 실리콘막은 CF₄의 플라즈마 에칭, 산화 실리콘막 및 포스핀실리케이트 유리막은 플루오르산계 에칭액으로 에칭 처리한다.

<474> 이어서, 도 40의 (7)에 도시하는 바와 같이, 전체 면에 400 내지 500nm 두께의 1% Si가 들어간 알루미늄 스퍼터막을 형성하고, 범용 포토리소그래피 및 에칭 기술에 의해, 주변 구동 회로의 전 MOSTFT의 소스, 드레인 전극(88, 89, 90, 91)을 형성하는 동시에, 표시용 nMOSTFT의 소스 전극(87) 및 데이터 라인을 형성한다.

<475> 이어서, 도시는 생략하였지만, 플라즈마 CVD, 감압 CVD, 촉매 CVD법 등에 의해, 산화 실리콘막(100 내지 200nm 두께), 포스핀실리케이트 유리막(PSG 막)(200 내지 300nm 두께), 질화 실리콘막(100 내지 300nm 두께)을 전체 면에 형성하고, 포밍 가스 중에서 약 400°C, 1시간의 수소화 및 소결 처리를 행한다. 그 후에, 표시용 nMOSTFT의 드레인부 콘택트용 창 천공을 행한다.

<476> 상기에 있어서, 플라즈마 CVD법으로 패시베이션용 수소 다함유 질화 실리콘막(500 내지 600nm 두께)을 적층 형성하는 경우, 질소 또는 포밍 가스 중의 420°C에서, 약 30분의 수소화 처리에 의해, 패시베이션용 질화 실리콘막 중의 수소 확산에 의한 계면 특성의 개선, 다결정성 실리콘 박막의 미결합 종단에서의 결정성 개선 등에 의한 캐리어 이동도의 향상을 도모할 수 있다. 또, 질화 실리콘막은 수소를 차단하기 때문에, 수소화 처리의 효과를 높이기 위해서는 본 실시예와 같이 다결정성 실리콘 박막을 질화 실리콘막으로 끼우는 구조, 즉 유리 기판/Na 이온 저지 및 보호용 질화 실리콘막+산화 실리콘막/다결정성 실리콘 박막/게이트 절연막(산화 실리콘막 등)/게이트 전극/산화 실리콘막 및 패시베이션용 질화 실리콘막으로 하는 것이 바람직하다(이것은 다른 예에서도 동일). 이 때, 이 수소화 처리에 의해, 동시에 1% Si가 들어간 알루미늄 합금막과 소스/드레인 영역의 실리콘의 소결 처리를 행하여, 오믹 콘택트를 얻는다.

<477> 또, LCD가 투과형인 경우는 화소 개구부의 산화 실리콘막, 포스핀 실리케이트 유리막 및 질화 실리콘막은 제거하고, 또한 반사형의 경우는 화소 개구부 등의 산화 실리콘막, 포스핀 실리케이트 유리막 및 질화 실리콘막은 제거할 필요는 없다(이것은 상술한 또는 후술한 LCD에서도 동일하다).

<478> 투과형의 경우, 도 36의 (10)과 같이, 전체 면에, 스판 코팅 등으로 2 내지 3 μm 두께의 아크릴계 투명 수지 평탄화막을 형성하고, 범용 포토리소그래피 및 에칭 기술에 의해, 표시용 MOSTFT의 드레인측의 투명수지 창 개방을 형성한 후, 전체 면에 130 내지 150nm 두께의 ITO 스퍼터막을 형성하고, 범용 포토리소그래피 및 에칭 기술에 의해, 표시용 nMOSTFT의 드레인부와 콘택트한 ITO 투명 전극을 형성한다. 더욱이 열 처리(포밍 가스 중에서 200 내지 250°C, 1시간)에 의해, 콘택트 저항의 저감화와 ITO 투명도 향상을 도모한다.

<479> 반사형의 경우는 전체 면에, 스판 코팅 등으로 2 내지 3 μm 두께의 감광성 수지막을 형성하고, 범용 포토리소그래피 및 에칭 기술에 의해, 적어도 화소부에 요철 형상 패턴을 형성하며, 리플로시켜 요철 반사 하부를 형성한다. 동시에, 표시용 nMOSTFT의 드레인부의 감광성 수지 창 천공을 형성한다. 그 후, 전체 면에, 300 내지 400nm 두께의 1% Si가 들어간 알루미늄 스퍼터막을 형성하여, 범용 포토리소그래피 및 에칭 기술에 의해, 화소부 이외의 알루미늄막을 제거하고, 표시용 nMOSTFT의 드레인 전극과 접속한 요철 형상의 알루미늄 반사부를 형성한다. 그 후에, 포밍 가스 중에서 300°C, 1시간 소결 처리한다.

<480> 또, 상기에 있어서, MOSTFT의 소스, 드레인을 형성한 후에, 플래시 램프 어닐링하면, 저급 결정성 실리콘 박막의 막 온도를 국부적으로 상승시켜, 결정화가 촉진되고, 고이동도 및 고품질의 다결정성 실리콘 박막이 형성된다. 동시에, 게이트채널/소스/드레인 영역에 주입된 인, 비소, 봉소 이온 등이 활성화되기 때문에, 생산성이 좋은 경우가 있다.

<481> <보텀 게이트형 또는 듀얼 게이트형 MOSTFT>

<482> MOSTFT를 장착한, 예를 들면, LCD에서, 상술한 톱 게이트형으로 바꾸고, 보텀 게이트형, 듀얼 게이트형의 MOSTFT로 이루어지는 투과형 LCD를 제조한 예를 말한다 (단, 반사형 LCD도 동일하다).

<483> 도 41의 (B)에 도시하는 바와 같이, 표시부 및 주변부에는 보텀 게이트형의 MOSTFT가 설치되고, 혹은 도 41의 (C)에 도시하는 바와 같이, 표시부 및 주변부에는 듀얼 게이트형의 MOSTFT가 각각 설치되어 있다. 이들의 보텀 게이트형, 듀얼 게이트형 MOSTFT 중, 특히 듀얼 게이트형의 경우에는 상하의 게이트부에 의해서 구동 능력이 향상되고, 고속 스위칭 및 대전류 구동의 대형 패널 등에 적합하고, 또한 상하의 게이트부의 어느 하나를 선택적으로 사용하여 경우에 따라서 톱 게이트형 또는 보텀 게이트형으로서 동작시킬 수도 있다.

<484> 도 41의 (B)의 보텀 게이트형 MOSTFT에서, 도면 중의 102는 내열성의 Mo 또는 Mo-Ta 합금 등의 게이트 전극이고, 103은 질화 실리콘막 및 104는 산화 실리콘막이고 보텀 게이트 절연막을 형성하며, 이 게이트 절연막 상에는 톱 게이트형 MOSTFT와 동일한 다결정성 실리콘 박막(67)을 사용한 채널 영역 등이 형성되어 있다. 또한, 도 41의 (C)의 듀얼 게이트형 MOSTFT에서, 보텀 게이트부는 보텀 게이트형 MOSTFT와 같지만, 톱 게이트부는 게이트 절연막(106)을 산화 실리콘막, 또는 질화 실리콘/질화 실리콘 적층막 또는 산화 실리콘/질화 실리콘/산화 실리콘 적층막으로 형성하고, 이 위에 톱 게이트 전극(75)을 설치하고 있다.

<485> <보텀 게이트형 MOSTFT의 제조>

<486> 우선, 유리기판(61)상의 전체 면에, 내열성의 Mo 또는 Mo-Ta 합금의 스퍼터막을 300 내지 400nm 두께로 형성하여, 이것을 범용 포토리소그래피 및 에칭 기술에 의해 20 내지 45도의 테이퍼 에칭하고, 적어도 TFT 형성 영역에, 보텀 게이트 전극(102)을 형성함과 함께, 게이트 라인을 형성한다. 유리 재질의 사용성은 상술한 톱 게이트형에 준한다.

<487> 이어서, 플라즈마 CVD, 촉매 CVD, 감압 CVD 등의 기상 성장법에 의해, 게이트 절연막 및 보호막용의 질화 실리콘막(103) 및 산화 실리콘막(104)과, 주석 함유 또는 비함유의 어몰퍼스 실리콘 함유 미결정 실리콘 박막(67A)을 형성한다. 이 막은 상술한 바와 같이 플래시 램프 어닐링을 행하여 주석 함유 또는 비함유의 다결정성 실리콘 박막(67)을 형성한다. 이들의 기상 성막 조건은 상술한 톱 게이트형에 준한다. 또, 보텀 게이트 절연막 및 보호막용의 질화 실리콘막은 유리 기판으로부터의 Na 이온 스토퍼 작용을 기대하여 설치하는 것이지만, 합성 석영 유리의 경우는 불필요하다. 또한, 상술한 바와 같이, 광 반사 저감 및 보호용막(산화 실리콘막 등)을 저급 결정성 실리콘 박막(67A) 상에 형성하여 플래시 램프 어닐링하여도 좋다. 더욱이, MOSTFT 영역 등을 아일랜드화 한 후에 플래시 램프 어닐링하여도 좋다.

<488> 그리고 다음에, 상술한 바와 같이, 범용 포토리소그래피 및 에칭 기술에 의해 pMOSTFT, nMOSTFT 영역을 아일랜드화하고(단, 한쪽의 영역만을 도시: 이하, 동일), 각 채널 영역의 캐리어 불순물 농도를 제어하여 V_{th} 를 최적화하기 위해서, 이온 주입 또는 이온 도핑법에 의해 n형 또는 p형 불순물을 적당량 혼합한 후, 더욱이, 각 MOSTFT의 소스, 드레인 영역을 형성하기 위해서 이온 주입 또는 이온 도핑법에 의해 n형 또는 p형 불순물을 적당량 혼입시킨다. 그 후에, 각각의 불순물 활성화를 위해 RTA 등에 의해 어닐링한다.

<489> 그 이후의 프로세스는 상술한 것에 준한다.

<490> <듀얼 게이트형 MOSTFT의 제조>

<491> 상기의 보텀 게이트형과 동일하게, 보텀 게이트 전극(102), 보텀 게이트 라인, 보텀 게이트 절연막(103 및 104), 주석 함유 또는 비함유의 다결정성 실리콘 박막(67)을 각각 형성한다. 단, 보텀 게이트 절연막 및 보호막용의 질화 실리콘막(103)은 유리 기판으로부터의 Na 이온 스토퍼 작용을 기대하여 설치하는 것이지만, 합성 석영 유리의 경우는 불필요하다. 더욱이, 상술한 바와 같이, 광 반사 저감 및 보호용막(산화 실리콘막 등)을 저급 결정성 실리콘 박막(67A) 상에 형성하여 플래시 램프 어닐링하여도 좋다. 더욱이, MOSTFT 영역 등을 아일랜드화 한 후에 플래시 램프 어닐링하여도 좋다.

<492> 그리고 다음에, 상술한 바와 같이, 범용 포토리소그래피 및 에칭 기술에 의해 pMOSTFT, nMOSTFT 영역을 아일랜드화하고, 각 채널 영역의 캐리어 불순물 농도를 제어하여 V_{th} 를 최적화하기 위해서, 이온 주입 또는 이온 도핑법에 의해 n형 또는 p형 불순물을 적당량 혼입한 후, 더욱이, 각 MOSTFT의 소스, 드레인 영역을 형성하기 위해서 이온 주입 또는 이온 도핑법에 의해 n형 또는 p형 불순물을 적당량 혼입시킨다. 이 다음에, 각각의 불순물 활성화를 위해 RTA 등에 의해 어닐링한다.

- <493> 이어서, 톱 게이트 절연막(106)용의 산화 실리콘막 또는 산화 실리콘/질화 실리콘/산화 실리콘 적층막 또는 산화 실리콘/질화 실리콘/산화 실리콘 적층막을 성막한다. 기상 성장 조건은 상술한 톱 게이트형에 준한다.
- <494> 그 후에, 전체 면에 400 내지 500nm 두께의 1% Si가 들어간 알루미늄 스퍼터막을 형성하고, 범용 포토리소그래피 및 에칭 기술에 의해, 전 MOSTFT의 톱 게이트 전극(75) 및 톱 게이트 라인을 형성한다. 그 후, 플라즈마 CVD, 촉매 CVD법 등에 의해, 산화 실리콘막(100 내지 200nm 두께), 포스핀 실리케이트 유리(PSG)막(200 내지 300nm 두께), 질화 실리콘막(100 내지 200nm 두께)으로 이루어지는 다층 절연막 (86)을 형성한다. 다음에, 범용 포토리소그래피 및 에칭 기술에 의해, 주변 구동 회로의 전 MOSTFT의 소스, 드레인 전극부, 또한 표시부 nMOSTFT의 소스 전극부의 창 천공을 행한다.
- <495> 이어서, 전체 면에 400 내지 500nm 두께의 1% Si가 들어간 알루미늄 스퍼터막을 형성하고, 범용 포토리소그래피 및 에칭 기술에 의해, 주변 구동 회로의 전 MOSTFT의 소스 및 드레인의 각 알루미늄 전극(87, 88) 및 표시부 nMOSTFT의 알루미늄 전극(89), 소스 라인 및 배선 등을 형성한다. 그 후에, 포밍 가스 중에서 약 400°C, 1시간, 수소화 및 소결 처리한다. 그 후, 상술한 바와 같이, 전체 면에 절연막을 형성한 후에, 표시부의 nMOSTFT의 드레인 전극부와 연결된 ITO막 등의 투명 화소 전극을 형성한다.
- <496> 상술한 바와 같이, 본 실시예에 따르면, 상술한 제 1 실시예와 동일하게, 촉매 CVD 또는 플라즈마 CVD 등의 기상 성장법과 플래시 램프 어닐링에 의해, LCD의 표시부 및 주변 구동 회로부의 MOSTFT의 게이트 채널, 소스 및 드레인 영역이 되는 고캐리어 이동도로 V_{th} 조정이 용이하고, 저저항에서의 고속 동작이 가능한 다결정성 실리콘 박막을 형성할 수 있다. 이 다결정성 실리콘 박막에 의한 톱 게이트, 보텀 게이트 또는 듀얼 게이트형 MOSTFT를 사용한 액정 표시 장치는 높은 스위칭 특성과 저 리크 전류의 LDD 구조를 갖는 표시부와, 고성능의 구동 회로, 영상 신호 처리 회로, 메모리 회로 등의 주변 회로를 일체화 한 구성이 가능해지고, 고화질, 고세밀, 협소 프레임, 고효율, 염가의 액정 패널의 실현이 가능하다.
- <497> 그리고, 저온(300 내지 400°C)에서 형성할 수 있기 때문에, 염가로, 대형화가 용이한 저왜곡점 유리나 내열성 수지 기판을 채용할 수 있고, 비용 절감이 가능해진다. 더구나, 어레이부 상에 컬러 필터나 블랙 마스크를 제조함으로써, 액정 표시 패널의 개구율, 회도 등을 개선하여, 컬러 필터 기판을 불필요로 하고, 생산성 개선 등에 의한 비용 절감이 실현된다.
- <498> <LCD의 제조예 3>
- <499> 도 42 내지 도 44는 액티브 매트릭스 LCD의 다른 제조예를 도시하는 것이다.
- <500> 우선, 도 42의 (1)에 도시하는 바와 같이, 봉규산 유리, 알루미노규산 유리, 석영 유리, 투명성 결정화 유리 등의 절연기판(61)의 일 주면에서, 적어도 TFT 형성 영역에, 포토레지스트를 소정 패턴으로 형성하고, 이것을 마스크로 하여, 예를 들면, CF_4 플라즈마의 F^+ 이온을 조사하고, 리액티브 이온 에칭(RIE) 등의 범용 포토리소그래피 및 에칭 기술에 의해서 기판(61)에 단차(223)가 붙은 오목부를 적당한 형상 및 치수로 복수개 형성한다.
- <501> 단차(223)는 후술하는 단결정성 실리콘의 그레포 에피택셜 성장 시의 시드가 되는 것이고, 깊이(d) 0.01 내지 0.03 μm , 폭(w) 1 내지 5 μm , 길이(지면 수직 방향) 5 내지 10 μm 이라도 좋고, 저변과 측면이 이루는 각(저각)은 직각으로 한다. 또, 기판(1)의 표면에는 유리 기판으로 이루어지는 Na 이온 등의 확산 방지를 위해, 질화 실리콘막(50 내지 200nm 두께)과 산화 실리콘막(300 내지 400nm 두께)을 미리 연속 형성하여 두고, 이 산화 실리콘막 내에 적당한 형상 및 치수의 단차 부착 오목부를 복수개 형성하여도 좋다.
- <502> 이어서, 도 42의 (2)에 도시하는 바와 같이, 포토레지스트의 제거 후에, 절연 기판(61)의 일 주면에서, 촉매 CVD 또는 플라즈마 CVD 등에 의해서, 단차(223)를 포함하는 전체 면에 주석 등의 IV족 원소 함유 또는 비함유의 저급 결정성 실리콘 박막(67A)을, 예를 들면, 50nm 두께로 형성시킨다.
- <503> 이어서, 도 42의 (3)에 도시하는 바와 같이, 저급 결정성 실리콘 박막(67A)에 대하여, 플래시 램프 어닐링에 의한 플래시 조사(221)를 행하고, 이 어닐링에서의 용융과 서냉각 시에, 단차(223)의 저변의 각을 시드로 그레포 에피택셜 성장시켜 단결정성 실리콘 박막(67)을 오목부뿐만 아니라, 그 래터럴(lateral)(횡) 방향의 주변부 상에도 형성할 수 있다. 이 때, 상기한 바와 같이, 저급 결정성 실리콘 박막 상에 반사 저감 및 보호용 절연막을 피복하고, 더욱이 아일랜드화시킨 것을 플래시 램프 어닐링하여도 좋다. 또, 이 플래시 램프 어닐링과 저급 결정성 반도체 박막의 성막을 반복함으로써 적층하여, μm 단위의 단결정성 반도체 두께막을 형성하여도 좋다(이하, 동일).

- <504> 이렇게 하여 단결정성 실리콘 박막(67)은, 예를 들면, (100)면이 기판 상에 그래포 에피택셜 성장한다. 이 경우, 단차(223)는 플래시 램프 어닐링의 고에너지에 의해서 그래포 에피택셜 성장이라고 불리는 에피택셜 성장의 시드가 되어 이것을 촉진하고, 보다 결정성이 높은 단결정성 실리콘 박막(67)(약 50nm 두께)이 얻어진다. 이것에 관해서는 도 43에 도시하는 바와 같이, 비정질 기판(유리)(61)에 상기의 단차(223)와 같은 수직인 벽을 만들고, 이 위에 에피택셜층을 형성하면, 도 43의 (a)와 같은 불규칙한(random) 면 방위였던 것이 도 43의 (b)와 같이 (100)면이 단차(223)의 면을 따라서 결정 성장한다. 또한, 상기 단차의 형상을 도 44의 (a) 내지 도 44의 (f)와 같이 여러 가지로 바꿔으로써, 성장층의 결정 방향을 제어할 수 있다. MOS 트랜지스터를 작성하는 경우는 (100)면이 가장 많이 채용되어 있다. 결국, 단차(223)의 단면 형상은 저변 모서리부의 각도(저각)가 직각을 비롯하여, 상단에서 하단에 걸쳐서 내향으로 또는 외향으로 경사져 있어도 좋고, 결정 성장이 생기기 쉬운 특정 방향의 면을 갖고 있으면 좋다. 단차(223)의 저각은 통상은 직각 또는 90° 이하가 바람직하고, 그 저면의 모서리부는 약간의 곡율을 갖고 있는 것이 좋다.
- <505> 이렇게 해서, 플래시 램프 어닐링 시의 그래포 에피택셜 성장에 의해서 기판(61) 상에 단결정성 실리콘 박막(67)을 형성한 후, 단결정성 실리콘 박막(67)(약 50nm 두께)을 활성층으로 하는, 예를 들면, 톱 게이트형 MOSTFT의 제작을 상술한 바와 동일하게 한다.
- <506> 또, 기판(61)으로서, 폴리이미드 등의 내열성 수지 기판을 사용하여, 이에 대하여 적어도 TFT 형성 영역에 소정 형상 및 치수의 단차(223) 부착의 오목부를 형성하고, 상기와 동일하게 처리하여도 좋다. 예를 들면, $100\text{ }\mu\text{m}$ 두께의 폴리이미드 기판에, 예를 들면, 높이 0.03 내지 $0.05\text{ }\mu\text{m}$, 폭 $5\text{ }\mu\text{m}$, 길이 $10\text{ }\mu\text{m}$ 의 소정 치수/형상의 볼록부를 갖는 금형을 스템핑(stamping)하고, 거의 금형과 같은 치수/형의 오목부를 형성한다. 또는 보강재로서의 스텔리스 등의 금속판에, 코팅, 스크린 인쇄 등의 방법에 의해 폴리이미드 등의 내열성 수지막(5 내지 $10\text{ }\mu\text{m}$ 두께)을 형성하고, 이 막에, 예를 들면, 높이 0.03 내지 $0.05\text{ }\mu\text{m}$, 폭 $5\text{ }\mu\text{m}$, 길이 $10\text{ }\mu\text{m}$ 의 소정 치수/형상의 볼록부를 갖는 금형을 스템핑하고, 적어도 TFT 형성 영역에 거의 금형과 동일한 치수/형상의 단차를 갖는 오목부를 형성한다. 그 이후는 상기한 바와 같은 공정에서 단결정성 실리콘 박막의 형성, MOSTFT를 형성한다.
- <507> 이상에 설명한 바와 같이, 본 예에 따르면, 소정 형상/치수의 단차(223)를 갖는 오목부를 기판(61)에 설치하고, 이것을 시드로서 플래시 램프 어닐링에 의해서 그래포 에피택셜 성장시킴으로써, 높은 캐리어 이동도의 단결정성 실리콘 박막(67)이 얻어지기 때문에, 고성능 드라이버 내장의 LCD의 제조가 가능해진다.
- <508> <LCD의 제조 예 4>
- <509> 도 45는 액티브 매트릭스 LCD의 또 다른 제조예를 도시하는 것이다.
- <510> *우선, 도 45의 (1)에 도시하는 바와 같이, 절연 기판(61)의 일 주면에서, 적어도 TFT 형성 영역에, 단결정 실리콘과 격자 정합이 양호한 결정성 사파이어 박막(두께 10 내지 200nm)(224)을 형성한다. 이 결정성 사파이어 박막(224)은 고밀도 플라즈마 CVD법이나, 촉매 CVD법 등에 의해, 트리메틸알루미늄 가스 등을 산화성 가스(산소, 수분, 오존 등)로 산화하여, 결정화시켜 작성한다. 절연기판(61)으로서 석영 유리 등의 고내열성 유리 기판, 봉규산 유리, 알루미늄 봉규산 유리 등의 저왜곡점 유리 기판, 폴리이미드 등의 내열성 수지 기판 등이 사용 가능하다.
- <511> 이어서, 도 45의 (2)에 도시하는 바와 같이, 촉매 CVD법, 플라즈마 CVD법 등에 의해서, 결정성 사파이어 박막(224)상에 저급 결정성 실리콘 박막(67A)을, 예를 들면, 50nm 두께로 형성한다.
- <512> 이어서, 도 45의 (3)에 도시하는 바와 같이, 저급 결정성 실리콘 박막(67A)에 대하여, 플래시 램프 어닐링의 플래시 조사(221)를 행하고, 용융과 서냉각에 의해, 결정성 사파이어 박막(224)을 시드로 헤테로 에피택셜 성장시켜 단결정성 실리콘 박막(67)을 형성한다. 이 때, 상기한 바와 같이, 저급 결정성 실리콘 박막 상에 반사 저감 및 보호용 절연막을 피복하고, 더욱이 아일랜드화시킨 것을 플래시 램프 어닐링하여도 좋다. 즉, 결정성 사파이어 박막(224)은 단결정 실리콘과 양호한 격자 정합을 나타내기 때문에, 이것이 시드가 되어, 플래시 램프 어닐링에 의해 단결정성 실리콘은, 예를 들면, (100)면이 기판 상에 효과적으로 헤테로 에피택셜 성장한다. 이 경우, 상술한 단차(223)를 형성하고, 이것을 포함하는 면상에 결정성 사파이어 박막(224)을 형성하면, 단차(223)에 의한 그래포 에피택셜 성장을 가미한 헤테로 에피택셜 성장에 의해, 보다 결정성이 높은 단결정성 실리콘 박막(67)이 얻어진다. 더욱이, 이 플래시 램프 어닐링과 저급 결정성 반도체 박막의 성막을 반복함으로써 적층하고, μm 단위의 단결정성 반도체 두께막을 형성하여도 좋다.
- <513> 이렇게 해서, 플래시 램프 어닐링 시의 헤테로 에피택셜 성장에 의해서 기판(61)상에 단결정성 실리콘 박막(67)을 석출시킨 후, 이 단결정성 실리콘 박막(67)(약 50nm 두께)을 활성층으로 하는, 예를 들면, 톱 게이트형

MOSTFT의 제작을 상술한 바와 동일하게 한다.

<514> 이상에 설명한 바와 같이, 본 예에 따르면, 기판(61)상에 설치한 결정성 사파이어 박막(224)을 시드로서 플래시램프 어닐링에 의해서 헤테로 에피택셜 성장시킴으로써, 높은 캐리어 이동도의 단결정성 실리콘 박막(67)이 얻어지기 때문에, 고성능 드라이버 내장의 LCD의 제조가 가능해진다.

<515> 또한, 결정성 사파이어 박막(224) 등의 상기 물질층은 여러 가지의 원자의 확산 배리어가 되기 때문에, 유리 기판(61)으로부터의 불순물의 확산을 제어할 수 있다. 이 결정성 사파이어 박막은 Na 이온 스토퍼 작용이 있으므로, 이 막 두께가 충분히 두꺼운 경우에는 상기 기초 보호막 중 적어도 질화 실리콘막은 생략할 수 있다.

<516> 또, 결정성 사파이어 박막 대신에, 이것과 같은 작용을 하는 스파넬(spinel) 구조체, 플루오르화 칼슘, 플루오르화 스트론튬, 플루오르화 바륨, 인화 붕소, 산화 이트륨 및 산화 지르코늄으로 이루어지는 그룹으로부터 선택되는 적어도 1종의 물질층이 형성되어도 좋다.

제 3 실시예

<518> 본 실시예는 본 발명을 유기 또는 무기의 전계 발광(EL) 표시 장치, 예를 들면, 유기 EL 표시 장치에 적용한 것이다. 이하에 그 구조예와 제조예를 나타낸다. 한편, 여기서는 톱 게이트형 MOSTFT의 예이지만, 상기한 바와 같이 보텀 게이트형 또는 듀얼 게이트형 MOSTFT를 적용하여도 좋은 것은 말할 필요도 없다.

<519> <유기 EL 소자의 구조예 I>

<520> 도 46의 (A), 도 46의 (B)에 도시하는 바와 같이, 이 구조예 I에 따르면, 유리 등의 기판(111) 상에, 본 발명에 근거하여 상술한 방법으로 형성된 고결정화율, 대입자 직경의 주석 함유 또는 비함유의 다결정성 실리콘 박막(또는 단결정성 실리콘 박막: 이하, 다결정성 실리콘 박막을 예로 설명하지만, 단결정성 실리콘 박막도 동일하다)에 의해서, 스위칭용 MOSTFT(1)와 전류 구동용 MOSTFT(2)의 게이트 채널 영역(117), 소스 영역(120) 및 드레인 영역(121)이 형성되어 있다. 그리고, 게이트 절연막(118)상에 게이트 전극(115), 소스 및 드레인 영역 상에 소스 전극(127) 및 드레인 전극(128, 131)이 형성되어 있다. MOSTFT(1)의 드레인과 MOSTFT(2)의 게이트는 드레인 전극(128)을 개재하여 접속되어 있는 동시에, MOSTFT(2)의 소스 전극(120)과의 사이에 절연막(136)을 개재하여 커패시터(C)가 형성되고, 또한, MOSTFT(2)의 드레인 전극(131)은 유기 EL 소자의 음극(138)으로까지 연장되어 설치되어 있다. 더욱이, 스위칭용 MOSTFT(1)에 LDD부를 형성하여 스위칭 특성 향상을 도모하여도 좋다.

<521> 각 MOSTFT은 절연막(130)으로 덮이고, 이 절연막 상에는 음극을 덮도록 유기 EL 소자의, 예를 들면, 녹색 유기 발광층(132)(또는 청색 유기 발광층(133), 더욱이 또한 도시하지 않는 적색 유기 발광층)이 형성되고, 이 유기 발광층을 덮도록 양극(1층째)(134)이 형성되고, 또한 공통의 양극(2층째)(135)이 전체 면에 형성되어 있다. 또, CMOSTFT로 이루어지는 주변 구동 회로, 영상 신호 처리 회로, 메모리 회로 등의 제법은 상술한 액정 표시 장치에 준한다(이하, 동일).

<522> 이 구조의 유기 EL 표시부는 유기 EL 발광층이 전류 구동용 MOSTFT(2)의 드레인에 접속되고, 음극(Li-Al, Mg-Ag 등)(138)이 유리 등의 기판(111)의 면에 피착되고, 양극(ITO막 등)(134, 135)이 그 상부에 설치되어 있고, 따라서, 상면 발광(136)이 된다. 또한, 음극이 MOSTFT 상을 덮고 있는 경우는 발광 면적이 커져, 이 때에는 음극이 차광막이 되고, 발광 광 등이 MOSTFT에 입사하지 않기 때문에 리크 전류 발생이 없고, TFT 특성의 악화가 없다.

<523> 또한, 각 화소부 주변에 도 46의 (C)와 같이 블랙 마스크부(크롬, 이산화 크롬 등)(140)를 형성하면, 광 누설(크로스토크 등)을 방지하여, 콘트래스트의 향상을 도모할 수 있다.

<524> 또한, 화소 표시부에 녹색, 청색, 적색의 3색 발광층을 사용하는 방법, 색 변환층을 사용하는 방법, 백색 발광층에 컬러 필터를 사용하는 방법의 어떠한 것이라도, 양호한 풀 컬러의 유기 EL 표시 장치가 실현되고, 또한, 각 색 발광 재료인 고분자 화합물의 스판 코팅법, 또는 금속 착체의 전공 가열 증착법에 있어서도, 긴 수명, 고정밀도, 고품질, 고신뢰성의 풀 컬러 유기 EL부를 생산성 좋게 작성할 수 있기 때문에, 비용 절감이 가능해진다(이하, 동일).

<525> 다음에, 이 유기 EL 소자의 제조 프로세스를 설명하면, 우선, 도 47의 (1)에 도시하는 바와 같이, 상술한 공정을 거쳐서 다결정성 실리콘 박막으로 이루어지는 소스 영역(120), 채널 영역(117) 및 드레인 영역(121)을 형성한 후, 게이트 절연막 (118)을 형성하고, 이 위에 MOSTFT(1, 2)의 게이트 전극(115)을 Mo-Ta 합금 등의 스파터링 성막과 범용 포토리소그래피 및 에칭 기술에 의해 형성하며, 동시에 MOSTFT(1)의 게이트 전극에 접속되는 게이트 라인을 형성한다. 그리고, 오버코팅막(산화 실리콘 등)(137)을 촉매 CVD 등의 기상 성장법에 의해(이하, 동일) 형성한 후, Mo-Ta 합금 등의 스파터링 성막과 범용 포토리소그래피 및 에칭 기술에 의해 MOSTFT(2)의 소

스 전극(127) 및 어스 라인을 형성하며, 또한 오버 코팅막(산화 실리콘/질화 실리콘 적층막)(136)을 형성한다. 할로겐 램프 등에서의 RTA(Rapid Thermal Anneal)처리(예를 들면, 약 1000°C, 30초)에 의해, 이온 도핑한 n 또는 p형 불순물을 활성화시킨다.

<526> 이어서, 도 47의 (2)에 도시하는 바와 같이, MOSTFT(1)의 소스/드레인부, MOSTFT(2)의 게이트부의 창 천공을 행한 후, 도 47의 (3)에 도시하는 바와 같이, 1% Si가 들어간 Al의 스퍼터링 성막 및 범용 포토리소그래피 및 에칭 기술에 의해 MOSTFT(1)의 드레인 전극과 MOSTFT(2)의 게이트 전극을 1% Si가 들어간 Al 배선(128)으로 접속하고, 동시에 MOSTFT(1)의 소스 전극과, 이 전극에 접속되는 1% Si가 들어간 Al로 이루어지는 소스 라인을 형성한다. 그리고, 오버 코팅막(산화 실리콘/포스핀 실리케이트 유리/질화 실리콘 적층막 등)(130)을 형성하고, MOSTFT(2)의 드레인부의 창 천공을 행하여, MOSTFT(2)의 드레인부와 접속한 발광부의 음극(138)을 형성한다. 그리고, 그 후에, 수소화 및 소결 처리한다.

<527> 이어서, 도 47의 (4)에 도시하는 바와 같이, 유기 발광층(132) 등 및 양극(134, 135)을 형성한다.

<528> 또, 도 46의 (B)의 소자에 있어서, 유기 발광층 대신에 공지의 발광 폴리머를 사용하면, 액티브 매트릭스 구동의 발광 폴리머 표시 장치(LEPD)로서 구성할 수 있다(이하, 동일).

<529> *<유기 EL 소자의 구조예 II>

<530> 도 48의 (A), 도 48의 (B)에 도시하는 바와 같이, 이 구조예 II에 따르면, 유리 등의 기판(111)상에, 상기 구조 예 I와 동일하게 퀄로본 발명에 근거하여 상술한 방법으로 형성된 고결정화율, 큰 입자 직경의 주석 함유 또는 비합유의 다결정성 실리콘 박막에 의해서, 스위칭용 MOSTFT(1)과 전류 구동용 MOSTFT(2)의 게이트 채널(117), 소스 영역(120) 및 드레인 영역(121)이 형성되어 있다. 그리고, 게이트 절연막(118)상에 게이트 전극(115), 소스 및 드레인 영역 상에 소스 전극(127) 및 드레인 전극(128, 131)이 형성되어 있다. MOSTFT(1)의 드레인과 MOSTFT(2)의 게이트는 드레인 전극(128)을 개재하여 접속되어 있는 동시에, MOSTFT(2)의 드레인 전극(131)과의 사이에 절연막(136)을 개재하여 커페시터(C)가 형성되고, 또한, MOSTFT(2)의 소스 전극(127)은 유기 EL 소자의 양극(144)으로까지 연장 설치되어 있다. 더욱이, 스위칭용 MOSTFT(1)에 LDD부를 형성하여 스위칭 특성 향상을 도모하여도 좋다.

<531> 각 MOSTFT는 절연막(130)으로 덮이고, 이 절연막 상에는 양극을 덮도록 유기 EL 소자의, 예를 들면, 녹색 유기 발광층(132)(또는 청색 유기 발광층(133), 또한 도시하지 않는 적색 유기 발광층)이 형성되고, 이 유기 발광층을 덮도록 음극(1층째)(141)이 형성되고, 또한 공통의 음극(2층째)(142)이 전체 면에 형성되어 있다.

<532> 이 구조의 유기 EL 표시부는 유기 EL 발광층이 전류 구동용 MOSTFT(2)의 소스에 접속되고, 유리 등의 기판(111)의 면에 피착된 양극(144)을 덮도록 유기 EL 발광층을 형성하며, 그 유기 EL 발광층을 덮도록 음극(141)을 형성하고, 전체 면에 음극(142)을 형성하고 있으며, 따라서, 하면 발광(136)이 된다. 또한, 음극이 유기 EL 발광층간 및 MOSTFT 상을 덮고 있다. 즉, 전체 면에, 예를 들면, 녹색 발광 유기 EL층을 진공 가열 증착법 등에 의해 형성한 후에, 녹색 발광 유기 EL부를 포토리소그래피 및 드라이 에칭으로 형성하고, 연속하여 동일하게, 청색, 적색 발광 유기 EL부를 형성하며, 마지막에 모서리부에 음극(전자 주입층)(141)을 마그네슘:은 합금 또는 알루미늄:리튬 합금에 의해 형성한다. 이 전체 면에 더 형성한 음극(전자 주입층)(142)으로 밀봉하기 때문에, 외부로부터 유기 EL층간에 습기가 침입하는 것을 특히 전체 면 피착의 음극(142)에 의해 방지하여 습기에 약한 유기 EL층의 열화나 전극의 산화를 방지하여, 긴 수명, 고품질, 고신뢰성이 가능해진다(이것은 도 46의 구조 예 I에서도 양극에서 전체 면 피복되어 있기 때문에, 동일하다). 또한, 음극(141 및 142)에 의해 방열 효과가 높아지기 때문에, 발열에 의한 유기 EL 박막의 구조 변화(용해 또는 재결정화)가 저감하고, 긴 수명, 고품질, 고신뢰성이 가능해진다. 더구나, 이로써, 고정밀도, 고품질의 풀 컬러의 유기 EL층을 생산성 좋게 작성할 수 있기 때문에, 비용 절감이 가능해진다.

<533> 또한, 각 화소부 주변에 도 48의 (C)와 같이 블랙 마스크부(크롬, 이산화 크롬 등)(140)를 형성하면, 광 누설(크로스토크 등)을 방지하고, 콘트래스트의 향상을 도모할 수 있다. 또, 이 블랙 마스크부(140)는 절연성막, 예를 들면, 산화 실리콘막(143)(이것은 게이트 절연막(118)과 동시에 동일 재료로 형성하여도 좋다)에 의해서 덮여 있다.

<534> 다음에, 이 유기 EL 소자의 제조 프로세스를 설명하면, 우선, 도 49의 (1)에 도시하는 바와 같이, 상술한 공정을 거쳐서 다결정성 실리콘 박막으로 이루어지는 소스 영역(120), 채널 영역(117) 및 드레인 영역(121)을 형성한 후, 촉매 CVD 등의 기상 성장법에 의해 게이트 절연막(118)을 형성하고, Mo-Ta 합금 등의 스퍼터링 성막 및 범용 포토리소그래피 및 에칭 기술에 의해 더욱이 MOSTFT(1, 2)의 게이트 전극(115)을 형성하고, 동시에

MOSTFT(1)의 게이트 전극에 접속되는 게이트 라인을 형성한다. 그리고, 촉매 CVD 등의 기상 성장법에 의해 오버코팅막(산화 실리콘 등)(137)을 형성한 후, Mo-Ta 합금 등의 스퍼터링 성막 및 범용 포토리소그래피 및 에칭 기술에 의해 MOSTFT(2)의 드레인 전극(131) 및 V_{dd} 라인을 형성하고, 또한 촉매 CVD 등의 기상 성장법에 의해 오버코팅막(산화 실리콘/질화 실리콘 적층막 등)(136)을 형성한다. 또, 할로겐 램프 등에서의 RTA(Rapid Thermal Anneal) 처리(예를 들면, 약 1000°C, 10 내지 30초)에 의해, 이온 주입한 캐리어 불순물을 활성화시킨다.

<535> 이어서, 도 49의 (2)에 도시하는 바와 같이, 범용 포토리소그래피 및 에칭 기술에 의해 MOSTFT(1)의 소스/드레인부, MOSTFT(2)의 게이트부의 창 천공을 행한 후, 도 49의 (3)에 도시하는 바와 같이, 1% Si가 들어간 Al의 스퍼터링 성막 및 범용 포토리소그래피 및 에칭 기술에 의해, MOSTFT(1)의 드레인과 MOSTFT(2)의 게이트를 1% Si가 들어간 Al 배선(128)으로 접속하고, 동시에 MOSTFT(1)의 소스에 접속되는 1% Si가 들어간 Al로 이루어지는 소스 라인을 형성한다. 그리고, 오버코팅막(산화 실리콘/포스핀 실리케이트 유리/질화 실리콘 적층막 등)(130)을 형성하고, 수소화 및 소결 처리를 행하며, 그 후에 범용 포토리소그래피 및 에칭 기술에 의해 MOSTFT(2)의 소스부의 창 천공을 행하고, ITO 등의 스퍼터링 및 범용 포토리소그래피 및 에칭 기술에 의해 MOSTFT(2)의 소스부와 접속한 발광부의 양극(144)을 형성한다.

<536> 이어서, 도 49의 (4)에 도시하는 바와 같이, 상기한 바와 같이 유기 발광층(132) 등 및 음극(141, 142)을 형성한다.

<537> 또, 이하에 설명하는 유기 EL의 각 층의 구성 재료나 형성 방법은 도 48의 예로 적용되지만, 도 46의 예에도 같이 적용되어도 좋다.

<538> 종래의 주변 구동 회로 일체형의 액티브 매트릭스형 유기 EL 표시 장치로서는 X 방향 신호선과 Y 방향 신호선에 의해 화소가 특정되고, 그 화소에 있어서 스위치용 MOSTFT이 온되어 그 신호 유지용 콘덴서에 화상 데이터가 유지된다. 이로써 전류 제어용 MOSTFT이 온되어, 전원선으로부터 유기 EL 소자에 화상 데이터에 따른 바이어스용의 전류가 흐르고, 이것이 발광한다. 그러나 이 때, 어몰퍼스 실리콘 MOSTFT의 경우는 V_{th} 가 변동하여 전류차가 변하기 쉽고, 화질에 변동이 일어나기 쉽다. 더구나, 캐리어 이동도가 작기 때문에 고속 응답으로 드라이브할 수 있는 전류에도 한계가 있고, 또한 p채널의 형성이 곤란하여 소규모의 CMOS 회로 구성조차도 곤란하다.

<539> 이에 대하여, 본 발명에 근거하여 상기한 바와 같이, 비교적 큰 면적화가 용이하고 동시에 고신뢰성이고 캐리어 이동도도 높고, CMOS 회로 구성도 가능한 다결정성 실리콘 TFT를 실현할 수 있다.

<540> 또, 상기에 있어서, 녹색에 발광 유기 EL층, 청색(B) 발광 유기 EL층, 적색(R) 발광 유기 EL층은 각각, 100 내지 200nm 두께로 형성하지만, 이들의 유기 EL층은 저분자 화합물의 경우는 진공 가열 증착법으로 형성되고, 고분자 화합물의 경우는 디핑코팅, 스판 코팅, 를 코팅의 어떠한 도포법이나 잉크젯법에 의해 R, G, B 발광 풀리머를 배열하는 방법이 사용된다. 금속 쳉체의 경우는 승화 가능한 재료를 진공 가열 증착법으로 형성된다.

<541> 유기 EL층에는 단층형, 2층형, 3층형 등이 있지만, 여기서는 저분자 화합물의 3층형의 예를 나타낸다.

<542> 단층형; 양극/바이폴라 발광층/음극,

<543> 2층형; 양극/홀 수송층/전자 수송성 발광층/음극,

<544> 또는 양극/홀 수송성 발광층 /전자 수송층/음극,

<545> 3층형; 양극/홀 수송층/발광층/전자 수송층/음극,

<546> 또는 양극/홀 수송성 발광층/캐리어 블록층/전자 수송성 발광층/음극

<547> 녹색 발광 유기 EL층에 저분자 화합물을 사용하는 경우는 유리 기판상의 양극(홀 주입층)인, 전류 구동용 MOSTFT의 소스부와 콘택트한 ITO 투명 전극 상에, 연속한 진공 가열 증착법에 의해 형성한다.

<548> 1) 홀 수송층은 아민계 화합물(예를 들면, 트리아릴아민 유도체, 아릴아민올리고머, 방향족 제 3 아민 등) 등

<549> 2) 발광층은 녹색 발광재료인 트리스(8-하이드록시크실리노) Al 쳉체(A1q) 등

<550> 3) 전자 수송층은 1, 3, 4-옥사디아졸 유도체(ODX), 1, 2, 4-트리아졸 유도체(TAZ) 등

<551> 4) 음극인 전자 주입층은 4eV 이하의 일 함수를 갖는 재료로 만들어지는 것이 바람직하다.

- <552> 예를 들면, 10:1(원자비)의 마그네슘:은 합금의 10 내지 30nm 두께
- <553> 알루미늄:리튬(농도는 0.5 내지 1%) 합금의 10 내지 30nm 두께
- <554> 여기서, 은은 유기 계면과의 접착성을 증가시키기 위해서 마그네슘 중에 1 내지 10원자% 첨가되고, 리튬은 안정화를 위해 알루미늄 중에 농도는 0.5 내지 1% 첨가된다.
- <555> 녹색 화소부를 형성하기 위해서는 녹색 화소부를 포토레지스트로 마스크하여, CCl_4 가스 등의 플라즈마 에칭에 의해 음극인 전자 주입층의 알루미늄:리튬 합금을 제거하고, 연속하여 전자 수송층, 발광층, 홀 수송층의 저분자계 화합물 및 포토레지스트를 산소 플라즈마 에칭으로 제거하고, 녹색 화소부를 형성한다. 이 때, 포토레지스트의 하에는 알루미늄:리튬 합금이 있으므로, 포토레지스트가 에칭되더라도 문제없다. 또한, 이 때, 전자 수송층, 발광층, 홀 수송층의 저분자계 화합물층은 홀 주입층의 ITO 투명 전극보다도 큰 면적으로 하고, 후공정에서 전체 면에 형성하는 음극의 전자 주입층(마그네슘:은 합금)과 전기적으로 단락(short)하지 않도록 한다.
- <556> 다음에, 청색 발광 유기 EL층을 저분자 화합물로 형성하는 경우는 유리 기판상의 양극(홀 주입층)인 전류 구동용 TFT의 소스부와 콘택트한 ITO 투명 전극 상에, 연속하여 진공 가열 증착에 의해 형성한다.
- 1) 홀 수송층은 아민계 화합물(예를 들면, 트리아릴아민 유도체, 아릴아민올리고머, 방향족 제 3 아민 등) 등
 - 2) 발광층은 청색 발광 재료인 DTVBi 같은 디스터릴 유도체 등
 - 3) 전자 수송층은 1, 3, 4-옥사디아졸 유도체(TAZ), 1, 2, 4-트리아졸 유도체(TAZ) 등
 - 4) 음극인 전자 주입층은 4eV 이하의 일 함수를 갖는 재료로 만들어지는 것이 바람직하다.
- <561> 예를 들면, 10:1(원자비)의 마그네슘:은 합금의 10 내지 30nm 두께
- <562> 알루미늄:리튬(농도는 0.5 내지 1%) 합금의 10 내지 30nm 두께
- <563> 여기서, 은은 유기 계면과의 접착성을 증가시키기 위해서 마그네슘 중에 1 내지 10원자% 첨가되고, 리튬은 안정화를 위해 알루미늄 중에 농도는 0.5 내지 1% 첨가된다.
- <564> 청색 화소부를 형성하기 위해서는 청색 화소부를 포토레지스트로 마스크하여, CCl_4 가스 등의 플라즈마 에칭으로 음극인 전자 주입층의 알루미늄:리튬 합금을 제거하고, 연속하여 전자 수송층, 발광층, 홀 수송층의 저분자계 화합물 및 포토레지스트를 산소 플라즈마 에칭으로 제거하여, 청색 화소부를 형성한다. 이 때, 포토레지스트의 하에서는 알루미늄:리튬 합금이 있으므로, 포토레지스트가 에칭되더라도 문제없다. 또한, 이 때, 전자 수송층, 발광층, 홀 수송층의 저분자계 화합물층은 홀 주입층의 ITO 투명 전극보다도 큰 면적으로 하여, 후공정에서 전체 면에 형성하는 음극의 전자 주입층(마그네슘:은 합금)과 전기적으로 단락되지 않도록 한다.
- <565> 또한, 적색 발광 유기 EL층을 저분자 화합물로 형성하는 경우는 유리 기판상의 양극(홀 주입층)인 전류 구동용 TFT의 소스부와 콘택트한 ITO 투명 전극 상에, 연속하여 진공 가열 증착에 의해 형성한다.
- 1) 홀 수송층은 아민계 화합물(예를 들면, 트리아릴아민 유도체, 아릴아민올리고머, 방향족 제 3 아민 등) 등
 - 2) 발광층은 적색 발광 재료인 $Eu(Eu(DBM)_3(Phen))$ 등
 - 3) 전자 수송층은 1, 3, 4-옥사디아졸 유도체(ODX), 1, 2, 4-트리아졸 유도체(TAZ) 등
 - 4) 음극인 전자 주입층은 4eV 이하의 일 함수를 갖는 재료로 만들어지는 것이 바람직하다.
- <570> 예를 들면, 10:1(원자비)의 마그네슘:은 합금의 10 내지 30nm 두께
- <571> 알루미늄:리튬(농도는 0.5 내지 1%) 합금의 10 내지 30nm 두께
- <572> 은은 유기 계면과의 접착성을 증가시키기 위해서 마그네슘 중에 1 내지 10원자% 첨가되고, 리튬은 안정화를 위해 알루미늄 중에 농도는 0.5 내지 1% 첨가된다.
- <573> 적색 화소부를 형성하기 위해서는 적색 화소부를 포토레지스트로 마스크하여, CCl_4 가스 등의 플라즈마 에칭으로 음극인 전자 주입층의 알루미늄:리튬 합금을 제거하고, 연속하여 전자 수송층, 발광층, 홀 수송층의 저분자계 화합물 및 포토레지스트를 산소 플라즈마 에칭으로 제거하여, 적색 화소부를 형성한다. 이 때, 포토레지스트 하에서는 알루미늄:리튬 합금이 있으므로, 포토레지스트가 에칭되더라도 문제없다. 또한, 이 때, 전자 수송층, 발광층, 홀 수송층의 저분자계 화합물층은 홀 주입층의 ITO 투명 전극보다도 큰 면적으로 하여, 후공정에서 전체 면에 형성하는 적색의 전자 주입층(마그네슘:은 합금)과 전기적으로 단락되지 않도록 한다.

체 면에 형성하는 음극의 전자 주입층(마그네슘:은 합금)과 전기적으로 단락되지 않도록 한다.

<574> 그 후에, 전체 면에 공통의 음극인 전자 주입층을 전공 가열 증착에 의해 형성하지만, 음극인 전자 주입층은 4eV 이하의 일 함수를 갖는 재료로 만들어지는 것이 바람직하다. 예를 들면, 10:1(원자비)의 마그네슘:은 합금의 10 내지 30nm 두께 또는 알루미늄:리튬(농도는 0·5 내지 1%)합금의 10 내지 30nm 두께로 한다. 여기서, 은은 유기 계면과의 접착성을 증가시키기 위해서 마그네슘 중에 1 내지 10원자% 첨가되고, 리튬은 안정화를 위해서 알루미늄 중에 농도는 0.5 내지 1% 첨가된다. 또, 스퍼터링으로 성막하여도 좋다.

<575> 제 4 실시예

<576> 본 실시예는 본 발명을 전계 방출형(필드 이미션) 디스플레이 장치(FED: Field emission Display)에 적용한 것이다. 이하에 그 구조예와 제조예를 나타낸다. 더욱이, 여기서는 톱 게이트형 MOSTFT의 예이지만, 상기한 바와 같이 보텀 게이트형 또는 듀얼 게이트형 MOSTFT를 적용하여도 좋은 것은 말할 필요도 없다.

<577> <FED의 구조예 I>

<578> 도 50의 (A), 도 50의 (B), 도 50의 (C)에 도시하는 바와 같이, 이 구조예 I에 따르면, 유리 등의 기판(111) 상에, 본 발명에 근거하여 상술한 방법으로 형성된 고결정화율, 큰 입자 직경의 주석 함유 또는 비함유의 다결정성 실리콘 박막에 의해서, 스위칭용 MOSTFT(1)과 전류 구동용 MOSTFT(2)의 게이트 채널 영역(117), 소스 영역(120) 및 드레인 영역(121)이 형성되어 있다. 그리고, 게이트 절연막(118)상에 게이트 전극(115), 소스 및 드레인 영역 상에 소스 전극(127) 및 드레인 전극(128)이 형성되어 있다. MOSTFT(1)의 드레인과 MOSTFT(2)의 게이트는 드레인 전극(128)을 개재하여 접속되어 있는 동시에, MOSTFT(2)의 소스 전극(127)과의 사이에 절연막(136)을 개재하여 커페시터(C)가 형성되며, 또한, MOSTFT(2)의 드레인 영역(121)은 그대로 FED 소자의 FEC(전계 방출 캐소드)로까지 연장 설치되며, 이미터 영역(152)으로서 기능하고 있다. 더욱이, 스위칭용 MOSTFT에는 LDD 부를 형성하여 스위칭 특성 향상을 도모하여도 좋다.

<579> 각 MOSTFT는 절연막(130)으로 덮이고, 이 절연막 상에는 FEC의 게이트 추출전극(150)과 동일 재료로써 동일 공정에서 접지용의 금속 차폐막(151)이 형성되며, 각 MOSTFT상을 덮고 있다. FEC에서는 다결정성 실리콘 박막으로 이루어지는 이미터 영역(152)상에 전계 방출 이미터가 되는 n형 다결정성 실리콘막(153)이 형성되고, 더욱이 $m \times n$ 개의 각 이미터에 구획하기 위한 개구를 갖도록, 절연막(118, 137, 136 및 130)이 패터닝되고, 이 상면에는 게이트 인출 전극(150)이 피착되어 있다.

<580> 또한, 이 FEC에 대향하여, 백메탈(155)이 부착된 형광체(156)를 애노드로서 형성한 유리 기판(157)이 설치되어 있고, FEC와의 사이는 고진공으로 유지되어 있다.

<581> 이 구조의 FEC에서는 게이트 인출 전극(150)의 개구 하에는 본 발명에 근거하여 형성된 다결정성 실리콘 박막(152)상에 성장된 n형 다결정성 실리콘막(153)이 노출되고, 이것이 각각 전자(154)를 방출하는 박막의 면 방출형 이미터로서 기능한다. 즉, 이미터의 기초가 되는 다결정성 실리콘 박막(152)은 큰 입자 직경(그레인 사이즈 수 100nm 이상)의 그레인으로 이루어지고 있기 때문에, 이것을 시드로서 또한 n형 다결정성 실리콘막(153)을 촉매 CVD 등에 의해서 성장시키면, 이 다결정성 실리콘막(153)은 더욱 큰 입자 직경으로 성장하고, 표면이 전자 방출에 있어서 유리한 미세한 요철(158)이 생기도록 형성되는 것이다. 더욱이, 상기 이외에, 다결정성 다이아몬드막, 또는 질소 함유 또는 비함유의 탄소 박막, 또는 질소 함유 또는 비함유의 탄소 박막 표면에 형성한 다수의 미세 돌기 구조(예를 들면, 카본나노튜브) 등에 의한 전자 방출체(이미터)로 하여도 좋다.

<582> 따라서, 이미터가 박막으로 이루어지는 면 방출형이기 때문에, 그 형성이 용이한 동시에, 이미터 성능도 안정하고, 긴 수명화가 가능해진다.

<583> 또한, 모든 능동 소자(이것에는 주변 구동 회로 및 화소 표시부의 MOSTFT와 다이오드가 포함된다)의 상부에 어스 전위의 금속 차폐막(151)(이 금속차폐막은 서랍게이트 전극(150)과 동일한 재료(Nb, Ti/Mo 등), 동일한 공정에서 형성하면 공정상 형편이 좋다)가 형성되어 있기 때문에, 다음의 (1), (2)의 이점을 얻을 수 있고, 고품질, 고신뢰성의 전계 방출 디스플레이(FED) 장치를 실현하는 것이 가능해진다.

<584> (1) 기밀 용기 내에 있는 가스가 이미터(전계 방출 캐소드)(153)로부터 방출된 전자에 의해 양이온화되어 절연층 상에 쳐지업(챠지 업)하고, 이 정전하가 절연층 하에 있는 MOSTFT에 불필요한 반전층을 형성하고, 이 반전층으로 이루어지는 불필요한 전류 경로를 개재하여 여분의 전류가 흐르기 때문에, 이미터 전류의 폭주가 발생한다. 그러나, MOSTFT 상의 절연층에 금속 차폐막(151)을 형성하여 어스 전위에 떨어뜨리고 있기 때문에, 쳐지 업 방지가 가능해지고, 이미터 전류의 폭주를 방지할 수 있다.

- <585> (2) 이미터(전계 방출 캐소드)(153)로부터 방출된 전자의 충돌에 의해 형광체(156)가 발광하지만, 이 광에 의해 MOSTFT의 게이트 채널 내에 전자, 정공이 발생하여, 리크 전류가 된다. 그러나, MOSTFT 상의 절연층에 금속 차폐막(151)이 형성되어 있기 때문에, TFT로의 광 입사가 방지되고, TFT의 동작 불량은 생기지 않는다.
- <586> 다음에, 이 FED의 제조 프로세스를 설명하면, 우선, 도 51의 (1)에 도시하는 바와 같이, 상술한 공정을 거쳐서 전체 면에 다결정성 실리콘 박막(117)을 형성한 후, 범용 포토리소그래피 및 에칭 기술에 의해 MOSTFT(1)와 MOSTFT(2) 및 이미터 영역에 아일랜드화하여, 플라즈마 CVD, 촉매 CVD법 등에 의해 전체 면에 보호용 산화 실리콘막(159)을 형성한다. 더욱이, 보호용 산화 실리콘막 형성 후에 아일랜드화하여도 좋다.
- <587> 이어서, MOSTFT(1, 2)의 게이트 채널 불순물 농도의 제어에 의한 V_{th} 의 최적화를 위해, 이온 주입 또는 이온 도핑법에 의해 전체 면에 봉소 이온(83)을 $5 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $1 \times 10^{17} \text{ atoms/cc}$ 의 억셉터 농도로 설정한다.
- <588> 이어서, 도 51의 (2)에 도시하는 바와 같이, 포토레지스트(82)를 마스크하여, 이온 주입 또는 이온 도핑법에 의해 MOSTFT(1, 2)의 소스/드레인부 및 이미터영역에 인 이온(79)을 $1 \times 10^{15} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $2 \times 10^{20} \text{ atoms/cc}$ 의 도너 농도로 설정하고, 소스 영역(120), 드레인 영역(121), 이미터 영역(152)을 각각 형성한 후, 범용 포토리소그래피 및 에칭 기술에 의해 이미터 영역의 보호용 산화 실리콘막을 제거한다. 더욱이, 이 때, MOSTFT(1)에 (1 내지 $5) \times 10^{18} \text{ atoms/cc}$ 의 도너 농도의 LDD 영역을 형성하여 스위칭 특성을 향상시켜도 좋다.
- <589> 이어서, 도 51의 (3)에 도시하는 바와 같이, 이미터 영역을 형성하는 다결정성 실리콘 박막(152)을 시드로, 모노실란과 PH_3 등의 도편트를 적당량 비율(예를 들면, 10^{20} atoms/cc) 혼합한 촉매 CVD 또는 바이어스 촉매 CVD 등에 의해, 표면에 미세 요철(158)을 갖는 n형 다결정성 실리콘막(153)을 1 내지 $5 \mu\text{m}$ 두께 영역에 형성하며, 동시에 다른 산화 실리콘막(159) 및 유리기판(111)상에는 n형 어몰퍼스 실리콘막(160)을 1 내지 $5 \mu\text{m}$ 두께로 형성한다.
- <590> 이어서, 도 51의 (4)에 도시하는 바와 같이, 상술한 촉매 AHA 처리 시의 활성화 수소 이온 등에 의해, 어몰퍼스 실리콘막(160)을 선택적으로 에칭 제거하여, 산화 실리콘막(159)의 에칭 제거 후에 촉매 CVD 등에 의해 게이트 절연막(산화 실리콘막)(118)을 형성한다.
- <591> 이어서, 도 52의 (5)에 도시하는 바와 같이, 스퍼터링법에 의한 Mo-Ta 합금 등의 내열성 금속에 의해 MOSTFT(1, 2)의 게이트 전극(115), MOSTFT(1)의 게이트 전극에 접속되는 게이트 라인을 형성하고, 오버코팅막(산화 실리콘 막 등)(137)을 형성한 후, 할로겐 램프 등에 의한 RTA(Rapid Thermal Anneal) 처리에서 도핑된 n형 및 p형 불순물을 활성화시켜, MOSTFT(2)의 소스부 창 천공 후에 스퍼터링 법에 의한 Mo-Ta 합금 등의 내열성 금속으로 MOSTFT(2)의 소스 전극(127) 및 어스 라인을 형성한다. 더욱이, 플라즈마 CVD, 촉매 CVD 등에 의해 오버코팅막(산화 실리콘/질화 실리콘 적층막 등)(136)을 형성한다.
- <592> 이어서, 도 52의 (6)에 도시하는 바와 같이, MOSTFT(1)의 소스/드레인부 및 MOSTFT(2)의 게이트부의 창 천공을 행하고, MOSTFT(1)의 드레인과 MOSTFT(2)의 게이트를 1% Si가 들어간 Al 배선(128)으로 접속하고, 동시에 MOSTFT(1)의 소스 전극과 그 소스에 접속되는 소스 라인(127)을 형성한다. 그 후에, 포밍 가스 중에서 400°C , 30분의 수소화 및 소결 처리한다.
- <593> 이어서, 도 52의 (7)에 도시하는 바와 같이, 오버코팅막(산화 실리콘/포스핀실리케이트 유리/질화 실리콘 적층 막 등)(130)을 형성한 후, GND 라인의 창 천공하고, 도 52의 (8)에 도시하는 바와 같이, 추출 게이트 전극(150)이나 금속 차폐막(151)을 Nb 증착 후의 에칭으로 형성하고, 더욱이 전계 방출 캐소드부를 창 천공하여 이미터(153)를 노출시켜, 상술한 플라즈마 또는 촉매 AHA 처리의 활성화 수소 이온 등으로 클리닝한다.
- <594> 종래의 전계 방출 디스플레이(FED) 장치는 단순 매트릭스와 액티브 매트릭스 구동으로 대별되고, 전계 방출 전자원(필드 이미터)에는 스팬트형 몰리브덴 이미터, 콘형 실리콘 이미터, MIM 터널 이미터, 폴라스실리콘 이미터, 다이아몬드 이미터, 표면 전도 이미터 등이 있고, 모두 평면 기판 상에 이미터를 접적할 수 있다. 단순 매트릭스 구동은 XY 매트릭스로 배열한 필드 이미터 어레이를 1화소로 하여 사용하여, 화소마다 방출량을 제어하여 화상 표시를 행한다. 또한, 액티브 매트릭스 구동은 MOSTFT의 드레인부에 형성된 이미터의 방출 전류를 제어 게이트에 의해서 제어한다. 이것은 제작 프로세스가 통상의 실리콘 LSI와 호환성이 있기 때문에, 전계 방출 디스플레이 주변에 복잡한 처리 회로를 만들어 넣는 것이 용이하다. 그러나, 실리콘 단결정 기판을 사용하

기 위해서, 기판 비용이 높고, 웨이퍼 사이즈 이상의 큰 면적화가 곤란하다. 그리고, 캐소드 전극 표면에 감압 CVD 등에 의해 도전성의 다결정 실리콘막과, 그 표면에 플라즈마 CVD 등에 의해 결정성 다이아몬드막으로 이루어지는 이미터의 제조가 제안되어 있지만, 감압 CVD 시의 성막 온도가 630°C로 높고, 저왜곡점 유리 기판을 채용할 수 없기 때문에, 비용 절감이 어렵다. 그리고, 그 감압 CVD에 의한 다결정 실리콘막은 입자 직경이 작고, 그 위의 결정성 다이아몬드막도 입자 직경이 작고, 이미터의 특성이 좋지 않다. 더욱이, 플라즈마 CVD에서는 반응 에너지가 부족하기 때문에, 좋은 결정성 다이아몬드막은 얻기 어렵다. 또는 투명 전극 또는 Al, Ti, Cr 등의 금속의 캐소드 전극과 도전성의 다결정 실리콘막과의 접합성이 나쁘기 때문에, 양호한 전자 방출 특성은 얻어지지 않는다.

<595> *이에 대하여, 본 발명에 근거하여 형성된 큰 입자 직경 다결정성 실리콘 박막은 저왜곡점 유리 등의 기판상에 형성 가능하고, 전류 구동용 TFT의 드레인과 연결된 이미터 영역의 큰 입자 직경 다결정성 실리콘 박막이고, 이를 것을 시드로 촉매 CVD 등에 의해, n형(또는 n^+ 형)의 큰 입자 직경 다결정성 실리콘막(또는 후술하는 다결정성 다이아몬드막)의 이미터를 형성하고, 그 후에 연속하여 촉매 AHA 처리 등에 의해 어몰퍼스 구조의 실리콘막 또는 어몰퍼스 구조의 다이아몬드막(DLC: Diamond Like Carbon이라고 한다)을 선택적으로 환원 에칭하여 표면에 무수한 요철 형상을 갖는 고결정화율/큰 입자 직경 n형(또는 n^+ 형) 다결정 실리콘막 또는 다결정성 다이아몬드막의 이미터를 형성하기 때문에, 전자 방출 효율이 높은 이미터를 형성할 수 있고, 또한 드레인과 이미터의 접합성이 양호하고, 고효율의 이미터 특성이 가능해진다. 이렇게 해서, 상기한 종래의 문제점을 해소할 수 있다(이하, 동일).

<596> 또한, 1개의 화소 표시부의 이미터 영역을 복수로 분할하고, 각각에 스위칭소자의 MOSTFT를 접속하면, 가령 1개의 MOSTFT가 고장나더라도, 다른 MOSTFT가 동작하기 때문에, 1개의 화소 표시부는 반드시 전자 방출하는 구성이 되고, 고품질로 수율이 높고, 비용을 절감할 수 있다(이하, 동일). 또한, 이들의 MOSTFT에서 전기적 오픈 불량의 MOSTFT는 문제 없지만, 전기적으로 단락한 MOSTFT는 레이저 리페어로 분리하는 것이 일반적인 수율 향상 대책이지만, 본 발명에 근거하는 상기 구성은 그것에 대응할 수 있기 때문에, 고품질로 수율이 높고, 비용을 절감할 수 있다(이하, 동일).

<597> <FED의 구조 예 II>

<598> 도 53의 (A), 도 53의 (B), 도 53의 (C)에 도시하는 바와 같이, 이 구조예 II에 따르면, 유리 등의 기판(111)상에, 상기의 구조예 I와 동일하게, 본 발명에 근거하여 상술한 방법으로 형성된 고결정화율, 큰 입자 직경의 주석 함유 또는 비함유의 다결정성 실리콘 박막에 의해서, 스위칭용 MOSTFT(1)과 전류 구동용 MOSTFT(2)의 게이트 채널 영역(117), 소스 영역(120) 및 드레인 영역(121)이 형성되어 있다. 그리고, 게이트 절연막(118)상에 게이트 전극(115), 소스 및 드레인 영역 상에 소스 전극(127) 및 드레인 전극(128)이 형성되어 있다. MOSTFT(1)의 드레인과 MOSTFT(2)의 게이트는 드레인 전극(128)을 개재하여 접속되어 있는 동시에, MOSTFT(2)의 소스 전극(127)과의 사이에 절연막(136)을 개재하여 커패시터(C)가 형성되고, 또한, MOSTFT(2)의 드레인 영역(121)은 그대로 FED 소자의 FEC(전계 방출 캐소드)로까지 연장 설치되고, 이미터 영역(152)으로서 기능하고 있다. 더욱이, 스위칭용 MOSTFT(1)에 LDD부를 형성함으로써 스위칭 특성 향상을 도모하여도 좋다.

<599> 각 MOSTFT은 절연막(130)으로 덮이고, 이 절연막 상에는 FEC의 추출 게이트 전극(150)과 동일 재료로서 동일 공정에서 접지용의 금속 차폐막(151)이 형성되어, 각 MOSTFT 상을 덮고 있다. FEC에서는 다결정성 실리콘 박막으로 이루어지는 이미터 영역(152)상에 전계 방출 이미터가 되는 n형 다결정성 다이아몬드막(163)이 형성되고, 또한 $m \times n$ 개의 각 이미터에 구획하기 위한 개구를 갖도록, 절연막(118, 137, 136 및 130)이 패터닝되며, 이 상면에는 게이트 인출 전극(150)이 편착되어 있다.

<600> 또한, 이 FEC에 대향하여, 백 메탈(155)이 부착된 형광체(156)를 애노드로서 형성한 유리 기판 등의 기판(157)이 설치되어 있고, FEC와의 사이는 고진공으로 유지되어 있다.

<601> 이 구조의 FEC는 게이트 인출 전극(150)의 개구 하에는 본 발명에 근거하여 형성된 다결정성 실리콘 박막(152)상에 성장된 n형 다결정성 다이아몬드막(163)이 노출되고, 이것이 각각 전자(154)를 방출하는 박막의 면 방출형의 이미터로서 기능한다. 즉, 이미터의 기초가 되는 다결정성 실리콘 박막(152)은 큰 입자 직경(그레이인 사이즈 수, 100nm 이상)의 그레이인으로 이루어지기 때문에, 이것을 시드로서 그 위에 n형 다결정성 다이아몬드막(163)을 촉매 CVD 등에 의해서 성장시키면, 이 다결정성 다이아몬드막(163)은 역시 큰 입자 직경으로 성장하고, 표면이 전자 방출에 있어서 유리한 미세한 요철(168)이 생기도록 형성되는 것이다. 더욱이, 질소 함유 또는 비함유의 탄소 박막 또는 질소 함유 또는 비함유의 탄소 박막 표면에 형성한 다수의 미세 돌기 구조(예를 들면, 카본나노

튜브) 등의 전자 방출체로 하여도 좋다.

<602> 따라서, 이미터가 박막으로 이루어지는 면 방출형이기 때문에, 그 형성이 용이한 동시에, 이미터 성능도 안정하여, 긴 수명화가 가능해진다.

<603> 또한, 모든 능동 소자(여기에는 주변 구동 회로 및 화소 표시부의 MOSTFT와 다이오드가 포함된다)의 상부에 어스 전위의 금속 차폐막(151)(이 금속 차폐막은 추출 게이트 전극(150)과 동일한 재료(Nb, Ti/Mo 등), 동일한 공정에서 형성하면 공정상 형편이 좋다)이 형성되어 있기 때문에, 상술한 바와 같이, MOSTFT 상의 절연층에 금속 차폐막(151)을 형성하여 어스 전위에 떨어뜨리고, 차지 업 방지가 가능해져, 이미터 전류의 폭주를 방지할 수 있고, 또한, MOSTFT 상의 절연층에 금속 차폐막(151)이 형성되어 있기 때문에, MOSTFT로의 광입사가 방지되고, MOSTFT의 동작 불량은 생기지 않는다. 위해서 고품질, 고신뢰성의 전계 방출 디스플레이(FED) 장치를 실현하는 것이 가능해진다.

<604> 다음에, 이 FED의 제조 프로세스를 설명하면, 우선, 도 54의 (1)에 도시하는 바와 같이, 상술한 공정을 거쳐서 전체 면에 다결정성 실리콘 박막(117)을 형성한 후, 범용 포토리소그래피 및 에칭 기술에 의해 MOSTFT(1)와 MOSTFT(2) 및 이미터 영역에 아일랜드화하여, 플라즈마 CVD, 촉매 CVD법 등에 의해 전체 면에 보호용 산화 실리콘막(159)을 형성한다. 더욱이, 보호용 산화 실리콘막을 형성한 후에 아일랜드화하여도 좋다.

<605> 이어서, MOSTFT(1, 2)의 게이트 채널 불순물 농도의 제어에 의한 V_{th} 의 최적화를 위해, 이온 주입 또는 이온 도핑법에 의해 전체 면에 봉소 이온(83)을 $5 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하고, $1 \times 10^{17} \text{ atoms/cc}$ 의 억셉터 농도로 설정한다.

<606> 이어서, 도 54의 (2)에 도시하는 바와 같이, 포토레지스트(82)를 마스크, 이온 주입 또는 이온 도핑법에 의해 MOSTFT(1, 2)의 소스/드레인부 및 이미터 영역에 인 이온(79)을 $1 \times 10^{15} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하여, $2 \times 10^{20} \text{ atoms/cc}$ 의 도너 농도로 설정하고, 소스 영역(120), 드레인 영역(121), 이미터 영역(152)을 각각 형성한 후, 범용 포토리소그래피 및 에칭 기술에 의해 이미터영역의 보호용 산화 실리콘막을 제거한다.

<607> 이어서, 도 54의 (3)에 도시하는 바와 같이, 이미터 영역을 형성하는 다결정성 실리콘 박막(152)을 시드로, 예를 들면, 메탄(CH_4) 및 적당한 n형 도편트를 적당량 비율 혼합하여, 촉매 CVD 또는 바이어스 촉매 CVD 등에 의해, 표면에 미세 요철(168)을 갖는 n^+ 형 다결정성 다이아몬드막(163)을 이미터 영역에 형성하고, 동시에 다른 산화 실리콘막(159) 및 유리 기판(111)상에는 n^+ 형 어몰퍼스 다이아몬드막(170)을 형성한다. 예를 들면, 촉매 CVD 등에 의해 큰 입자 직경 다결정성 실리콘 박막(152)을 시드로 n^+ 형 결정성 다이아몬드막의 이미터 영역(163)을 형성하지만, 이 때, 메탄(CH_4)에 n형 불순물 가스(인은 포스핀 PH_3 , 비소는 알신 AsH_3 , 안티몬은 스티빈 SbH_3 등), 예를 들면, 포스핀 PH_3 를 적당량 첨가하여 5×10^{20} 내지 $1 \times 10^{21} \text{ atoms/cc}$ 정도의 n^+ 형 다결정성 다이아몬드막(1000 내지 5000nm 두께)(163)을 형성한다. 이 때, 다른 보호용 산화 실리콘막 상에는 n^+ 형 어몰퍼스 다이아몬드막(170)이 형성되지만, 이 어몰퍼스 다이아몬드막은 DLC 막(Diamond Like Carbon)이라고 일컬어진다.

<608> 이어서, 도 54의 (4)에 도시하는 바와 같이, 상술한 촉매 AHA 처리 시의 활성화 수소 이온 등에 의해, 어몰퍼스 다이아몬드막(170)을 선택적으로 에칭 제거하고, 산화 실리콘막(159)의 에칭 제거 후에 촉매 CVD 등에 의해 게이트 절연막(산화 실리콘막 등)(118)을 형성한다. 이 경우, 촉매 AHA 처리에 의해, 고온의 수소 분자/수소 원자/활성화 수소 이온 등에 의해 어몰퍼스 다이아몬드막을 선택적으로 환원 에칭하여, 동시에 이미터 영역에 형성된 n^+ 형 다결정성 다이아몬드막(163)의 어몰퍼스 성분을 선택적으로 환원 에칭하여, 고결정화율의 n^+ 형 다결정성 다이아몬드막(163)을 형성한다. 이 선택적인 환원 에칭 작용에 의해, 표면에 무수한 요철 형상이 형성된 n^+ 형 다결정성 다이아몬드막의 이미터 영역(163)이 형성된다. 이로써, 다른 보호용 산화 실리콘막 상의 n^+ 형 어몰퍼스 다이아몬드막도 선택적으로 환원 에칭되어, 제거된다. 또, 상기의 촉매 CVD 및 AHA 처리는 연속 작업으로 행하는 쪽이, 컨테미네이션 방지와 생산성의 면에서 바람직하다.

<609> 이어서, 도 55의 (5)에 도시하는 바와 같이, 스퍼터링 법에 의한 Mo-Ta 합금 등의 내열성 금속에 의해 MOSTFT(1, 2)의 게이트 전극(115), MOSTFT(1)의 게이트 전극에 접속되는 게이트 라인을 형성하고, 오버코팅막(산화 실리콘막 등)(137)을 형성한 후, 할로겐 램프에 의한 RTA(Rapid Thermal Anneal) 처리로 도핑된 n^+ 형 및

p형 불순물을 활성화 한 후에, MOSTFT(2)의 소스부 창 천공 후에 스퍼터링법에 의한 Mo-Ta 합금 등의 내열성 금 속으로 MOSTFT(2)의 소스 전극(127) 및 어스라인을 형성한다. 더욱이, 플라즈마 CVD, 촉매 CVD 등에 의해 오버 코팅막(산화 실리콘/질화 실리콘 적층막 등)(136)을 형성한다.

<610> 이어서, 도 55의 (6)에 도시하는 바와 같이, MOSTFT(1)의 소스/드레인부 및 MOSTFT(2)의 게이트부의 창 천공을 행하고, MOSTFT(1)의 드레인과 MOSTFT(2)의 게이트를 1% Si가 들어간 Al 배선(128)으로 접속하고, 동시에 MOSTFT(1)의 소스 전극과 그 소스에 접속되는 소스 라인(127)을 형성한다.

<611> 이어서, 도 55의 (7)에 도시하는 바와 같이, 오버코팅막(산화 실리콘/포스핀실리케이트 유리/질화 실리콘 적층 막 등)(130)을 형성한 후, GND 라인의 창 천공 후에, 포밍 가스 중에서 400°C, 30분의 수소화 및 소결 처리한다. 그리고 도 55의 (8)에 도시하는 바와 같이, 추출 게이트 전극(150)이나 금속 차폐막(151)을 Nb 증착 후의 에칭으로 형성하고, 또한 전계 방출 캐소드부를 창 천공 이미터(163)를 노출시켜, 상술한 촉매 AHA 처리의 활성화 수소 이온 등으로 클리닝한다. 즉, 범용 포토리소그래피 및 에칭 기술에 의해, 티타늄/몰리브덴 (Ti/Mo)막 또는 Niob(Nb)막을 산계 에칭액에서의 웨트 에칭하여, 산화 실리콘막 및 PSG 막은 플루오르산계 에칭 액에서의 웨트 에칭, 질화 실리콘막은 CF₄ 등의 플라즈마 에칭으로 제거한다. 또한, 전계 방출 캐소드(이미터)부의 다결정성 다이아몬드막(163)을 촉매 AHA 처리하여 클리닝하고, 막 표면의 미세한 요철부에 부착한 유기 오염, 수분, 산소/질소/탄산 가스 등을 촉매 AHA 처리의 고온의 수소분자/수소원자/활성화 수소 이온 등으로 제거하여, 전자 방출 효율을 높인다.

<612> 또, 상기에 있어서, 다결정성 다이아몬드막(163)을 성막할 때, 사용하는 원료 가스로서의 탄소 함유 화합물은, 예를 들면,

1) 메탄, 에탄, 프로판, 부탄 등의 파라라인계 탄화수소

2) 아세틸렌, 아릴렌계의 아세틸렌계 탄화수소

3) 에틸렌, 프로필렌, 부틸렌 등의 올레핀계 탄화수소

4) 부타디엔 등의 디올레핀계 탄화수소

5) 클로로 프로판, 사이클로 부탄, 사이클로펜탄, 사이클로헥산 등의 지환식탄화수소

6) 사이클로 부타디엔, 벤젠, 톨루엔, 크실렌, 나트탈렌 등의 방향족 탄화수소

7) 아세톤, 디에텔케톤, 벤조페논 등의 케톤류

8) 메탄올, 에탄올 등의 알코올류

9) 트리메틸아민, 트리에틸아민 등의 아민류

10) 흑연, 석탄, 코크스 등의 탄소원자만으로 이루어지는 물질이어도 좋고, 이들은 1종을 단독으로 사용할 수도 있으며, 2종 이상을 병용할 수도 있다.

<623> 또한, 사용 가능한 불활성 가스는, 예를 들면, 아르곤, 헬륨, 네온, 크립톤, 크세논, 라돈이다. 도편트로서는, 예를 들면, 붕소, 리튬, 질소, 인, 유황, 염소, 비소, 셀렌, 베릴륨 등을 포함하는 화합물 또는 단체가 사용 가능하고, 그 도핑량은 10¹⁷ atoms/cc 이상이라도 좋다.

<624> 제 5 실시예

<625> 본 실시예는 본 발명을 광전 변환 장치로서의 태양 전지에 적용한 것이다. 이하에 그 제조예를 나타낸다.

<626> 우선, 도 56의 (1)에 도시하는 바와 같이, 스텐리스 등의 금속 기판(111)상에, 플라즈마 CVD, 촉매 CVD 등에 의해, n형의 저급 결정성 실리콘막(7A)(100 내지 200nm 두께)을 형성한다. 이 경우, 모노실란에 PH₃ 등의 n형 도편트를 적당량 혼입하여 1×10¹⁹ 내지 1×10²⁰ atoms/cc 함유시킨다. 또한, 필요에 따라서, 고융점 금속(Ti, Ta, Mo, W, 그 합금, 예를 들면, Mo-Ta 합금) 또는 금속 실리사이드(WSi₂, MoSi₂, TiSi₂, TaSi₂ 등)의 박막(100 내지 300nm 두께)을 스퍼터링, CVD 등에 의해 금속 기판 또는 유리 기판 상에 형성하여도 좋다.

<627> 연속하여, 플라즈마 CVD, 촉매 CVD 등에 의해, i형의 저급 결정성 실리콘막(180A)(2 내지 5 μm 두께)을 적층 형성한다. 연속하여, 플라즈마 CVD, 촉매 CVD 등에 의해, p형의 저급 결정성 실리콘막(181A)(100 내지 200nm 두

께)을 형성한다. 이 경우, 모노실란에 B_2H_6 등의 p형 도펜트를 적당량 혼입하여 1×10^{19} 내지 1×10^{20} atoms/cc 함유시킨다.

<628> 이어서, 도 56의 (2)에 도시하는 바와 같이, 플라즈마 CVD, 촉매 CVD에 의해, 커버용 절연막(235)(산화 실리콘 막, 질화 실리콘 막, 산질화 실리콘 막, 산화 실리콘/질화 실리콘 적층막 등)을 50 내지 100nm 두께로 형성한다.

<629> 그리고, 이 상태에서, 플래시 램프의 플래시 조사(221)에 의한 어닐링에 의해, 저급 결정성 실리콘막(7A, 180A, 181A)의 전체를 다결정성 실리콘막(7, 180, 181)으로 개질시키는 동시에, 각 막 중의 불순물을 활성화시킨다. 이 때에 저급 결정성 실리콘막 두께에 따라서, 긴 플래시 조사 시간(1/3 펄스 폭=1.5 밀리초 이상), 필요한 회수의 반복 플래시 조사를 행한다. 단, 적외선 컷오프 필터이고, 기판 온도를 높게 설정 등의 플래시 조사 조건의 최적화가 필요하다.

<630> 이어서, 도 56의 (3)에 도시하는 바와 같이, 커버용 절연막(235)을 제거하여 포밍 가스 중, 400°C, 1h의 수소화 처리한다. 그리고, 전체 면에 투명 전극(ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 등)(182)을 100 내지 150nm 두께로 형성하여, 이 위에 메탈 마스크를 사용하여, 소정 영역에 은 등의 빗형 전극(183)을 100 내지 150nm 두께로 형성한다.

<631> 또, 상기의 저급 결정성 실리콘막(7A, 180A, 181A)에, Sn 또는 다른 IV족 원소(Ge, Pb)를 적당량, 예를 들면, 1×10^{18} 내지 1×10^{20} atoms/cc 함유시킴으로써, 다결정립계에 존재하는 부정(不整)을 저감하여, 막 스트레스를 저감시켜도 좋다.

<632> 본 실시예에 따른 태양 전지는 본 발명에 근거하는 큰 입자 직경의 다결정성 실리콘막에 의해서, 고이동도로 변환 효율이 큰 광전변환 박막을 형성할 수 있고, 양호한 표면 텍스처(texture) 구조와 이면 텍스처 구조가 형성되기 때문에, 광 밀봉 효과가 높고, 변환 효율이 큰 광전 변환 박막을 형성할 수 있다. 이것은 또한, 태양 전지에 한정되지 않고, 전자 사진용의 감광체 드럼 등의 박막 광전 변환 장치에도 유리하게 이용할 수 있다.

그 밖의 실시예

<634> 도 57은 기체 상에, 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막을 형성하는 제 1 공정과, 상기 기체를 그 왜곡점 이하의 온도로 가열하는 예비 가열 처리(Pre-baking)를 행하는 제 2 공정과, 상기 기체를 그 왜곡점 이하의 온도로 가열하는 보조 가열 상태(Asist-baking)에서의 플래시 램프 어닐링에 의해, 용융 또는 반용융 또는 비용융 상태의 가열과 냉각으로 상기 저급 결정성 반도체 박막의 결정화를 촉진하는 제 3 공정과, 상기 결정화 한 반도체 박막을 적어도 상기 기체의 왜곡점 이하의 온도로 냉각할 때까지 후 가열 유지(Post-baking)하는 제 4 공정을 갖는 반도체 박막의 형성 방법 또는 반도체 장치의 제조 방법에 있어서, 이들의 제 1 내지 제 4 공정의 시퀀스를 나타내는 것이다. 이들의 공정은 반복하는 것이 좋다.

<635> 여기서, 상기 예비 가열 처리는 저항 가열 히터, 할로겐 램프 등의 가열 수단에 의해 상온 이상으로 기체의 왜곡점 이하의 온도, 예를 들면, 300 내지 500°C의 온도로 하여, 처리 시간은 저급 결정성 반도체 박막 성막 조건(기상 성장, 스퍼터링, 증착 등)에 의한 막 두께 및 막질, 기체 재질과 사이즈 등에 의해서 최적화, 예를 들면, 5 내지 20분간으로 하는 것이 바람직하다.

<636> 또한, 상기 보조 가열 상태는 상온 이상으로 기체의 왜곡점 이하의 온도, 예를 들면, 300°C 내지 500°C로 하고, 플래시 램프 어닐링 조건, 저급 결정성 반도체 성막 조건(기상 성장, 스퍼터링, 증착 등)에 의한 막 두께 및 막질, 기체의 재질과 사이즈 등에 의해서 최적화하는 것이 바람직하다.

<637> 또한, 상기 후 가열 유지는 플래시 램프 어닐링 후에, 기체 및 결정화 한 반도체 박막을 적어도 예비 가열 온도 또는 보조 가열 온도까지 냉각하는 시간, 예를 들면, 1 내지 10분간 유지하여 두는 것이 바람직하다.

<638> 도 58은 기체(1) 상에, 광 반사 저감 및 보호용 절연막(300)과, 저급 결정성 반도체 박막(7A)을 투과한 플래시 조사광에 대하여, 고흡수성 또는 고반사성을 도시하고, 기체보다도 높은 열전도성 및 전기 전도성으로 차광성의 하지막(301)을 저급 결정성 반도체 박막(7A)과 거의 동등 이상의 면적으로 형성하여, 그 위에 필요에 따라서 전기 절연성으로 광 투과성 또는 차광성의 베퍼막(302)을 형성한 경우, 그 위의 적어도 하지막 영역에, 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막(7A)을 형성하고, 더욱이 필요에 따라서 그 위에 광 반사 저감 및 보호용 절연막(300)을 형성하고, 기체(1)가 적당한 예비 가열 처리(Pre-baking), 보조 가열 상태(Asist-baking) 및 후 가열 유지(Post-baking)에서의 플래시 램프 어닐링에서의 용융

또는 반용용 또는 비용용 상태의 가열과 냉각에 의해, 저급 결정성 반도체 박막(7A)의 결정화를 촉진하는 반도체 박막 또는 반도체 장치의 제조 방법을 도시하는 것이다.

<639> 여기서, 보텀 게이트 TFT, 백 게이트 TFT, 듀얼 게이트 TFT 등의 경우, 광 반사 저감 및 보호용 절연막과 저급 결정성 반도체 박막을 투과한 플래시 조사광을 흡수하여 가열되는 고열전도성 및 전기 전도성의, 예를 들면, 착색계 금속(크롬, 구리 등), 고용접 금속(티탄, 탄탈, 몰리브덴, 텅스텐, 그 합금, 예를 들면, 몰리브덴 탄탈 합금 등), 금속 실리사이드(WSi₂, MoSi₂, TiSi₂, TaSi₂, CoSi, Pd₂Si, Pt₂Si, CrSi₂, NiSi, RhSi 등)가, 하지막(301)으로서 사용된다. 이 경우는 기체(1)의 온도상승이 비교적 높기 때문에, 석영 유리, 결정화 유리 등의 고왜곡점(내열성) 유리나 세라믹스가 기체(1)의 재료로서 적합하다.

<640> 또한, 광 반사 저감 및 보호용 절연막과 저급 결정성 반도체 박막을 투과한 플래시 조사광을 반사하는 고열전도성 및 전기전도성의, 예를 들면, 백색계 금속(알루미늄, 알루미늄 합금(1% 실리콘 함유 알루미늄 등), 은, 니켈, 백금 등), 백색계 금속/고용접 금속 적층막(알루미늄/몰리브덴 등) 등이, 하지막(301)으로서 사용된다. 이 경우는 기체(1)의 온도 상승이 비교적 낮기 때문에, 붕규산 유리, 알루미노규산 유리, 강화 유리 등의 저왜곡점 유리나 폴리이미드 등의 내열성 수지 그 외가 기체(1)의 재료로서 적합하지만, 석영 유리, 결정화 유리 등의 고왜곡점(내열성) 유리나 세라믹스 등도 사용할 수 있다.

<641> 또한, 플래시 램프 어닐링으로 하지막(301)과 용융한 저급 결정성 반도체 박막(7A)이 반응하는 것을 방지하기 위해서 베퍼막(302)을 설치하지만, 용융한 저급 결정성 반도체 박막(7A)과 반응하지 않는 재질로 하지막(301)을 형성한 경우는 베퍼막을 생략하여도 좋다. 예를 들면, 양극 산화에 의한 절연막으로 피복한 알루미늄, 고용접 금속(Mo-Ta 합금 등) 등의 하지막에서는 새로운 베퍼막(302)의 형성은 불필요하다.

<642> 이 베퍼막(302)으로서는 전기 절연성의 산화 실리콘막, 산질화 실리콘막, 질화 실리콘막, 산화 실리콘/질화 실리콘 적층막, 질화 실리콘/산화 실리콘 적층막, 산화 실리콘/질화 실리콘/산화 실리콘 적층막 등이 사용된다.

<643> 기체(1)에, 붕규산 유리, 알루미노 규산 유리 등의 저왜곡점 유리, 용융 석영 유리, 결정화 유리, 더욱이 내열성 수지 등을 사용하는 경우는 기체로부터의 불순물(Na 이온 등) 확산 방지를 위해, 질화 실리콘막계, 예를 들면, 산질화 실리콘막, 질화 실리콘막, 산화 실리콘/질화 실리콘 적층막, 질화 실리콘/산화 실리콘 적층막, 산화 실리콘/질화 실리콘/산화 실리콘 적층막 등을 사용하는 것이 바람직하다.

<644> 이 예에서는 하지막 영역 상에만 저급 결정성 반도체 박막(7A)을 형성함으로써, 용융 실리콘의 유출을 방지하여 하지막 영역 상에만 다결정성 또는 단결정성 실리콘 박막을 형성할 수 있다.

<645> 도 59에는 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막(7A)과 동등 이상의 면적에서, 일부가 선형 등으로 돌출된 형상(301A)으로 하지막(301)을 패터닝한 예를 도시한다. 이 예에서는 플래시 램프 어닐링에서의 용융 또는 반용용 또는 비용용 상태의 상기 저급 결정성 반도체 박막(7A)을 하지막(301)의 돌출한 형상부(301A)로부터 열 방산시켜 결정 성장핵을 형성하여, 전체를 임의의 결정 방향으로 결정화시킬 수 있다.

<646> 이 경우는 돌출한 부분(301A)이 다른 부분보다 열 방산이 크고, 재결정화의 계기(시드, 핵)를 만들기 때문에, 전체를 임의의 결정 방향의 큰 입자 직경 다결정성 또는 단결정성 반도체 박막(7)을 형성할 수 있다.

<647> 또한, 플래시 램프 어닐링 시의 광 반사 저감 및 보호용 절연막(300)은 적어도 자외선을 투과하는 전기 절연성 막이고, 혹은 게이트 절연막에 사용하여도 좋다.

<648> 적어도 자외선을 투과하는 전기 절연성막으로서는 예를 들면, 산화 실리콘막, 질화 실리콘막, 산질화 실리콘막, 산화 실리콘/질화 실리콘 적층막, 질화 실리콘/산화 실리콘 적층막, 산화 실리콘/질화 실리콘/산화 실리콘 적층막 등이 있고, 또한 게이트 절연막으로서는 예를 들면, 산화 실리콘막, 질화 실리콘막, 산질화 실리콘막, 산화 실리콘/질화 실리콘 적층막, 질화 실리콘/산화 실리콘 적층막, 산화 실리콘/질화 실리콘/산화 실리콘 적층막 등이 있다.

<649> 도 59의 예에서는 또, 광 반사 저감 및 보호용 절연막(300)을 게이트 절연막으로서 사용할 수 있다. 예를 들면, 산화성 분위기 중(공기, 산소, 오존, 수증기, NO, N₂O 등)에서의 플래시 램프 어닐링의 용융 또는 반용용 가열과 냉각에 의해, 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 저급 결정성 반도체 박막(7A)을 결정(7)으로 변화시킬 때, 이 다결정성 또는 단결정성 반도체 박막표면에 동시에 산화계 절연막(산화 실리콘막, 산질화 실리콘막 등)(300)을 형성하고, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사

용할 수 있다.

<650> 혹은, 플래시 램프 어닐링에 의해 형성된, 저왜곡점 유리 기판 또는 고왜곡점 유리기판 또는 내열성 수지 기판 (1)상의, 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막에, 0.1MPa 이상에서 30MPa 이하, 상온 이상에서 기판의 왜곡점 이하의 온도의 고압 저온의 산화성 분위기 중(공기, 산소, 오존, 수증기, NO, N₂O 등)으로 산화계 절연막(산화 실리콘막, 산질화 실리콘막 등)(300)을 형성하고, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사용할 수도 있다.

<651> 혹은, 플래시 램프 어닐링에 의해 형성된, 고왜곡점 유리 기판(1) 상의, 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막을 산화성 분위기 중(공기, 산소, 오존, 수증기, NO, N₂O 등)에서 고온 열산화함으로써 산화계 절연막(산화 실리콘막, 산질화 실리콘막 등)(300)을 형성하고, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사용할 수도 있다.

<652> 혹은, 플래시 램프 어닐링에 의해 형성된, 고왜곡점 유리기판(1) 상의 광 반사 절감 및 보호용 절연막이 부착된, 주석 등의 IV족 원소의 적어도 1종을 함유하거나 혹은 함유하지 않은 다결정성 또는 단결정성 반도체 박막을, 산화성 분위기 중(공기, 산소, 오존, 수증기, NO, N₂O 등)에서 고온 열산화함으로써 산화계 절연막(산화 실리콘막, 산질화 실리콘막 등)(300)을 형성하고, 이 산화계 절연막을 게이트 절연막 또는 보호막으로서 사용할 수도 있다.

<653> 이상에 설명한 본 발명의 실시예는 본 발명의 기술적 사상에 근거하여 여러가지 변형이 가능하다.

<654> 예를 들면, 상술한 촉매 CVD, 플라즈마 CVD 등의 기상 성장법 및 플래시 램프 어닐링의 반복 회수, 플래시 조사 시간, 기판 온도 등의 각 조건은 여러가지 변경하여도 좋고, 사용하는 기판 등의 재질도 상술한 것에 한정되는 것은 아니다.

<655> 또한, 본 발명은 표시부 등의 내부 회로나 주변 구동 회로 및 영상 신호 처리회로 및 메모리 회로 등의 MOSTFT T에 적합한 것이지만, 그 이외에도 다이오드 등의 소자의 능동 영역이나, 저항, 커패시턴스, 배선, 인덕턴스 등의 수동 영역을 본 발명에 의한 다결정성 반도체 박막 또는 단결정성 반도체 박막으로 형성하는 것도 가능하다.

도면의 간단한 설명

<656> 도 1은 본 발명의 제 1 실시예에 따른 MOSTFT의 제조 프로세스를 공정 순으로 도시하는 단면도.

<657> 도 2는 동일 제조 프로세스를 공정 순으로 도시하는 단면도.

<658> 도 3은 동일 제조 프로세스를 공정 순으로 도시하는 단면도.

<659> 도 4는 동일 제조 프로세스를 공정 순으로 도시하는 단면도.

<660> 도 5는 동일 제조에 사용하는 촉매 CVD용 장치의 한 상태에서의 개략 단면도.

<661> 도 6은 동일 장치의 다른 상태에서의 개략 단면도.

<662> 도 7은 동일 플래시 램프 어닐링용 장치의 개략 단면도.

<663> 도 8은 동일 플래시 램프의 분광 특성을 도시하는 그래프.

<664> 도 9는 동일 플래시 램프 어닐링용 장치의 일부분의 개략 단면도.

<665> 도 10은 동일 플래시 램프 어닐링용 장치를 각종 도시하는 개략 단면도, 측면도 또는 평면도.

<666> 도 11은 동일 플래시 램프 어닐링용 장치의 다른 예의 개략 단면도 및 평면도.

<667> 도 12는 동일 플래시 램프를 각종 도시하는 개략도.

<668> 도 13은 동일 트리거 전극을 설치한 플래시 램프를 예시하는 정면도 및 평면도.

<669> 도 14는 동일 클러스터 방식의 MOSTFT의 제조 장치의 개략도.

<670> 도 15는 동일 인라인 방식의 MOSTFT의 제조 장치의 개략도.

<671> 도 16은 동일 클러스터 방식의 MOSTFT의 제조 장치의 다른 예의 개략도.

- <672> 도 17은 동일 플래시 램프 어닐링용 장치의 다른 예의 개략 단면도 및 평면도.
- <673> 도 18은 동일 플래시 램프 어닐링의 플래시 조사의 한 형태를 도시하는 설명도와 그래프.
- <674> 도 19는 동일한 다른 형태를 도시하는 그래프.
- <675> 도 20은 동일 플래시 조사 시의 방전 전류 과정을 각종 도시하는 그래프.
- <676> 도 21은 동일한 다른 형태를 도시하는 그래프.
- <677> 도 22는 동일한 또 다른 형태를 도시하는 그래프.
- <678> 도 23은 동일 플래시 램프의 충방전 회로의 등가 회로도.
- <679> 도 24는 동일 플래시 램프 어닐링 시의 다른 형태를 도시하는 개략 단면도.
- <680> 도 25는 동일 샘플 A의 SEM 사진.
- <681> 도 26은 동일 샘플 B의 SEM 사진.
- <682> 도 27은 동일 샘플 C의 SEM 사진.
- <683> 도 28은 동일 샘플 A의 라만 스펙트럼도.
- <684> 도 29는 동일 샘플 B의 라만 스펙트럼도.
- <685> 도 30은 동일 샘플 C의 라만 스펙트럼도.
- <686> 도 31은 동일 플래시 램프 어닐링용 장치의 다른 예의 개략 단면도.
- <687> 도 32는 동일 플래시 램프 어닐링용 장치의 다른 예의 개략 단면도.
- <688> 도 33은 동일 플래시 램프 어닐링용 장치의 다른 예의 개략 단면도.
- <689> 도 34는 본 발명의 제 2 실시예에 따른 LCD의 제조 프로세스를 공정 순으로 도시하는 단면도.
- <690> 도 35는 동일 제조 프로세스를 공정 순으로 도시하는 단면도.
- <691> 도 36은 동일 제조 프로세스를 공정 순으로 도시하는 단면도.
- <692> 도 37은 동일 LCD 전체의 개략 레이아웃을 도시하는 사시도.
- <693> 도 38은 동일 LCD의 등가 회로도.
- <694> 도 39는 동일 LCD의 다른 제조 프로세스를 공정 순으로 도시하는 단면도.
- <695> 도 40은 동일 제조 프로세스를 공정 순으로 도시하는 단면도.
- <696> 도 41은 동일 LCD의 MOSTFT를 각종 도시하는 단면도.
- <697> 도 42는 동일 LCD의 다른 제조 프로세스를 공정 순으로 도시하는 단면도.
- <698> 도 43은 동일 그래포 에피택셜 성장을 설명하기 위한 개략도.
- <699> 도 44는 동일 각종 단차 형상을 도시하는 개략 단면도.
- <700> 도 45는 동일 LCD의 다른 제조 프로세스를 공정 순으로 도시하는 단면도.
- <701> 도 46은 본 발명의 제 3 실시예에 따른 유기 EL 표시 장치의 요부의 등가 회로도(A), 동일 요부의 확대 단면도(B) 및 동일 화소 주변부의 단면도(C).
- <702> 도 47은 동일 유기 EL 표시 장치의 제조 프로세스를 공정 순으로 도시하는 단면도.
- <703> 도 48은 동일 다른 유기 EL 표시 장치의 요부의 등가 회로도(A), 동일 요부의 확대 단면도(B) 및 동일 화소 주변부의 단면도(C).
- <704> 도 49는 동일 유기 EL 표시 장치의 제조 프로세스를 공정 순으로 도시하는 단면도.
- <705> 도 50은 본 발명의 제 4 실시예에 따른 FED 요부의 등가 회로도(A), 동일 요부의 확대 단면도(B) 및 동일 요부

의 개략 평면도(C).

<706> 도 51은 동일 FED의 제조 프로세스를 공정 순으로 도시하는 단면도.

<707> 도 52는 동일 제조 프로세스를 공정 순으로 도시하는 단면도.

<708> 도 53은 동일 다른 FED의 요부의 등가 회로도(A), 동일 요부의 확대 단면도(B) 및 동일 요부의 개략 평면도(C).

<709> 도 54는 동일 FED의 제조 프로세스를 공정 순으로 도시하는 단면도.

<710> 도 55는 동일 제조 프로세스를 공정 순으로 도시하는 단면도.

<711> 도 56은 본 발명의 제 5 실시예에 따른 태양 전지의 제조 프로세스를 공정 순으로 도시하는 단면도.

<712> 도 57은 본 발명의 다른 실시예에 따른 플래시 램프 어닐링 시의 기판 가열 시퀀스를 도시하는 다이어그램.

<713> 도 58은 동일 저급 결정성 반도체 박막에 하지막 등을 형성한 예의 단면도.

<714> 도 59는 동일 저급 결정성 반도체 박막의 단결정화막을 사용한 MOSTFT의 평면도 및 단면도.

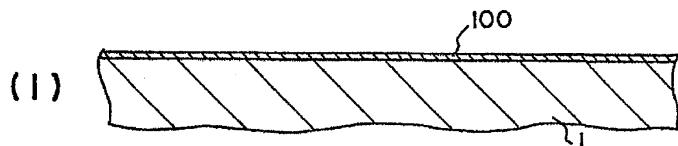
도면

도면1

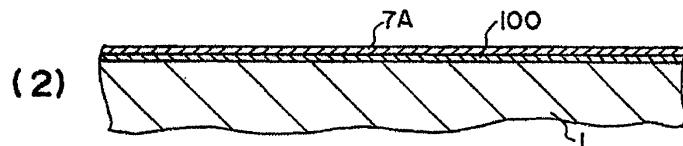
제1 실시예

<MOSTFT의 제조 프로세스 플로>

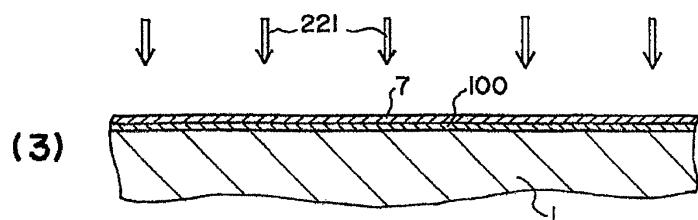
하자 보호막 형성



저급 결정성 실리콘 박막 형성과 보호 및 방사 저감용
산화 실리콘막 형성 (도시하지 않음:이하 동일)

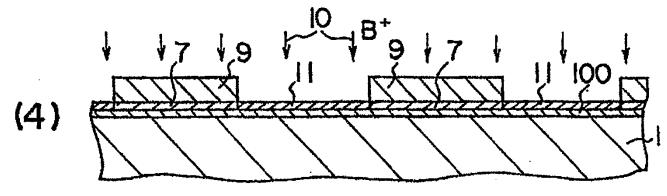


플래시 램프 어닐링에 의한 큰 입자 적경 다결정성
실리콘 박막 형성

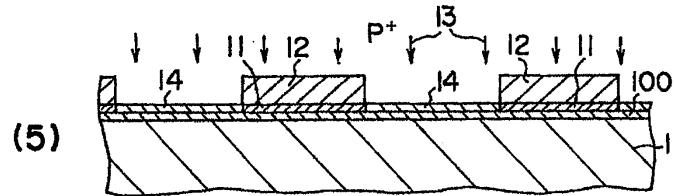


도면2

보호 및 반사 저감용 산화 실리콘막 제거, nMOSTFT의 채널 영역의 불순물 농도 제어

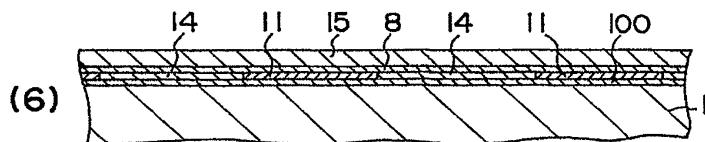


pMOSTFT의 채널 영역의 불순물 농도 제어

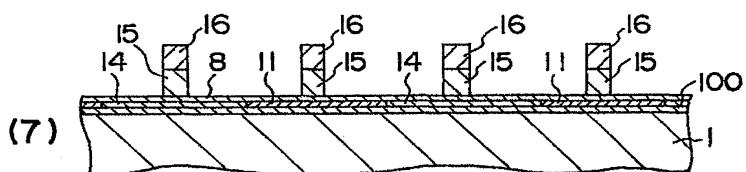


도면3

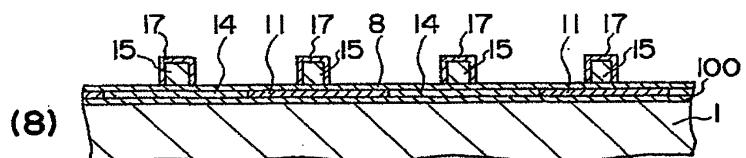
게이트 절연막 형성, 게이트 전극용 인도 평원 다결정 실리콘막 형성



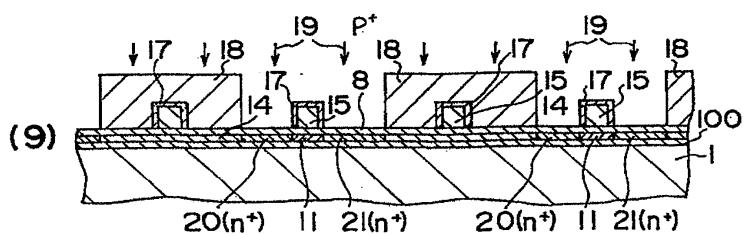
게이트 전극 형성



게이트 전극 표면에 절연막 형성

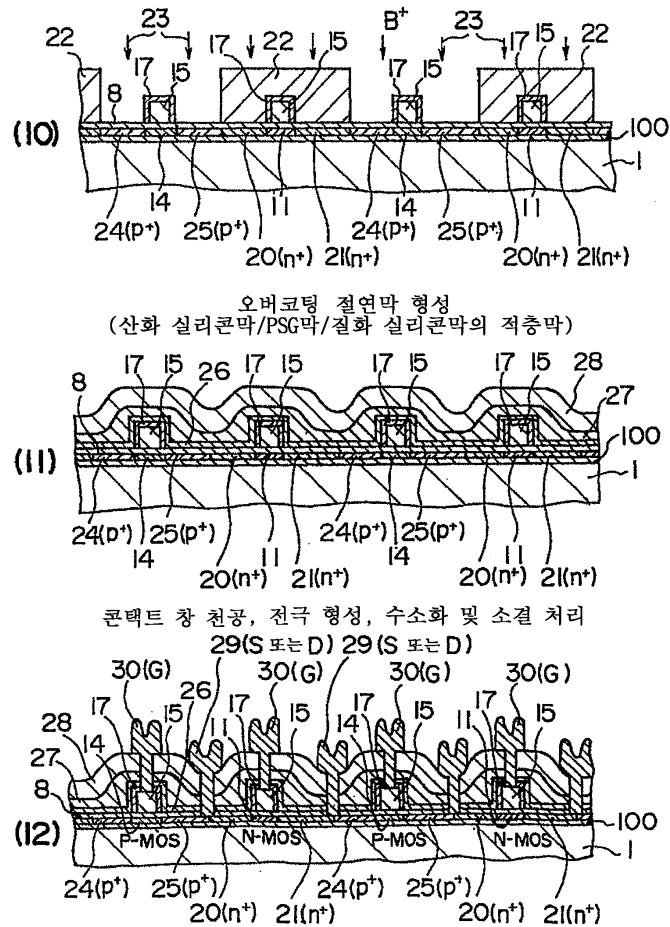


nMOSTFT의 소스/드레인 영역 형성

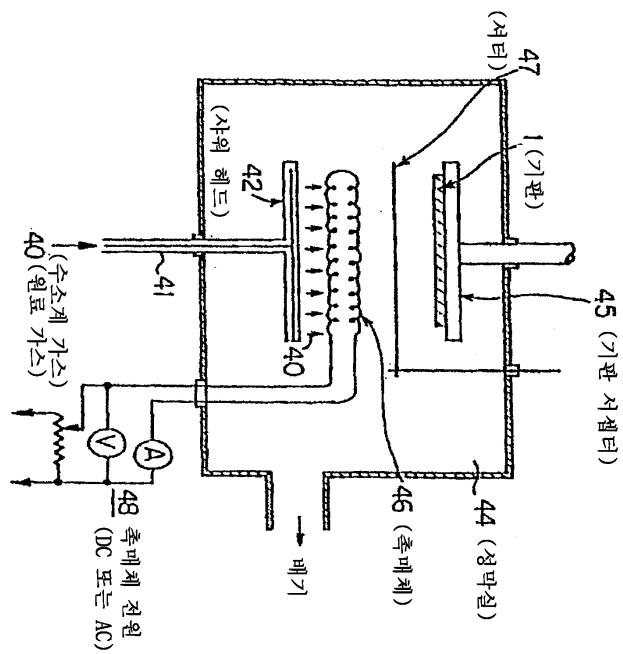


도면4

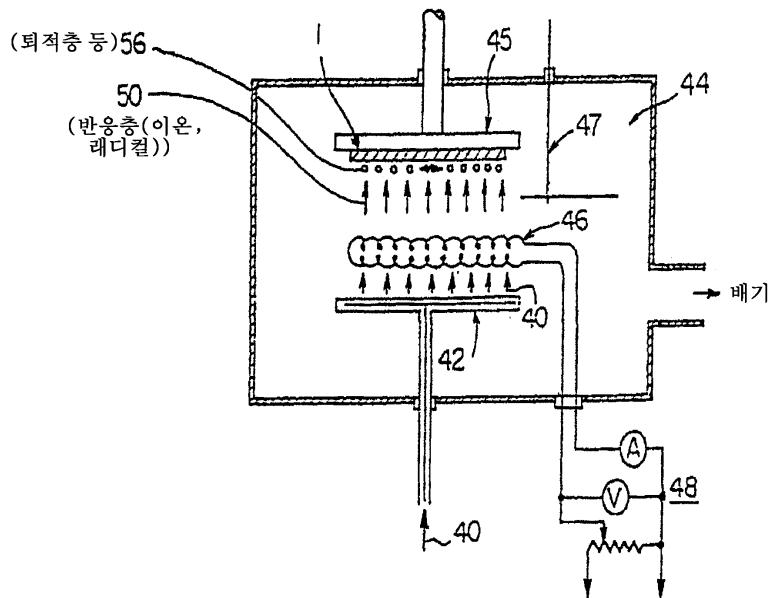
pMOSTFT의 소스/드레인 영역 형성, 이온 활성화 어닐링



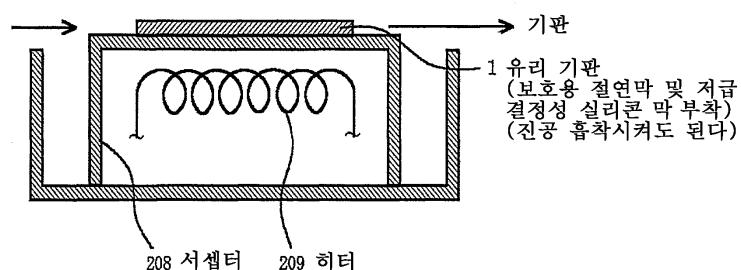
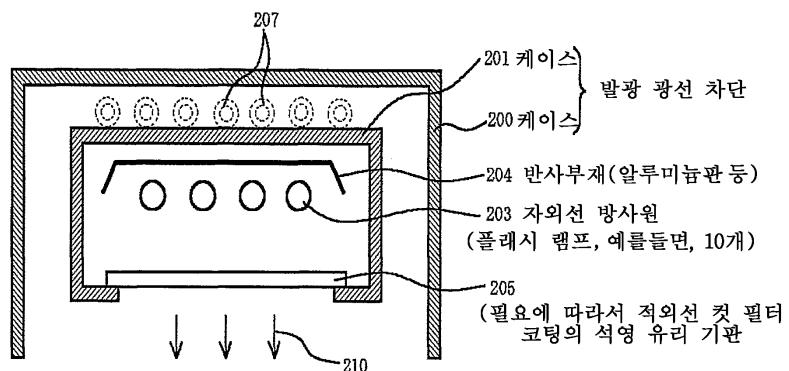
도면5



도면6

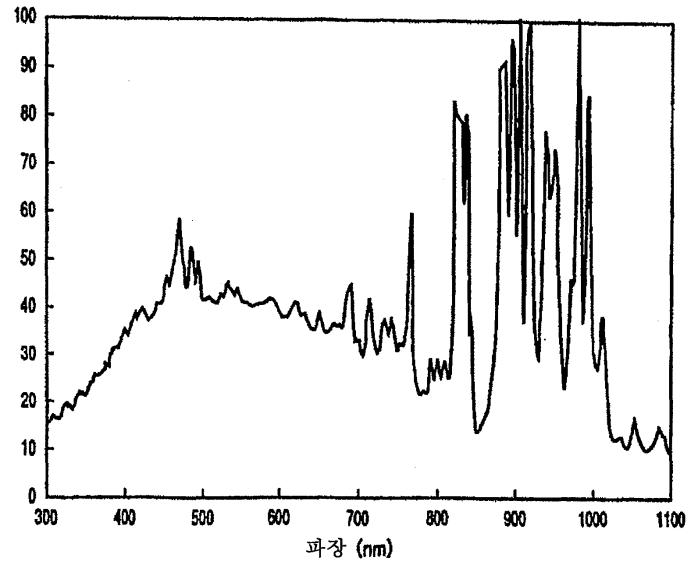


도면7



도면8

크세논 플래시 램프의 발광 스펙트럼 예

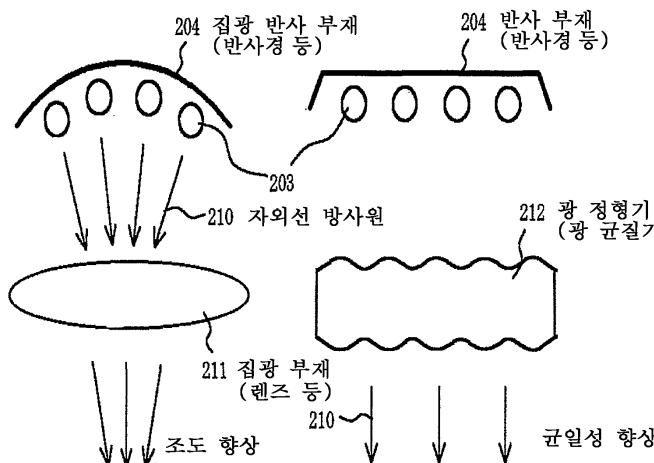


※ 파장 400nm 이하의 자외선 파장 영역의 스펙트럼 강도를 상대적으로 증대시키기 위해서는,

① 동일 형상의 램프를 사용할 경우 ; 콘덴서의 충전 전압을 높게하여 방전시킨다

② 콘덴서의 충전 전압이 일정한 경우 ; 인더티너스를 작게하여 방전시킨다

도면9

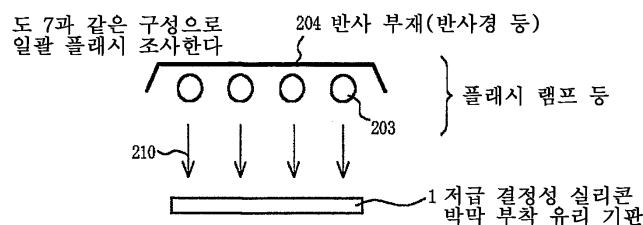


(A) 선형 플래시 조사의 경우 (B) 큰 면적의 정사각형 모양, 죄사각형 모양 등의 플래시 조사의 경우

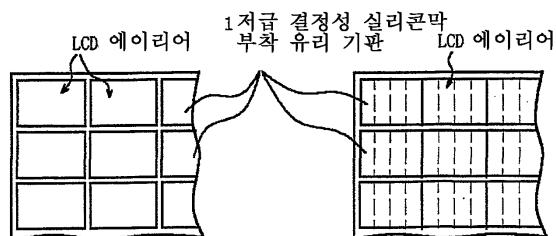
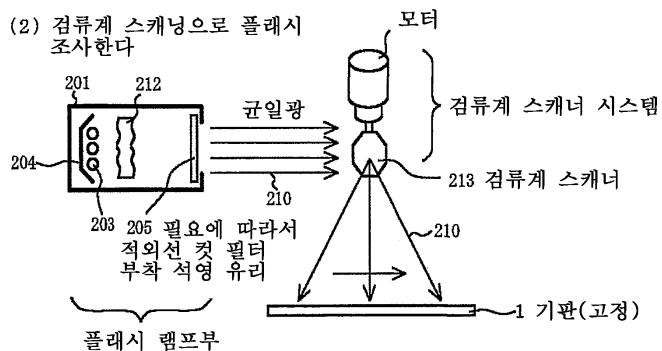
도면10

<플래시 조사 방법>

(1) 일괄 플래시 조사의 경우



(2) 컴퓨터 스캐닝으로 플래시 조사한다

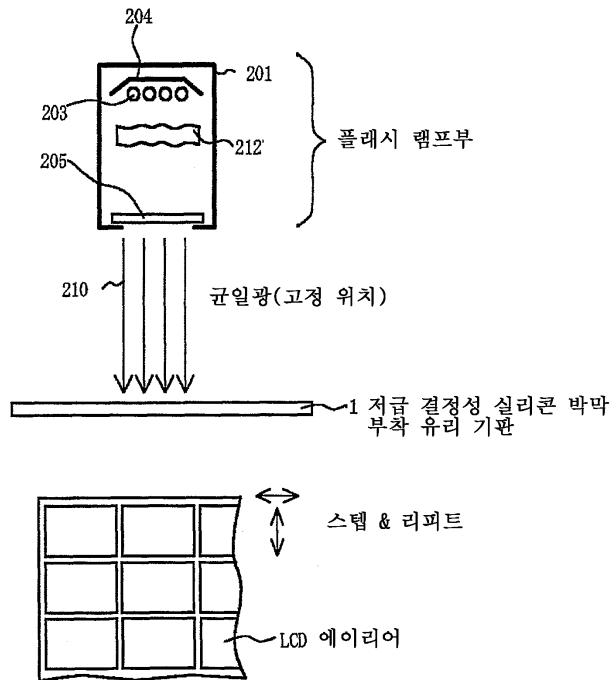


하나의 LCD 에이리어에
1회 또는 수회 반복하여
플래시 조사하고, 다음
LCD 에이리어로 이동한다

하나의 LCD 에이리어에
일부 오버 햄프하여 플래시
조사하여 이동한다

도면11

(3) 기판을 스텝 & 리프트하여 플래시 조사한다

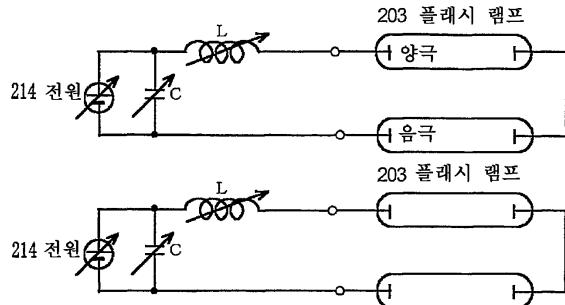


하나의 LCD 에이리어에 1회 또는 수회
반복하여 플래시 조사하고, 기판을 움직여
다음 LCD 에이리어로 간다

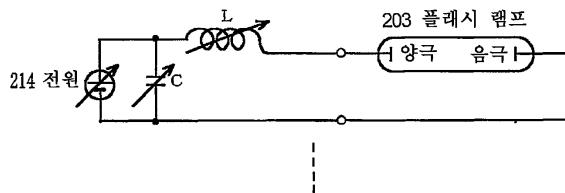
도면12

<전원 회로의 구성 예>

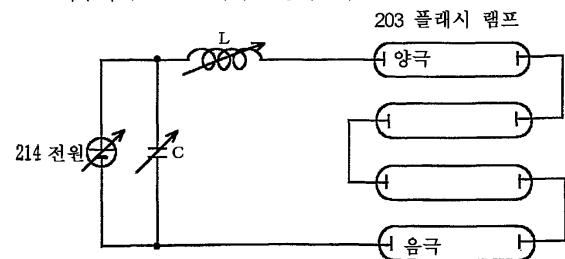
- (1) 직렬 접속된 2개의 램프를 각각의 전원에 접속하고, 병렬로 동기하여 4개를 발광시킨다



- (2) 각 램프마다 전원을 설치하고, 동기하여 트리거하고, 복수의 램프를 동시에 발광시킨다



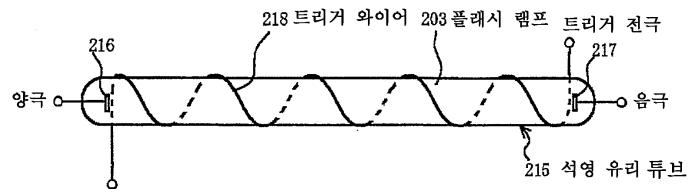
- (3) 직렬 접속된 1개의 램프 전원에 접속하고, 복수의 램프를 동시에 발광시킨다



※ L, C, 전원은 임의로 가변할 수 있다

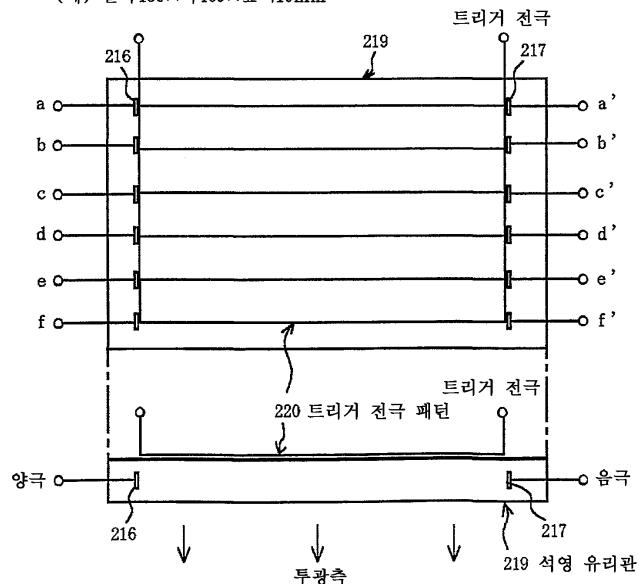
도면13

(1) 직관형 발광관

(예) $\phi 10 \times$ 길이150mm

(2) 개량형 평행 평판형 발광관

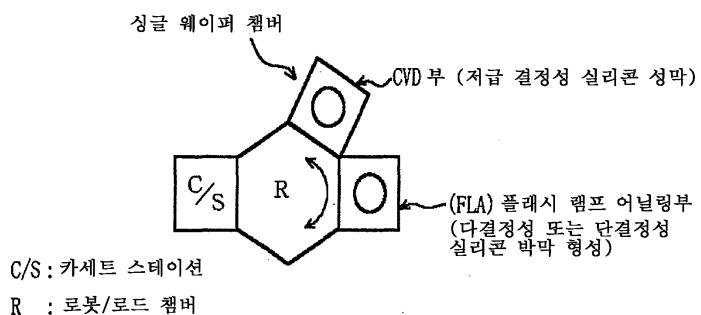
(예) 길이 150×폭 100×높이10mm



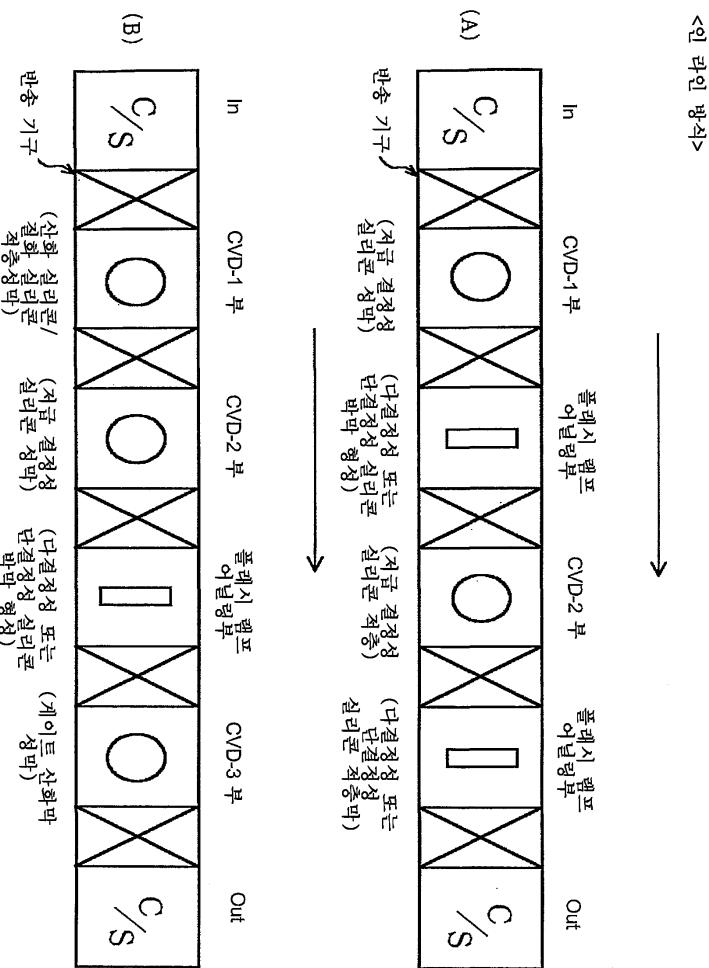
※ 트리거 전극 박막 패턴 대신 트리거 와이어 등의 트리거 전극 조립체를 설치하여도 된다

도면14

<클러스터 방식>

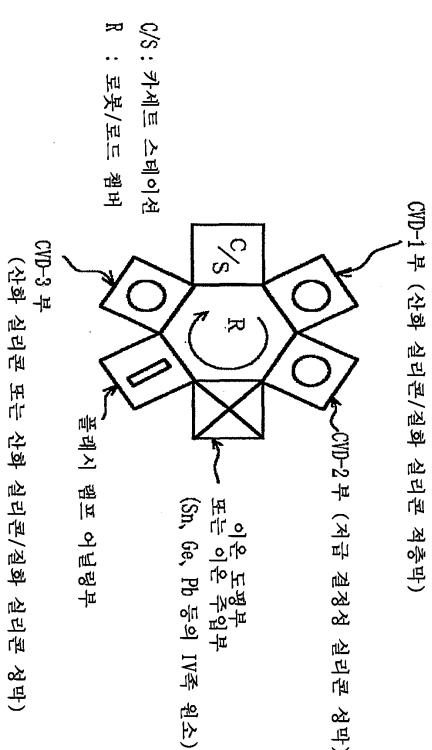


도면15



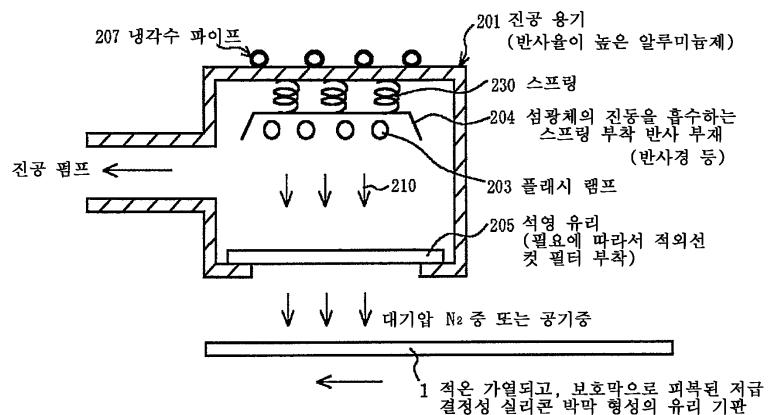
도면16

<클러스터 방식>

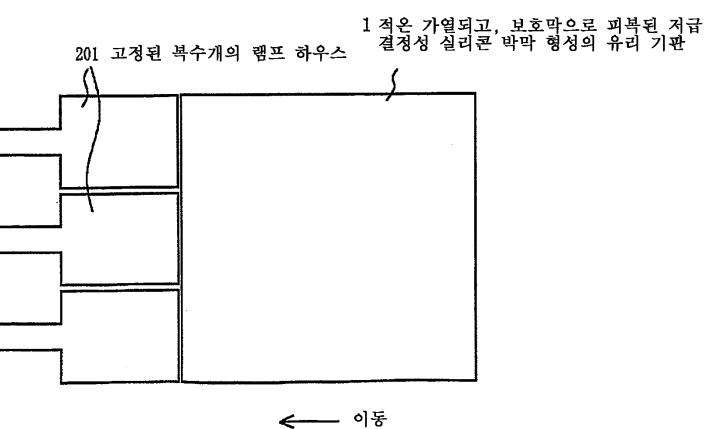


도면17

(A)



(B)

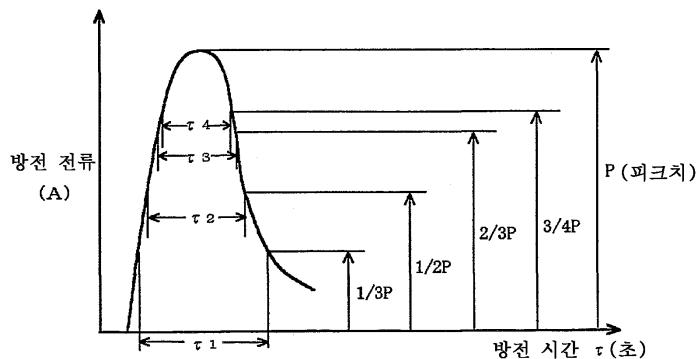
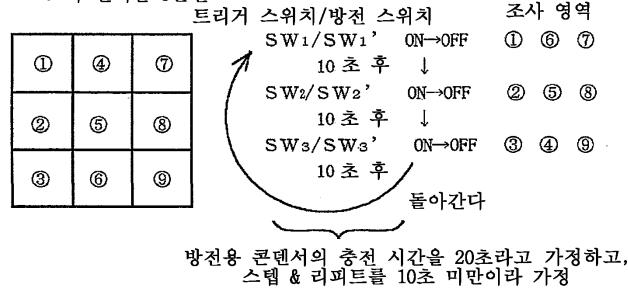


도면18

시간차를 설치하여 스위칭 수단 등에 의해 플래시 조사한다

(a) 각 1회의 플래시 조사로 스텝 & 리피트 동작시킬 경우

예) 1m × 1m 유리 기판내의
조사 면적을 9분할



$\tau_1 = 1/3$ 펄스 폭=1/3 시간 폭=전류치가 제로로부터 상승하여 피크치의 1/3이 되고,
그 후, 다시 1/3으로 감쇠하기까지의 시간 폭 예) 1.5msec 이상~

$\tau_2 = 1/2$ 펄스 폭=1/2 시간 폭=전류치가 제로로부터 상승하여 피크치의 1/2이 되고,
그 후, 다시 1/2로 감쇠하기까지의 시간 폭 예) 1.0msec 이상~

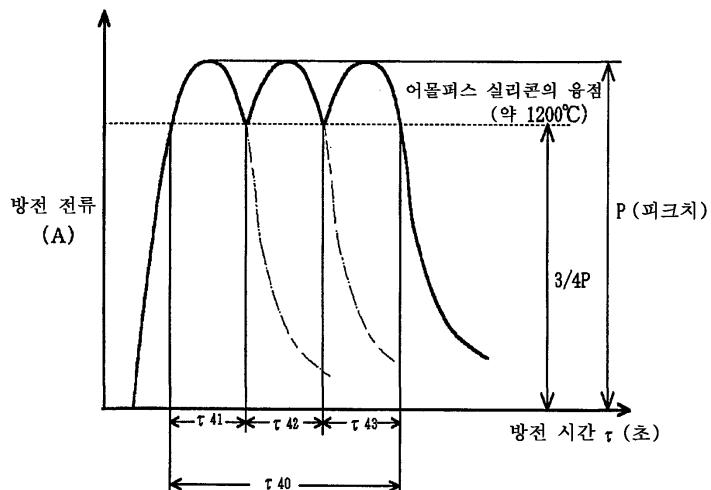
$\tau_3 = 2/3$ 펄스 폭=2/3 시간 폭=전류치가 제로로부터 상승하여 피크치의 2/3이 되고,
그 후, 다시 2/3으로 감쇠하기까지의 시간 폭 예) 0.8msec 이상~

$\tau_4 = 3/4$ 펄스 폭=3/4 시간 폭=전류치가 제로로부터 상승하여 피크치의 3/4이 되고,
그 후, 다시 3/4로 감쇠하기까지의 시간 폭 예) 0.5msec 이상~

$\tau_1 > \tau_2 > \tau_3 > \tau_4$

도면19

(b) 동일 영역을 수회 반복하여 플래시 조사할 경우



τ_{41} : 충전용 콘덴서(C_1)의 방전에 의한 방전 전류가 제로로부터 상승하여
피크치의 $3/4$ 이 되고, 그 후, 다시 $3/4$ 으로 감쇠하기까지의
시간 폭(펄스 폭)

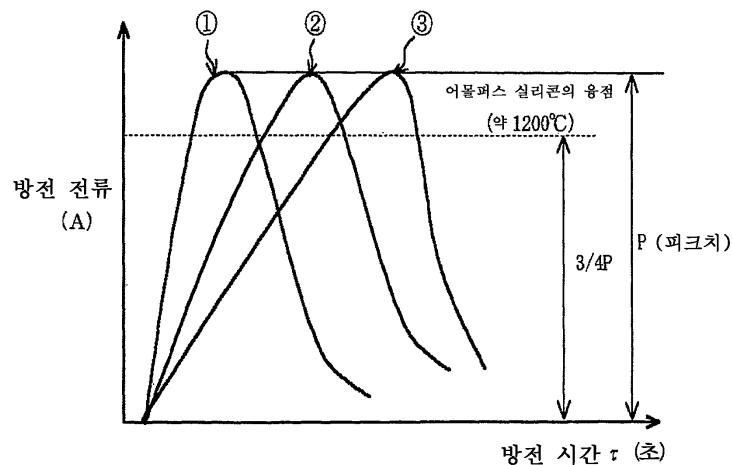
τ_{42} : 충전용 콘덴서(C_2)의 방전에 의한 방전 전류가 제로로부터 상승하여
피크치의 $3/4$ 이 되고, 그 후, 다시 $3/4$ 으로 감쇠하기까지의
시간 폭(펄스 폭)

τ_{43} : 충전용 콘덴서(C_3)의 방전에 의한 방전 전류가 제로로부터 상승하여
피크치의 $3/4$ 이 되고, 그 후, 다시 $3/4$ 으로 감쇠하기까지의
시간 폭(펄스 폭)

$$\tau_{40} = \tau_{41} + \tau_{42} + \tau_{43}$$

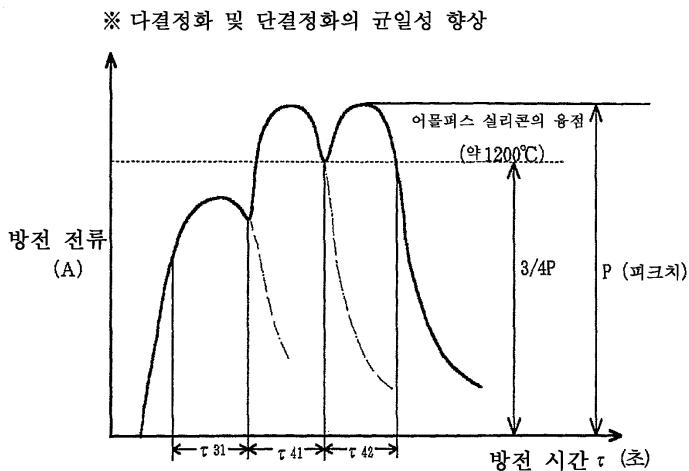
도면20

1 회의 플래시 조사시의 방전 전류의 파형 타입



도면21

<플래시 조사로 프리히트 할 경우>



τ_{31} : 충전용 콘덴서(C_1)의 방전에 의한 방전 전류가 제로로부터 상승하여 $\tau_{41} \approx \tau_{42}$

피크치의 $3/4$ (용점)의 $2/3$ 이상 내지 $3/4$ 미만이 되고, 용점 미만이

그 후에, 다시 $2/3$ 이상 내지 $3/4$ 미만으로 감쇠하기까지의 시간 폭(펄스 폭)

τ_{41} : 충전용 콘덴서(C_2)의 방전에 의한 방전 전류가 제로로부터 상승하여

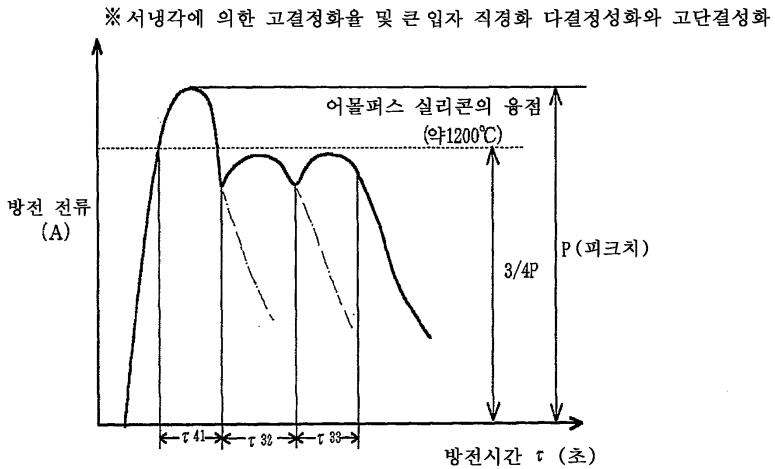
피크치의 $3/4$ 이 되고, 그 후, 다시 $3/4$ 으로 감쇠하기까지의 시간 폭(펄스 폭)

τ_{42} : 충전용 콘덴서(C_3)의 방전에 의한 방전 전류가 제로로부터 상승하여 피크치의

$3/4$ 이 되고, 그 후, 다시 $3/4$ 으로 감쇠하기까지의 시간 폭(펄스 폭)

도면22

<플래시 조사로 냉각시킨 경우>



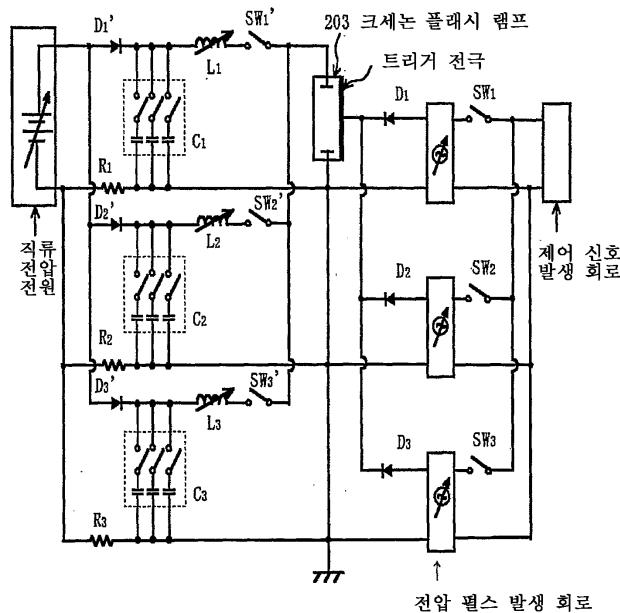
t_{41} : 충전용 콘덴서(C_1)의 방전에 의한 방전 전류가 제로로부터 상승하여 피크치의 $3/4$ (융점)이 되고, 그후, 다시 $3/4$ 으로 감소하기까지의 시간 폭(펄스 폭)

t_{32} : 충전용 콘덴서(C_2)의 방전에 의한 방전 전류가 제로로부터 상승하여 t_{41} 피크치의 $3/4$ (융점)의 $2/3$ 이상, 내지 $3/4$ 미만이 되고, $3/4$ (융점) 미만이 그후에, 다시 $2/3$ 이상 $3/4$ 미만까지 감소하기까지의 시간 폭(펄스 폭)

t_{33} : 충전용 콘덴서(C_3)의 방전에 의한 방전 전류가 제로로부터 상승하여 t_{41} 피크치의 $3/4$ (융점)의 $2/3$ 이상, 내지 $3/4$ 미만이 되고, $3/4$ (융점) 미만이 그후에, 다시 $2/3$ 이상 $3/4$ 미만까지 감소하기까지의 시간 폭(펄스 폭)

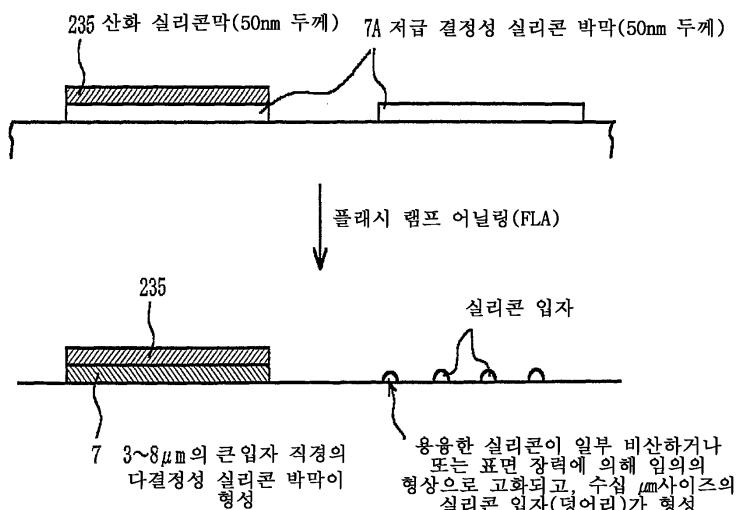
도면23

시간차를 설치하여 스위칭 수단에 의해 플래시 조사하는 회로 구성

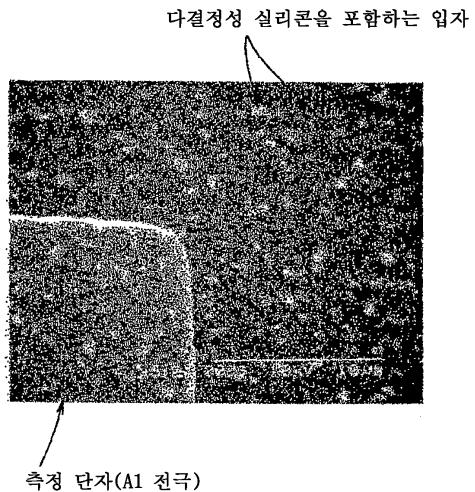


L₁, L₂, L₃ : 방전시의 전류 피크치를 억제하기 위한 심이 빈 코일의 인덕턴스 (μ H)
 C₁, C₂, C₃ : 스위치 전환에 의해 토탈 정전 용량을 바꿀 수 있는 방전용 콘덴서 (μ F)
 R₁, R₂, R₃ : 충전 전류 억제 저항 (Ω)
 D₁', D₂', D₃' : 방전시의 전류가 직류 전압 전원에 흘러 들어가지 않도록 한다
 D₁, D₂, D₃ : 고압 펄스인가시에, 전류가 다른 고압 펄스 발생 회로에 흘러 들어가지 않도록 한다
 SW₁, SW₂, SW₃ : 고압 펄스의 ON/OFF를 제어하는 스위치 수단
 SW₁', SW₂', SW₃' : SW₁, SW₂, SW₃ 와 연동한 방전의 ON/OFF를 제어하는 스위칭 수단

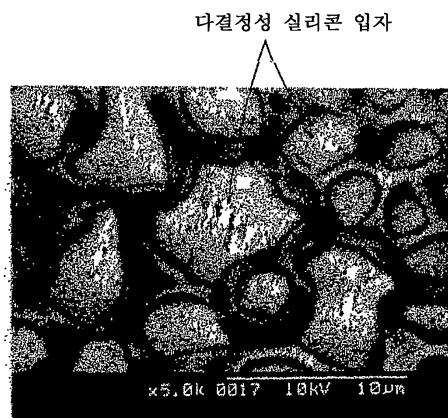
도면24



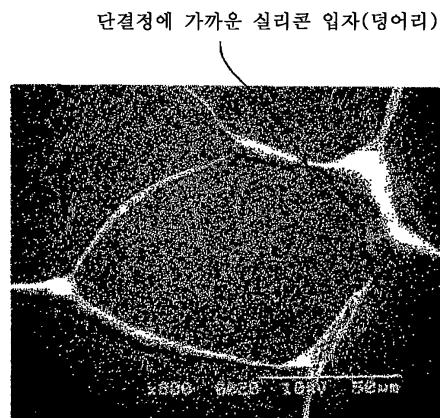
도면25



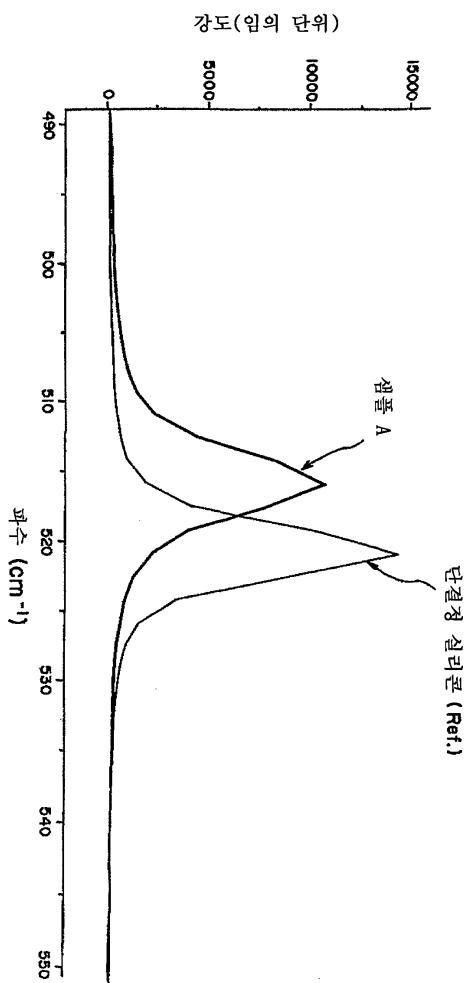
도면26



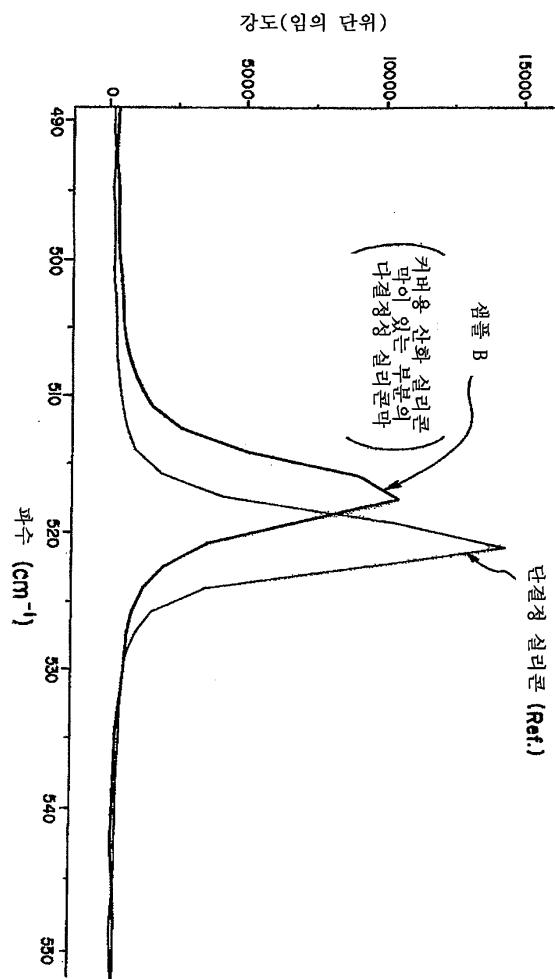
도면27



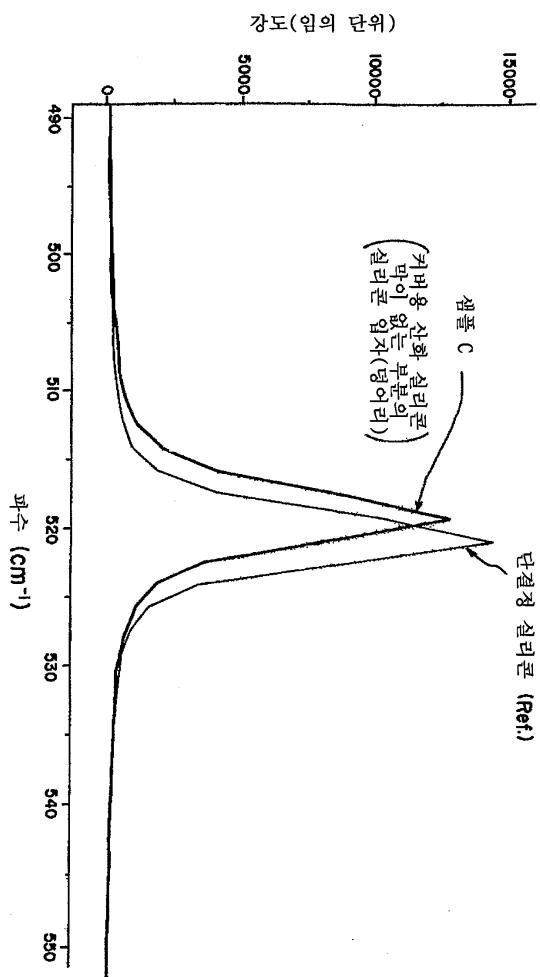
도면28



도면29

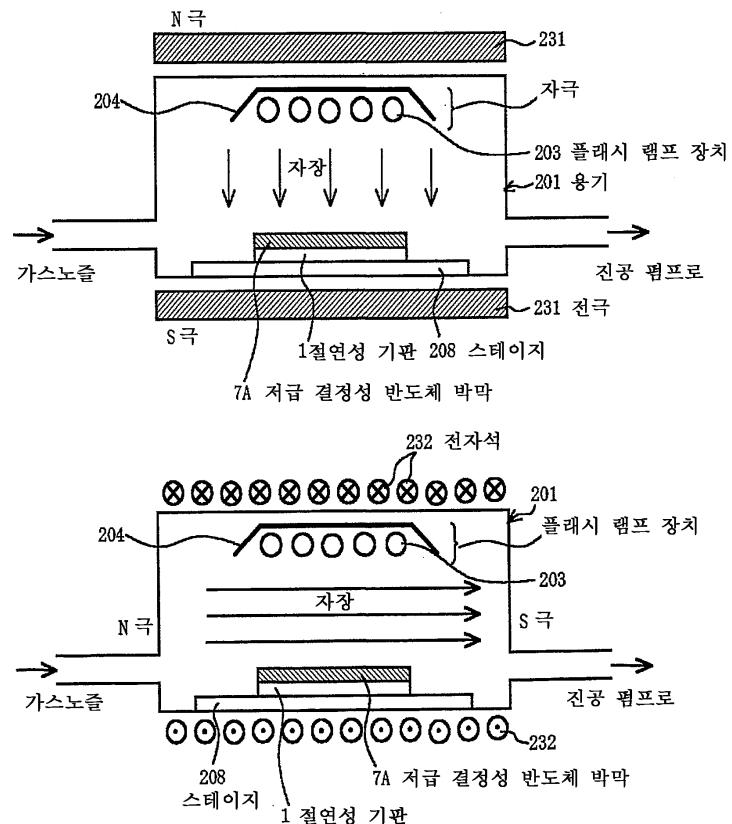


도면30



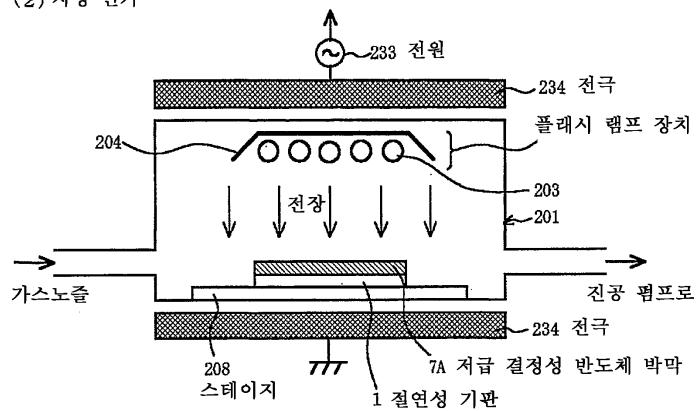
도면31

(1) 자장인가



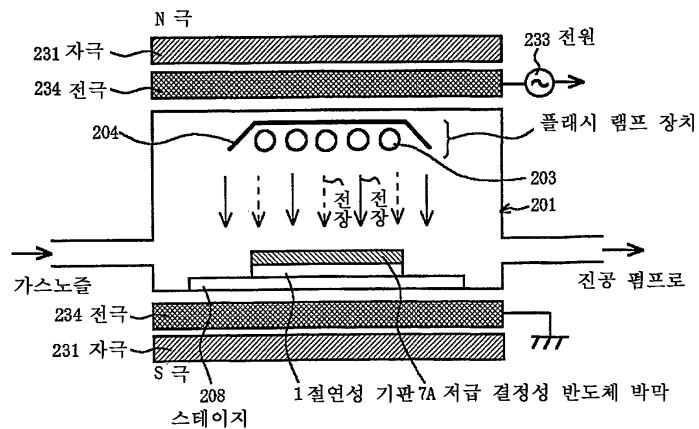
도면32

(2) 자장 인가



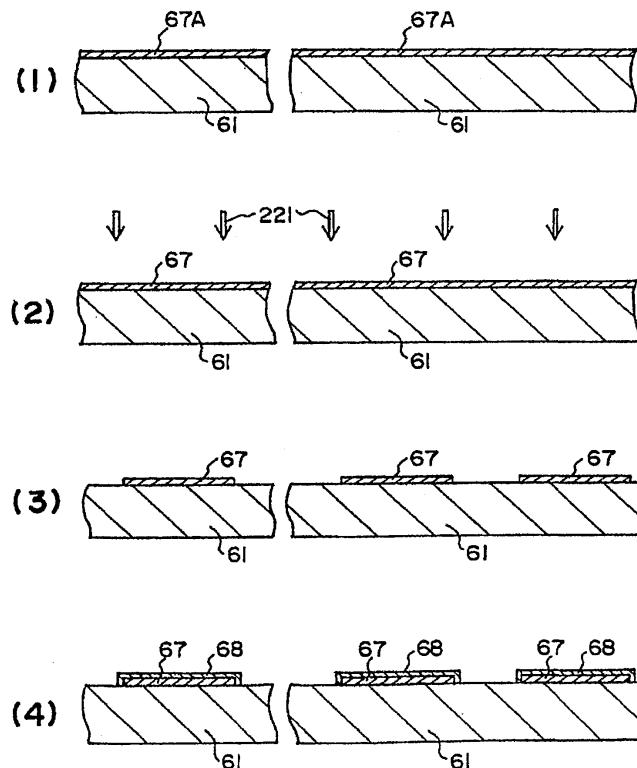
도면33

(3) 자장과 전장 인가

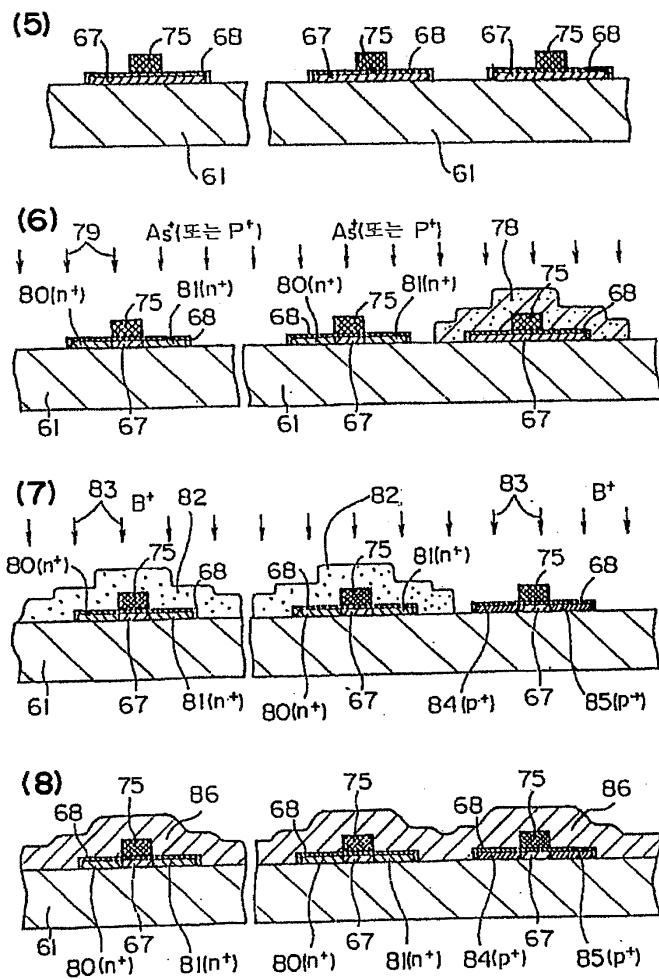


도면34

화소부 주변 회로부

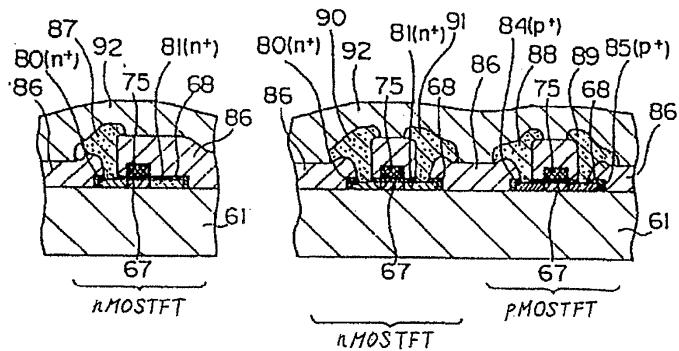


도면35

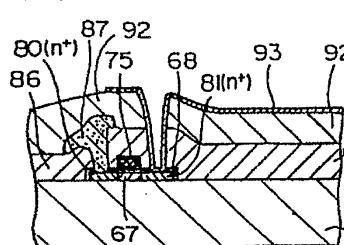


도면36

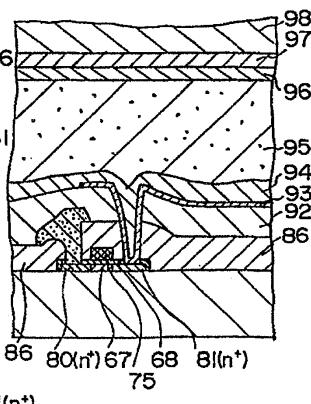
(9)



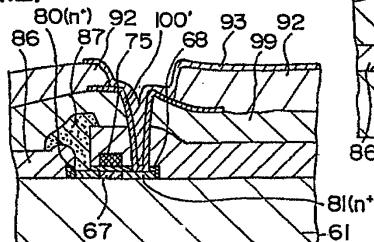
(10)



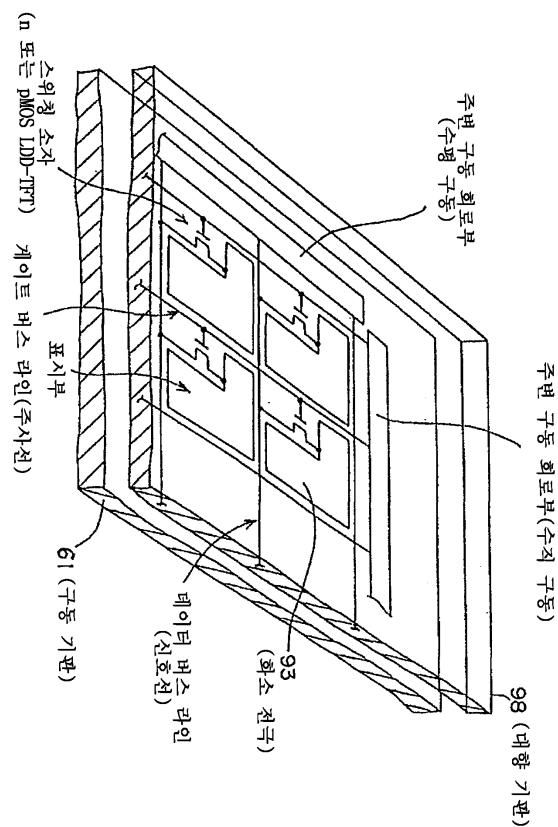
(11)



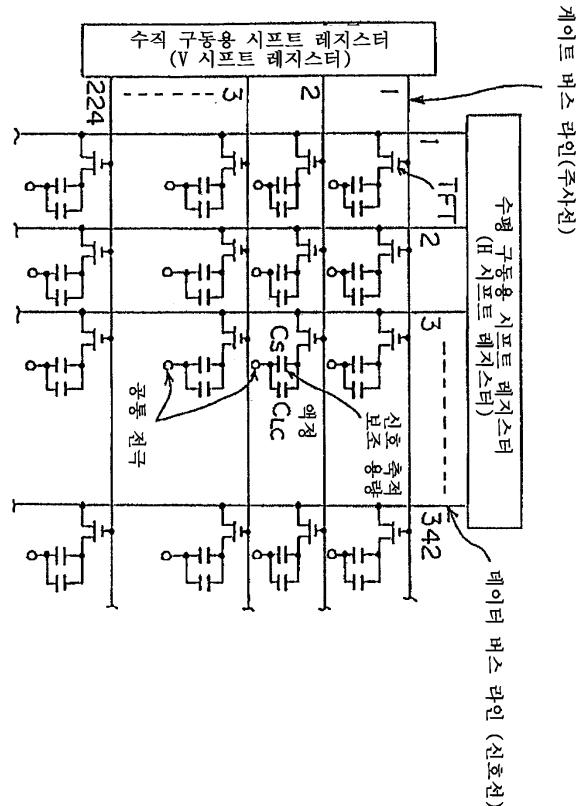
(12)



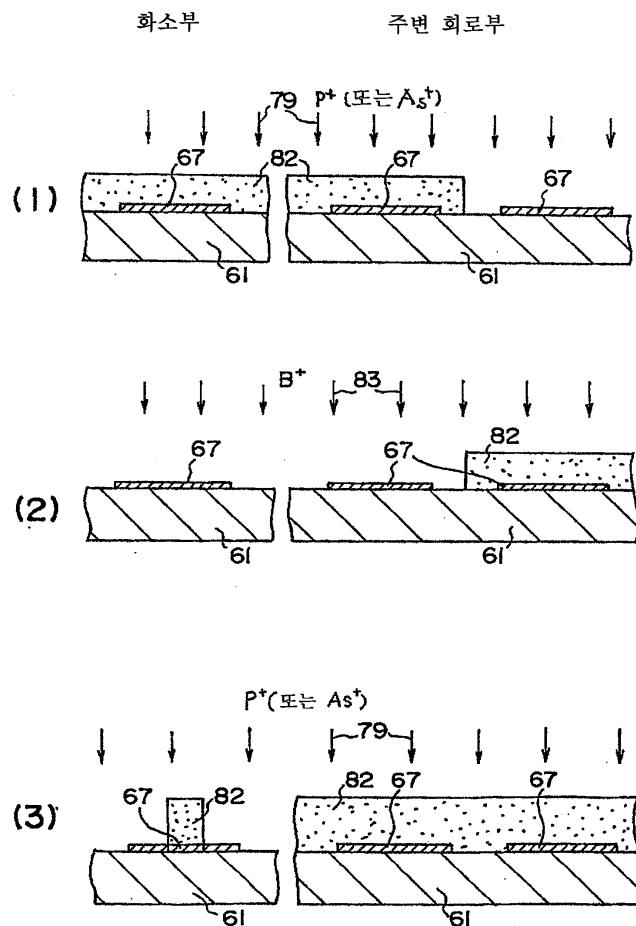
도면37



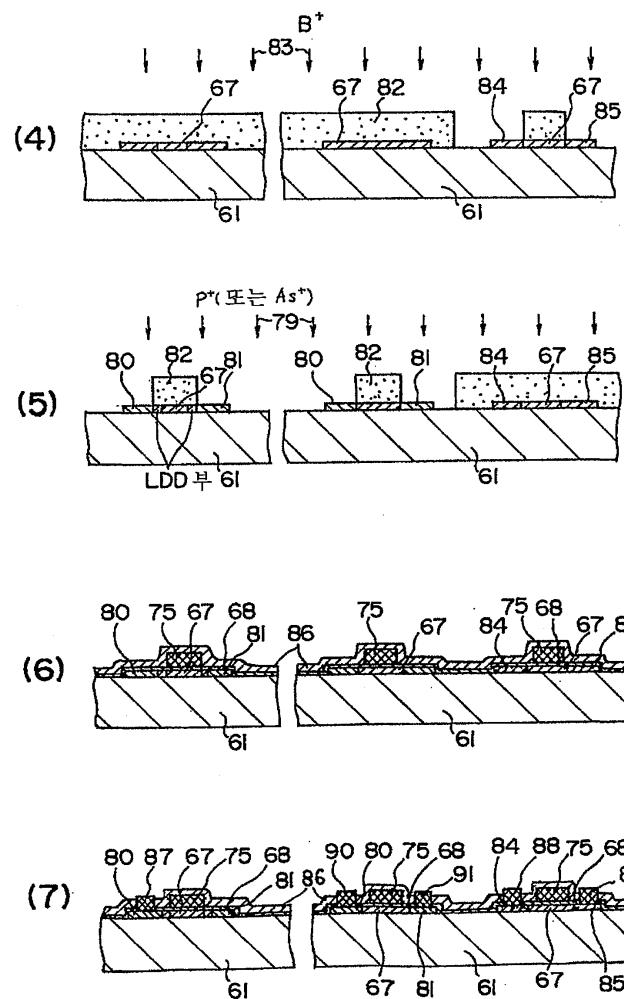
도면38



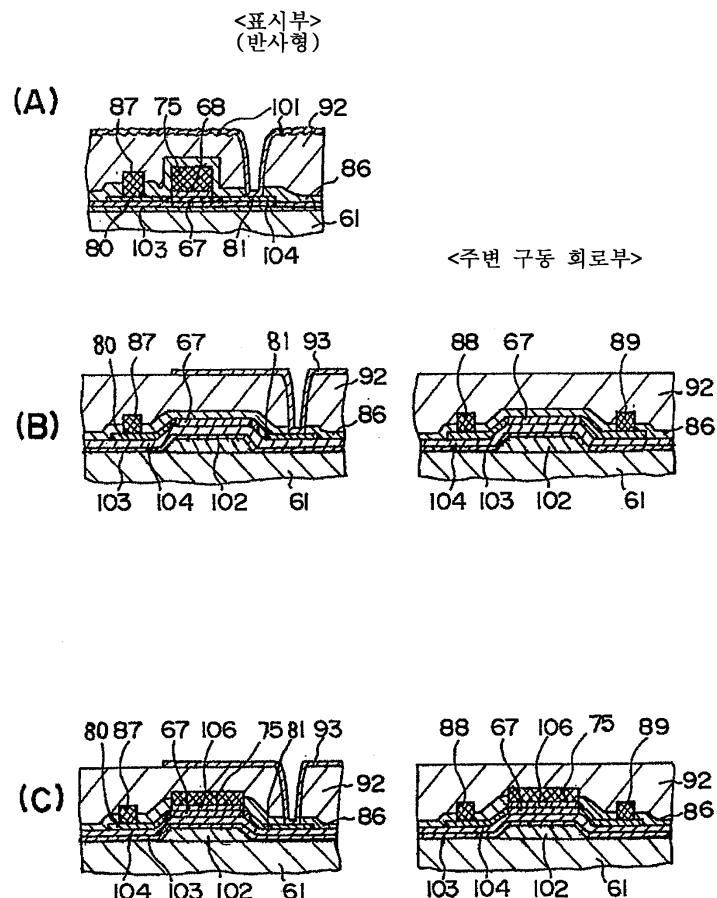
도면39



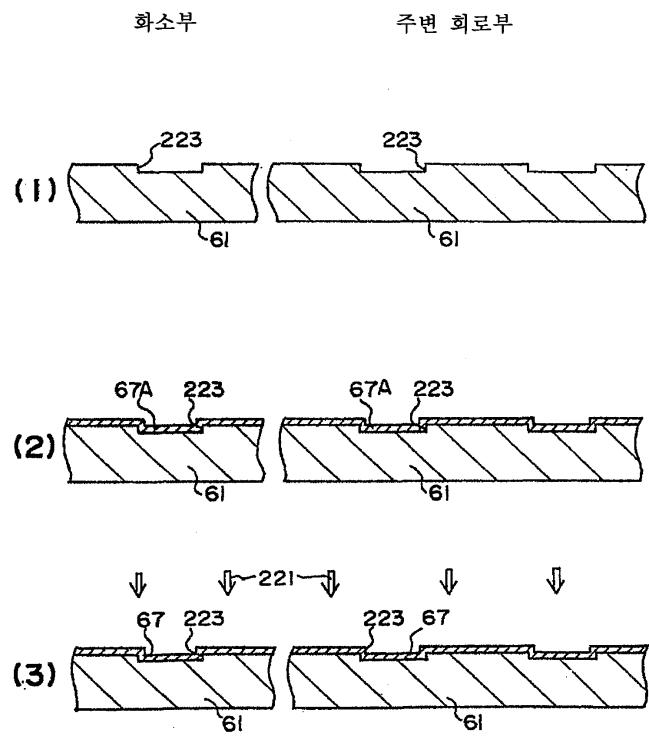
도면40



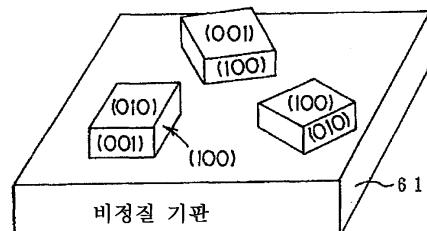
도면41



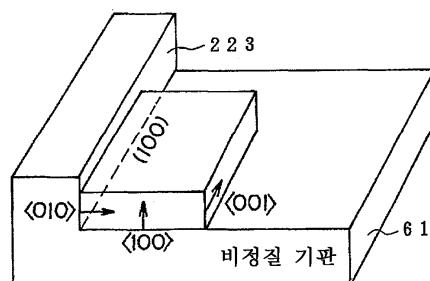
도면42



도면43

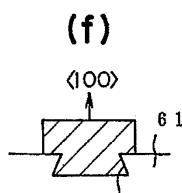
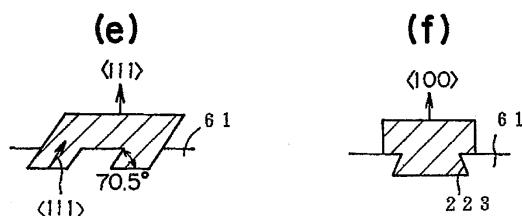
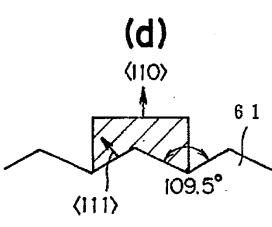
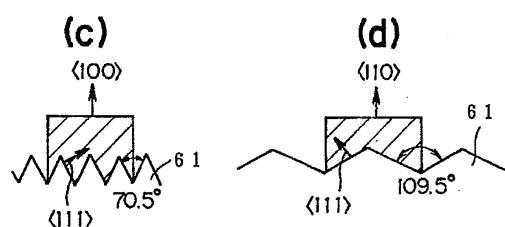
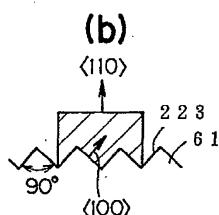
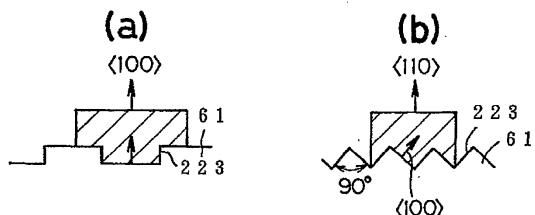


(a)



(b)

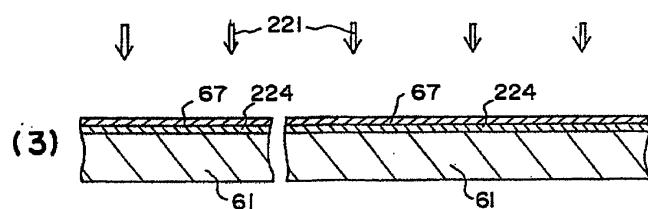
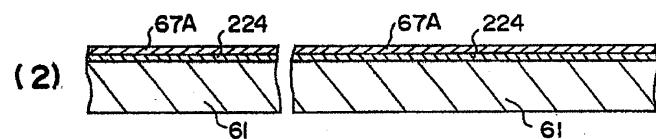
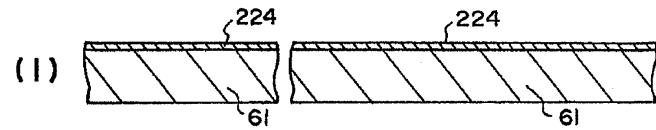
도면44



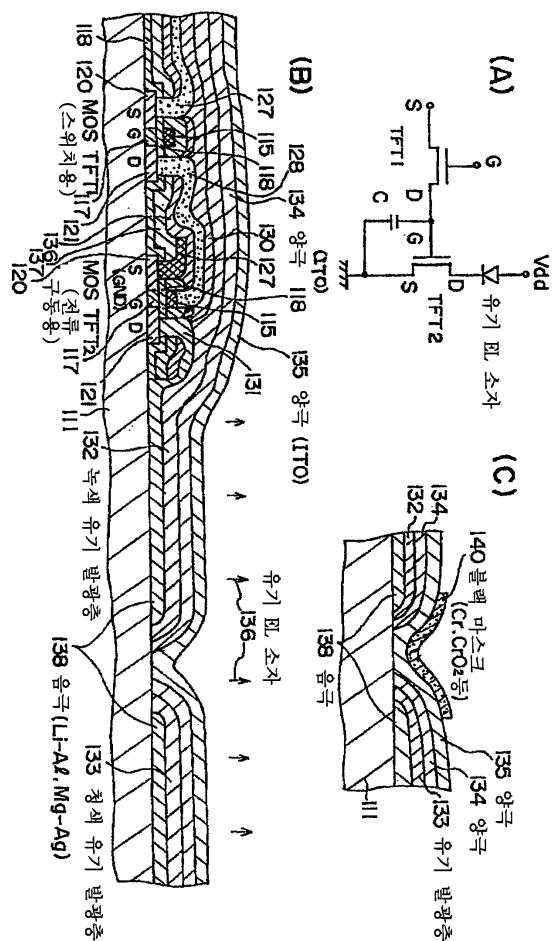
도면45

화소부

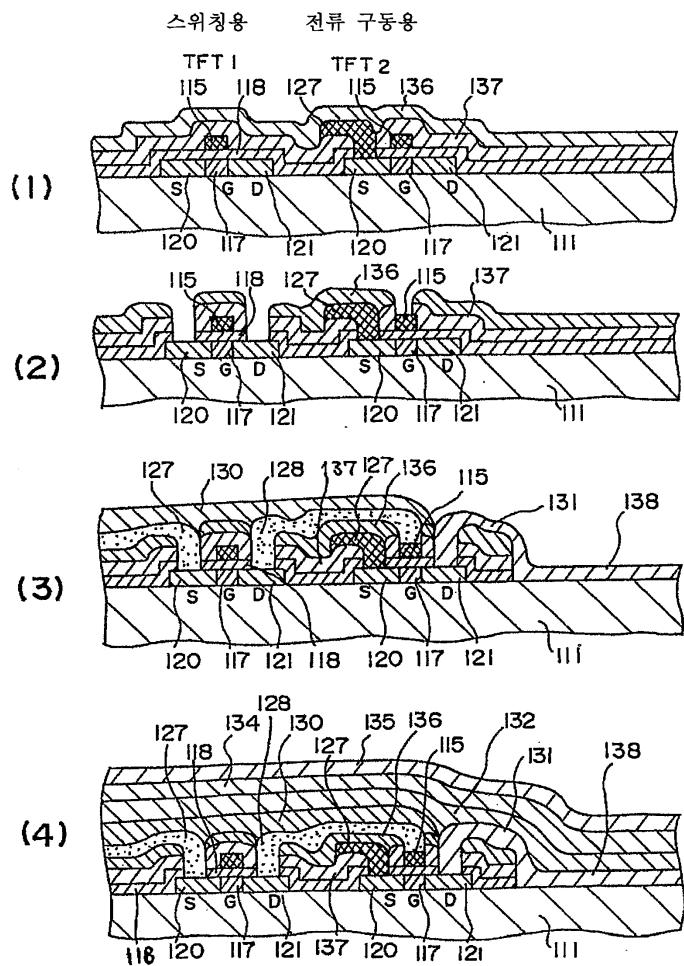
주변 회로부



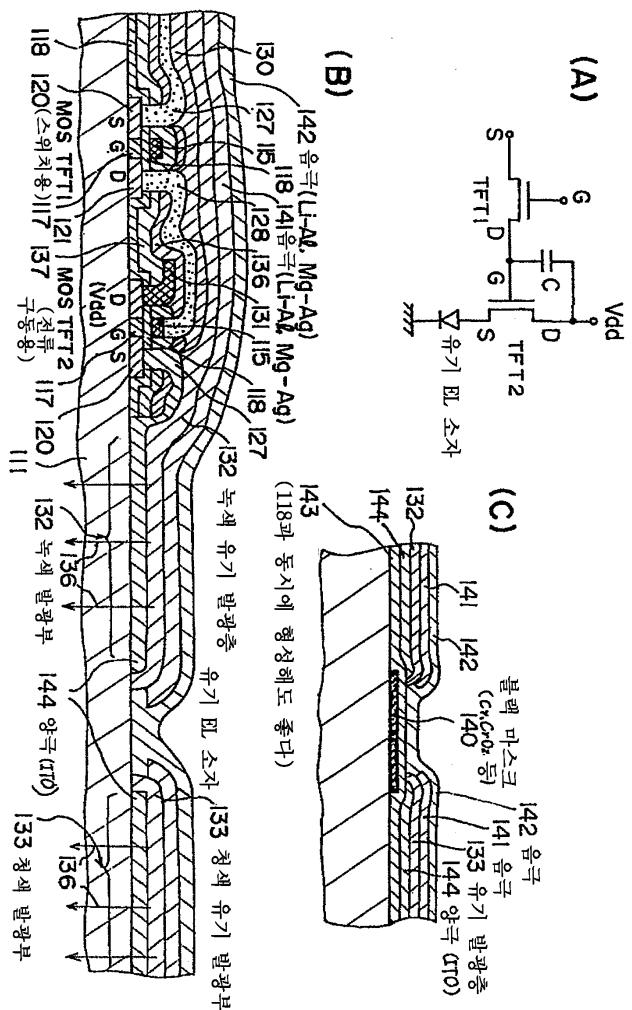
도면46



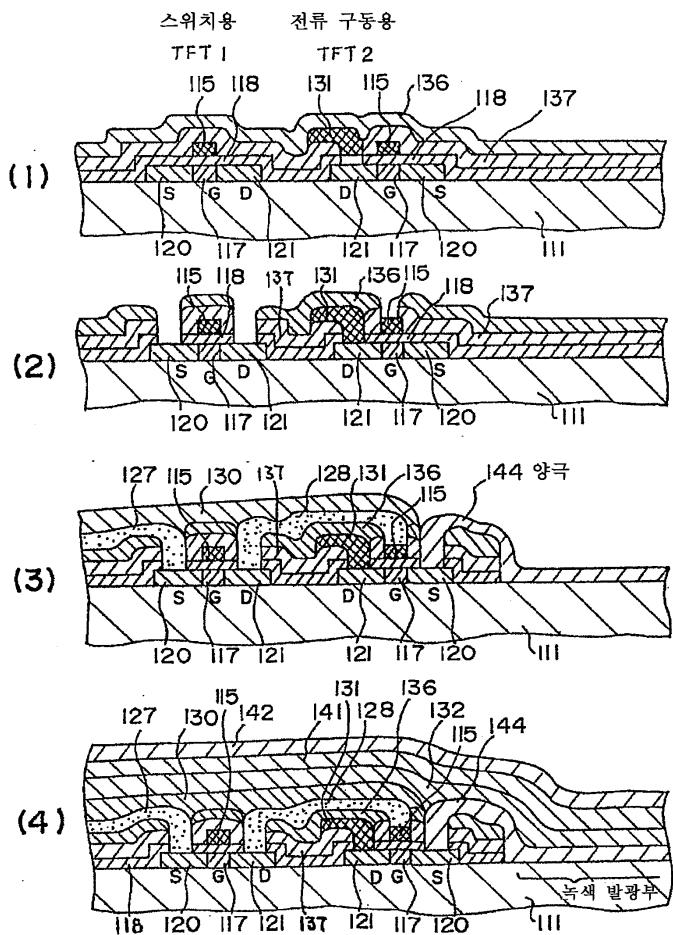
도면47



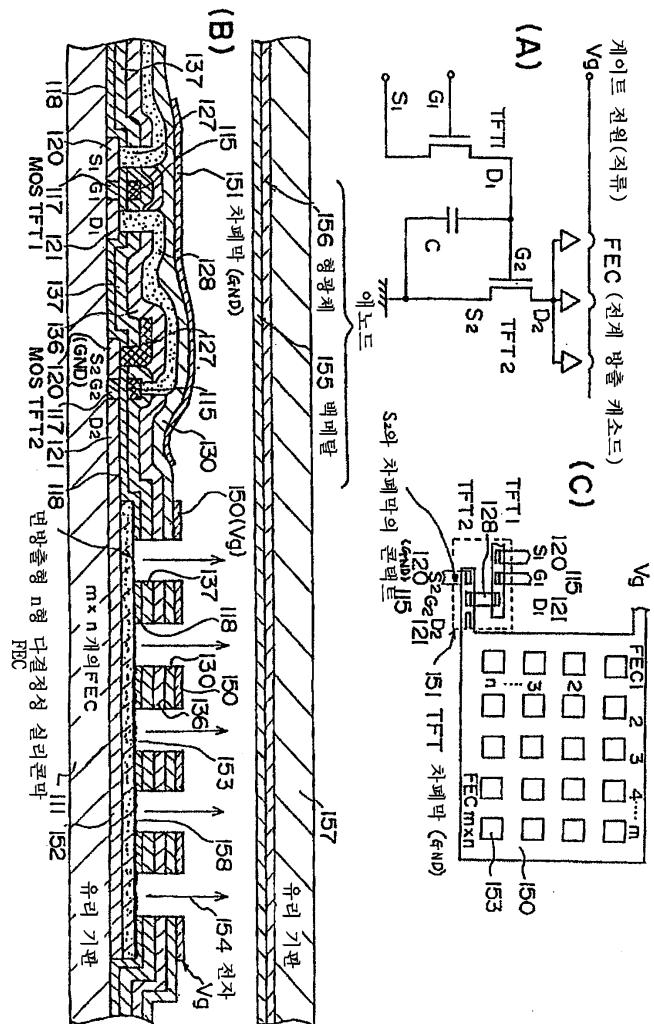
도면48



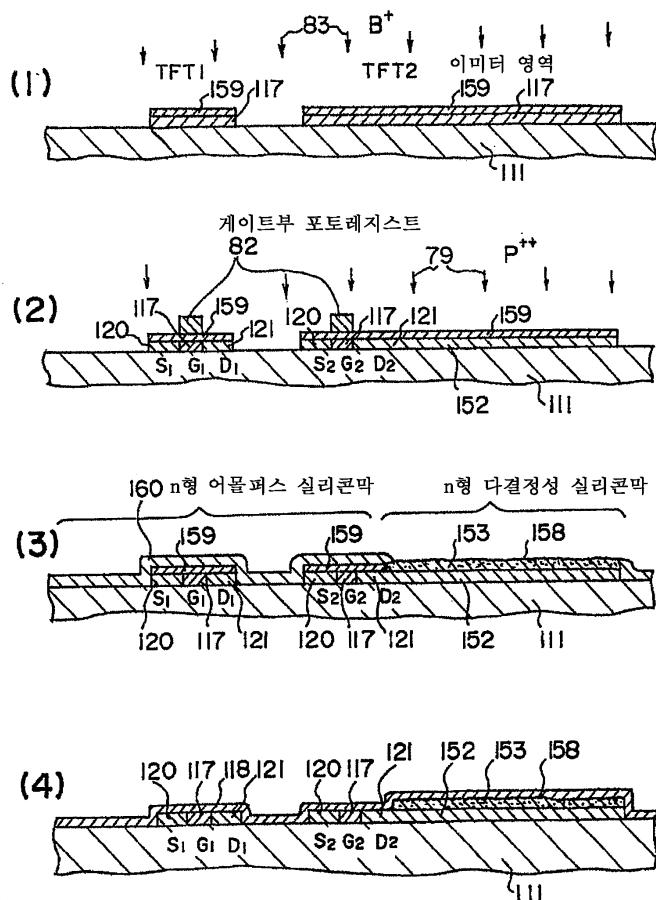
도면49



도면50

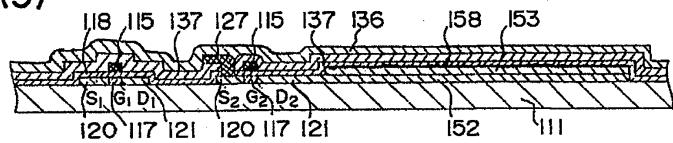


도면51

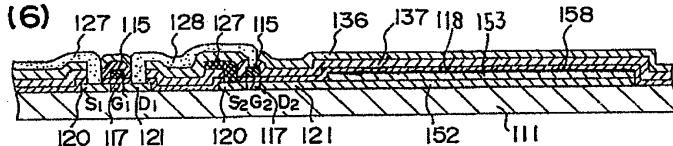


도면52

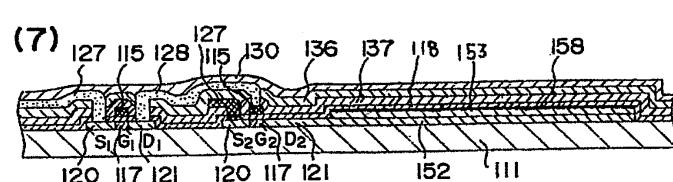
(5)



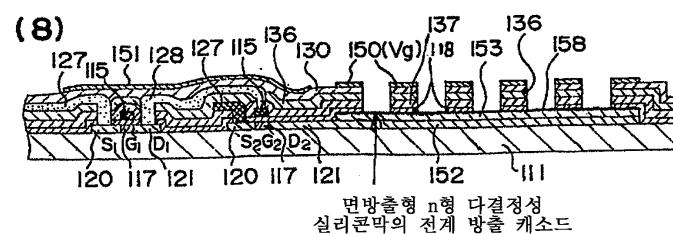
(6)



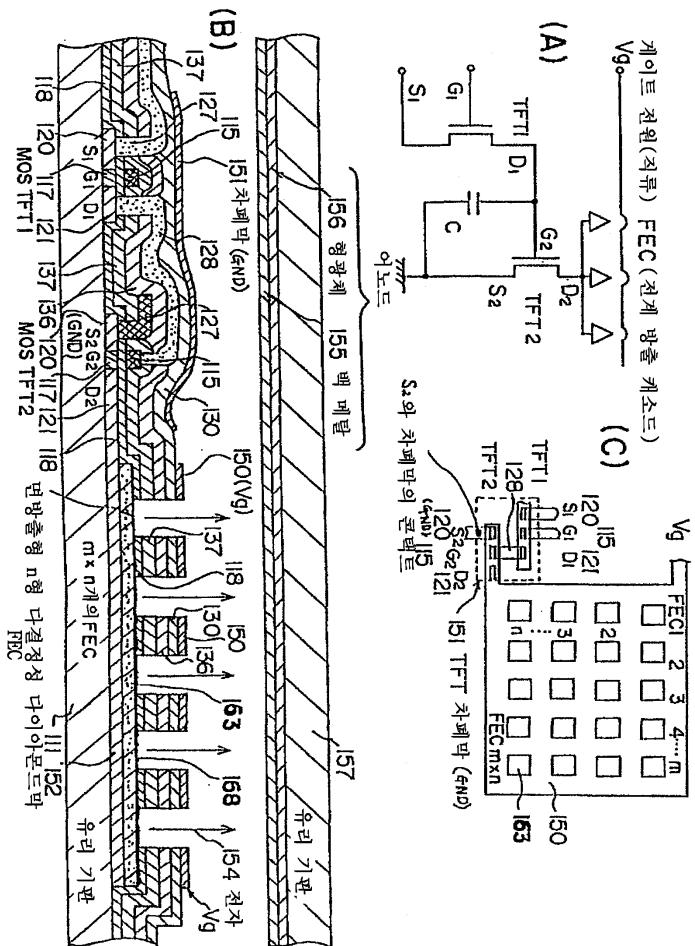
(7)



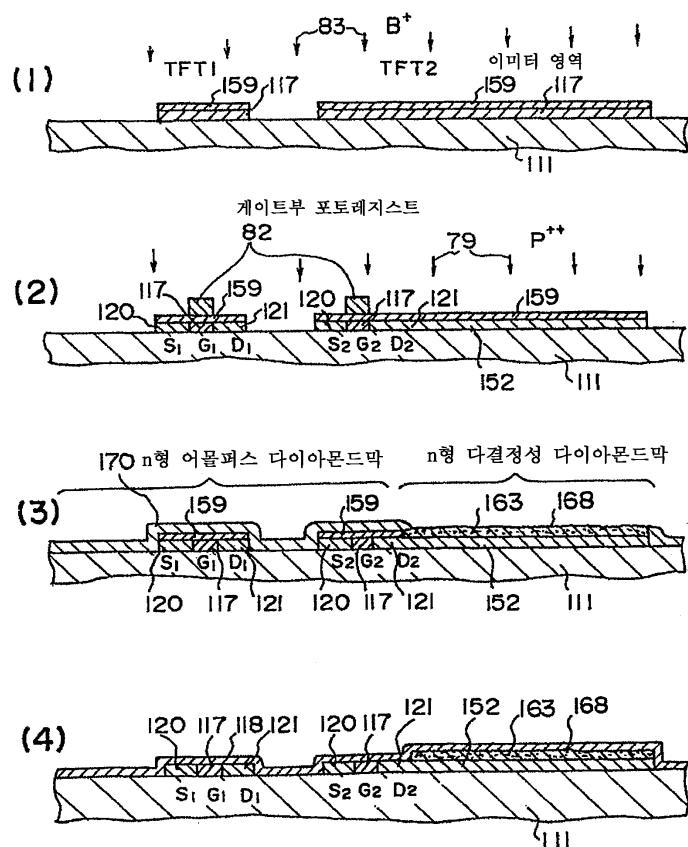
(8)



도면53

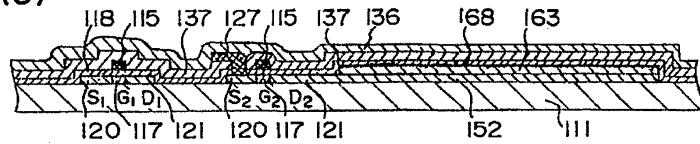


도면54

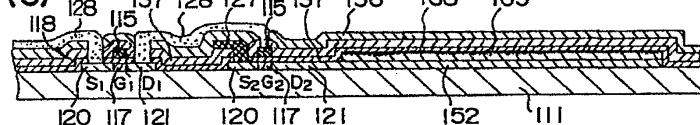


도면55

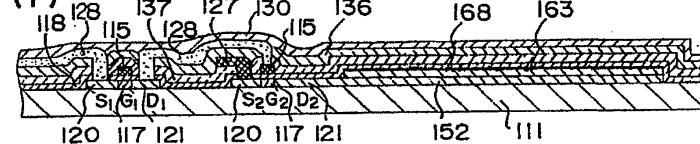
(5)



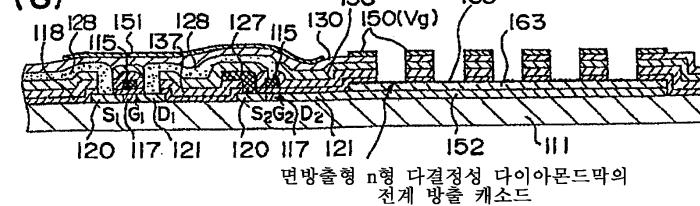
(6)



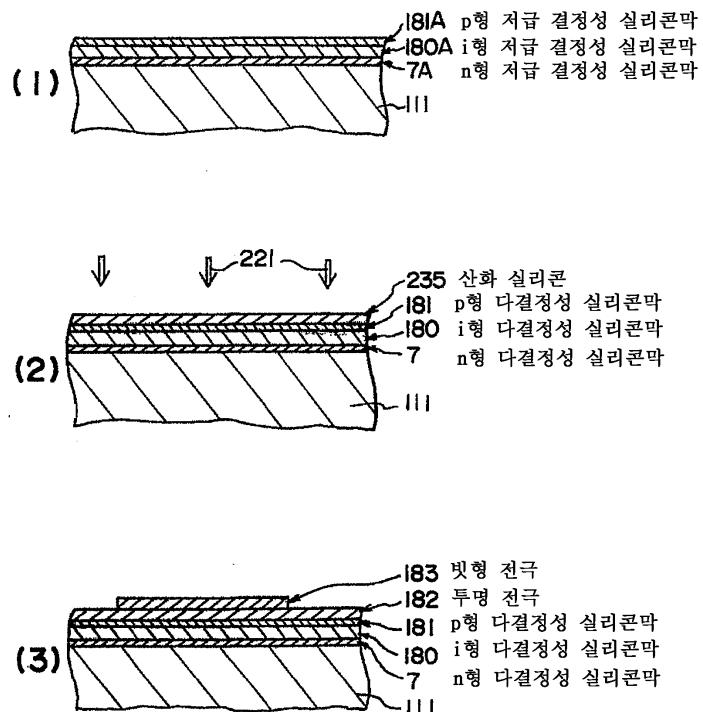
(7)



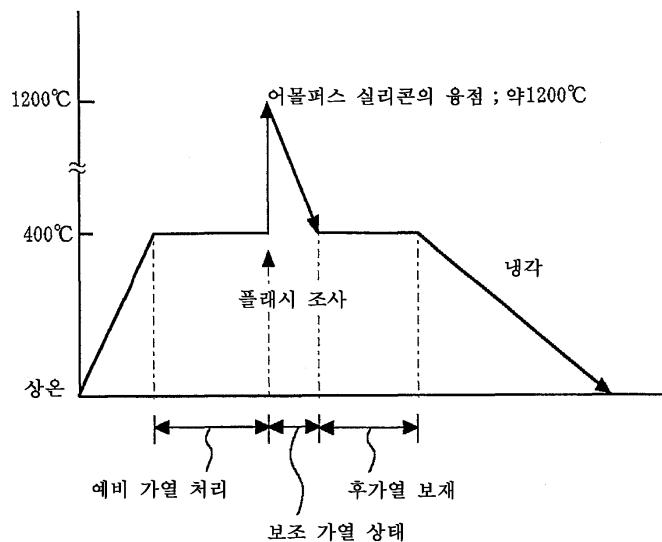
(8)



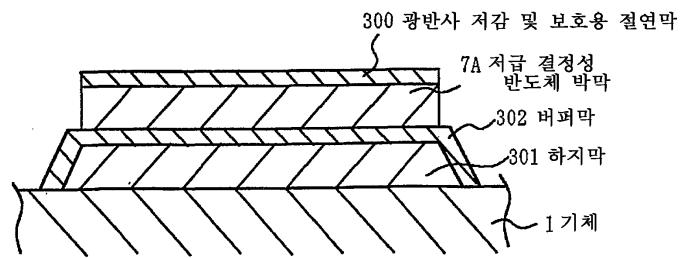
도면56



도면57



도면58



도면59

