

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-239426

(P2014-239426A)

(43) 公開日 平成26年12月18日(2014.12.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO3M 1/10 (2006.01)	HO3M 1/10 A	5J022
HO3M 1/14 (2006.01)	HO3M 1/14 B	

審査請求 未請求 請求項の数 16 O L (全 56 頁)

(21) 出願番号 特願2014-98005 (P2014-98005)
 (22) 出願日 平成26年5月9日 (2014.5.9)
 (31) 優先権主張番号 特願2013-99288 (P2013-99288)
 (32) 優先日 平成25年5月9日 (2013.5.9)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 508261493
 株式会社ブルックマンテクノロジー
 静岡県浜松市中区大工町125番地
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100125874
 弁理士 川端 純市
 (72) 発明者 川人 祥二
 静岡県浜松市中区大工町125番地 株式
 会社ブルックマンテクノロジー内
 Fターム(参考) 5J022 AA04 AC04 BA03 BA04 CA07
 CB06 CF01 CF03 CF10

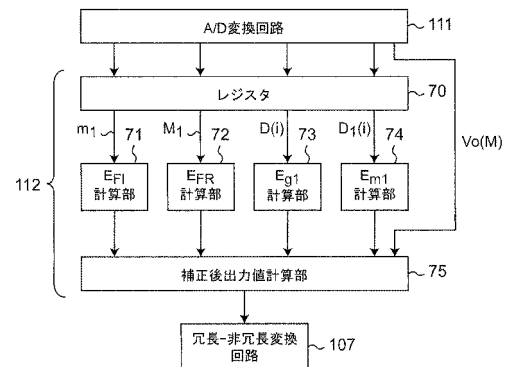
(54) 【発明の名称】 A/D変換回路用デジタル補正回路、A/D変換回路及びイメージセンサデバイス

(57) 【要約】

【課題】積分・巡回型A/D変換装置内のアナログ回路により生じる誤差をデジタル領域で補正する。

【解決手段】演算増幅回路を用いて折り返し積分型A/D変換と巡回型A/D変換とを順次行う積分・巡回型A/D変換回路において、所定の積分回数(M)及び所定の折り返し回数(M₁)を有する折り返し積分の利得誤差によって生じる非線形誤差のデジタル値をA/D変換値から減算することによりA/D変換値を補正するデジタル補正回路において、折り返し積分の利得誤差によって生じる非線形誤差であって、実質的に折り返し回数(M₁)に比例する第1の誤差(E_{FR})のデジタル値を計算し、A/D変換値から第1の誤差(E_{FR})を減算する。また、折り返し積分の積分誤差である第2の誤差(E_{FI})のデジタル値をさらに計算し、A/D変換値から第1の誤差(E_{FR})及び第2の誤差(E_{FI})を減算する。

【選択図】図18



【特許請求の範囲】

【請求項 1】

演算増幅回路を用いて折り返し積分型 A / D 変換と巡回型 A / D 変換とを順次行う積分・巡回型 A / D 変換回路において、所定の積分回数 (M) 及び所定の折り返し回数 (M₁) を有する折り返し積分の利得誤差によって生じる非線形誤差のデジタル値を A / D 変換値から減算することにより A / D 変換値を補正するデジタル補正回路であって、

上記折り返し積分の利得誤差によって生じる非線形誤差であって、実質的に上記折り返し回数 (M₁) に比例する第 1 の誤差 (E_{F R}) のデジタル値を計算し、上記 A / D 変換値から上記第 1 の誤差 (E_{F R}) を減算することにより A / D 変換値を補正する補正手段を備えたことを特徴とする A / D 変換回路用デジタル補正回路。

10

【請求項 2】

上記補正手段は、入力電圧 (V_{i n}) として第 1 の参照電圧 (V_{R L}) を上記演算増幅回路に与えて 1 回の積分を行った後そのときの上記演算増幅回路の出力電圧を所定の巡回数だけ巡回型 A / D 変換を行った第 1 の A / D 変換値と、入力電圧 (V_{i n}) として上記第 1 の参照電圧 (V_{R L}) よりも高い第 2 の参照電圧 (V_{R H}) を上記演算増幅回路に与えて 1 回の積分を行った後そのときの上記演算増幅回路の出力電圧を所定の巡回数だけ巡回型 A / D 変換を行った第 2 の A / D 変換値とを計算した後、上記第 2 の A / D 変換値から上記第 1 の A / D 変換値を減算し、当該減算値を上記巡回型 A / D 変換の入力側に換算することにより、上記第 1 の誤差 (E_{F R}) のデジタル値を計算することを特徴とする請求項 1 記載の A / D 変換回路用デジタル補正回路。

20

【請求項 3】

上記補正手段は、複数回の A / D 変換動作に対する上記第 1 の誤差 (E_{F R}) に関する積分非直線誤差 (I N L) の計算値に基づいて、当該積分非直線誤差 (I N L) の二乗値を複数回の A / D 変換動作に対して加算してなるコスト関数が最小となる時の上記第 1 の誤差 (E_{F R}) のデジタル値を計算することを特徴とする請求項 1 記載の A / D 変換回路用デジタル補正回路。

【請求項 4】

上記補正手段は、上記折り返し積分の利得誤差によって生じる非線形誤差であって、上記折り返し積分の積分誤差である第 2 の誤差 (E_{F I}) のデジタル値をさらに計算し、上記 A / D 変換値から上記第 1 の誤差 (E_{F R}) 及び上記第 2 の誤差 (E_{F I}) を減算することを特徴とする請求項 1 ~ 3 のうちのいずれか 1 つに記載の A / D 変換回路用デジタル補正回路。

30

【請求項 5】

上記補正手段は、上記折り返し積分のうち何回目の積分であることを示す積分回数 (i) を示すコードデータと、上記折り返し積分の折り返しの有無を示すデータ (D_I (i)) とに基づいて、上記第 2 の誤差 (E_{F I}) のデジタル値を計算することを特徴とする請求項 4 記載の A / D 変換回路用デジタル補正回路。

【請求項 6】

上記補正手段は、上記第 2 の誤差 (E_{F I}) のデジタル値を計算する回路をカラム回路内に設け、当該計算する回路は、

40

何回目の積分であることを示す積分回数 (i) を計数するアップカウンタと、

上記折り返し積分の折り返しの有無を示すデータをクロックとして動作するレジスタと、

上記アップカウンタからの積分回数 (i) と、上記レジスタからのデータとを加算して当該加算値のデータを上記レジスタを介して上記第 2 の誤差 (E_{F I}) のデジタル値を計算するための補正係数 (m₁) として出力する加算器とを備えたことを特徴とする請求項 5 記載の A / D 変換回路用デジタル補正回路。

【請求項 7】

上記補正手段は、巡回型 A / D 変換において上記演算増幅回路の入力端子に接続される容量 (C₁) と当該入力端子と出力端子との間に接続される積分容量 (C₂) との間のキ

50

ャパシタのミスマッチによる誤差に対応する第3の誤差 (E_{g1}) をさらに計算し、上記 A/D変換値から上記第1の誤差 (E_{FR})、上記第2の誤差 (E_{FI}) 及び上記第3の誤差 (E_{g1}) を減算することを特徴とする請求項4~6のうちのいずれか1つに記載の A/D変換回路用デジタル補正回路。

【請求項8】

上記補正手段は、巡回型 A/D変換において上記演算増幅回路の入力端子に接続される2つの容量 (C_{1a} , C_{1b}) 間のキャパシタのミスマッチによる誤差に対応する第4の誤差 (E_{m1}) をさらに計算し、上記 A/D変換値から上記第1の誤差 (E_{FR}) 及び上記第2の誤差 (E_{FI}) に加えて、上記第3の誤差 (E_{g1}) と上記第4の誤差 (E_{m1}) とのうちの少なくとも1つを減算することを特徴とする請求項4~7のうちのいずれか1つに記載の A/D変換回路用デジタル補正回路。

10

【請求項9】

上記積分・巡回型 A/D変換回路は、上記折り返し積分型 A/D変換の回路と、上記巡回型 A/D変換の回路とを同一の回路を用いて構成されることを特徴とする請求項1~8のうちのいずれか1つに記載の A/D変換回路用デジタル補正回路。

【請求項10】

上記積分・巡回型 A/D変換回路は、上記折り返し積分型 A/D変換の回路と、上記巡回型 A/D変換の回路とをそれぞれ異なる回路を用いて構成されることを特徴とする請求項1~8のうちのいずれか1つに記載の A/D変換回路用デジタル補正回路。

【請求項11】

演算増幅回路を用いて折り返し積分型 A/D変換と巡回型 A/D変換とを順次行う積分・巡回型 A/D変換回路において、

20

請求項1~10のうちのいずれか1つに記載のデジタル補正回路を備えたことを特徴とする A/D変換回路。

【請求項12】

上記積分・巡回型 A/D変換回路は、上記折り返し積分型 A/D変換の回路と、上記巡回型 A/D変換の回路とを同一の回路を用いて構成されることを特徴とする請求項11記載の A/D変換回路。

【請求項13】

上記積分・巡回型 A/D変換回路は、上記折り返し積分型 A/D変換の回路と、上記巡回型 A/D変換の回路とをそれぞれ異なる回路を用いて構成されることを特徴とする請求項11記載の A/D変換回路。

30

【請求項14】

画像を読み取るイメージセンサデバイスにおいて、

上記画像を読み取った画素値信号を A/D変換する A/D変換回路を備え、

上記 A/D変換回路は、演算増幅回路を用いて折り返し積分型 A/D変換と巡回型 A/D変換とを順次行う積分・巡回型 A/D変換回路であって、請求項1~10のうちのいずれか1つに記載のデジタル補正回路を備えたことを特徴とするイメージセンサデバイス。

【請求項15】

上記積分・巡回型 A/D変換回路は、上記折り返し積分型 A/D変換の回路と、上記巡回型 A/D変換の回路とを同一の回路を用いて構成されることを特徴とする請求項14記載のイメージセンサデバイス。

40

【請求項16】

上記積分・巡回型 A/D変換回路は、上記折り返し積分型 A/D変換の回路と、上記巡回型 A/D変換の回路とをそれぞれ異なる回路を用いて構成されることを特徴とする請求項14記載のイメージセンサデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、アナログ信号をデジタル信号に変換するA/D変換回路のためのデジタル補正回路、A/D変換回路、及びイメージセンサデバイスに関する。

【背景技術】

【0002】

特許文献1には、A/D変換器が記載されている。このA/D変換器では、入力されたアナログ信号に対して積分型（又は折り返し積分型）A/D変換が行われると共に、折り返し積分型A/D変換の残差アナログ信号に対して巡回型A/D変換が行われる。折り返し積分型A/D変換では、入力信号の標本化及び標本値の積分を繰り返しながらA/D変換のための演算が行われ、アナログ信号からデジタル値が得られる。このA/D変換における方式では、積分によるノイズ低減を図りながら折り返し動作によってダイナミックレンジが拡大されるので、低ノイズとダイナミックレンジの両立を図ることができる。

10

【0003】

特許文献1に記載された折り返し積分型A/D変換器では、例えば、入力信号の電圧の範囲が0V～1Vであった場合には、その出力の範囲は、-1V～1Vというように2倍になる。この場合において、折り返し積分型A/D変換の後に行う巡回型A/D変換を全差動型の巡回型A/D変換器で構成すれば、同じ参照電圧を用いながら、折り返し積分における入力電圧範囲の2倍の入力電圧範囲に対応することが可能である。

【0004】

しかしながら、シングルエンド構成のA/D変換器により巡回型A/D変換器を構成する場合には、全差動型の1/2の入力電圧範囲にしか対応できないといった問題があった。すなわち、特許文献1に記載されたA/D変換器において、シングルエンド構成のA/D変換器を適用すると、入力電圧の振幅範囲が半分に制限されることとなる。一方、かかるA/D変換器において、小面積化、低消費電力化のためシングルエンド構成を適用したいという要請があった。

20

【0005】

そこで、本発明者らは、CMOSイメージセンサに搭載するカラム並列型A/D変換器として、折り返し積分型A/D変換と巡回型A/D変換を順次行う方式を、これまで開発してきた（例えば、特許文献2参照）。これは、多数回のサンプリングと積分及び、折り返し動作により、センサのノイズを低減しながら、広いダイナミックレンジと高い分解能（濃淡階調）をもつことができるものであり、広く実用化が可能である。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】国際公開第2008/016049号パンフレット

【特許文献2】国際公開第2012/111821号パンフレット

【特許文献3】特許第4469989号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

上述の折り返し積分型A/D変換と巡回型A/D変換を順次行うA/D変換器（以下、積分・巡回型A/D変換器という。）をより高速かつ低消費電力化する上で、A/D変換器内のアナログ回路により生じる誤差をデジタル領域で補正することが有効である。しかしながら、巡回型A/D変換回路のデジタル補正回路については特許文献3において開示されているが、積分・巡回型A/D変換器のデジタル補正回路については開発されていなかった。

40

【0008】

本発明の目的は以上の問題点を解決し、積分・巡回型A/D変換回路内のアナログ回路により生じる誤差をデジタル領域で補正することができるA/D変換回路用デジタル補正回路、A/D変換回路、及びイメージセンサデバイスを提供することにある。

【課題を解決するための手段】

50

【0009】

上述のように、積分・巡回型 A / D 変換装置をより高速かつ低消費電力化する上で、当該 A / D 変換装置内のアナログ回路により生じる誤差をデジタル領域で補正することが有効である。高速化、低消費電力化のためには、小さいサイズのキャパシタと、低利得のアンプを利用することが有効であるが、これにより、A / D 変換器の精度が劣化し、非線形誤差が大きくなる。その精度劣化をデジタル領域での処理で補正を行い、非線形誤差を十分小さくすることができれば、小さいサイズのキャパシタと、低利得のアンプで高精度の A / D 変換器が実現でき、高速、低消費電力化が図られる。本発明は、これらを実現するために以下の手段を用いることを特徴としている。

【0010】

本発明に係る A / D 変換回路用デジタル補正回路は、演算増幅回路を用いて折り返し積分型 A / D 変換と巡回型 A / D 変換とを順次行う積分・巡回型 A / D 変換回路において、所定の積分回数 (M) 及び所定の折り返し回数 (M₁) を有する折り返し積分の利得誤差によって生じる非線形誤差のデジタル値を A / D 変換値から減算することにより A / D 変換値を補正するデジタル補正回路であって、

上記折り返し積分の利得誤差によって生じる非線形誤差であって、実質的に上記折り返し回数 (M₁) に比例する第 1 の誤差 (E_{FR}) のデジタル値を計算し、上記 A / D 変換値から上記第 1 の誤差 (E_{FR}) を減算することにより A / D 変換値を補正する補正手段を備えたことを特徴とする。

【0011】

上記デジタル補正回路において、上記補正手段は、入力電圧 (V_{in}) として第 1 の参照電圧 (V_{RL}) を上記演算増幅回路に与えて 1 回の積分を行った後そのときの上記演算増幅回路の出力電圧を所定の巡回数だけ巡回型 A / D 変換を行った第 1 の A / D 変換値と、入力電圧 (V_{in}) として上記第 1 の参照電圧 (V_{RL}) よりも高い第 2 の参照電圧 (V_{RH}) を上記演算増幅回路に与えて 1 回の積分を行った後そのときの上記演算増幅回路の出力電圧を所定の巡回数だけ巡回型 A / D 変換を行った第 2 の A / D 変換値とを計算した後、上記第 2 の A / D 変換値から上記第 1 の A / D 変換値を減算し、当該減算値を上記巡回型 A / D 変換の入力側に換算することにより、上記第 1 の誤差 (E_{FR}) のデジタル値を計算することを特徴とする。

【0012】

また、上記デジタル補正回路において、上記補正手段は、複数回の A / D 変換動作に対する上記第 1 の誤差 (E_{FR}) に関する積分非直線誤差 (INL) の計算値に基づいて、当該積分非直線誤差 (INL) の二乗値を複数回の A / D 変換動作に対して加算してなるコスト関数が最小となる時の上記第 1 の誤差 (E_{FR}) のデジタル値を計算することを特徴とする。

【0013】

さらに、上記デジタル補正回路において、上記補正手段は、上記折り返し積分の利得誤差によって生じる非線形誤差であって、上記折り返し積分の積分誤差である第 2 の誤差 (E_{FI}) のデジタル値をさらに計算し、上記 A / D 変換値から上記第 1 の誤差 (E_{FR}) 及び上記第 2 の誤差 (E_{FI}) を減算することを特徴とする。

【0014】

またさらに、上記デジタル補正回路において、上記補正手段は、上記折り返し積分のうち何回目の積分であることを示す積分回数 (i) を示すコードデータと、上記折り返し積分の折り返しの有無を示すデータ (D_I(i)) とに基づいて、上記第 2 の誤差 (E_{FI}) のデジタル値を計算することを特徴とする。

【0015】

上記デジタル補正回路において、上記補正手段は、上記第 2 の誤差 (E_{FI}) のデジタル値を計算する回路をカラム回路内に設け、当該計算する回路は、何回目の積分であることを示す積分回数 (i) を計数するアップカウンタと、上記折り返し積分の折り返しの有無を示すデータをクロックとして動作するレジスタと

10

20

30

40

50

上記アップカウンタからの積分回数 (i) と、上記レジスタからのデータとを加算して当該加算値のデータを上記レジスタを介して上記第2の誤差 (E_{FI}) のデジタル値を計算するための補正係数 (m_1) として出力する加算器とを備えたことを特徴とする。

【0016】

また、上記デジタル補正回路において、上記補正手段は、巡回型 A/D 変換において上記演算増幅回路の入力端子に接続される容量 (C_1) と当該入力端子と出力端子との間に接続される積分容量 (C_2) との間のキャパシタのミスマッチによる誤差に対応する第3の誤差 (E_{g1}) をさらに計算し、上記 A/D 変換値から上記第1の誤差 (E_{FR})、上記第2の誤差 (E_{FI}) 及び上記第3の誤差 (E_{g1}) を減算することを特徴とする。

10

【0017】

さらに、上記デジタル補正回路において、上記補正手段は、巡回型 A/D 変換において上記演算増幅回路の入力端子に接続される2つの容量 (C_{1a} , C_{1b}) 間のキャパシタのミスマッチによる誤差に対応する第4の誤差 (E_{m1}) をさらに計算し、上記 A/D 変換値から上記第1の誤差 (E_{FR}) 及び上記第2の誤差 (E_{FI}) に加えて、上記第3の誤差 (E_{g1}) と上記第4の誤差 (E_{m1}) とのうちの少なくとも1つを減算することを特徴とする。

【0018】

また、上記デジタル補正回路において、上記積分・巡回型 A/D 変換回路は、上記折り返し積分型 A/D 変換の回路と、上記巡回型 A/D 変換の回路とを同一の回路を用いて構成されることを特徴とする。

20

【0019】

さらに、上記デジタル補正回路において、上記積分・巡回型 A/D 変換回路は、上記折り返し積分型 A/D 変換の回路と、上記巡回型 A/D 変換の回路とをそれぞれ異なる回路を用いて構成されることを特徴とする。

【0020】

本発明に係る A/D 変換回路は、演算増幅回路を用いて折り返し積分型 A/D 変換と巡回型 A/D 変換とを順次行う積分・巡回型 A/D 変換回路において、上記デジタル補正回路を備えたことを特徴とする。

【0021】

また、上記 A/D 変換回路において、上記積分・巡回型 A/D 変換回路は、上記折り返し積分型 A/D 変換の回路と、上記巡回型 A/D 変換の回路とを同一の回路を用いて構成されることを特徴とする。

30

【0022】

さらに、上記 A/D 変換回路において、上記積分・巡回型 A/D 変換回路は、上記折り返し積分型 A/D 変換の回路と、上記巡回型 A/D 変換の回路とをそれぞれ異なる回路を用いて構成されることを特徴とする。

【0023】

本発明に係るイメージセンサデバイスは、画像を読み取るイメージセンサデバイスにおいて、

40

上記画像を読み取った画素値信号を A/D 変換する A/D 変換回路を備え、

上記 A/D 変換回路は、演算増幅回路を用いて折り返し積分型 A/D 変換と巡回型 A/D 変換とを順次行う積分・巡回型 A/D 変換回路であって、上記デジタル補正回路を備えたことを特徴とする。

【0024】

また、上記イメージセンサデバイスにおいて、上記積分・巡回型 A/D 変換回路は、上記折り返し積分型 A/D 変換の回路と、上記巡回型 A/D 変換の回路とを同一の回路を用いて構成されることを特徴とする。

【0025】

さらに、上記イメージセンサデバイスにおいて、上記積分・巡回型 A/D 変換回路は、

50

上記折り返し積分型 A / D 変換の回路と、上記巡回型 A / D 変換の回路とをそれぞれ異なる回路を用いて構成されることを特徴とする。

【発明の効果】

【0026】

本発明にかかるデジタル補正回路によれば、当該デジタル補正により、A / D 変換装置の高精度化、すなわち高分解能化を行うことができ、例えば 14 ビットの高精度の A / D 変換が実現でき、しかも低消費電力で、高速化することができる。

【図面の簡単な説明】

【0027】

【図 1】本発明の第 1 の実施形態に係る A / D 変換器の回路構成を示すブロック図である。 10

【図 2】図 1 に示された巡回型 A / D 変換器における参照電圧発生回路の回路図である。

【図 3】図 1 に示された巡回型 A / D 変換器における参照電圧発生回路の回路図である。

【図 4】図 1 の A / D 変換器で用いるイメージセンサセルを示す図面である。

【図 5】図 1 に示された A / D 変換器における積分型 A / D 変換の動作を示す図面である。

【図 6】図 1 の A / D 変換器のシミュレーションによるゲインステージの入出力特性を示す図面である。

【図 7】図 1 の A / D 変換器のシミュレーションによるゲインステージの入出力特性の比較例を示す図面である。 20

【図 8】図 1 の A / D 変換器においてアナログ C D S を実施する場合の 1 水平読み出し期間における処理タイミングを示す図、及びデジタル C D S を実施する場合の 1 水平読み出し期間における処理タイミングを示す図である。

【図 9】図 1 に示された A / D 変換器における巡回型 A / D 変換の動作を示す図面である。

【図 10】図 1 に示された A / D 変換器における積分型 A / D 変換の動作を示す図面である。

【図 11】図 6 のシミュレーションに対応する、入力信号であるアナログ信号 V_{IN} の入力レベルとデジタルカウント値との関係を示す図である。

【図 12】A / D 変換器における積分型 A / D 変換の動作を示す図面である。 30

【図 13】図 12 に示した積分型 A / D 変換の動作における、シミュレーションによるゲインステージの入出力特性を示す図面である。

【図 14】図 1 の A / D 変換器においてコンパレータの出力信号からデジタル値を生成するための構成を示すブロック図である。

【図 15】図 14 に示した構成の一部の回路図である。

【図 16】図 14 に示した構成の一部の回路図である。

【図 17】本発明の第 2 の実施形態に係る CMOS イメージセンサ 101 の構成を示すブロック図である。

【図 18】図 17 のデジタル補正回路 112 の構成を示すブロック図である。

【図 19】図 12 の折り返し積分型 A / D 変換器の動作を示す入出力電圧特性を示す図である。 40

【図 20】図 18 のデジタル補正回路 112 のために誤差パラメータ e_{m1} , e_{m2} を計測するための回路を示す回路図である。

【図 21】図 18 のデジタル補正回路 112 のために誤差パラメータ E_{FR} を計測するための一方法であるコスト関数を用いた方法を示すコスト関数のグラフである。

【図 22】図 18 のデジタル補正回路 112 のために誤差 E_{FI} を計測するための積分・巡回型 ADC アレイ 4 内のカラム回路 150 の回路を示す回路図である。

【図 23】図 17 のデジタル補正回路 112 を用いた A / D 変換回路の MATLAB シミュレーション結果であって、無補正で誤差パラメータ P1 を用いたときのデジタルコードに対する積分非直線性誤差 (INL) 及び微分非直線性誤差 (DNL) を示すグラフ 50

である。

【図 2 4】図 1 7 のデジタル補正回路 1 1 2 を用いた A / D 変換回路の M A T L A B シミュレーション結果であって、方法 M 1 で誤差パラメータ P 1 を用いたときのデジタルコードに対する積分非直線性誤差 (I N L) 及び微分非直線性誤差 (D N L) を示すグラフである。

【図 2 5】図 1 7 のデジタル補正回路 1 1 2 を用いた A / D 変換回路の M A T L A B シミュレーション結果であって、方法 M 2 で誤差パラメータ P 1 を用いたときのデジタルコードに対する積分非直線性誤差 (I N L) 及び微分非直線性誤差 (D N L) を示すグラフである。

【図 2 6】図 1 7 のデジタル補正回路 1 1 2 を用いた A / D 変換回路の M A T L A B シミュレーション結果であって、無補正で誤差パラメータ P 2 を用いたときのデジタルコードに対する積分非直線性誤差 (I N L) 及び微分非直線性誤差 (D N L) を示すグラフである。

【図 2 7】図 1 7 のデジタル補正回路 1 1 2 を用いた A / D 変換回路の M A T L A B シミュレーション結果であって、方法 M 1 で誤差パラメータ P 2 を用いたときのデジタルコードに対する積分非直線性誤差 (I N L) 及び微分非直線性誤差 (D N L) を示すグラフである。

【図 2 8】図 1 7 のデジタル補正回路 1 1 2 を用いた A / D 変換回路の M A T L A B シミュレーション結果であって、方法 M 2 で誤差パラメータ P 2 を用いたときのデジタルコードに対する積分非直線性誤差 (I N L) 及び微分非直線性誤差 (D N L) を示すグラフである。

【図 2 9】本発明の第 3 の実施形態に係る A / D 変換器の全体構成を示すブロック図である。

【図 3 0】図 2 9 の折り返し積分型 A / D 変換回路 2 0 1 及びその周辺回路の構成を示す回路図である。

【図 3 1】図 3 0 の参照電圧発生回路 3 7 C の構成を示す回路図である。

【図 3 2】図 3 0 の折り返し積分型 A / D 変換回路 2 0 1 の動作を示す図面である。

【図 3 3】図 3 2 に示した折り返し積分型 A / D 変換回路 2 0 1 の動作における、シミュレーションによるゲインステージの入出力特性を示す図面である。

【図 3 4】図 3 2 に示した折り返し積分型 A / D 変換回路 2 0 1 のシミュレーションに対応する、入力信号であるアナログ信号 V_{IN} の入力レベルとデジタルカウント値との関係を示す図である。

【図 3 5】図 2 9 の巡回型 A / D 変換回路 2 0 2 及びその周辺回路の構成を示す回路図である。

【発明を実施するための形態】

【0028】

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続き、添付図面を参照しながら、本発明の A / D 変換器、イメージセンサデバイス、及びアナログ信号からデジタル信号を生成する方法の実施形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

【0029】

第 1 の実施形態 .

図 1 は、本実施形態に係る A / D 変換器の回路図である。A / D 変換回路 1 1 1 は、いわゆる折り返し積分型の A / D 変換である第 1 の A / D 変換動作と、巡回型 A / D 変換である第 2 の A / D 変換動作を、同一の回路構成を用いて実施する。A / D 変換回路 1 1 1 は、当該 A / D 変換回路 1 1 1 が有するスイッチの時系列の制御パターンの変更により、第 1 及び第 2 の A / D 変換動作を実現する。

【0030】

この A / D 変換回路 1 1 1 は、ゲインステージ 1 5 と、A / D 変換回路 1 7 と、論理回路 1 9 と、D / A 変換回路 2 1 とを備える。また、A / D 変換回路 1 1 1 は、参照電圧発

10

20

30

40

50

生回路 37 及びクロック発生器 41 を含む。

【0031】

ゲインステージ 15 は、デジタル値に変換されるアナログ信号 V_{IN} を受ける入力 15 a、及び演算値 V_{OP} を提供する出力 15 b を含む。また、ゲインステージ 15 は、シングルエンド型の演算増幅回路 23、及び第 1～第 3 のキャパシタ 25、27、29 を含む。

【0032】

演算増幅回路 23 は、第 1 の入力 23 a、出力 23 b、及び第 2 の入力 23 c を有しており、出力 23 b の信号の位相は、第 1 の入力 23 a に与えられた信号の位相と反転している。例えば、第 1 及び第 2 の入力 23 a、23 c は、それぞれ、反転入力端子及び非反転入力端子であり、出力 23 b は、非反転出力端子である。例えば、演算増幅回路 23 の第 2 の入力 23 c は、基準電位線 L_{COM} に接続されており、また基準電位 V_{COM} を受ける。

10

【0033】

また、ゲインステージ 15 は、キャパシタ 25、27、29 及び演算増幅回路 23 の接続を行うための複数のスイッチを含む。図 1 に示されるスイッチ 43、47、49、51、53、55 の配置は一例である。これらのスイッチ 43、47、49、51、53 の制御は、クロック発生器 41 によって行われる。

【0034】

また、ゲインステージ 15 は、第 1 の A/D 変換動作において、第 1 の演算動作及び第 1 の格納動作を行うことができ、第 2 の A/D 変換動作において、第 2 の演算動作及び第 2 の格納動作を行うことができる。

20

【0035】

第 1 の演算動作では、演算増幅回路 23 及び第 1～第 3 のキャパシタ 25、27、29 により演算値 V_{OP} を生成する。

【0036】

第 1 の格納動作では、第 1 のキャパシタ 25 は、D/A 変換回路 21 の第 1 の出力 21 a から供給される第 1 若しくは第 2 の基準参照電圧 V_{RH} 、 V_{RL} 又はゲインステージの入力 15 a から供給されるアナログ信号 V_{IN} を格納する。また、第 1 の格納動作では、第 2 のキャパシタ 27 は、D/A 変換回路 21 の第 2 の出力 21 b から供給される第 1 又は第 2 の基準参照電圧 V_{RH} 、 V_{RL} を格納する。また、第 1 の格納動作では、第 3 のキャパシタ 29 は、演算増幅回路 23 の出力 23 b と第 1 の入力 23 a との間に接続されることにより、演算値 V_{OP} を保持する。

30

【0037】

また、第 1 の演算動作では、第 1 の格納動作において第 1 又は第 2 の基準参照電圧 V_{RH} 、 V_{RL} が第 1 のキャパシタ 25 に格納された場合には、第 1 のキャパシタ 25 がアナログ信号 V_{IN} を受ける入力 15 a と演算増幅回路 23 の第 1 の入力 23 a との間に接続され、第 1 の格納動作においてアナログ信号 V_{IN} が第 1 のキャパシタ 25 に格納された場合には、第 1 のキャパシタ 25 が D/A 変換回路 21 の第 1 の出力 21 a と演算増幅回路 23 の第 1 の入力 23 a との間に接続される。また、第 1 の演算動作では、第 2 のキャパシタ 27 が D/A 変換回路 21 の第 2 の出力 21 b と演算増幅回路 23 の第 1 の入力 23 a との間に接続される。さらに、第 1 の演算動作では、第 3 のキャパシタ 29 が演算増幅回路 23 の出力 23 b と第 1 の入力 23 a との間に接続されることにより、演算値 V_{OP} がゲインステージ 23 の出力 15 b に生成される。

40

【0038】

第 2 の格納動作では、演算値 V_{OP} を第 1 及び第 2 のキャパシタ 25、27 に格納する。第 2 の演算動作では、演算増幅回路 23 及び第 1～第 3 のキャパシタ 25、27、29 により演算値 V_{OP} を生成する。すなわち、第 2 の演算動作では、第 3 のキャパシタ 29 が演算増幅回路 23 の出力 23 b と第 1 の入力 23 a との間に接続されると共に第 1 及び第 2 のキャパシタ 25、27 がそれぞれ D/A 変換回路 21 の第 1 の出力 21 a 又は第 2

50

の出力 2 1 b と第 1 の入力 2 3 a との間に接続されて、演算値 V_{OP} が当該ゲインステージ 1 5 の出力 1 5 b に生成される。

【0039】

第 1 ~ 第 3 のキャパシタ 2 5、2 7、2 9 は、各種の信号値の格納及び演算のための容量である。ここで、第 3 のキャパシタ 2 9 の容量 C_2 は、第 1 及び第 2 のキャパシタ 2 5、2 7 の容量 C_{1a} 、 C_{1b} より大きい。これにより、折り返し積分型 A/D 変換である第 1 の A/D 変換動作において入力されるアナログ信号 V_{IN} は、その容量比 (C_{1a}/C_2 、 C_{1b}/C_2) に従って減衰されて積分される。これ故に、折り返し積分型 A/D 変換において出力されるアナログ信号 V_{IN} の電圧範囲も、キャパシタの容量比に従って小さくなるので、シングルエンド構成により当該 A/D 変換回路 1 1 1 を構成できる。

10

【0040】

なお、第 3 のキャパシタ 2 9 は、理想的には第 1 のキャパシタ 2 5 又は第 2 のキャパシタ 2 7 の容量の 2 倍の容量を有する。すなわち、 $C_{1a} = 1/2 \times C_2$ 及び $C_{1b} = 1/2 \times C_2$ といった関係が成立する。このようなキャパシタを有する A/D 変換回路 1 1 1 によれば、折り返し積分型 A/D 変換において入力されるアナログ信号 V_{IN} は、1/2 に減衰されてサンプリング及び積分される。これ故に、折り返し積分型 A/D 変換において出力されるアナログ信号 V_{OP} の電圧範囲も、キャパシタの容量比に従って 1/2 となるので、巡回型 A/D 変換である第 2 の A/D 変換動作において、シングルエンド構成の A/D 変換器に適した入力電圧が提供される。

【0041】

20

A/D 変換回路 1 7 は、ゲインステージ 2 3 の出力 2 3 b からの信号 V_{OP} に基づき、変換参照電圧 V_{RCH} 、 V_{RCL} に応じてデジタル信号 D を生成する。

【0042】

A/D 変換回路 1 7 は、例えば 2 つのコンパレータ 1 7 a、1 7 b を含むことができる。コンパレータ 1 7 a、1 7 b は、それぞれ、入力アナログ信号をそれぞれの所定の第 1 及び第 2 の変換参照電圧 V_{RCH} 、 V_{RCL} と比較すると共に、図 1 に示されるように、比較結果信号 B_0 、 B_1 を提供する。A/D 変換回路 1 7 における変換参照電圧 V_{RCH} 、 V_{RCL} は、参照電圧発生回路 3 7 によって提供される。デジタル信号 D は、A/D 変換値を示す。デジタル信号 D は、例えば 2 ビット (B_0 、 B_1) を有しており、各ビット (B_0 、 B_1) は、「1」または「0」を取りうる。デジタル信号 D は、($D = B_0 + B_1$) と表される。A/D 変換回路 1 1 1 では、ビット (B_0 、 B_1) の組み合わせにより 1 回の積分動作又は一巡回毎のデジタル値は第 1 ~ 第 3 の値 ($D = 0$ 、 $D = 1$ 、 $D = 2$) を有する。すなわち、コンパレータ 1 7 a、1 7 b は、以下のように動作する。

30

【0043】

$V_{OP} > V_{RCH}$ のとき $B_1 = 1$ 、 $B_0 = 1$
 $V_{RCL} < V_{OP} < V_{RCH}$ のとき $B_1 = 0$ 、 $B_0 = 1$
 $V_{OP} < V_{RCL}$ のとき $B_1 = 0$ 、 $B_0 = 0$

【0044】

また、A/D 変換回路 1 7 は、第 1 の A/D 変換動作において、例えば 1 つのコンパレータ 1 7 a を用いてデジタル信号 D を生成することとしてもよい。この場合には、デジタル信号 D は、1 ビット (B_1) のみであり、2 値を表せる。また、コンパレータ 1 7 a において基準として用いられる信号は、変換参照電圧 V_{RCH} である。この場合には、コンパレータ 1 7 a は、以下のように動作する。

40

【0045】

$V_{OP} > V_{RCH}$ のとき $B_1 = 1$
 $V_{OP} < V_{RCH}$ のとき $B_1 = 0$

【0046】

参照電圧発生回路 3 7 は、第 1 及び第 2 の基準参照電圧 V_{RH} 、 V_{RL} に基づき、第 1 及び第 2 の変換参照電圧 V_{RCH} 、 V_{RCL} を生成する回路である。なお、第 1 の基準参照電圧 V_{RH} 及び第 2 の基準参照電圧 V_{RL} は、基準電圧源 3 3、3 5 から供給される。

50

図2は、参照電圧発生回路37の回路図の一例である。図2に示すように、参照電圧発生回路37は、第1及び第2の基準参照電圧 V_{RH} 、 V_{RL} に基づき、所定の抵抗値を有する抵抗 $R_1 \sim R_5$ に応じて、電圧 V_{RC1H} 、 V_{RC2H} 、 V_{RC2L} 、 V_{RC1L} を生成する。第1のA/D変換動作では、スイッチ S_I の動作により、第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} として電圧 V_{RC1H} 、 V_{RC1L} が供給される。一方、第2のA/D変換動作では、スイッチ S_A の動作により、第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} として電圧 V_{RC2H} 、 V_{RC2L} が供給される。

【0047】

この参照電圧発生回路37によれば、第1の変換参照電圧 V_{RCH} は、第1の基準参照電圧 V_{RH} と第2の基準参照電圧値 V_{RL} との間の中央値より高く且つ第1の基準参照電圧 V_{RH} より低い。また、第1のA/D変換動作における第1の変換参照電圧 V_{RCH} は、第2のA/D変換動作における第1の変換参照電圧 V_{RCH} より高い。また、第2の変換参照電圧 V_{RCL} は、第1の基準参照電圧 V_{RH} と第2の基準参照電圧値 V_{RL} との間の中央値より低く且つ第2の基準参照電圧 V_{RL} より高い。また、第1のA/D変換動作における第2の変換参照電圧 V_{RCL} は、第2のA/D変換動作における第2の変換参照電圧 V_{RCL} より低い。このように第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} が生成されるので、第1のA/D変換動作及び第2のA/D変換動作が適切に実施される。

10

【0048】

また、例えば、抵抗 $R_1 \sim R_5$ の抵抗値を、抵抗 $R_1 = 2R$ 、抵抗 $R_2 = R$ 、抵抗 $R_3 = 2R$ 、抵抗 $R_4 = R$ 、抵抗 $R_5 = 2R$ (R は所定の抵抗値)といった値に設定することにより、第1のA/D変換動作における第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} として、以下の式により表される電圧 V_{RC1H} 、 V_{RC1L} が供給されることが好ましい。

20

【0049】

$$V_{RC1H} = (3V_{RH} + V_{RL}) / 4$$

$$V_{RC1L} = (V_{RH} + 3V_{RL}) / 4$$

【0050】

また、第2のA/D変換動作における第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} として、以下の式により表される電圧 V_{RC2H} 、 V_{RC2L} が供給されることが好ましい。

30

【0051】

$$V_{RC2H} = (5V_{RH} + 3V_{RL}) / 8$$

$$V_{RC2L} = (3V_{RH} + 5V_{RL}) / 8$$

【0052】

このように第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} が生成されるので、より適切に第2のA/D変換動作が実施される。

【0053】

また、第1のA/D変換動作において、A/D変換回路17が1つのコンパレータ17aを用いてデジタル信号 D を生成する場合における参照電圧発生回路37の回路図の一例は、図3に示される。この参照電圧発生回路37によれば、第1のA/D変換動作では、スイッチ S_I の動作により、第1の変換参照電圧 V_{RCH} として電圧 V_{RC1H} が供給される。一方、第2のA/D変換動作では、スイッチ S_A の動作により、第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} として電圧 V_{RC2H} 、 V_{RC2L} が供給される。

40

【0054】

この参照電圧発生回路37によれば、第1のA/D変換動作における第1の変換参照電圧 V_{RCH} は、第1の基準参照電圧 V_{RH} と第2の基準参照電圧値 V_{RL} との間の中央値である。また、第2のA/D変換動作における第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} として、以下の式により表される電圧 V_{RC2H} 、 V_{RC2L} が供給される。

【0055】

$$V_{RC2H} = (5V_{RH} + 3V_{RL}) / 8$$

50

$$V_{RC2L} = (3V_{RH} + 5V_{RL}) / 8$$

【0056】

論理回路19は、デジタル信号Dに応じた制御信号 V_{CONT} （例えば D_H 、 D_L 、 D_S ）を生成する。

【0057】

D/A変換回路21は、第1及び第2の出力21a、21bを有し、第1の基準参照電圧 V_{RH} 及び第2の基準参照電圧 V_{RL} の少なくともいずれか一方を、制御信号 V_{CONT} に応じて第1及び第2の出力21a、21bを介してゲインステージ15に提供する。第1の基準参照電圧 V_{RH} 及び第2の基準参照電圧 V_{RL} は、基準電圧源33、35から供給される。D/A変換回路21は、制御信号に応答して、第1の出力21aに第1及び第2の基準参照電圧 V_{RH} 、 V_{RL} のいずれかを提供すると共に第2の出力21bに第1及び第2の基準参照電圧 V_{RH} 、 V_{RL} のいずれかを提供するためのスイッチ回路31を含む。

10

【0058】

スイッチ回路31は、スイッチ31a、31bを動作させることにより第1及び第2の基準参照電圧 V_{RH} 、 V_{RL} をそれぞれ第1及び第2の出力21a、21bに供給し、スイッチ31a、31cを動作させることにより第1の基準参照電圧 V_{RH} を第1及び第2の出力21a、21bの両方に供給し、スイッチ31b、31cを動作させることにより第2の基準参照電圧 V_{RL} を第1及び第2の出力21a、21bの両方に供給する。D/A変換回路21の第1及び第2の出力21a、21bは、それぞれ、第1及び第2のキャパシタ25、27の一端25a、27aに接続されている。スイッチ31a~31cの開閉は、それぞれ、論理回路19からの制御信号 D_H 、 D_S 、 D_L によって制御されるので、デジタル信号 B_1 、 B_0 の値は、制御信号 D_H 、 D_S 、 D_L のうちのいずれがアクティブになるかを決定する。

20

【0059】

第1及び第2の出力21a、21bに提供される電圧をそれぞれ V_{DA1} 、 V_{DA2} とすると、D/A変換回路21は、論理回路19からの制御信号 V_{CONT} に応答して、例えば、以下の制御を行う。

【0060】

条件 $D = 2$ が満たされるとき： $V_{DA1} = V_{DA2} = V_{RH}$

30

条件 $D = 1$ が満たされるとき： $V_{DA1} = V_{RH}$ 、 $V_{DA2} = V_{RL}$

条件 $D = 0$ が満たされるとき： $V_{DA1} = V_{DA2} = V_{RL}$

【0061】

また、第1のA/D変換動作において、A/D変換回路17が1つのコンパレータ17aを用いてデジタル信号Dを生成する構成である場合には、D/A変換回路21は、コンパレータ17aからのデジタル信号 B_1 に基づく制御信号 V_{CONT} に応じて、以下のような制御を行う。

【0062】

条件 $B_1 = 1$ が満たされるとき： $V_{DA1} = V_{RH}$ 、 $V_{DA2} = V_{RL}$

40

条件 $B_1 = 0$ が満たされるとき： $V_{DA1} = V_{DA2} = V_{RL}$

【0063】

本発明の別の側面は、イメージセンサデバイスである。図4は、イメージセンサの画素を示す図面である。このイメージセンサデバイスは、イメージセンサセル2aのアレイを含むセルアレイと、セルアレイに接続されており複数のA/D変換回路111を含む変換器アレイとを備える。A/D変換回路111の各々は、セルアレイのカラム線8を介してイメージセンサセル2aに接続されている。

【0064】

イメージセンサセル2aは、例えばCMOSイメージセンサセルの構造を有する。フォトダイオードPDが、イメージに関連する一画素分の光Lを受ける。選択トランジスタ M_S のゲートは、行方向に伸びるロウ選択線Sに接続される。リセットトランジスタ M_R の

50

ゲートはリセット線 R に接続される。転送トランジスタ M_T のゲートは、行方向に伸びる転送選択線に接続される。フォトダイオード PD の一端は転送トランジスタ M_T を介して浮遊拡散層 FD に接続される。浮遊拡散層 FD は、リセットトランジスタ M_R を介してリセット電位線 R_{reset} に接続されると共に、トランジスタ M_A のゲートに接続される。トランジスタ M_A の一電流端子（例えばドレイン）は、選択トランジスタ M_S を介してカラム線 8 に接続される。トランジスタ M_A は、浮遊拡散層 FD の電荷量に応じて電位を選択トランジスタ M_S を介してカラム線に提供する。

【0065】

この構造のイメージセンサセル 2 a は、リセットレベルを示す第 1 の信号と該リセットレベルに重畳された信号レベルを示す第 2 の信号とを生成可能である。すなわち、イメージセンサセル 2 a は、まず、リセット制御信号 R をリセットトランジスタ M_R に提供し、浮遊拡散層 FD をリセットする。増幅トランジスタ M_A を介して、このリセットレベルを読み出す。次いで、電荷転送制御信号 TX を転送トランジスタ M_T に供給し、フォトダイオード PD から光誘起信号電荷を浮遊拡散層に転送する。この後、トランジスタ M_A を介して、この信号レベルを読み出す。このように、画素 2 a は、リセットレベルを示す第 1 の信号 S 1 と該リセットレベルに重畳された信号レベルを示す第 2 の信号 S 2 とを生成可能である。

10

【0066】

引き続き、図 5 を参照して、図 1 に示された A / D 変換回路 1 1 1 における第 1 の A / D 変換動作を説明する。

20

【0067】

図 5 (a) では、A / D 変換回路 1 1 1 は、第 1 の初期格納ステップとしての第 1 の格納動作を行う。このステップでは、ゲインステージ 1 5 の入力 1 5 a を介して受けたアナログ信号 V_{IN} を第 1 のキャパシタ 2 5 に格納し、ゲインステージ 1 5 の出力 2 3 b と第 1 の入力 2 3 a とを接続する。また、第 2 のキャパシタ 2 7 は、第 2 の出力 2 1 b から供給される第 2 の基準参照電圧 V_{RL} を格納し、第 3 のキャパシタ 2 9 は、演算増幅回路 2 3 の出力 2 3 b と第 1 の入力 2 3 a との間に接続される。

【0068】

第 1 の初期格納ステップ及び以下に説明する各ステップにおける格納及び接続は、スイッチ回路 3 1 及びスイッチ 4 3 , 4 7 , 4 9 , 5 1 , 5 3 により実現される。第 1 の初期格納ステップでは、制御信号 ($D_H = 0$, $D_S = 0$, $D_L = 1$) 及びクロック信号 ($\phi_1 = 1$, $\phi_2 = 0$, $\phi_3 = 0$, $R = 1$, $S = 1$) により、スイッチ 3 1 c , 4 7 , 5 3 , 4 3 は導通され、スイッチ 3 1 a , 3 1 b , 4 9 , 5 1 は非導通とされる。

30

【0069】

このとき、容量 C_{1a} , C_{1b} に蓄積される電荷 (Q_{1a} , Q_{1b}) は次式で表される。

【0070】

$$Q_{1a} = C_{1a} (V_{IN} - V_{COM}) \quad \dots (1)$$

$$Q_{1b} = C_{1b} (V_{RL} - V_{COM}) \quad \dots (2)$$

【0071】

第 1 の初期格納ステップに引き続き、A / D 変換回路 1 1 1 は、 $D (= B_1 + B_0)$ の値に従って、図 5 (b) 又は図 5 (c) に示される、第 1 の演算ステップとしての第 1 の演算動作を行う。

40

【0072】

このステップでは、第 1 のキャパシタ 2 5 を第 1 の出力 2 1 a と第 1 の入力 2 3 a との間に接続して第 1 の演算動作が行われる。また、第 2 のキャパシタ 2 7 が第 2 の出力 2 1 b と第 1 の入力 2 3 a との間に接続され、第 3 のキャパシタ 2 9 が演算増幅回路 2 3 の出力 2 3 b と第 1 の入力 2 3 a との間に接続されることにより、演算値 V_{OP} がゲインステージ 1 5 の出力 1 5 b に生成される。第 1 の演算ステップでは、クロック信号 ($\phi_1 = 0$, $\phi_2 = 1$, $\phi_3 = 0$, $R = 0$, $S = 0$) により、スイッチ 4 9 は導通され、スイッ

50

チ 47, 51, 53, 43 は非導通とされる。

【0073】

D/A変換回路21の第1の出力21a及び第2の出力21bには、コンパレータ17a, 17bからの出力値D(=B₁+B₀)に従ったスイッチ回路31の制御により、第1の基準参照電圧V_{RH}または第2の基準参照電圧V_{RL}が提供される。

【0074】

コンパレータ17a, 17bは、以下のように動作する。

【0075】

$$\begin{aligned} V_{OP} > V_{RCH} \text{ のとき} & \quad B_1 = 1, B_0 = 1 \\ V_{RCL} < V_{OP} \quad V_{RCH} \text{ のとき} & \quad B_1 = 0, B_0 = 1 \\ V_{OP} < V_{RCL} \text{ のとき} & \quad B_1 = 0, B_0 = 0 \quad \dots (3) \end{aligned}$$

10

【0076】

D=2のときには、D/A変換回路21の第1の出力21a及び第2の出力21bから第1の基準参照電圧V_{RH}が提供されるように制御されながら図5(b)の動作が行われる。一方、D=0のときには、D/A変換回路21の第1の出力21a及び第2の出力21bから第2の基準参照電圧V_{RL}が提供されるように制御されながら図5(b)の動作が行われる。さらに、D=1のときには、D/A変換回路21の第1の出力21a及び第2の出力21bからそれぞれ第1の基準参照電圧V_{RH}及び第2の基準参照電圧V_{RL}が提供されるように制御されながら図5(c)の動作が行われる。この動作の結果の出力値をD(2)とする。

20

【0077】

例えば、第1の初期格納ステップでは、V_{OP}=V_{COM}であるので、B₁=0, B₀=1となる。従って、D=1であるので、図5(c)に示される動作が行われる。このときの出力V_{OP}は以下ようになる。

【0078】

【数1】

$$\begin{aligned} V_{OP}(1) &= V_{COM} + \frac{C_{1a}(V_{IN} - V_{RL}) + C_{1b}(V_{RL} - V_{RL})}{2} \\ &= V_{COM} + \frac{1}{2}(V_{IN} - V_{RL}) \quad \dots(4) \end{aligned}$$

30

【0079】

続いて、A/D変換回路111は、図5(d)に示される第1の格納動作を第1の格納ステップとして行う。第1の格納ステップでは、第3のキャパシタ29を演算増幅回路23の出力23bと第1の入力23aとの間に接続することで演算値V_{OP}を容量C₂に保持したままで、ゲインステージ15の入力15aからのアナログ信号V_{IN}を第1のキャパシタ25に格納し、第2の出力21bから供給される第2の基準参照電圧V_{RL}を第2のキャパシタ27に格納する。第1の格納ステップでは、制御信号(D_H=0, D_S=0, D_L=1)及びクロック信号(φ₁=1, φ₂=0, φ₃=0, φ_R=0, φ_S=1)により、スイッチ31c, 47, 43は導通され、スイッチ31a, 31b, 49, 51, 53は非導通とされる。

40

【0080】

次いで、D(2)の値に応じて、A/D変換回路111は、図5(b)又は図5(c)に示される、第1の演算ステップとしての第1の演算動作を行う。すなわち、出力値Dの値に応じて図5(b)及び図5(c)に示される第1の演算動作のいずれかを選択しながら、A/D変換回路111は、第1の演算ステップ及び第1の格納ステップを所定回数繰り返して行う積分型A/D変換ステップを実施する。

【0081】

このときの演算値は、以下の式(5)により表される。

【0082】

50

【数 2】

$$V_{OP}(2) = V_{OP}(1) + \frac{C_{1a}V_{IN} + C_{1b}V_{RL} - C_{1a}(V_{RH}B_0 + V_{RL}\overline{B_0}) - C_{1b}(V_{RH}B_1 + V_{RL}\overline{B_1})}{C_2}$$

$$= V_{OP}(1) + \frac{1}{2}(V_{IN} - V_{RL}) - \Delta V_R D(2) \quad \dots(5)$$

【0083】

ここで、式(5)における V_R は以下の式(6)により表される。

【0084】

【数 3】

10

$$\Delta V_R = \frac{1}{2}(V_{RH} - V_{RL}) \quad \dots(6)$$

【0085】

積分型 A / D 変換ステップにおいて、第 1 の演算ステップ及び第 1 の格納ステップを M 回繰り返して、サンプリング及び積分を行ったときの演算値 V_{OP} は、以下の式(7)により表される。

【0086】

【数 4】

20

$$V_{OP}(M) = V_{COM} + \frac{M}{2}(V_{IN} - V_{RL}) - \Delta V_R \sum_{i=1}^M D(i) \quad \dots(7)$$

【0087】

式(7)の右辺第 2 項に示されるように、入力信号であるアナログ信号 V_{IN} に $1/2$ のゲインをかけて、M 回のサンプリングを行い、折り返し積分型の A / D 変換を行うと、その出力(演算値 V_{OP})の振幅範囲は、入力信号と同じになる。

【0088】

図 6 は、シミュレーションにより求めたゲインステージ 15 の積分型 A / D 変換器としての動作(折り返し積分型の A / D 変換)時における入出力特性を示す図面である。図 6 (a) は、($V_{RH} = 2V$ 、 $V_{RL} = 1V$ 、演算動作における参照電圧 $V_{RI} = V_{RL}$ 、 $V_{COM} = 1.5V$ 、サンプリング回数 $M = 16$) の条件における入出力特性を示す図である。図 6 (a) に示されるように、 $1.5 \sim 2.5V$ の振幅 $1V$ の入力に対して、出力は、 $1 \sim 2V$ となっており、その振幅は $1V$ の範囲に収められている。

30

【0089】

なお、以上の説明は、演算動作における参照電圧 V_{RI} として第 2 の基準参照電圧 V_{RL} を採用した場合の例である。すなわち、図 5 (a) 及び (d) において、第 2 のキャパシタ 27 に第 2 の基準参照電圧 V_{RL} が供給されている。これに対して、演算動作における参照電圧 V_{RI} として第 1 の基準参照電圧 V_{RH} を採用してもよい。第 1 の基準参照電圧 V_{RH} を採用した場合には、出力の絶対値は、第 2 の基準参照電圧 V_{RL} を採用した場合と相違する。この場合には、式(7)は、以下の式(8)に変形される。

40

【0090】

【数 5】

$$V_{OP}(M) = V_{COM} + \frac{M}{2}(V_{IN} - V_{RH}) - \Delta V_R \sum_{i=1}^M (D(i) - 1) \quad \dots(8)$$

【0091】

また、図 6 (b) は、($V_{RH} = 2.5V$ 、 $V_{RL} = 1.5V$ 、演算動作における参照電圧 $V_{RI} = V_{RH}$ 、 $V_{COM} = 2.0V$ 、サンプリング回数 $M = 16$) の条件における入出力特性を示す図である。図 6 (b) に示されるように、 $1.0 \sim 2.0V$ の振幅 $1V$ の入力に対して、出力は、 $1.5 \sim 2.5V$ となっており、その振幅は $1V$ の範囲に収め

50

られている。

【0092】

ここで、図6(a)に示した入出力特性と対比して、コンパレータ17a, 17bに供給される第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} を変更した場合に例を図7に示す。図6(a)に示した入出力特性の例では、第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} は、以下に示す値であった。

【0093】

$$V_{RCH} = (3V_{RH} + V_{RL}) / 4 = 1.75V$$

$$V_{RCL} = (V_{RH} + 3V_{RL}) / 4 = 1.25V$$

【0094】

これに対して、図7に示す入出力特性の例では、第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} は、以下に示す値である。

【0095】

$$V_{RCH} = (5V_{RH} + 3V_{RL}) / 8 = 1.625V$$

$$V_{RCL} = (3V_{RH} + 5V_{RL}) / 8 = 1.375V$$

【0096】

図7に示されるように、第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} が変更されると、ゲインステージ15における積分型A/D変換が好適に実施されない。従って、第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} は、図6(a)の入出力特性が得られたときのような値に設定されることが好ましい。

【0097】

イメージセンサセルからの信号に対する相関2重サンプリング(CDS)をアナログ領域で行うか(アナログCDS)、デジタル領域で行うか(デジタルCDS)により、いわゆる折り返し積分型A/D変換である積分型A/D変換ステップにおける入力信号、及び積分型A/D変換の後に行う巡回型A/D変換の実施の仕方が異なる。図8(a)は、アナログCDSを実施する場合の1水平読み出し期間における処理タイミングを示す図である。また、図8(b)は、デジタルCDSを実施する場合の1水平読み出し期間における処理タイミングを示す図である。

【0098】

図8(a)に示すように、アナログCDSを実施する場合には、期間 S_{fr1} において、イメージセンサセルから出力されリセットレベルを示す第1の信号をゲインステージ15に入力されるアナログ信号 V_{IN} として、積分型A/D変換を実施する(第1のリセットレベル用積分型A/D変換ステップ)。続いて、期間 S_{fs1} において、リセットレベルに重畳された信号レベルを示す第2の信号をゲインステージ15に入力されるアナログ信号 V_{IN} として、積分型A/D変換を実施する(第1の信号レベル用積分型A/D変換ステップ)。この第1の信号レベル用積分型A/D変換ステップでは、後に図9を参照して説明するように、積分器である第3のキャパシタ29に転送される電荷の極性が、第1のリセットレベル用積分型A/D変換ステップとは逆になるように演算が行われる。これにより、信号レベルがA/D変換されて得られるデジタル値における上位ビットの値が得られる。ここで得られるデジタル値では、ノイズがキャンセルされている。そして、期間 S_{cs1} において、第1の信号レベル用積分型A/D変換ステップの結果として得られる残差アナログ信号を入力信号として巡回型A/D変換が実施される。これにより、信号レベルがA/D変換されて得られるデジタル値における下位ビットの値が得られる。

【0099】

また、図8(b)に示すように、デジタルCDSを実施する場合には、期間 S_{fr2} において、イメージセンサセルから出力されリセットレベルを示す第1の信号をゲインステージ15に入力されるアナログ信号 V_{IN} として、積分型A/D変換が実施される(第1の信号に対する積分型A/D変換ステップ)。これにより、リセットレベルがA/D変換されて得られるデジタル値における上位ビットの値が得られる。続いて、期間 S_{cr2} において、第1の信号に対する積分型A/D変換ステップの結果として得られる残差ア

10

20

30

40

50

ナログ信号を入力信号として巡回型 A / D 変換が実施される（第 1 の信号に対する巡回型 A / D 変換ステップ）。これにより、リセットレベルが A / D 変換されて得られるデジタル値における下位ビットの値が得られる。従って、期間 S_{fr2} 及び期間 S_{cr2} において、リセットレベルが A / D 変換されたデジタル値が得られる。

【0100】

続いて、期間 S_{fs2} において、リセットレベルに重畳された信号レベルを示す第 2 の信号をゲインステージ 15 に入力されるアナログ信号 V_{IN} として、積分型 A / D 変換を実施する（第 2 の信号に対する積分型 A / D 変換ステップ）。これにより、第 2 の信号が A / D 変換されて得られるデジタル値における上位ビットの値が得られる。そして、期間 S_{cs2} において、第 2 の信号に対する積分型 A / D 変換ステップの結果として得られる残差アナログ信号を入力信号として巡回型 A / D 変換が実施される。これにより、第 2 の信号が A / D 変換されて得られるデジタル値における下位ビットの値が得られる。従って、期間 S_{fs2} 及び期間 S_{cs2} において、リセット信号が A / D 変換されたデジタル値が得られる。従って、期間 S_{fs2} 及び期間 S_{cs2} において、第 2 の信号が A / D 変換されたデジタル値が得られる。そして、期間 S_{fs2} 及び期間 S_{cs2} において得られたデジタル値から、期間 S_{fr2} 及び期間 S_{cr2} において得られたデジタル値を減ずることにより、セル間の出力のばらつき及びノイズがキャンセルされた、信号レベルのデジタル値が得られる。

10

【0101】

次に、図 9 を参照して、A / D 変換回路 111 における、巡回型 A / D 変換ステップとしての巡回型 A / D 変換の動作を説明する。この巡回型 A / D 変換は、例えば、図 8 における期間 S_{cs1} 、 S_{cr2} 、 S_{cs2} において行われる。

20

【0102】

まず、ゲインステージ 15 は、図 9 (a) に示すような、第 2 の初期格納ステップとしての第 2 の格納動作を実施する。このステップでは、第 1 の信号レベル用積分型 A / D 変換ステップ（期間 S_{fs1} ）、又は積分型 A / D 変換ステップ（期間 S_{fr2} 又は期間 S_{fs2} ）における演算値 V_{OP} である残差アナログ信号を第 1、第 2 及び第 3 のキャパシタ 25、27、29 に格納する。このステップでは、制御信号（ $D_H = 0$ 、 $D_S = 1$ 、 $D_L = 0$ ）及びクロック信号（ $\phi_1 = 1$ 、 $\phi_2 = 0$ 、 $\phi_3 = 1$ 、 $\phi_R = 0$ 、 $\phi_S = 0$ ）により、スイッチ 31c、47、51 は導通され、スイッチ 31a、31b、43、49、53 は非導通とされる。また、このステップでは、第 1 の信号レベル用積分型 A / D 変換ステップ、又は積分型 A / D 変換ステップにおける演算値 V_{OP} がコンパレータ 17a、17b に提供される。コンパレータ 17a、17b は、提供された演算値 V_{OP} に基づき、デジタル信号 B_1 、 B_0 を生成する。

30

【0103】

続いて、ゲインステージ 15 は、第 2 の初期格納ステップに引き続き、 $D (= B_1 + B_0)$ の値に従って、図 9 (b) 又は図 9 (c) に示される、第 2 の演算ステップとしての第 2 の演算動作を行う。第 2 の演算動作では、ゲインステージ 15 は、演算増幅回路 23 及びキャパシタ 25、27、29 により演算値 V_{OP} を生成する。第 2 の演算動作では、第 3 のキャパシタ 29 が演算増幅回路 15 の出力 15b と入力 15a との間に接続されると共に、第 1 のキャパシタ 25 が第 1 の出力 21a と第 1 の入力 23a との間に接続され、第 2 のキャパシタ 27 が第 2 の出力 21b と第 1 の入力 23a との間に接続される。第 2 の演算ステップでは、クロック信号（ $\phi_1 = 0$ 、 $\phi_2 = 1$ 、 $\phi_3 = 0$ 、 $\phi_R = 0$ 、 $\phi_S = 0$ ）により、スイッチ 49 は導通され、スイッチ 47、51、53、43 は非導通とされる。

40

【0104】

D / A 変換回路 21 の第 1 の出力 21a 及び第 2 の出力 21b には、コンパレータ 17a、17b からの出力値 $D (= B_1 + B_0)$ に従ってスイッチ回路 31 が制御され、第 1 の基準参照電圧 V_{RH} または第 2 の基準参照電圧 V_{RL} が提供される。

【0105】

50

コンパレータ 17 a , 17 b は、以下のように動作する。

【0106】

$V_{OP} > V_{RCH}$ のとき $D = 2$ ($B_1 = 1$, $B_0 = 1$)
 $V_{RCL} < V_{OP}$ V_{RCH} のとき $D = 1$ ($B_1 = 0$, $B_0 = 1$)
 $V_{OP} < V_{RCL}$ のとき $D = 0$ ($B_1 = 0$, $B_0 = 0$)

【0107】

$D = 2$ のときには、 D/A 変換回路 21 の第 1 の出力 21 a 及び第 2 の出力 21 b から第 1 の基準参照電圧 V_{RH} が提供されるように制御されながら図 9 (b) の動作が行われる。一方、 $D = 0$ のときには、 D/A 変換回路 21 の第 1 の出力 21 a 及び第 2 の出力 21 b から第 2 の基準参照電圧 V_{RL} が提供されるように制御されながら図 9 (b) の動作が行われる。さらに、 $D = 1$ のときには、 D/A 変換回路 21 の第 1 の出力 21 a 及び第 2 の出力 21 b からそれぞれ第 1 の基準参照電圧 V_{RH} 及び第 2 の基準参照電圧 V_{RL} が提供されるように制御されながら図 9 (c) の動作が行われる。

10

【0108】

続いて、ゲインステージ 15 は、第 2 の演算ステップに引き続き、図 9 (a) に示される、第 2 の格納ステップとしての第 2 の格納動作を行う。

【0109】

第 2 の格納ステップでは、第 2 の演算ステップにおける演算値 V_{OP} を第 1、第 2 及び第 3 のキャパシタ 25 , 27 , 29 に格納する点において、第 2 の初期格納ステップと相違する。

20

【0110】

そして、ゲインステージ 15 は、巡回型 A/D 変換ステップとして、第 2 の演算ステップ及び第 2 の格納ステップを所定回数繰り返して行う。

【0111】

次に、図 10 を参照して、例えば図 8 (a) における期間 S_{fs1} において実施されるような積分型 A/D 変換動作を説明する。図 10 は、前述したように、アナログ CDS を実施する場合における、リセットレベルに重畳された信号レベルを示す第 2 の信号に対する積分型 A/D 変換動作の例を示している。すなわち、積分器を構成するキャパシタに転送される電荷の極性が、リセットレベルを示す第 1 の信号に対して実施された積分型 A/D 変換 (図 5 参照) とは逆になるように、 A/D 変換動作が行われる。

30

【0112】

まず、ゲインステージ 15 は、1 ステップ前の演算動作における出力値 D の値に従って、 A/D 変換回路 111 は、図 10 (a) 又は図 10 (b) に示される第 1 の信号レベル用格納ステップとしての第 1 の格納動作を行う。このステップでは、ゲインステージ 15 は、第 3 のキャパシタ 29 を演算増幅回路 23 の出力 23 b と第 1 の入力 23 a との間に接続することで第 1 のリセットレベル用積分型 A/D 変換ステップにおける演算値 V_{OP} を容量 C_2 に保持したままで、第 1 の出力 21 a から供給される第 1 の基準参照電圧 V_{RH} 又は第 2 の基準参照電圧 V_{RL} を第 1 のキャパシタ 25 に格納し、第 2 の出力 21 b から供給される第 1 の基準参照電圧 V_{RH} 又は第 2 の基準参照電圧 V_{RL} を第 2 のキャパシタ 27 に格納する。

40

【0113】

$D = 2$ のときには、 D/A 変換回路 21 の第 1 の出力 21 a 及び第 2 の出力 21 b から第 2 の基準参照電圧 V_{RL} が提供されるように制御されながら図 10 (a) の動作が行われる。一方、 $D = 0$ のときには、 D/A 変換回路 21 の第 1 の出力 21 a 及び第 2 の出力 21 b から第 1 の基準参照電圧 V_{RH} が提供されるように制御されながら図 10 (a) の動作が行われる。さらに、 $D = 1$ のときには、 D/A 変換回路 21 の第 1 の出力 21 a 及び第 2 の出力 21 b からそれぞれ第 1 の基準参照電圧 V_{RH} 及び第 2 の基準参照電圧 V_{RL} が提供されるように制御されながら図 10 (b) の動作が行われる。

【0114】

続いて、ゲインステージ 15 は、図 10 (c) に示される第 1 の信号レベル用演算ステ

50

ップとしての第1の演算動作を行う。このステップでは、ゲインステージ15は、第2の信号が供給されたゲインステージ15の入力 V_{IN} と第1の入力23aとの間に第1のキャパシタ25を接続し、第2の出力21bと第1の入力23aとの間に第2のキャパシタ27を接続する。

【0115】

第1又は第2の基準参照電圧が第1及び第2のキャパシタ25, 27に供給された後に、アナログ信号 V_{IN} 及び演算増幅回路23における参照電圧 V_{RI} が第1及び第2のキャパシタ25, 27に供給されるので、アナログ信号 V_{IN} に関する電荷は、図5に示した、積分型A/D変換とは逆の極性により積分器に転送される。

【0116】

演算増幅回路23における参照電圧 V_{RI} が、($V_{RI} = V_{RL}$)である場合には、このときの演算値 $V_{OP}(M+1)$ は、以下の式(9)により表される。

【0117】

【数6】

$$V_{OP}(M+1) = V_{OP}(M) - \frac{1}{2}(V_{IN} - V_{RL}) + \Delta V_R D(M+1) \quad \dots(9)$$

【0118】

さらに、第1の信号レベル用演算ステップ及び第1の信号レベル用格納ステップをM回繰り返したときの演算値 $V_{OP}(2M)$ は、以下の式(10)により表される。

【0119】

【数7】

$$V_{OP}(2M) = V_{OP}(M) - \frac{M}{2}(V_{IN} - V_{RL}) + \Delta V_R \sum_{i=1}^M D(M+i) \quad \dots(10)$$

【0120】

また、 $V_{RI} = V_{RH}$ である場合には、式(10)は、以下の式(11)のように変形される。

【0121】

【数8】

$$V_{OP}(2M) = V_{OP}(M) - \frac{M}{2}(V_{IN} - V_{RH}) + \Delta V_R \sum_{i=1}^M (D(M+i) - 1) \quad \dots(11)$$

【0122】

また、第1のリセットレベル用積分型A/D変換ステップ(1~M回目のサンプリング及び積分)において、ゲインステージ15の入力15aに提供されるアナログ信号 V_{IN} は、リセットレベルの信号 V_{RES} であり、第1の信号レベル用積分型A/D変換ステップ(M+1~2M回目のサンプリング及び積分)において、ゲインステージ15の入力15aに提供されるアナログ信号 V_{IN} は、信号レベルの信号 V_{SIG} であるので、式(10)は、式(12)のように表される。

【0123】

【数9】

$$V_{OP}(2M) = V_{COM} + \frac{M}{2}(V_{RES} - V_{SIG}) + \Delta V_R \left(\sum_{i=1}^M D(M+i) - \sum_{i=1}^M D(i) \right) \quad \dots(12)$$

【0124】

さらに、式(12)は、以下の式(13)のように表される。

【0125】

10

20

30

40

【数 1 0】

$$\frac{M(V_{RES} - V_{SIG})}{2\Delta V_R} = \frac{V_{OP}(2M) - V_{COM}}{\Delta V_R} + \left(\sum_{i=1}^M D(i) - \sum_{i=1}^M D(M+i) \right) \quad \dots(13)$$

【0 1 2 6】

さらに、式(13)は、式(6)を用いて、以下の式(14)のように表される。

【0 1 2 7】

【数 1 1】

$$\frac{M(V_{RES} - V_{SIG})}{V_{RH} - V_{RL}} = 2 \frac{V_{OP}(2M) - V_{COM}}{V_{RH} - V_{RL}} + \left(\sum_{i=1}^M D(i) - \sum_{i=1}^M D(M+i) \right) \quad \dots(14)$$

10

【0 1 2 8】

式(14)の右辺における $V_{OP}(2M)$ に対して m ビットの巡回型A/D変換を行うことにより、式(14)の右辺第1項の $(V_{OP}(2M) - V_{COM}) / (V_{RH} - V_{RL})$ は、 -0.5 から 0.5 までの値をとるデジタル値に変換される。このデジタル値を X として、以下の式(15)のように表す。

【0 1 2 9】

【数 1 2】

$$X = \left[\frac{V_{OP}(2M) - V_{COM}}{V_{RH} - V_{RL}} \right] \quad \dots(15)$$

20

【0 1 3 0】

ここで、かっこ[]は、かっこ内の値のデジタル値を意味する。

さらに、値 Y を式(16)のように表す。

【0 1 3 1】

【数 1 3】

$$Y = \left[\frac{V_{RES} - V_{SIG}}{V_{RH} - V_{RL}} \right] \quad \dots(16)$$

【0 1 3 2】

式(14)は、値 X 、 Y を用いて、以下の式(17)のように表される。

30

【0 1 3 3】

【数 1 4】

$$Y = 2 \frac{X}{M} + \frac{1}{M} \left(\sum_{i=1}^M D(i) - \sum_{i=1}^M D(M+i) \right) \quad \dots(17)$$

【0 1 3 4】

式(17)は、求められるべき $M(V_{RES} - V_{SIG})$ に対するデジタル値が、巡回型A/D変換の結果と折り返し積分型A/D変換の結果(デジタルカウント値)とによって表されることを意味する。折り返し積分型A/D変換の結果を n ビットとすると、本実施形態のA/D変換回路111は、 $(n+m-1)$ ビットのデジタル値を得るA/D変換を実施できる。なお、折り返し積分型A/D変換の結果であるデジタルカウント値は、A/D変換回路17の後段に設けられたカウンタ回路により出力値 $D(B_1 + B_0)$ 又は B_1 に1が現れた回数取得されることにより得られる。このカウント値の取得については後述する。

40

【0 1 3 5】

図11は、図6のシミュレーションに対応する入力信号であるアナログ信号 V_{IN} の入力レベルとデジタルカウント値との関係を示す図である。図11(a)及び(b)に示されるように、積分型A/D変換における16回のサンプリング及び積分及び1.0Vの入力範囲に対し、デジタルカウント値は、15階調の値を取り得る。従って、このディ

50

デジタルカウント値の範囲は、約 4 ビットで表される。

【 0 1 3 6 】

式 (1 3) における

【 数 1 5 】

$$\left(\sum_{i=1}^M D(i) - \sum_{i=1}^M D(M+i) \right)$$

の項は、入力レベルの範囲が 1 . 0 V である場合に、0 ~ 1 4 の範囲の値を取りうるので、4 ビットで表される。従って、例えば、巡回型 A / D 変換を 1 2 ビットの出力結果が得られるように実施した場合には、カウンタ値の上位ビットを 1 ビットシフトして線形の信号を生成することから、本実施形態の A / D 変換回路 1 1 1 は、1 5 ビット (= (1 2 + 4 - 1) ビット) にほぼ相当するダイナミックレンジを有することができる。以上説明したように、本実施形態の A / D 変換回路 1 1 1 は、折り返し積分型の A / D 変換である積分型 A / D 変換によるノイズ低減の効果を十分に得ながら、広いダイナミックレンジを有するデジタル信号の出力をすることができる。

10

【 0 1 3 7 】

引き続き、図 1 2 を参照して、A / D 変換回路 1 7 が 1 つのコンパレータ 1 7 a を用いてデジタル信号 D を生成する場合における第 1 の A / D 変換動作を説明する。

【 0 1 3 8 】

図 1 2 (a) では、ゲインステージ 1 5 は、第 1 の初期格納ステップとしての第 1 の格納動作を行う。このステップでは、ゲインステージ 1 5 の入力 1 5 a を介して受けたアナログ信号 V_{IN} を第 1 のキャパシタ 2 5 に格納し、ゲインステージ 1 5 の出力 2 3 b と第 1 の入力 2 3 a とを接続する。また、第 2 のキャパシタ 2 7 は、第 2 の出力 2 1 b から供給される第 2 の基準参照電圧 V_{RL} を格納し、第 3 のキャパシタ 2 9 は、演算増幅回路 2 3 の出力 2 3 b と第 1 の入力 2 3 a との間に接続される。

20

【 0 1 3 9 】

第 1 の初期格納ステップ及び以下に説明する各ステップにおける格納及び接続は、スイッチ回路 3 1 及びスイッチ 4 3 , 4 7 , 4 9 , 5 1 , 5 3 により実現される。第 1 の初期格納ステップでは、制御信号 ($D_H = 0$, $D_S = 0$, $D_L = 1$) 及びクロック信号 ($\phi_1 = 1$, $\phi_2 = 0$, $\phi_3 = 0$, $R = 1$, $S = 1$) により、スイッチ 3 1 c , 4 7 , 5 3 , 4 3 は導通され、スイッチ 3 1 a , 3 1 b , 4 9 , 5 1 は非導通とされる。

30

【 0 1 4 0 】

第 1 の初期格納ステップに引き続き、A / D 変換回路 1 1 1 は、 $D (= B_1)$ の値に従って、図 1 2 (b) 又は図 1 2 (c) に示される、第 1 の演算ステップとしての第 1 の演算動作を行う。

【 0 1 4 1 】

このステップでは、第 1 のキャパシタ 2 5 を第 1 の出力 2 1 a と第 1 の入力 2 3 a との間に接続して第 1 の演算動作が行われる。また、第 2 のキャパシタ 2 7 が第 2 の出力 2 1 b と第 1 の入力 2 3 a との間に接続され、第 3 のキャパシタ 2 9 が演算増幅回路 2 3 の出力 2 3 b と第 1 の入力 2 3 a との間に接続されることにより、演算値 V_{OP} がゲインステージ 1 5 の出力 1 5 b に生成される。第 1 の演算ステップでは、クロック信号 ($\phi_1 = 0$, $\phi_2 = 1$, $\phi_3 = 0$, $R = 0$, $S = 0$) により、スイッチ 4 9 は導通され、スイッチ 4 7 , 5 1 , 5 3 , 4 3 は非導通とされる。

40

【 0 1 4 2 】

D / A 変換回路 2 1 の第 1 の出力 2 1 a 及び第 2 の出力 2 1 b には、コンパレータ 1 7 a からの出力値 $D (= B_1)$ に従ったスイッチ回路 3 1 の制御により、第 1 の基準参照電圧 V_{RH} または第 2 の基準参照電圧 V_{RL} が提供される。

【 0 1 4 3 】

コンパレータ 1 7 a は、以下のように動作する。

【 0 1 4 4 】

50

$V_{OP} > V_{RCH}$ のとき $B_1 = 1$
 $V_{OP} < V_{RCH}$ のとき $B_1 = 0$

【0145】

$D = 0$ ($B_1 = 0$) のときには、D/A変換回路21の第1の出力21a及び第2の出力21bからそれぞれ第1の基準参照電圧 V_{RH} 及び第2の基準参照電圧 V_{RL} が提供されるように制御されながら図12(b)の動作が行われる。一方、 $D = 1$ のときには、D/A変換回路21の第1の出力21a及び第2の出力21bから第2の基準参照電圧 V_{RL} が提供されるように制御されながら図12(b)の動作が行われる。

【0146】

続いて、ゲインステージ15は、図12(d)に示される第1の格納動作を第1の格納ステップとして行う。第1の格納ステップでは、第3のキャパシタ29を演算増幅回路23の出力23bと第1の入力23aとの間に接続することで演算値 V_{OP} を容量 C_2 に保持したままで、ゲインステージ15の入力15aからのアナログ信号 V_{IN} を第1のキャパシタ25に格納し、第2の出力21bから供給される第2の基準参照電圧 V_{RL} を第2のキャパシタ27に格納する。第1の格納ステップでは、制御信号($DH = 0$, $DS = 0$, $DL = 1$)及びクロック信号($C_1 = 1$, $C_2 = 0$, $C_3 = 0$, $CR = 0$, $CS = 1$)により、スイッチ31c, 47, 43は導通され、スイッチ31a, 31b, 49, 51, 53は非導通とされる。

【0147】

次いで、ゲインステージ15は、出力値Dの値に応じて図12(b)及び図12(c)に示される第1の演算動作のいずれかを選択しながら、第1の演算ステップ及び第1の格納ステップを所定回数繰り返して行う積分型A/D変換ステップを実施する。

【0148】

図13は、A/D変換回路17が1つのコンパレータ17aを用いてデジタル信号Dを生成する場合における、ゲインステージ15の積分型A/D変換器としての動作(折り返し積分型のA/D変換)時のシミュレーションにより求めた入出力特性を示す図面である。このシミュレーションにおける条件は、($V_{RH} = 2.5V$ 、 $V_{RL} = 1.5V$ 、演算動作における参照電圧 $V_{RI} = V_{RL}$ 、 $V_{COM} = 2.0V$ 、サンプリング及び積分回数 $M = 16$)である。図13に示されるように、 $1.5 \sim 2.5V$ の振幅1Vの入力に対して、出力は、 $1.5 \sim 2.5V$ となっており、その振幅は1Vの範囲に収められている。

【0149】

次に、図14～図16を参照して、第1のA/D変換動作である折り返し積分型A/D変換の出力値Dに基づき、A/D変換の結果としてのデジタル値を生成するためのデジタル部DCの構成を説明する。図14(a)は、A/D変換回路17が2つのコンパレータ17a, 17b及び2つの変換参照電圧 V_{RCH} , V_{RCL} を用いてデジタル信号Dを生成する場合におけるデジタル部 DC_A を示す図である。デジタル部 DC_A は、コンプリメント部 CP_A 、加算器 AD_A 、レジスタ RG_{1A} 及びレジスタ RG_{2A} を含む。また、図15は、図14(a)に示したコンプリメント部 CP_A 、加算器 AD_A 、レジスタ RG_{1A} の詳細な構成を示す図である。図15に示す例では、5ビットのデジタル値が得られる。以下、図14(a)及び図15を参照して、これらの構成の動作を説明する。

【0150】

まず5ビットのレジスタ RG_{1A} (5個のフリップフロップFFからなる)にリセット信号 $reset$ を与えて、それらの出力を0にする。積分型A/D変換における積分の1サイクル毎に、レジスタ RG_{1A} の出力と、積分型A/D変換の2つのコンパレータ17a, 17bからの2ビットの出力(B_1 , B_0)とが加算器 AD_A (5個の全加算器FAからなる)により加算され、更にクロックを加えて、その出力結果をレジスタ RG_{1A} に格納する。これらの加算及び格納を繰り返すことにより、2ビットの出力がデジタル積分されることとなる。リセットレベルを示す第1の信号のA/D変換を実施する場合には

、コンプリメント部 CP_A に提供される信号 C_{omp} を 0 に設定する。これにより、コンプリメント部 CP_A の出力は、 $(X_2 = 0, X_3 = 0, X_4 = 0)$ となる。そして、入力が $(B_0 = 0, B_1 = 0)$ の時は、出力が $(X_0 = 0, X_1 = 0)$ となるので、値の加算は行われない。また、入力が $(B_0 = 1, B_1 = 0)$ の時は、出力が $(X_0 = 1, X_1 = 0)$ となるので、値が 1 ずつ加算される。さらに、入力が $(B_0 = 1, B_1 = 1)$ の時は、出力が $(X_0 = 0, X_1 = 1)$ となるので、値が 2 ずつ加算される。

【0151】

一方、信号レベルを示す第 2 の信号の A/D 変換を実施する場合には、コンプリメント部 CP_A に提供される信号 C_{omp} を 1 に設定する。これにより、コンプリメント部 CP_A の出力は、 $(X_2 = 1, X_3 = 1, X_4 = 1)$ となる。そして、入力が $(B_0 = 0, B_1 = 0)$ の時は、出力が $(X_0 = 0, X_1 = 0, X_2 = 0, X_3 = 0, X_4 = 0)$ となり、値の加算は行われない。また、入力が $(B_0 = 1, B_1 = 0)$ の時は、出力が $(X_0 = 1, X_1 = 1, X_2 = 1, X_3 = 1, X_4 = 1)$ となり、これを 2 の補数として考えると、値が -1 ずつ加算される。さらに、入力が $(B_0 = 1, B_1 = 1)$ の時は、出力が $(X_0 = 0, X_1 = 1, X_2 = 1, X_3 = 1, X_4 = 1)$ となり、これを 2 の補数として考えると、値が -2 ずつ加算される。

10

【0152】

以上のような構成により、リセットレベル及び信号レベルのそれぞれに対して積分を繰り返す毎に、参照電圧を引き戻す回数を数え上げ、両者の差に相当する回数が最終的にレジスタ RG_{1A} に格納される。すなわち、このような構成は、図 8 (b) を参照して説明したような、デジタル CDS によるデジタル値の取得において採用されることができる。なお、レジスタ RG_{2A} は、巡回型 A/D 変換の結果として得られるデジタル値を格納する。

20

【0153】

図 14 (b) は、A/D 変換回路 17 が 1 つのコンパレータ 17a 及び 1 つの変換参照電圧 V_{RCH} を用いてデジタル信号 D を生成する場合におけるデジタル部 DC_B を示す図である。デジタル部 DC_B は、コンプリメント部 CP_B 、加算器 AD_B 、レジスタ RG_{1B} 及びレジスタ RG_{2B} を含む。また、図 16 は、図 14 (b) に示したコンプリメント部 CP_B の詳細な構成を示す図である。なお、加算器 AD_B 及びレジスタ RG_{1B} の構成は、図 15 に示したものと同様である。図 16 に示す例では、5 ビットのデジタル値が得られる。以下、図 14 (b) 及び図 16 を参照して、これらの構成の動作を説明する。

30

【0154】

まず、5 ビットのレジスタ RG_{1B} (5 個のフリップフロップ FF からなる) にリセット信号 $reset$ を与えて、それらの出力を 0 にする。積分型 A/D 変換における積分の 1 サイクル毎に、レジスタ RG_{1B} の出力と、積分型 A/D 変換の 1 つのコンパレータ 17a からの 1 ビットの出力 (B_1) とが加算器 AD_B (5 個の全加算器 FA からなる) により加算され、更にクロックを加えて、その出力結果をレジスタ RG_{1B} に格納する。これらの加算及び格納を繰り返すことにより、1 ビットの出力がデジタル積分されることとなる。リセットレベルを示す第 1 の信号の A/D 変換を実施する場合には、コンプリメント部 CP_B に提供される信号 C_{omp} を 0 に設定する。これにより、コンプリメント部 CP_B の出力は、 $(X_1 = 0, X_2 = 0, X_3 = 0, X_4 = 0)$ となる。そして、入力が $(B_1 = 0)$ の時は、出力が $(X_0 = 0)$ となるので、値の加算は行われない。また、入力が $(B_1 = 1)$ の時は、出力が $(X_0 = 1)$ となるので、値が 1 ずつ加算される。

40

【0155】

一方、信号レベルを示す第 2 の信号の A/D 変換を実施する場合には、コンプリメント部 CP_B に提供される信号 C_{omp} を 1 に設定する。これにより、コンプリメント部 CP_B の出力は、 $(X_1 = 0, X_2 = 1, X_3 = 1, X_4 = 1)$ となる。そして、入力が $(B_1 = 0)$ の時は、出力が $(X_0 = 0, X_1 = 0, X_2 = 0, X_3 = 0, X_4 = 0)$ となり、値の加算は行われない。また、入力が $(B_1 = 1)$ の時は、出力が $(X_0 = 1, X_1 =$

50

1, $X_2 = 1$, $X_3 = 1$, $X_4 = 1$) となり、これを 2 の補数として考えると、値が - 1 ずつ加算される。

【0156】

以上のような構成により、リセットレベル及び信号レベルのそれぞれに対して積分を繰り返す毎に、参照電圧を引き戻す回数を数え上げ、両者の差に相当する回数が最終的にレジスタ RG_{1B} に格納される。すなわち、このような構成は、図 8 (b) を参照して説明したような、デジタル CDS によるデジタル値の取得において採用されることができる。なお、レジスタ RG_{2B} は、巡回型 A/D 変換の結果として得られるデジタル値を格納する。

【0157】

以上説明した第 1 の実施形態に係る A/D 変換回路 111 によれば、同一の回路構成において動作手順の制御を行うことにより、折り返し積分型の A/D 変換を行うための第 1 の A/D 変換動作と、巡回型の A/D 変換を行うための第 2 の A/D 変換動作とが実現される。また、第 1 の A/D 変換動作において、出力信号の積分に用いられる第 3 のキャパシタ 29 の容量は、A/D 変換対象のアナログ信号及び基準参照電圧の格納に用いられる第 1 及び第 2 のキャパシタ 25, 27 の容量より大きいので、折り返し積分型の A/D 変換において入力されるアナログ信号 V_{IN} は、その容量比に従って減衰されてサンプリング及び積分される。これ故に、折り返し積分型の A/D 変換において出力されるアナログ信号の電圧範囲も、キャパシタの容量比に従って小さくなるので、シングルエンド構成により当該 A/D 変換器を構成できる。

【0158】

以上の第 1 の実施形態をまとめると以下の要旨を有する。

【0159】

本発明の第 1 の実施形態は、シングルエンド構成の A/D 変換器である。この A/D 変換器は、デジタル値に変換されるアナログ信号を受ける入力、出力、並びに第 1 の入力、第 2 の入力及び出力を有する演算増幅回路を含むゲインステージと、ゲインステージの出力からの信号に基づき、変換参照電圧を参照して、1 又は複数のビットを含むデジタル信号を生成する A/D 変換回路と、デジタル信号に応じて、制御信号を生成する論理回路と、第 1 及び第 2 の出力を有し、第 1 の基準参照電圧及び第 2 の基準参照電圧の少なくともいずれか一方を、制御信号に応じて第 1 及び第 2 の出力を介してゲインステージに提供する D/A 変換回路とを備える。

ゲインステージは、第 1 ~ 第 3 のキャパシタを含み、第 3 のキャパシタの容量は、第 1 及び第 2 のキャパシタの容量より大きく、演算増幅回路の第 2 の入力は、基準電位を受け、第 1 の基準参照電圧は、第 2 の基準参照電圧値より高く、D/A 変換回路は、制御信号に応じて、第 1 の出力に第 1 及び第 2 の基準参照電圧のいずれかを提供すると共に第 2 の出力に第 1 及び第 2 の基準参照電圧のいずれかを提供するためのスイッチ回路を含む。

当該 A/D 変換器は、第 1 の A/D 変換動作と、第 2 の A/D 変換動作を行い、第 1 の A/D 変換動作では、ゲインステージは、演算増幅回路及び第 1 ~ 第 3 のキャパシタにより演算値を生成する第 1 の演算動作と、第 1 の格納動作と、を行い、第 1 の格納動作では、第 1 のキャパシタは、第 1 の出力から供給される第 1 若しくは第 2 の基準参照電圧又はアナログ信号を格納し、第 2 のキャパシタは、第 2 の出力から供給される第 1 又は第 2 の基準参照電圧を格納し、第 3 のキャパシタは、演算増幅回路の出力と第 1 の入力との間に接続される。

第 1 の演算動作では、第 1 の格納動作において第 1 又は第 2 の基準参照電圧が第 1 のキャパシタに格納された場合には、第 1 のキャパシタがアナログ信号を受ける入力と第 1 の入力との間に接続され、格納動作においてアナログ信号が第 1 のキャパシタに格納された場合には、第 1 のキャパシタが第 1 の出力と第 1 の入力との間に接続され、第 2 のキャパシタが第 2 の出力と第 1 の入力との間に接続され、第 3 のキャパシタが演算増幅回路の出力と第 1 の入力との間に接続されることにより、演算値がゲインステージの出力に生成される。

10

20

30

40

50

第2のA/D変換動作では、ゲインステージは、演算増幅回路及び第1～第3のキャパシタにより演算値を生成する第2の演算動作と、演算値を第1及び第2のキャパシタに格納する第2の格納動作を行い、第2の演算動作では、第3のキャパシタが演算増幅回路の出力と第1の入力との間に接続されると共に第1及び第2のキャパシタがそれぞれD/A変換回路の第1又は第2の出力と第1の入力との間に接続されて、演算値が当該ゲインステージの出力に生成される、ことを特徴とする。

【0160】

このA/D変換器によれば、同一の回路構成において動作手順の制御を行うことにより、フォールディング積分型のA/D変換を行うための第1のA/D変換動作と、巡回型のA/D変換を行うための第2のA/D変換動作とが実現される。また、第1のA/D変換動作において、出力信号の積分に用いられる第3のキャパシタの容量は、A/D変換対象のアナログ信号及び基準参照電圧の格納に用いられる第1及び第2のキャパシタの容量より大きいので、フォールディング積分型のA/D変換において入力されるアナログ信号は、その容量比に従って減衰されてサンプリング及び積分される。これ故に、フォールディング積分型のA/D変換において出力されるアナログ信号の電圧範囲も、キャパシタの容量比に従って小さくなるので、シングルエンド構成により当該A/D変換器を構成できる。

10

【0161】

また、このA/D変換器では、第3のキャパシタは、第1又は第2のキャパシタの容量の2倍の容量を有する、ことを特徴とする。

20

【0162】

さらに、このA/D変換器によれば、フォールディング積分型のA/D変換において入力されるアナログ信号は、1/2に減衰されてサンプリング及び積分される。これ故に、フォールディング積分型のA/D変換において出力されるアナログ信号の電圧範囲も、キャパシタの容量比に従って1/2となるので、巡回型のA/D変換において、シングルエンド構成のA/D変換器に適した入力電圧が提供される。

【0163】

またさらに、このA/D変換器では、変換参照電圧は、第1の基準参照電圧と第2の基準参照電圧値との間の中央値であり、A/D変換回路は、1ビットのデジタル信号を生成し、論理回路は、第1及び第2の値を有する制御信号を生成する、ことを特徴とする。

30

【0164】

また、このA/D変換器によれば、適切に設定された一つの変換参照電圧に基づきデジタル信号が生成されるので、A/D変換回路が簡易に構成されると共に、生成されたデジタル信号を受ける回路も簡易な構成なものを採用できる。

【0165】

さらに、このA/D変換器では、第2のA/D変換動作における第1の変換参照電圧 V_{RC2H} は及び第2の変換参照電圧 V_{RC2L} はそれぞれ下記式により表される、

$$V_{RC2H} = (5V_{RH} + 3V_{RL}) / 8$$

$$V_{RC2L} = (3V_{RH} + 5V_{RL}) / 8$$
 ことを特徴とする。このA/D変換器によれば、適切に第2のA/D変換動作が実施される。

40

【0166】

またさらに、このA/D変換器では、A/D変換回路は、第1及び第2の変換参照電圧を有し、第1の変換参照電圧は、第1の基準参照電圧と第2の基準参照電圧値との間の中央値より高く且つ第1の基準参照電圧より低く、第1のA/D変換動作における第1の変換参照電圧は、第2のA/D変換動作における第1の変換参照電圧より高く、第2の変換参照電圧は、中央値より低く且つ第2の基準参照電圧より高く、第1のA/D変換動作における第2の変換参照電圧は、第2のA/D変換動作における第2の変換参照電圧より低く、A/D変換回路は、3値のデジタル信号を生成し、論理回路は、第1～第3の値を有する制御信号を生成する、ことを特徴とする。

50

【0167】

また、このA/D変換器によれば、変換参照電圧が適切な電圧に設定されるので、第1のA/D変換動作及び第2のA/D変換動作が適切に実施される。

【0168】

さらに、このA/D変換器では、第1の基準参照電圧を V_{RH} 、第2の基準参照電圧を V_{RL} 、としたときに、第1のA/D変換動作における第1の変換参照電圧 V_{RC1H} 及び第2の変換参照電圧 V_{RC1L} はそれぞれ下記式により表され、

$$V_{RC1H} = (3V_{RH} + V_{RL}) / 4$$

$$V_{RC1L} = (V_{RH} + 3V_{RL}) / 4$$

第2のA/D変換動作における第1の変換参照電圧 V_{RC2H} は及び第2の変換参照電圧 V_{RC2L} はそれぞれ下記式により表される、

$$V_{RC2H} = (5V_{RH} + 3V_{RL}) / 8$$

$$V_{RC2L} = (3V_{RH} + 5V_{RL}) / 8$$

ことを特徴とする。このA/D変換器によれば、適切に第2のA/D変換動作が実施される。

【0169】

またさらに、このA/D変換器では、第1の格納動作では、第1のキャパシタは、第1の出力又はゲインステージの入力と基準電位との間に接続され、第2のキャパシタは、第2の出力又はゲインステージの入力と基準電位との間に接続される、ことを特徴とする。

【0170】

またさらに、このA/D変換器によれば、第1の出力により供給される基準参照電圧又はゲインステージの入力から供給されるアナログ信号が第1のキャパシタに格納され、第2の出力により供給される基準参照電圧又はゲインステージの入力から供給されるアナログ信号が第2のキャパシタに格納される。

【0171】

また、本発明の第2の実施形態の別の態様は、イメージセンサデバイスである。このイメージセンサデバイスは、イメージセンサセルのアレイを含むセルアレイと、セルアレイに接続されており複数のA/D変換器を含む変換器アレイとを備え、A/D変換器の各々は、セルアレイのカラム線を介してイメージセンサセルに接続されており、A/D変換器の各々は、上記したA/D変換器である、ことを特徴とする。このイメージセンサデバイスによれば、A/D変換器がシングルエンド型で構成されるので、イメージセンサデバイスの面積を小さくできる。

【0172】

第2の実施形態。

図17は本発明の第2の実施形態に係るCMOSイメージセンサ101の構成を示すブロック図である。また、図18は図17のデジタル補正回路112の構成を示すブロック図である。第2の実施形態に係るCMOSイメージセンサ101は、第1の実施形態に係る、折り返し積分型A/D変換と巡回型A/D変換とを順次行う積分・巡回型A/D変換器を用いた積分・巡回型ADCアレイ104を備え、さらに、例えば14ビット相当の線形性を得るため、折り返し積分型A/D変換回路と巡回型A/D変換回路の以下の誤差に関して、デジタル補正を行うデジタル補正回路112を備えたことを特徴としている。

(1) キャパシタのランダム及びシステムティックなミスマッチ誤差。

(2) 演算増幅回路の有限ゲインに伴う誤差。

(3) 演算増幅回路のセットリング誤差(線形として扱える小さい誤差の場合)。

【0173】

図17のCMOSイメージセンサ101において、セルアレイ102はCMOSイメージセンサ画素102aが行方向および列方向に配列されている。図17には、CMOSイメージセンサ画素102aの一例が示されている。画素102aは、リセット状態における第1の信号S1と光誘起信号出力における第2の信号S2とを生成する。積分・巡回型

A D C アレイ 1 0 4 内の A / D 変換回路 1 1 1 の入力端子が画素 1 0 2 a に接続されている。

【 0 1 7 4 】

C M O S イメージセンサ 1 0 1 では、セルアレイ 1 0 2 の行に垂直シフトレジスタ 1 0 3 が接続されており、セルアレイ 1 0 2 の列には A / D 変換器アレイ 1 0 4 が接続されており、画像を読み取る。A / D 変換器アレイ 1 0 4 は、アレイ状に配列された複数の A / D 変換回路 1 1 1 を含む。A / D 変換器アレイ 1 0 4 には、データレジスタ 1 0 5 が接続されており、画素 1 0 2 a からの信号に対応する A / D 変換値がデータレジスタ 1 0 5 に格納される。データレジスタ 1 0 5 は、水平シフトレジスタ 1 0 6 からの信号に回答して、デジタル信号を、上記デジタル補正を行うデジタル補正回路 1 1 2 を介して冗長表現 - 非冗長表現変換回路 1 0 7 へ提供する。ここで、A / D 変換回路 1 1 1 とデジタル補正回路 1 1 2 とにより N ビット A / D 変換装置を構成しており、冗長表現 - 非冗長表現変換回路 1 0 7 は、画素 1 0 2 a からの信号に対応した N ビットのデジタルコードを生成する。

10

【 0 1 7 5 】

画素 1 0 2 a は、フォトダイオード P D が、イメージに関連する一画素分の光を受ける。選択トランジスタ M_S のゲートは、行方向に伸びる行選択線 S に接続されている。リセットトランジスタ M_R のゲートはリセット線 R に接続されている。転送トランジスタ M_T のゲートは、行方向に伸びる転送選択線に接続されている。フォトダイオード P D の一端は転送トランジスタ M_T を介して浮遊拡散層 F D に接続されている。浮遊拡散層 F D は、リセットトランジスタ M_R を介してリセット電位線 R e s e t に接続されると共に、トランジスタ M_A のゲートに接続されている。トランジスタ M_A の一電流端子（例えばドレイン）は、選択トランジスタ M_S を介して列線 1 0 8 に接続されている。トランジスタ M_A は、浮遊拡散層 F D の電荷量に応じて電位を、選択トランジスタ M_S を介して列線 1 0 8 に提供する。

20

【 0 1 7 6 】

この構造の画素 1 0 2 a において、ノイズキャンセル動作は、以下のように行われる。まず、リセット制御信号 R をリセットトランジスタ M_R に提供し、浮遊拡散層 F D をリセットする。増幅トランジスタ M_A を介して、このリセットレベルを読み出す。次いで、電荷転送制御信号 T X を転送トランジスタ M_T に供給し、フォトダイオード P D から光誘起信号電荷を浮遊拡散層に転送する。この後、トランジスタ M_A を介して、この信号レベルを読み出す。このリセットレベルと信号レベルの差は、例えば図 1 に示されるような積分・巡回型カスケード A / D 変換器を用いて求められる。これによって、画素 1 0 2 a のトランジスタの特性ばらつきによる固定パターンノイズと、浮遊拡散層をリセットしたときに発生するリセットノイズといったノイズがキャンセルされる。

30

【 0 1 7 7 】

図 1 8 において、デジタル補正回路 1 1 2 は、A / D 変換回路 1 1 1 から出力される各種のパラメータ m_1 , M_1 , $D(i)$, $D_1(i)$ (詳細後述する)を一時的に記憶するレジスタ 7 0 と、レジスタ 7 0 からの各種のパラメータ m_1 , M_1 , $D(i)$, $D_1(i)$ に基づいて後述する式 (1 8) における誤差 E_{FI} , E_{FR} , E_{g1} , E_{m1} を計算する計算部 7 1 ~ 7 4 と、計算部 7 1 ~ 7 4 により計算された誤差 E_{FI} , E_{FR} , E_{g1} , E_{m1} 及び A / D 変換回路 1 1 1 からの出力電圧デジタル信号 $V_o(M)$ とに基づいて補正後の出力値を計算する補正後出力値計算部 7 5 とを備えて構成される。ここで、各計算部 7 1 ~ 7 5 は例えばデジタル・シグナル・プロセッサ (D S P) を用いて構成され、詳細後述する計算を行う。

40

【 0 1 7 8 】

次いで、デジタル補正回路 1 1 2 のデジタル補正方法について以下に詳細説明する。

【 0 1 7 9 】

ここで、図 1 7 の積分・巡回型 A D C アレイ 4 内の A / D 変換回路 1 1 における折り返

50

し積分型 A / D 変換器の各フェーズの動作において、図 12 の回路を用いる。以下、図 12 を参照して折り返し積分型 A / D 変換の動作について以下に説明する。積分・巡回型 ADC アレイ 104 の A / D 変換回路 111 の演算増幅回路 23 の非反転入力端子には基準電位 V_{COM} が印加され、反転入力端子には、入力電圧 V_{IN} が印加される容量 C_{1a} 、 C_{1b} からなる容量 C_1 と、参照電圧 V_{RL} が印加される容量 C_2 とが接続される。

【0180】

まず、演算増幅回路 23 の出力端子と反転入力端子とが接続されて演算増幅回路 23 がリセットされる (図 12 (a))。次いで、演算増幅回路 23 の出力端子と反転入力端子との間に容量 C_2 を接続した後、参照電圧 V_{RL} が演算増幅回路 23 の反転入力端子に容量 C_1 を介して印加され、演算増幅回路 23 を用いて利得 1 / 2 で多重サンプリング積分を行う (図 12 (b))。ここで、最初の 2 回の積分は折り返しなしで行う。3 回目以降は、しきい値 $V_T = (V_{RH} + V_{RL}) / 2$ で 1 ビット A / D 変換器 23A を介して次段の演算増幅回路 23 に出力することにより折り返し積分を行う (図 12 (c) 及び (d))。基準電位 $V_{COM} (V_c) = V_{RL}$ とすれば、折り返し積分の A / D 変換範囲の下限を V_{RL} に設定することができる。以下では、 $V_{COM} (V_c) = V_{RL}$ に選らんだ場合について説明する。なお、当該折り返し積分型 A / D 変換の動作については、図 5 を参照して詳細上述している。

10

【0181】

図 19 は図 12 の折り返し積分型 A / D 変換器の動作を示す入出力電圧特性を示す図である。誤差を含まない理想的演算 (2 回目までは、折り返し積分なし) は以下のように行われる。図 19 において、(a) は 1 回目 (#1) の積分動作を示し、(b) は 2 回目 (#2) の積分動作を示し、(c) は 3 回目 (#3) の折り返し積分動作を示し、(d) は 4 回目 (#4) の折り返し動作を示す。

20

【0182】

1 回目 (#1) の積分動作の出力電圧 $V_o (1)$ は次式で表される。

$$V_o (1) = 0.5 (V_{in} (1) - V_{RL}) + V_{RL}$$

そして、M 回目 (#M) の積分動作の出力電圧 $V_o (M)$ は次式で表される。なお、式の詳細導出方法は、当該明細書の最後部に記載する。

$$\begin{aligned} V_o (M) &= 0.5 (V_{in} (M) - V_{RI} (M)) + V_o (M - 1) \\ &= 0.5 \{ M V_{in} - (M - M_1) V_{RL} - M_1 V_{RH} \} + V_{RL} \end{aligned}$$

30

ここで、

$$\begin{aligned} D_I (i) &= 0 \quad (V_o (i) \leq V_T \text{ のとき}) \\ &= 1 \quad (V_o (i) > V_T \text{ のとき}) \\ V_{RI} (i) &= V_{RL} \quad (D_I (i - 1) = 0 \text{ のとき}) \\ &= V_{RH} \quad (D_I (i - 1) = 1 \text{ のとき}) \end{aligned}$$

である。ここで、

$$\begin{aligned} V_R &= (V_{RH} - V_{RL}) / 2 \\ X &= 0.5 (V_{in} - V_{RL}) / V_R \\ Y &= (V_o (M) - V_{RL}) / V_R \end{aligned}$$

40

とおくと、次式を得る。

$$M X = Y + M_1$$

【0183】

従って、入力電圧 $V_{in} = V_{RL} \sim V_{RH}$ 、出力電圧 $V_o (M) = V_{RL} \sim V_{RH}$ に対し、 $X = 0 \sim 1$ 、 $Y = 0 \sim 2$ 、 $M_1 = 0 \sim M - 2$ に対して、 $Y + M_1 = 0 \sim M$ 、 $M X = 0 \sim M$ で互いに一致する。

【0184】

次いで、折り返し積分型 A / D 変換における誤差について以下に説明する。折り返し積

50

分型 A / D 変換における誤差は、演算増幅回路 2 3 とその周辺回路に係る有限利得誤差と、演算増幅回路 2 3 に接続されるキャパシタに係るキャパシタのミスマッチ誤差とを含む。

【0185】

(1) 有限ゲイン誤差は次式で表される。

$$e_{fg}, FI = (C_{FI1} + C_{FI2} + C_{FIi}) / (C_{FI2} A_{FI})$$

$$e_{fg2}, FI = (C_{FI2} + C_{FIi}) / (C_{FI2} A_{FI})$$

$$e_{fg1}, FI = C_{FI1} / (C_{FI2} A_{FI}) = e_{fg}, FI - e_{fg2}, FI$$

ここで、 A_{FI} は演算増幅回路 2 3 の開ループ DC 利得であり、 C_{FI2} は帰還側容量であり、 C_{FI1} は入力側容量である。なお、 C_{FI1} は、実施形態によって異なり、第 2 の実施形態では、 $C_{FI1} = C_{1a} + C_{1b}$ 、第 3 の実施形態では、 $C_{FI1} = C_{F1a}$ である。また、 C_{FIi} は演算増幅回路 2 3 の入力容量である。

10

【0186】

(2) キャパシタのミスマッチ誤差は、第 2 の実施形態では、次式で表される。

$$C_{FI1} = C_{FI2} + C_{FI2} \quad (\text{第 2 の実施形態})$$

ここで、

$$e_{m, FI} = C_{FI2} / C_{FI2}$$

$$C_{FI1} / C_{FI2} = (1 + e_{m, FI})$$

とおく。

第 3 の実施形態では、次式で表される。

20

$$C_{FI1} = 0.5 (C_{FI2} + C_{FI2}) \quad (\text{第 3 の実施形態})$$

ここで、

$$e_{m, FI} = C_{FI2} / C_{FI2}$$

$$C_{FI1} / C_{FI2} = 0.5 (1 + e_{m, FI})$$

とおく。

【0187】

次いで、巡回型 A / D 変換における誤差について以下に説明する。巡回型 A / D 変換における誤差は、演算増幅回路 2 3 とその周辺回路に係る有限利得誤差と、演算増幅回路 2 3 に接続されるキャパシタに係るキャパシタのミスマッチ誤差とを含む。

30

【0188】

(1) 有限ゲイン誤差は次式で表される。

$$e_{fg} = (C_{1a} + C_{1b} + C_2 + C_i) / (C_2 A)$$

$$e_{fg2} = (C_2 + C_i) / (C_2 A)$$

$$e_{fg1} = (C_{1a} + C_{1b}) / (C_2 A) = e_{fg} - e_{fg2}$$

ここで、 A は演算増幅回路 2 3 の開ループ DC 利得であり、 C_2 は帰還側容量である。また、 C_1 は入力側容量であり、 C_{1a} と C_{1b} に分割され、ここで、 $C_1 = C_{1a} + C_{1b}$ である。さらに、 C_i は演算増幅回路 2 3 の入力容量である。

【0189】

(2) キャパシタのミスマッチ誤差は次式で表される。

40

$$C_1 = C_2 + C_2$$

$$C_{1a} = 0.5 (C_1 + C_1)$$

$$C_{1b} = 0.5 (C_1 - C_1)$$

ここで、

$$e_{m2} = C_2 / C_2$$

$$e_{m1} = C_1 / C_1$$

とおく。 e_{m1} は容量 C_{1a} と容量 C_{1b} のミスマッチに起因する誤差であり、 e_{m2} は容量 C_1 と容量 C_2 のミスマッチに起因する誤差である。このとき、次式を得る。

$$C_{1a} / C_2 = (1/2) (1 + e_{m2}) (1 + e_{m1}) \quad (1/2) (1 + e_{m2} + e_{m1})$$

$$C_{1b} / C_2 = (1/2) (1 + e_{m2}) (1 - e_{m1}) \quad (1/2) (1 + e_{m2} - e_{m1})$$

50

$m_1)$

$$C_1 / C_2 = 1 + e_{m_2}$$

【0190】

次いで、巡回型 A / D 変換の基本動作について以下に説明する。なお、詳細な式の導出方法は当該明細書の最後部に記載する。

【0191】

i 回目の巡回型 A / D 変換の出力電圧 $V_o(i)$ は次式で表される。

$$V_o(i) = (2 + e_{m_2} + e_{fg2} - e_{fg}) V_o(i-1) - (1 + e_{m_2} - e_{fg}) V_{RH} \quad (D(i) = 2 \text{ のとき}) \quad 10$$

$$V_o(i) = (2 + e_{m_2} + e_{fg2} - e_{fg}) V_o(i-1) - (1 + e_{m_2} - e_{fg}) (V_{RH} + V_{RL}) / 2 + (e_{m_1} / 2) (V_{RH} - V_{RL}) \quad (D(i) = 1 \text{ のとき})$$

$$V_o(i) = (2 + e_{m_2} + e_{fg2} - e_{fg}) V_o(i-1) - (1 + e_{m_2} - e_{fg}) V_{RL} \quad (D(i) = 0 \text{ のとき})$$

【0192】

ここで、

$$g_1 = e_{m_2} + e_{fg2} - e_{fg} \quad 20$$

$$g_2 = e_{m_2} - e_{fg}$$

$$V_R = (V_{RH} - V_{RL}) / 2$$

$$D_1(i)$$

$$= 1 \quad (D(i) = 1 \text{ のとき})$$

$$= 0 \quad (D(i) = 0, 2 \text{ のとき})$$

とおくと次式を得る。

【0193】

$$V_o(i) = (2 + g_1) V_o(i-1) - (1 + g_2) V_R D(i) + e_{m_1} V_R D_1(i) - (1 + g_2) V_{RL} \quad 30$$

【0194】

次いで、上記誤差を含む折り返し積分型 A / D 変換の動作について以下に説明する。

【0195】

上記誤差を含む折り返し積分型 A / D 変換は以下のように動作する。

$$X = (V_{in} - V_{RL}) / (2 + V_R)$$

$$Y = (V_o(M) - V_{RL}) / V_R$$

$$E_F = ((M - 1) / 2) e_{fg1, FI}$$

とおき、次式で表される。

$$M(1 - E_F)X = M_1 - m_1 e_{fg1, FI} + (1 + e_{fg, FI} - e_{m, FI}) Y \quad 40$$

【0196】

【数16】

$$m_1 e_{fg1, FI} = e_{fg1, FI} \sum_{i=1}^M i D_I(i)$$

【0197】

ここで、

$$D_I(i)$$

$$= 0 \quad (V_o(i) \leq V_T \text{ のとき})$$

$$= 1 \quad (V_o(i) > V_T \text{ のとき})$$

である。

【 0 1 9 8 】

次いで、上記誤差を含む巡回型 A / D 変換の動作について以下に説明する。

【 0 1 9 9 】

上記誤差を含む巡回型 A / D 変換は以下のように動作する。

$$Y = \{ (1 + g_2) / (1 + 0.5 g_1) \} Y_0 + E_{g_1} + E_{m_1}$$

【 0 2 0 0 】

【 数 1 7 】

$$Y_0 = \sum_{i=1}^{N_c} 2^{-i} D(i)$$

10

【 0 2 0 1 】

【 数 1 8 】

$$E_{g_1} = -0.5 g_1 \sum_{i=2}^{N_e} i D(i) 2^{-i}$$

【 0 2 0 2 】

【 数 1 9 】

$$E_{m_1} = -e_{m_1} \sum_{i=1}^{N_e} 2^{-i} D_1(i)$$

20

【 0 2 0 3 】

従って、折り返し積分型 A / D 変換及び巡回型 A / D 変換を順次行う積分・巡回型 A / D 変換回路の誤差補正はデジタル補正回路 1 1 2 により次式を用いて行う。

$$M (1 - E_F) X = M_1 + Y_0 + E_{F I} + E_{F R} + E_{g_1} + E_{m_1} \quad (18)$$

ここで、

$$E_{F I} = m_1 e_{f g_1, F I}$$

$$E_{F R} = (e_{f g, F I} - e_{m, F I} + g_2 - 0.5 g_1) M_1$$

【 0 2 0 4 】

【 数 2 0 】

$$E_{g_1} = -0.5 g_1 \sum_{i=2}^{N_e} (i-1) D(i) 2^{-i}$$

30

【 0 2 0 5 】

【 数 2 1 】

$$E_{m_1} = -e_{m_1} \sum_{i=1}^{N_e} 2^{-i} D_1(i)$$

【 0 2 0 6 】

ここで、上記式 (18) において、M は積分回数であり、M₁ は折り返し回数である。ここで、積分回数 M は、例えば図 1 の比較器 1 7 b の出力信号における例えば 1 の出現回数を計数し、図 2 2 の加算器とレジスタの縦続接続回路と同様の回路により、累積加算することにより計測できる。また、X は入力電圧 V_{in} に対応するパラメータであり、Y₀ は出力電圧に対応するパラメータである。また、誤差パラメータ e_{f g₁, F I}、e_{f g, F I}、g₁、g₂、e_{m₁} は後述するように予め計測されて図 1 8 のデジタル補正回路 1 1 2 の各計算部 7 1 ~ 7 4 において格納される固定値である。なお、E_F は、折り返し積分型 A / D 変換回路の利得補正項であり、線形性には影響しないので省略可能である。また、オフセットの項は、後段のデジタル C D S 回路によってキャンセルできるので省略できる。

40

【 0 2 0 7 】

図 1 8 のデジタル補正回路 1 1 2 の各計算部 7 1 ~ 7 4 は、レジスタ 7 0 からの各種

50

のパラメータ m_1 , M_1 , $D(i)$, $D_1(i)$ に基づいて上記式 (18) における誤差 E_{FI} , E_{FR} , E_{g1} , E_{m1} (いずれもデジタル値) を上記式を用いて計算して、補正後出力値計算部 75 に出力する。補正後出力値計算部 75 は、計算部 71 ~ 74 により計算された誤差 E_{FI} , E_{FR} , E_{g1} , E_{m1} 及び A/D 変換回路 111 からの出力電圧デジタル信号 $V_o(M)$ とに基づいて補正後の出力値を計算して出力する。

【0208】

次いで、デジタル補正回路 112 における具体的なデジタル補正方法について以下に説明する。

【0209】

(1) 方法 M1: 式 (18) の右辺のうち誤差 E_{FR} のみで補正を行う方法であり、以下の特徴を有する。

(a) 各カラム回路において回路の追加がないのでデジタル補正回路 112 の回路構成が簡単になる。

(b) A/D 変換回路 111 から、補正用信号を読み出す水平信号線と回路の増加がない。

(c) カラム毎の A/D 変換回路 111 の積分非直線性誤差 (INL) 及び微分非直線性誤差 (DNL) を最小化する係数を求める方法において比較的大きな時間を要し、補正に時間がかかる。すなわち、誤差 E_{FR} を簡単に求める方法が課題としてあげられる (図 21 参照)。

【0210】

(2) 方法 M2: 式 (18) の右辺のうち誤差 E_{FR} , E_{FI} , E_{G1} , E_{M1} 全てを補正する方法であり、以下の特徴を有する。

(a) 積分非直線性誤差 (INL) 及び微分非直線性誤差 (DNL) を 14 ビットの A/D 変換器で 0.25 LSB 以下にする理想的補正が可能である。

(b) 後述する図 22 のカラム回路 150 での追加回路が必要であり、デジタル補正回路 112 が複雑となる。

(c) A/D 変換回路 111 から、補正用信号を読み出す水平信号線と回路が増加する。例えば、14 b ビットから 32 ビットに増加する。

(d) 補正係数 m_1 などの計測方法が複雑であって、計測に時間がかかる。

【0211】

なお、方法 M2 では、式 (18) の右辺のうち誤差 E_{FR} , E_{FI} , E_{G1} , E_{M1} 全てを補正しているが、本発明はこれに限らず、各誤差 E_{FI} , E_{G1} , E_{M1} のみを補正するように構成してもよい。

【0212】

次いで、A/D 変換回路 111 において実際用いる演算増幅回路 23 を用いた折り返し積分回路を用いて誤差 e_{fg} を計測する方法について以下に説明する。

(1) まず、入力電圧 $V_{in} = V_{RL}$ を与えて、M 回の折り返し積分を行う。

(2) 次いで、入力電圧 $V_{in} = V_{RH}$ を与えて、M 回の折り返し積分動作を行う。

(3) 上記 (1) の折り返し積分動作の出力電圧と、上記 (2) の折り返し積分動作の出力電圧との間の差を演算することにより、次式により誤差 E_{FI} を演算できる。

$$E_{FI} = -2 \{ (M-2)(M-1)/2 \} e_{fg1} = - (M-2)(M-1) e_{fg1}$$

【0213】

そして、次式を用いて誤差 e_{fg1} を測定できる。

$$e_{fg} = (C_{1a} + C_{1b} + C_2 + C_i) / (C_2 A) \quad (2 + (C_i / C_2)) / A$$

$$e_{fg1} = (C_{1a} + C_{1b}) / (C_2 A) \quad 1 / A$$

$$e_{fg2} = (C_2 + C_i) / (C_2 A) \quad (1 + (C_i / C_2)) / A$$

【0214】

ここで、 C_i / C_2 は、A/D 変換回路 111 の回路設計で得た値を使うが、 C_i / C_2 1 として無視してもよい。

【0215】

10

20

30

40

50

図20は図18のデジタル補正回路12のために誤差パラメータ e_{m1} , e_{m2} を計測するための回路を示す回路図である。

【0216】

まず、巡回型A/D変換回路のみを動作させ、演算増幅回路23の反転入力端子と出力端子とを接続することによりリセットする(図20(a))。

(1)次いで、容量 C_{1b} に印加する参照電圧を V_{RH} から V_{RL} に変化させ、容量 C_{1a} に印加する参照電圧を V_{RH} から V_{RH} とする(図20(b1))。このときの出力電圧を $V_o^{(1)}$ とする。

(2)さらに、容量 C_{1b} に印加する参照電圧を V_{RH} から V_{RH} とし、容量 C_{1a} に印加する参照電圧を V_{RH} から V_{RL} とする(図20(b2))。このときの出力電圧を $V_o^{(2)}$ とする。

(3)そして、容量 C_{1b} に印加する参照電圧を V_{RH} から V_{RH} とし、容量 C_{1a} に印加する参照電圧を V_{RH} から V_{RH} とする(図20(b3))。このときの出力電圧を $V_o^{(3)}$ とする。

【0217】

上記各出力電圧 $V_o^{(1)}$, $V_o^{(2)}$, $V_o^{(3)}$ は次式で表される。

$$V_o^{(1)} = (1 / (1 + e_{fg})) \{ V_{RL} + (1 + e_{m2} - e_{m1}) V_R + e_{fg} V_c \}$$

$$V_o^{(2)} = (1 / (1 + e_{fg})) \{ V_{RL} + (1 + e_{m2} + e_{m1}) V_R + e_{fg} V_c \}$$

$$V_o^{(3)} = (1 / (1 + e_{fg})) (V_{RL} + e_{fg} V_c)$$

従って、上記の式を用いて次式を得る。

$$V_o^{(2)} - V_o^{(1)} = \{ (2 e_{m1}) / (1 + e_{fg}) \} V_R - 2 e_{m1} V_R$$

$$V_o^{(2)} - V_o^{(1)} - 2 V_o^{(3)} = 2 \{ (1 + e_{m1}) / (1 + e_{fg}) \} V_R - 2 (1 + e_{m1} - e_{fg}) V_R$$

【0218】

次いで、誤差 E_{FR} の補正值の計測方法については以下に説明する。ここでは、演算増幅回路23を用いた巡回型A/D変換回路を用いる。

(1)まず、演算増幅回路23の反転入力端子と出力端子とを接続してリセットする(図20(a))。

(2)次いで、入力電圧 $V_{in} = V_{RL}$ を与えて、1回の積分を行い、その出力電圧に基づいて例えば10回の巡回数で巡回型A/D変換を行う(なお、 $D(1) = 0$ である。)(図20(b))。このときのA/D変換値を第1のA/D変換値という。

(3)さらに、入力電圧 $V_{in} = V_{RH}$ を与えて、1回の積分を行い、その出力電圧に基づいて例えば10回の巡回数で巡回型A/D変換を行う(図20(c))。ただし、1回目のサイクルではA/D変換回路の出力電圧を V_{RH} とする($D(1) = 2$ にセットする)。このときのA/D変換値を第2のA/D変換値という。

(4)上記第2のA/D変換値から上記第1のA/D変換値を減算し、減算結果値を巡回型A/D変換回路の入力端子での換算により、

$$(e_{fg}, FI - e_m, FI + g_2 - 0.5 g_1) V_R$$

の値が直接求められる。

【0219】

ここで、誤差 E_{FR} のみを補正する場合、以下の式の各成分を計測して、補正值を決定するのは、計測時間等を考えると得策ではない。

$$E_{FR} = (e_{fg}, FI - e_m, FI + g_2 - 0.5 g_1) M_1 \quad (19)$$

また、最適な補正值と、計測された補正值のずれも懸念される。

【0220】

そこで、計測に時間がかかるが、簡便で確実に最適な補正值を計測する方法として、複数回のA/D変換動作に対する誤差 E_{FR} に関する積分非直線誤差(INL)の計算値に

基づいて、次式のコスト関数を用いて最適な誤差 E_{FR}^* を計算してもよい。

【0221】

図21は図18のデジタル補正回路12のためにパラメータ E_{FR} を計測するための一方法であるコスト関数を用いた方法を示すコスト関数のグラフである。これにより、上記式(19)の各成分を計測して計算するよりも少なくとも計算コストを大幅に減少させることができる。

【0222】

【数22】

$$Cost(E_{FR}) = \sum_{i=1}^{16384} INL_i(E_{FR})^2$$

10

【0223】

さらに、折り返し積分における積分誤差である誤差 E_{FI} を計測するための方法について以下に説明する。

【0224】

図22は図18のデジタル補正回路12のために誤差 E_{FI} を計測するための積分・巡回型ADCアレイ4のA/D変換回路111内のカラム回路150の回路を示す回路図である。上記誤差 E_{FI} を、次式を用いて上記カラム回路150において計算する。

【0225】

【数23】

$$E_{FI} = m_1 e_{fg1,FI} = e_{fg1,FI} \sum_{i=1}^M i D_I(i) \quad (20)$$

20

【0226】

上記式(20)において、誤差パラメータ e_{fg1} は、上述の方法で計測するが、補正係数 m_1 に関して、図22のカラム回路150により画素信号毎に計算する必要がある。当該計測回路は、すべてのカラムに共通に設けられ、かつ何回目の積分であることを示す積分回数 i を計数する m ビットのアップカウンタ60に加えて、アンドゲート151と、加算器152と、レジスタ153とを備えて構成される。図22において、各比較器17a、17bからの出力信号(折り返しの有無を示す)はアンドゲート151の一方の入力端子に入力され、他方の入力端子にはクロックが入力される。そして、アンドゲート151からの出力信号はレジスタ153のクロックとして入力される。アップカウンタ60からの積分回数 i を示すコードデータは加算器152に入力され、加算器152からのデータ信号は一旦レジスタ153に一時記憶された後、加算器152に帰還されて、巡回数 i と加算される。以上のように構成されたカラム回路150においては、画素値のA/D変換値 $D_I(i)$ (0又は1をとる)に対して巡回数 i を乗算して巡回A/D変換毎に加算することにより、式(20)の最右辺の補正係数

30

【数24】

$$m_1 = \sum_{i=1}^M i D_I(i) \quad \dots(21)$$

40

を計算することができる。

【0227】

さらに、MATLABを用いたシミュレーションによる補正効果について以下に説明する。

【0228】

図23～図28は図17のデジタル補正回路12を用いたA/D変換回路のMATLABシミュレーション結果を示すグラフである。当該シミュレーションにおける仕様値を表1に示す。

【表 1】

A/D変換回路の分解能	N_B	14
折り返し積分型A/D変換回路の積分回数	M	16
巡回型A/D変換回路の巡回数	N_C	14
巡回型A/D変換回路の補正段数	N_E	5

【0229】

誤差 E_{FR} のみによる補正を行った方法 M1 における各種誤差パラメータ P1 を表 2 に示す。

10

【0230】

【表 2】

折り返し積分型A/D変換回路		巡回型A/D変換回路	
$e_{m, FI}$	-0.2%	e_{m1}	-0.05%
$e_{fg1, FI}$	-0.005%	e_{m2}	0.1%
$e_{fg2, FI}$	0.011%	e_{fg1}	0.01%
		e_{fg2}	0.011%

【0231】

次いで、誤差 E_{FR} 、 E_{FI} 、 E_{G1} 、 E_{M1} 全てを補正する方法 M2 における各種誤差パラメータ P2 を表 3 に示す。

20

【0232】

【表 3】

折り返し積分型A/D変換回路		巡回型A/D変換回路	
$e_{m, FI}$	-0.2%	e_{m1}	-0.1%
$e_{fg1, FI}$	-0.05%	e_{m2}	-0.2%
$e_{fg2, FI}$	0.11%	e_{fg1}	0.1%
		e_{fg2}	0.11%

30

【0233】

ここで、図 23 ~ 図 28 は以下の通りである。

図 23 は図 17 のデジタル補正回路 12 を用いた A/D 変換回路の MATLAB シミュレーション結果であって、無補正で誤差パラメータ P1 を用いたときのデジタルコードに対する積分非直線性誤差 (INL) 及び微分非直線性誤差 (DNL) を示すグラフである。

図 24 は図 17 のデジタル補正回路 12 を用いた A/D 変換回路の MATLAB シミュレーション結果であって、方法 M1 で誤差パラメータ P1 を用いたときのデジタルコードに対する積分非直線性誤差 (INL) 及び微分非直線性誤差 (DNL) を示すグラフである。

40

図 25 は図 17 のデジタル補正回路 12 を用いた A/D 変換回路の MATLAB シミュレーション結果であって、方法 M2 で誤差パラメータ P1 を用いたときのデジタルコードに対する積分非直線性誤差 (INL) 及び微分非直線性誤差 (DNL) を示すグラフである。

図 26 は図 17 のデジタル補正回路 12 を用いた A/D 変換回路の MATLAB シミュレーション結果であって、無補正で誤差パラメータ P2 を用いたときのデジタルコードに対する積分非直線性誤差 (INL) 及び微分非直線性誤差 (DNL) を示すグラフである。

図 27 は図 17 のデジタル補正回路 12 を用いた A/D 変換回路の MATLAB シミ

50

ュレーション結果であって、方法M1で誤差パラメータP2を用いたときのデジタルコードに対する積分非直線性誤差(INL)及び微分非直線性誤差(DNL)を示すグラフである。

図28は図17のデジタル補正回路12を用いたA/D変換回路のMATLABシミュレーション結果であって、方法M2で誤差パラメータP2を用いたときのデジタルコードに対する積分非直線性誤差(INL)及び微分非直線性誤差(DNL)を示すグラフである。

【0234】

以上の図23～図28のシミュレーション結果から明らかなように、方法M2のごとくすべての誤差を補正した場合に、積分非直線性誤差(INL)及び微分非直線性誤差(DNL)は最小となるが、方法M1でも積分非直線性誤差(INL)及び微分非直線性誤差(DNL)を無補正に比較して低減できることがわかる。

10

【0235】

以上説明したように、本実施形態によれば、以下の特有の効果をも有する。

(1) 演算増幅回路の入力部などの複数の容量のミスマッチを補正することにより、小さい容量でも高精度のA/D変換回路が構成できるため、カラム回路の小面積化及び低消費電力化が図れる。

(2) 演算増幅回路の有限ゲイン誤差、セットリング誤差が補正できるため、A/D変換回路の高速化・低消費電力化が図れる。

(3) 2段巡回型A/D変換回路における1段目と2段目の回路パラメータのミスマッチによる非線形性をデジタル補正により改善できる。

20

【0236】

第2の実施形態の各式の導出。

第2の実施形態で用いた各式の導出について以下に説明する。

【0237】

図2の折り返し積分型A/D変換回路の各フェーズの動作は、誤差を含まない理想的演算において以下のように動作する。

$$1 \text{ 回目} (\# 1) : V_o(1) = 0.5(V_{in}(1) - V_{RL}) + V_{RL}$$

$$2 \text{ 回目} (\# 2) : V_o(2) = 0.5(V_{in}(2) - V_{RL}) + V_o(1)$$

$$3 \text{ 回目} (\# 3) : V_o(3) = 0.5(V_{in}(3) - V_{RI}(3)) + V_o(2)$$

$$M \text{ 回目} (\# M) : V_o(M) = 0.5(V_{in}(M) - V_{RI}(M)) + V_o(M-1)$$

30

【0238】

積分回数Mにおける折り返し積分型A/D変換回路の出力電圧 $V_o(M)$ は次式で表される。

【0239】

【数25】

$$V_o(M) = 0.5 \left(\sum_{i=1}^M V_{in}(i) - \sum_{i=3}^M V_{RI}(i) \right) - 2 \times 0.5 V_{RL} + V_{RL}$$

【0240】

$$V_o(M) = 0.5 \{ M V_{in} - (M - M_1) V_{RL} - M_1 V_{RH} \} + V_{RL}$$

40

【0241】

ここで、入力直流電圧 $V_{in}(i)$ 、 $(i = 1, \dots, M) = V_{in}$ (固定値)であり、折り返し積分型A/D変換回路における折り返し回数 M_1 回だけ次式の関数値 D_I が1をとる。

【0242】

$$D_I(i) = 0 \quad (V_o(i) \leq V_T \text{ のとき})$$

$$= 1 \quad (V_o(i) > V_T \text{ のとき})$$

$$V_{RI}(i)$$

50

$$= V_{R L} \quad (D_I(i-1) = 0 \text{ のとき})$$

$$= V_{R H} \quad (D_I(i-1) = 1 \text{ のとき})$$

【0243】

従って、出力電圧 $V_o(M)$ は次式で表される。

$$V_o(M) = 0.5 \{ M V_{i n} - (M - M_1) V_{R L} - M_1 V_{R H} \} + V_{R L}$$

$$V_o(M) - V_{R L} = 0.5 M (V_{i n} - V_{R L}) - 0.5 M_1 (V_{R H} - V_{R L})$$

【0244】

ここで、

$$V_R = (V_{R H} - V_{R L}) / 2$$

$$X = 0.5 (V_{i n} - V_{R L}) / V_R$$

$$Y = (V_{o F}(M) - V_{R L}) / V_R$$

とおくと、次式を得る。

【0245】

$$Y = M X - M_1$$

$$M X = Y + M_1$$

【0246】

ここで、 $V_{i n} = V_{R L} \sim V_{R H}$ 、 $V_{o F}(M) = V_{R L} \sim V_{R H}$ に対し、 $X = 0 \sim 1$ 、 $Y = 0 \sim 2$ の値域をとる。また、 $M_1 = 0 \sim M - 2$ に対し、 $Y + M_1 = 0 \sim M$ 、 $M X = 0 \sim M$ で各パラメータ $Y + M_1$ 及び $M X$ が互いに一致する。

【0247】

次いで、折り返し積分の各フェーズの動作における誤差補正について以下に説明する。

【0248】

1 回目の積分動作において以下のように動作する。

(1) フェーズ 1a (図 12 (a) のリセット時において、容量 $C_{1 a}$ 、 $C_{1 b}$ からなる容量 C_1 に対して電圧 $V_{R L}$ を印加する前において)

演算増幅回路 23 の反転入力端子における電荷 Q_{net} は次式で表される。

$$Q_{net} = C_1 (V_c - V_{i n}(1)) + C_2 (V_{s 0} - V_{R L}) + C_i V_{s 0}$$

このときの演算増幅回路 23 の出力電圧 $V_{o F}$ は次式で表される。

$$V_{o F} = A (V_c - V_{s 0}) + V_c$$

ここで、

$$V_{s 0} = V_c$$

となる。

【0249】

(2) フェーズ 1b (図 12 (b) の積分動作時において、容量 $C_{1 a}$ 、 $C_{1 b}$ からなる容量 C_1 に対して電圧 $V_{R L}$ を印加したとき)

演算増幅回路 23 の反転入力端子における電荷 Q_{net} は次式で表される。

$$Q_{net} = C_1 (V_s - V_{R L}) + C_2 (V_s - V_{o F}(1)) + C_i V_s$$

このときの演算増幅回路 23 の出力電圧 $V_{o F}$ は次式で表される。

$$V_{o F}(1) = A (V_c - V_s) + V_c$$

従って、次式を得る。

$$C_2 (1 + e_{f g}) V_{o F}(1)$$

$$= C_1 (V_{i n}(1) - V_{R L}) + C_2 V_{R L} + C_2 e_{f g} V_c$$

$$(1 + e_{f g}) V_{o F}(1)$$

$$= 0.5 (1 + e_m) (V_{i n}(1) - V_{R L}) + V_{R L} + e_{f g} V_c$$

ここで、

$$e_{f g} = (C_1 + C_2 + C_i) / (C_2 A)$$

$$e_m = C_2 / C_2$$

$$C_1 = 0.5 (C_2 + C_2)$$

である。

【0250】

10

20

30

40

50

次いで、2回目の積分動作において以下のように動作する。

(3) フェーズ2 a (図12 (a)のリセット時において、容量 C_{1a} 、 C_{1b} からなる容量 C_1 に対して電圧 V_{RL} を印加する前において)

演算増幅回路23の反転入力端子における電荷 Q_{net} は次式で表される。

$$Q_{net} = C_1 (V_c - V_{in}(2)) + C_2 (V_{s0} - V_{oF}(1)) + C_i V_{s0}$$

このときの演算増幅回路23の出力電圧 V_{oF} は次式で表される。

$$V_{oF}(1) = A (V_c - V_{s0}) + V_c$$

【0251】

(4) フェーズ2 b (図12 (b)の積分動作時において、容量 C_{1a} 、 C_{1b} からなる容量 C_1 に対して電圧 V_{RL} を印加したとき)

演算増幅回路23の反転入力端子における電荷 Q_{net} は次式で表される。

$$Q_{net} = C_1 (V_s - V_{RL}) + C_2 (V_s - V_{oF}(2)) + C_i V_s$$

このときの演算増幅回路23の出力電圧 V_{oF} は次式で表される。

$$V_{oF}(2) = A (V_c - V_s) + V_c$$

従って、次式を得る。

$$C_2 (1 + e_{fg}) V_{oF}(2)$$

$$= C_1 (V_{in}(1) - V_{RL}) + (1 + e_{fg2}) C_2 V_{oF}(1) + C_2 e_{fg1} V_c$$

$$(1 + e_{fg}) V_{oF}(2)$$

$$= 0.5 (1 + e_m) (V_{in}(2) - V_{RL}) + (1 + e_{fg2}) V_{oF}(1) + e_{fg1} V_c \quad 20$$

ここで、

$$e_{fg2} = (C_2 + C_i) / (C_2 A)$$

$$e_{fg1} = C_1 / (C_2 A) = e_{fg} - e_{fg2}$$

である。

【0252】

次いで、3回目の積分動作において以下のように動作する。

(5) フェーズ3 a 及び3 b において (図12 (a)のリセットの後、図12 (b)の積分動作時において、容量 C_{1a} 、 C_{1b} からなる容量 C_1 に対して電圧 V_{RL} を印加したとき)

3回目の積分動作は次式で表される。

$$D_I(3) = 0 \quad (V_{oF}(2) \leq (V_{RH} + V_{RL}) / 2 \text{ のとき})$$

$$= 1 \quad (V_{oF}(2) > (V_{RH} + V_{RL}) / 2 \text{ のとき})$$

$$(1 + e_{fg}) V_{oF}(3)$$

$$= 0.5 (1 + e_m) (V_{in}(3) - V_R(3))$$

$$+ (1 + e_{fg2}) V_{oF}(2) + e_{fg1} V_c$$

$$V_R(3)$$

$$= V_{RH} \quad (D_I(3) = 1 \text{ のとき})$$

$$= V_{RL} \quad (D_I(3) = 0 \text{ のとき}) \quad 40$$

【0253】

さらに、M回目の積分動作は以下のように動作する。

(6) フェーズM a 及びM b において (図12 (a)のリセットの後、図12 (b)の積分動作時において、容量 C_{1a} 、 C_{1b} からなる容量 C_1 に対して電圧 V_{RL} を印加したとき)

M回目の積分動作は次式で表される。

$$(1 + e_{fg}) V_{oF}(M)$$

$$= 0.5 (1 + e_m) (V_{in}(M-1) - V_R(M-1))$$

$$+ (1 + e_{fg2}) V_{oF}(M-1) + e_{fg1} V_c$$

【0254】

$$V_R(M-1)$$

$$= V_{RH} \quad (D_I(M) = 1 \text{ のとき})$$

$$= V_{RL} \quad (D_I(M) = 0 \text{ のとき}) \quad 50$$

このときの演算増幅回路23の出力電圧 V_{oF} は次式で表される。

$$\begin{aligned} & V_{oF}(M) \\ &= 0.5 \{ (1 + e_m) / (1 + e_{fg}) \} (V_{in}(M) - V_R(M)) \\ &+ \{ (1 + e_{fg2}) / (1 + e_{fg}) \} V_{oF}(M-1) \\ &+ \{ e_{fg1} / (1 + e_{fg}) \} V_c \\ &0.5 (1 + e_m - e_{fg}) (V_{in}(M) - V_R(M)) \\ &+ (1 - e_{fg1}) V_o(M-1) + e_{fg1} V_c \end{aligned}$$

従って、次式を得る。

$$\begin{aligned} & V_{oF}(M) \\ &0.5 (1 + e_m - e_{fg}) \times \{ (1 - e_{fg1})^0 (V_{in}(M) - V_R(M)) \\ &+ (1 - e_{fg1})^1 (V_{in}(M-1) - V_R(M-1)) \end{aligned} \quad 10$$

$$\begin{aligned} & \dots \\ &+ (1 - e_{fg1})^{M-2} (V_{in}(2) - V_{RL}) \\ &+ (1 - e_{fg1})^{M-1} (V_{in}(1) - V_{RL}) \} \\ &+ M e_{fg1} V_c + (1 - e_{fg}) (1 - e_{fg1})^{M-1} V_{RL} \end{aligned}$$

【0255】

$$\begin{aligned} & V_{oF}(M) \\ &= 0.5 (1 + e_m - e_{fg}) \{ M (1 - ((M-1)/2) e_{fg1}) V_{in} \\ &- M_1 V_{RH} - (M - M_1) V_{RL} + e_{fg1} (m_1 V_{RH} + (m_M - m_1) V_{RL}) \} \\ &+ M e_{fg1} V_c + (1 - M e_{fg1} - e_{fg2}) V_{RL} \end{aligned} \quad 20$$

ここで、以下の通りである。

$$m_M = M(M-1)/2$$

$$V_c = V_{RL}$$

【0256】

【数26】

$$m_1 = \sum_{i=1}^M i D_I(i)$$

【0257】

$$\begin{aligned} & D_I(i) \quad 30 \\ &= 0 \quad (V_{oF}(i) \leq V_T \text{ のとき}) \\ &= 1 \quad (V_{oF}(i) > V_T \text{ のとき}) \end{aligned}$$

【0258】

従って、次式を得る。

$$\begin{aligned} & V_{oF}(M) - V_{RL} \\ &= 0.5 (1 + e_m - e_{fg}) \{ M (1 - ((M-1)/2) e_{fg1}) V_{in} \\ &- M V_{RL} - M_1 (V_{RH} - V_{RL}) + e_{fg1} m_M V_{RL} - m_1 (V_{RH} - V_{RL}) \} \\ &- e_{fg2} V_{RL} \end{aligned}$$

$$\begin{aligned} & V_{oF}(M) - V_{RL} \\ &= 0.5 (1 + e_m - e_{fg}) \{ M (1 - ((M-1)/2) e_{fg1}) (V_{in} - V_{RL}) \\ &- 2 (M_1 - m_1 e_{fg1}) V_R \} - e_{fg2} V_{RL} \end{aligned} \quad 40$$

【0259】

以上の式をまとめると次式で表される。

$$X = (V_{in} - V_{RL}) / (2 V_R)$$

$$Y = (V_o(M) - V_{RL}) / V_R$$

$$E_F = ((M-1)/2) e_{fg1}$$

$$M(1 - E_F)X = M_1 - m_1 e_{fg1} + (1 + e_{fg} - e_m)(Y - e_{fg2} V_{RL})$$

【0260】

次いで、折り返し積分型A/D変換回路の非線形補正項 $m_1 e_{fg1}$ について以下に説

明する。M回目の積分動作の式から次式を得る。

$$\begin{aligned}
 & 2(1 - e_{fg1}) V_o(M) = \\
 & (1 - e_{fg1})^0 (V_{in}(M) - V_R(M)) \\
 & + (1 - e_{fg1})^1 (V_{in}(M-1) - V_R(M-1)) \\
 & \dots \\
 & + (1 - e_{fg1})^{M-3} (V_{in}(3) - V_R(3)) \\
 & + (1 - e_{fg1})^{M-2} (V_{in}(2) - V_{RL}) \\
 & + (1 - e_{fg1})^{M-1} (V_{in}(1) - V_{RL}) + V_{RL} \\
 & \text{【0261】}
 \end{aligned}$$

ここで、電圧 $V_R(i)$ が電圧 V_{RH} を取るときに $i \times e_{fg1}$ の誤差が加わることに 10
 着目し、その誤差の総和を次式のように、 $m_1 \times e_{fg1}$ とする。

【0262】

【数27】

$$m_1 e_{fg1} = e_{fg1} \sum_{i=1}^M i D_I(i)$$

【0263】

ここで、

$$\begin{aligned}
 & D_I(i) \\
 & = 0 \quad (V_o(i) = V_T \text{ のとき}) \\
 & = 1 \quad (V_o(i) > V_T \text{ のとき})
 \end{aligned}$$

【0264】

このとき、パラメータ m_1 は、最大で $(M-2)(M-1)/2$ を取る。従って、 $M=8$ のとき、 m_1 は 21 となり、パラメータ m_1 を記憶するために、5ビットの記憶容量が必要となる。

【0265】

次いで、巡回型 A/D 変換回路の動作と誤差補正について以下に説明する。

【0266】

1回目の巡回型 A/D 変換回路において、出力電圧 $V_o(1)$ は次式で表される。

【0267】

$$\begin{aligned}
 & V_o(1) \\
 & (2 + e_{m2} + e_{fg2} - e_{fg}) V_{oF}(M) - (1 + e_{m2} - e_{fg}) V_{RH} \\
 & (D(1) = 2)
 \end{aligned}$$

$$\begin{aligned}
 & V_o(1) \\
 & (2 + e_{m2} + e_{fg2} - e_{fg}) V_{oF}(M) \\
 & - (1 + e_{m2} - e_{fg}) (V_{RH} + V_{RL}) / 2 + (e_{m1} / 2) (V_{RH} - V_{RL}) \\
 & (D(1) = 1)
 \end{aligned}$$

$$\begin{aligned}
 & V_o(1) \\
 & (2 + e_{m2} + e_{fg2} - e_{fg}) V_{oF}(M) - (1 + e_{m2} - e_{fg}) V_{RL} \\
 & (D(1) = 0)
 \end{aligned}$$

【0268】

ここで、

$$g_1 = e_{m2} + e_{fg2} - e_{fg}$$

$$g_2 = e_{m2} - e_{fg}$$

とおく。

【0269】

i回目の巡回型 A/D 変換回路において、出力電圧 $V_o(i)$ は次式で表される。

【0270】

$$\begin{aligned}
 & V_o(i) \\
 & (2 + g_1) V_o(i-1) - (1 + g_2) V_R D(i)
 \end{aligned}$$

$$+ e_{m1} V_{RD1}(i) - (1 + g_2) V_{RL}$$

ここで、

$$D_1(i) = 1 \quad (D(i) = 1 \text{ のとき}) \\ = 0 \quad (D(i) = 0, 2 \text{ のとき})$$

である。

【0272】

従って、次式を得る。

$$Y = Y_0 + E_{g2} + E_{g1} + E_{m1} \quad 10 \\ Y_0 = 2^{-1} D(1) + 2^{-2} D(2) + \dots + 2^{-(N-1)} D(N-1) + 2^{-N} D(N)$$

ここで、

$$E_{g2} = g_2 \{ 2^{-1} D(1) + 2^{-2} D(2) + \dots + 2^{-(N-1)} D(N-1) + 2^{-N} D(N) \} \\ = g_2 Y_0$$

$$E_{g1} = -g_1 \{ 1 \cdot 2^{-1} D(1) + 2 \cdot 2^{-2} D(2) + \dots \\ + (i-1) \cdot 2^{-(i-1)} D(i-1) + i \cdot 2^{-i} D(i) \} \quad 20$$

$$E_{m1} = -e_{m1} \{ 2^{-1} D_1(1) + 2^{-2} D_1(2) + \dots \\ + 2^{-(i-1)} D_1(i-1) + 2^{-i} D_1(i) \}$$

である。

【0273】

上述の折り返し積分型 A / D 変換回路についてまとめると以下ようになる。M 回目のサンプリング動作時は以下のように動作する。

$$M \{ 1 - ((M-1)/2) e_{fg1} \} (V_{in} - V_{RL}) \\ = 2M_1 V_R + 2(1 + e_{fg} - e_m) (V_{oF}(M) - V_{RL}) \\ - (m_1 V_{RH} + (m_M - m_1) V_{RL}) e_{fg1} \quad 30$$

【0274】

ここで、

$$e_{fg} = (C_{1a} + C_{1b} + C_2 + C_i) / (C_2 A)$$

$$e_{m2} = C_2 / C_2$$

$$e_{m1} = C_1 / C_1$$

である。従って、次式を得る。

$$X = (V_{in} - V_{RL}) / V_R$$

$$Y = (V_{oF}(M) - V_{RL}) / V_R$$

$$E_F = ((M-1)/2) e_{fg1}$$

$$R_L = V_{RL} / V_R \quad 40$$

すなわち、次式で表される。

$$M(1 - E_F) X$$

$$= 2M_1 + 2(1 + e_{fg} - e_m) Y - m_M e_{fg1} R_L - 2m_1 e_{fg1}$$

【0275】

さらに、上述の巡回型 A / D 変換回路についてまとめると以下ようになる。

【0276】

上記フェーズ 1 a のサンプリング時において、演算増幅回路 2 3 の反転入力端子における電荷 Q_{net} 及び出力電圧 V_{oF} は次式で表される。

$$Q_{net} = (C_{1b} + C_{1a}) (V_c - V_{oF}(M)) + C_2 (V_{s0} - V_{oF}(M)) + C_i V \quad 50$$

$$V_{oF}(M) = A(V_c - V_{s0}) + V_c$$

ここで、 $V_{s0} = V_c$ となる。

【0277】

また、上記フェーズ1bの転送時において、演算増幅回路23の反転入力端子における電荷 Q_{net} 及び1回目の出力電圧 $V_o(1)$ は次式で表される。

$$\begin{aligned} Q_{net} &= C_{1a}(V_s - V_{Ra}(1)) + C_{1b}(V_s - V_{Rb}(1)) \\ &+ C_2(V_s - V_o(1)) + C_i V_s \\ V_o(1) &= A(V_c - V_s) + V_c \end{aligned}$$

10

【0278】

従って、次式を得る。

$$\begin{aligned} (1 + e_{fg}) V_o(1) &= (2 + e_{m2} + e_{fg2}) V_{oF}(M) \\ &- \{ (1 + e_{m2} + e_{m1}) / 2 \} V_{Ra}(1) \\ &- \{ (1 + e_{m2} - e_{m1}) / 2 \} V_{Rb}(1) + e_{fg1} V_c \end{aligned}$$

【0279】

それ故、次式で表される。

$$V_o(1) = \frac{(2 + e_{m2} + e_{fg2} - e_{fg}) V_{oF}(M) - (1 + e_{m2} - e_{fg}) V_{RH}}{(D(1) = 2 \text{ のとき})}$$

20

$$V_o(1) = \frac{(2 + e_{m2} + e_{fg2} - e_{fg}) V_{oF}(M) - (1 + e_{m2} - e_{fg}) (V_{RH} + V_{RL}) / 2 + (e_{m1} / 2) (V_{RH} - V_{RL})}{(D(1) = 1 \text{ のとき})}$$

$$V_o(1) = \frac{(2 + e_{m2} + e_{fg2} - e_{fg}) V_{oF}(M) - (1 + e_{m2} - e_{fg}) V_{RL}}{(D(1) = 0 \text{ のとき})}$$

【0280】

ここで、

$$g_1 = e_{m2} + e_{fg2} - e_{fg}$$

$$g_2 = e_{m2} - e_{fg}$$

$$D_1(i)$$

$$= 1 \quad (D(i) = 1 \text{ のとき})$$

$$= 0 \quad (D(i) = 0, 2 \text{ のとき})$$

とおく。巡回型A/D変換回路の出力電圧 $V_o(1) \sim V_o(i)$ は次式で表される。

【0281】

$$\begin{aligned} V_o(1) &= (2 + g_1) V_{oF}(M) - (1 + g_2) V_{RD}(1) \\ &+ e_{m1} V_{RD1}(1) - (1 + g_2) V_{RL} \end{aligned}$$

40

$$\begin{aligned} V_o(2) &= (2 + g_1) V_o(1) - (1 + g_2) V_{RD}(2) \\ &+ e_{m1} V_{RD1}(2) - (1 + g_2) V_{RL} \end{aligned}$$

...

$$\begin{aligned} V_o(i) &= (2 + g_1) V_o(i-1) - (1 + g_2) V_{RD}(i) \\ &+ e_{m1} V_{RD1}(i) - (1 + g_2) V_{RL} \end{aligned}$$

【0282】

【数 2 8】

$$V_o(N_c) \doteq (2+g_1)^{N_c} V_{oF}(M) \\ - (1+g_2) \Delta V_R \left\{ (2+g_1)^{N_c-1} D(1) + (2+g_1)^{N_c-2} D(2) + \dots + (2+g_1)^1 D(N_c-1) + D(N_c) \right\} \\ + e_{m1} \Delta V_R \left\{ (2+g_1)^{N_c-1} D_1(1) + (2+g_1)^{N_c-2} D_1(2) + \dots + (2+g_1)^1 D_1(N_c-1) + D_1(N_c) \right\} \\ - (1+g_2) V_{RL} \left\{ (2+g_1)^{N_c-1} + (2+g_1)^{N_c-2} + \dots + (2+g_1)^1 + 1 \right\}$$

【0 2 8 3】

従って、次式を得る。ここで、 N_c は、巡回型 A / D 変換の巡回回数である。

【0 2 8 4】

【数 2 9】

$$(V_{oF}(M) - \frac{(1+g_2)}{1+g_1} V_{RL}) / \Delta V_R \\ \doteq - \frac{(1+g_2)}{1+0.5g_1} \left[(2^{-1} D(1) + 2^{-2} D(2) + 2^{-3} D(3) + \dots + 2^{-N_c} D(N_c)) \right. \\ \left. + 0.5g_1 (1 \cdot 2^{-2} D(2) + 2 \cdot 2^{-3} D(3) + \dots + (N_c-1) \cdot 2^{-N_c} D(N_c)) \right. \\ \left. + e_{m1} (2^{-1} D_1(1) + 2^{-2} D_1(2) + \dots + 2^{-N_c+1} D_1(N_c-1) + 2^{-N_c} D_1(N_c)) \right]$$

【0 2 8 5】

以上の第 2 の実施形態をまとめると、以下の要旨を有する。

【0 2 8 6】

本発明の第 2 の実施形態に係る A / D 変換回路用デジタル補正回路は、演算増幅回路を用いて折り返し積分型 A / D 変換と巡回型 A / D 変換とを順次行う積分・巡回型 A / D 変換回路において、所定の積分回数 (M) 及び所定の折り返し回数 (M_1) を有する折り返し積分の利得誤差によって生じる非線形誤差のデジタル値を A / D 変換値から減算することにより A / D 変換値を補正するデジタル補正回路であって、

上記折り返し積分の利得誤差によって生じる非線形誤差であって、実質的に上記折り返し回数 (M_1) に比例する第 1 の誤差 (E_{FR}) のデジタル値を計算し、上記 A / D 変換値から上記第 1 の誤差 (E_{FR}) を減算することにより A / D 変換値を補正する補正手段を備えたことを特徴とする A。

【0 2 8 7】

上記デジタル補正回路において、上記補正手段は、入力電圧 (V_{in}) として第 1 の参照電圧 (V_{RL}) を上記演算増幅回路に与えて 1 回の積分を行った後そのときの上記演算増幅回路の出力電圧を所定の巡回数だけ巡回型 A / D 変換を行った第 1 の A / D 変換値と、入力電圧 (V_{in}) として上記第 1 の参照電圧 (V_{RL}) よりも高い第 2 の参照電圧 (V_{RH}) を上記演算増幅回路に与えて 1 回の積分を行った後そのときの上記演算増幅回路の出力電圧を所定の巡回数だけ巡回型 A / D 変換を行った第 2 の A / D 変換値とを計算した後、上記第 2 の A / D 変換値から上記第 1 の A / D 変換値を減算し、当該減算値を上記巡回型 A / D 変換の入力側に換算することにより、上記第 1 の誤差 (E_{FR}) のデジタル値を計算することを特徴とする。

【0 2 8 8】

また、上記デジタル補正回路において、上記補正手段は、複数回の A / D 変換動作に対する上記第 1 の誤差 (E_{FR}) に関する積分非直線誤差 (INL) の計算値に基づいて、当該積分非直線誤差 (INL) の二乗値を複数回の A / D 変換動作に対して加算してなるコスト関数が最小となる時の上記第 1 の誤差 (E_{FR}) のデジタル値を計算することを特徴とする。

【0 2 8 9】

さらに、上記デジタル補正回路において、上記補正手段は、上記折り返し積分の利得誤差によって生じる非線形誤差であって、上記折り返し積分の積分誤差である第 2 の誤差

10

20

30

40

50

(E_{FI}) のデジタル値をさらに計算し、上記 A / D 変換値から上記第 1 の誤差 (E_{FR}) 及び上記第 2 の誤差 (E_{FI}) を減算することを特徴とする。

【0290】

またさらに、上記デジタル補正回路において、上記補正手段は、上記折り返し積分のうち何回目の積分であることを示す積分回数 (i) を示すコードデータと、上記折り返し積分の折り返しの有無を示すデータ ($D_I(i)$) とに基づいて、上記第 2 の誤差 (E_{FI}) のデジタル値を計算することを特徴とする。

【0291】

上記デジタル補正回路において、上記補正手段は、上記第 2 の誤差 (E_{FI}) のデジタル値を計算する回路をカラム回路内に設け、当該計算する回路は、

10

何回目の積分であることを示す積分回数 (i) を計数するアップカウンタと、

上記折り返し積分の折り返しの有無を示すデータをクロックとして動作するレジスタと

、
上記アップカウンタからの積分回数 (i) と、上記レジスタからのデータとを加算して当該加算値のデータを上記レジスタを介して上記第 2 の誤差 (E_{FI}) のデジタル値を計算するための補正係数 (m_1) として出力する加算器とを備えたことを特徴とする。

【0292】

また、上記デジタル補正回路において、上記補正手段は、巡回型 A / D 変換において上記演算増幅回路の入力端子に接続される容量 (C_1) と当該入力端子と出力端子との間に接続される積分容量 (C_2) との間のキャパシタのミスマッチによる誤差に対応する第 3 の誤差 (E_{g1}) をさらに計算し、上記 A / D 変換値から上記第 1 の誤差 (E_{FR})、上記第 2 の誤差 (E_{FI}) 及び上記第 3 の誤差 (E_{g1}) を減算することを特徴とする。

20

【0293】

さらに、上記デジタル補正回路において、上記補正手段は、巡回型 A / D 変換において上記演算増幅回路の入力端子に接続される 2 つの容量 (C_{1a} , C_{1b}) 間のキャパシタのミスマッチによる誤差に対応する第 4 の誤差 (E_{m1}) をさらに計算し、上記 A / D 変換値から上記第 1 の誤差 (E_{FR}) 及び上記第 2 の誤差 (E_{FI}) に加えて、上記第 3 の誤差 (E_{g1}) と上記第 4 の誤差 (E_{m1}) とのうちの少なくとも 1 つを減算することを特徴とする。

【0294】

30

また、本発明に係る A / D 変換回路は、演算増幅回路を用いて折り返し積分型 A / D 変換と巡回型 A / D 変換とを順次行う積分・巡回型 A / D 変換回路において、上記デジタル補正回路を備えたことを特徴とする。

【0295】

さらに、本発明に係るイメージセンサデバイスは、画像を読み取るイメージセンサデバイスにおいて、

上記画像を読み取った画素値信号を A / D 変換する A / D 変換回路を備え、

上記 A / D 変換回路は、演算増幅回路を用いて折り返し積分型 A / D 変換と巡回型 A / D 変換とを順次行う積分・巡回型 A / D 変換回路であって、上記デジタル補正回路を備えたことを特徴とする。

40

【0296】

第 3 の実施形態

図 29 は本発明の第 3 の実施形態に係る A / D 変換器の全体構成を示すブロック図である。図 1 の第 1 の実施形態では、折り返し積分型 A / D 変換の回路と、上記巡回型 A / D 変換の回路とを同一の回路を用いて構成したが、図 29 の第 3 の実施形態では、図 29 に示すように、折り返し積分型 A / D 変換回路 201 と、上記巡回型 A / D 変換回路 202 とをそれぞれ異なる回路を用いて構成したことを特徴とする。これにより、異なる回路を別々に同時に動作させることにより、動作時間を第 1 の実施形態に比較して短縮させることができるという特有の効果をも有する。

【0297】

50

ここで、折り返し積分型 A / D 変換回路 201 にはピクセル出力であるアナログ信号 V_{IN} が入力され、折り返し積分型 A / D 変換回路 201 は上位の A / D 変換値を出力し、巡回型 A / D 変換回路 202 は下位の A / D 変換値を出力する。

【0298】

図30は図29の折り返し積分型 A / D 変換回路 201 及びその周辺回路の構成を示す回路図である。図30において、折り返し積分型 A / D 変換回路 201 は、演算増幅回路 23C と、キャパシタ 25C, 29C と、スイッチ 49C, 47C, 53, 54, 55 と、入力されるアナログ信号用スイッチ 43C と、D / A 変換用スイッチ 31a, 31b と、図31の参照電圧発生回路 37C と、コンパレータ 17c と、論理回路 19C と、クロック発生器 41C とを備えて構成される。ここで、図1の構成要素と同様のものについては、参照番号の最後に「C」を付加している。図30の折り返し積分型 A / D 変換回路 201 は、主として図1の A / D 変換器に比較して以下の点が異なる。

(1) キャパシタ 25, 27 に代えて、キャパシタ 25C のみを備えて折り返し積分型 A / D 変換の動作を行い、ここで、キャパシタ 27 及びスイッチ 31c が不要になる。

(2) コンパレータ 17a, 17b に代えて、上位の A / D 変換値を出力するためのコンパレータ 17c を備える。

(3) 論理回路 19 に代えて、折り返し積分型 A / D 変換の動作のみのための制御信号 D_H, D_L を発生する論理回路 19C を備える。

(4) クロック発生器 41 に代えて、折り返し積分型 A / D 変換の動作のみのためのクロック信号 $\phi_2, \phi_3, \phi_{sd}, \phi_s$ を発生するクロック発生器 41C を備える。

【0299】

図30の下側に図示されたデジタル部 DC_C はコンパレータ 17c 及び2つの変換参照電圧 V_{RCH}, V_{RCL} を用いて上位の A / D 変換値のデジタル信号 D を生成する。デジタル部 DC_C は、コンプリメント部 CP_C 、加算器 AD_C 、レジスタ RG_{1C} を含む。当該デジタル部 DC_C の動作は、1ビットの出力 B_0 に基づいて上位の A / D 変換値のデジタル信号 D を生成することを除いて、上述の図14(a)の動作を同様である。

【0300】

図31は図30の参照電圧発生回路 37C の構成を示す回路図である。図31において、参照電圧発生回路 37C は、第1及び第2の基準参照電圧 V_{RH}, V_{RL} に基づき、所定の抵抗値を有する抵抗 $R_1 \sim R_5$ に応じて、折り返し積分型 A / D 変換動作のための変換参照電圧 V_T を生成する。この参照電圧発生回路 37 によれば、例えば、抵抗 $R_1 \sim R_5$ の抵抗値を、抵抗 $R_1 = 2R$ 、抵抗 $R_2 = R$ 、抵抗 $R_4 = R$ 、抵抗 $R_5 = 2R$ (R は所定の抵抗値) といった値に設定することにより、変換参照電圧 V_T を第1の基準参照電圧 V_{RH} と第2の基準参照電圧値 V_{RL} との間の中央値に設定することができる。

【0301】

図32は図30の折り返し積分型 A / D 変換回路 201 の動作を示す図面である。図32の折り返し積分型 A / D 変換回路 201 の動作は、図1の第1の実施形態に係る A / D 変換器に比較して、以下の点が異なる。

(1) 容量 C_{1a}, C_{1b} をそれぞれ有するキャパシタ 25, 27 に代えて、容量 C_{F1a} を有するキャパシタ 25C のみを用いて折り返し積分型 A / D 変換の動作を行うために、次式の関係で動作する。

$$C_{FI} = C_{F1a}$$

【0302】

従って、デジタル補正時の有限ゲイン誤差は次式で表される。

$$e_{fg, FI} = (C_{F1a} + C_{FI2} + C_{FIi}) / (C_{FI2} A_{FI})$$

$$e_{fg2, FI} = (C_{FI2} + C_{FIi}) / (C_{FI2} A_{FI})$$

$$e_{fg1, FI} = C_{F1a} / (C_{FI2} A_{FI}) = e_{fg, FI} - e_{fg2, FI}$$

ここで、 A_{FI} は演算増幅回路 23 の開ループ DC 利得であり、 C_{FI2} は帰還側容量であり、 C_{FI1} は入力側容量 (理想値 $C_{FI1} = C_{FI2} / 2$) である。また、 C_{FI}

10

20

30

40

50

i は演算増幅回路 23 の入力容量である。

【0303】

巡回型 A/D 変換回路 202 のデジタル補正時の有限ゲイン誤差は第 2 の実施形態と僅かに異なる。すなわち、巡回型 A/D 変換回路 202 の動作の最初のサイクルでは、誤差項 g_2 が次式となる。

$$g_1 = e_{m2} - e_{fg}$$

2 回目以降のサイクルでは、誤差項 g_2 は、第 2 の実施形態と同様、次式となる。

$$g_1 = e_{m2} + e_{fg2} - e_{fg}$$

【0304】

図 33 は図 32 に示した折り返し積分型 A/D 変換回路 201 の動作における、シミュレーションによるゲインステージの入出力特性を示す図面である。図 33 は、($V_{RH} = 2.5V$ 、 $V_{RL} = 1.5V$ 、演算動作における参照電圧 $V_{RI} = V_{RH}$ 、 $V_{COM} = 2.0V$ 、サンプリング回数 $M = 16$) の条件における入出力特性を示す。図 33 に示されるように、 $1.0 \sim 2.0V$ の振幅 $1V$ の入力に対して、出力は、 $1.5 \sim 2.5V$ となっており、その振幅は $1V$ の範囲に収められている。

10

【0305】

図 34 は図 32 に示した折り返し積分型 A/D 変換回路 201 のシミュレーションに対応する、入力信号であるアナログ信号 V_{IN} の入力レベルとデジタルカウント値との関係を示す図である。図 34 に示されるように、折り返し積分型 A/D 変換回路 201 における 16 回のサンプリング及び積分及び $1.0V$ の入力範囲に対し、デジタルカウント値は、15 階調の値を取り得る。従って、このデジタルカウント値の範囲は、約 4 ビットで表される。

20

【0306】

図 35 は図 29 の巡回型 A/D 変換回路 202 及びその周辺回路の構成を示す回路図である。図 35 において、巡回型 A/D 変換回路 202 は、図 1 の A/D 変換器を用いて、折り返し積分型 A/D 変換動作を除いて同様に構成されて、同様に動作する。

【0307】

以上のように構成された第 3 の実施形態に係る A/D 変換器によれば、折り返し積分型 A/D 変換回路 201 と、上記巡回型 A/D 変換回路 202 とをそれぞれ異なる回路を用いて構成したことを特徴とする。これにより、異なる回路を別々に同時に動作させることにより、動作時間を第 1 の実施形態に比較して短縮させることができるという特有の効果をも有する。また、第 3 の実施形態に係る A/D 変換器では、折り返し積分型 A/D 変換回路 201 における上述の式の置き換えを行うことにより、第 2 の実施形態に係るデジタル補正回路を用いて同様にデジタル補正することができる。

30

【0308】

その他の実施形態

以上、本発明をその実施形態に基づいて詳細に説明した。しかし、本発明は上記実施形態に限定されるものではない。本発明は、その要旨を逸脱しない範囲で様々な変形が可能である。

【産業上の利用可能性】

40

【0309】

以上詳述したように、本発明にかかるデジタル補正回路によれば、当該デジタル補正により、A/D 変換装置の高精度化、すなわち高分解能化を行うことができ、例えば 14 ビットの高精度の A/D 変換が実現でき、しかも低消費電力で、高速化することができる。また、当該デジタル補正回路を用いて A/D 変換装置を構成し、さらに、当該 A/D 変換装置を用いて CMOS イメージセンサなどのイメージセンサデバイスを提供できる。

【符号の説明】

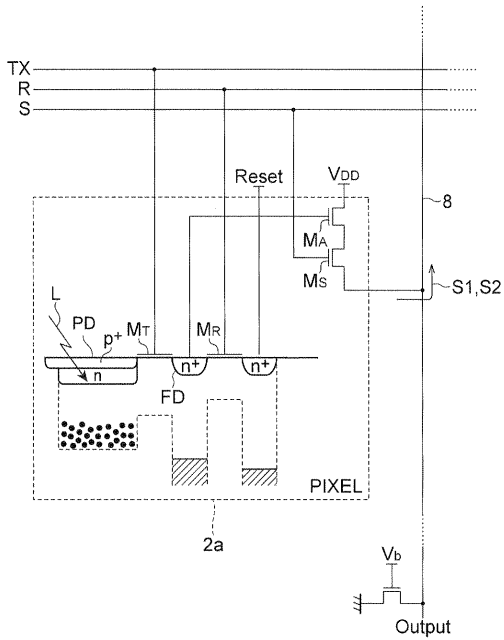
【0310】

$B_1, B_0 \dots$ デジタル信号、

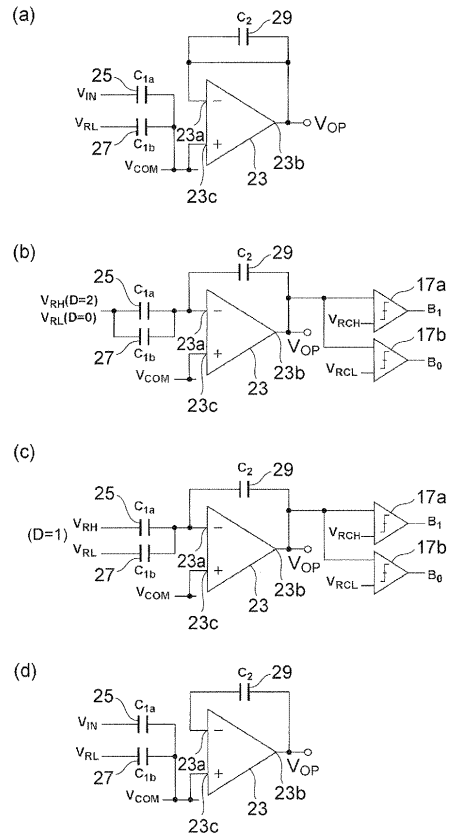
50

C _{1a} , C _{1b} , C ₂ ... 容量、	
D ... デジタル信号、	
SA ... スイッチ、	
SI ... スイッチ、	
V _{COM} ... 基準電位、	
V _{CONT} ... 制御信号、	
V _{IN} ... アナログ信号、	
V _{OP} ... 演算値、	
V _{RCH} ... 第1の変換参照電圧、	
V _{RCL} ... 第2の変換参照電圧、	10
V _{RH} ... 第1の基準参照電圧、	
V _{RL} ... 第2の基準参照電圧、	
31a - 31c ... スイッチ、	
2a ... イメージセンサセル、	
11 ... D/A変換器、	
15 ... ゲインステージ、	
15a ... 入力、	
15b ... 出力、	
17, 17C ... A/D変換回路、	
17a, 17b, 17c ... コンパレータ、	20
19, 19C ... 論理回路、	
21 ... D/A変換回路、	
21a ... 第1の出力、	
21b ... 第2の出力、	
23, 23C ... 演算増幅回路、	
23A ... 1ビットA/D変換器、	
23a ... 第1の入力、	
23b ... 出力、	
23c ... 第2の入力、	
25, 25C ... 第1のキャパシタ、	30
27 ... 第2のキャパシタ、	
29, 29C ... 第3のキャパシタ、	
31 ... スイッチ回路、	
31a, 31b, 31c, 43, 49, 51, 53, 54, 55 ... スイッチ、	
33, 35 ... 基準電圧源、	
37, 37C ... 参照電圧発生回路、	
41, 41C ... クロック発生器、	
60 ... アップカウンタ、	
70 ... レジスタ、	
71 ... E _{FI} 計算部、	40
72 ... E _{FR} 計算部、	
73 ... E _{g1} 計算部、	
74 ... E _{m1} 計算部、	
75 ... 補正後出力値計算部、	
101 ... CMOS イメージセンサ、	
102 ... セルアレイ、	
102a ... 画素、	
103 ... 垂直シフトレジスタ、	
104 ... 積分・巡回型ADCアレイ、	
104a ... A/D変換器、	50

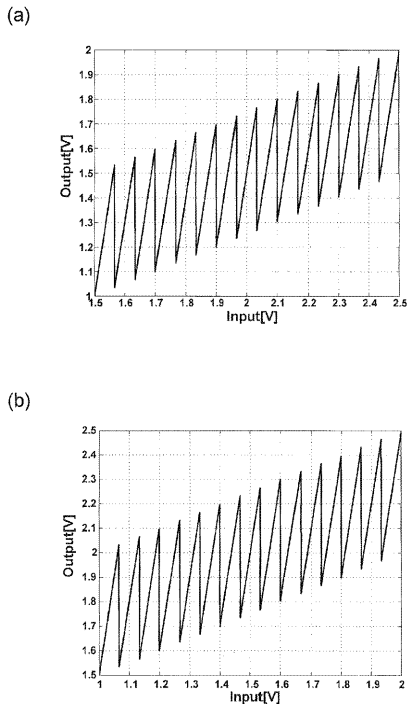
【 図 4 】



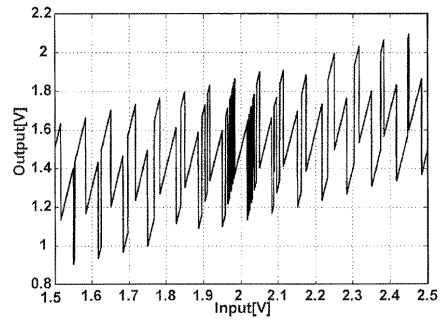
【 図 5 】



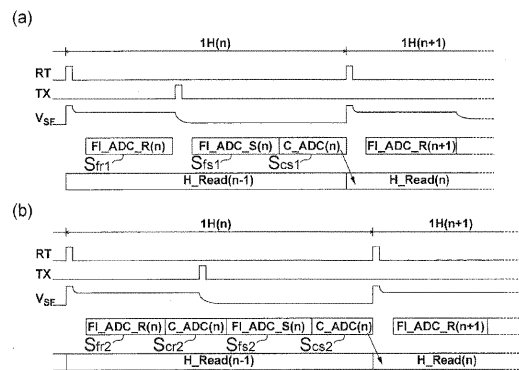
【 図 6 】



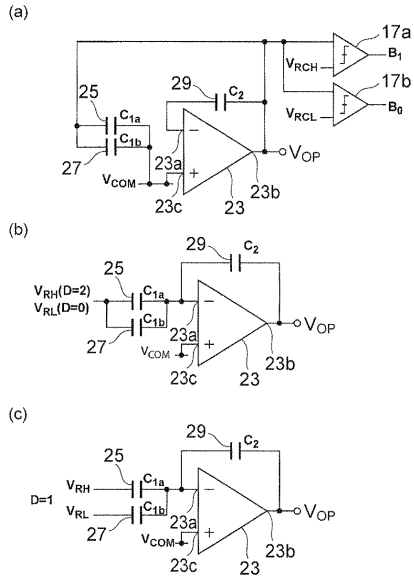
【 図 7 】



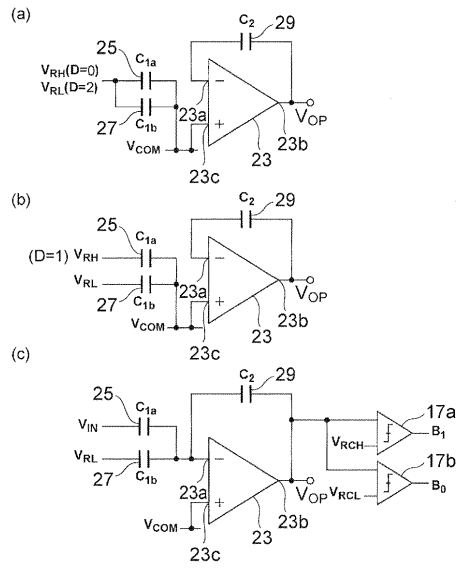
【 図 8 】



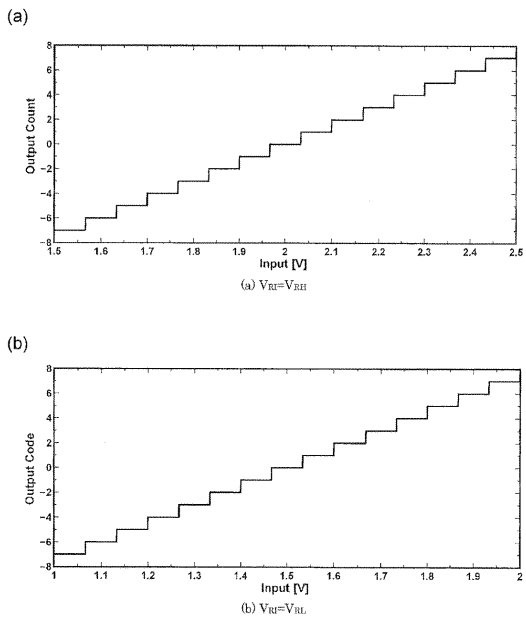
【 図 9 】



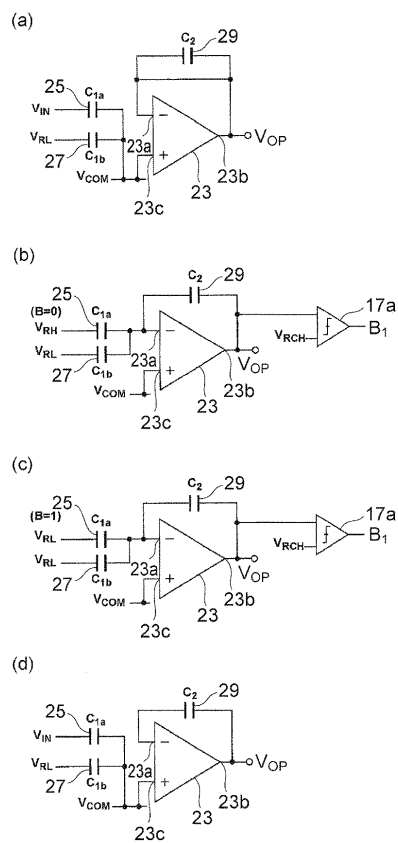
【 図 1 0 】



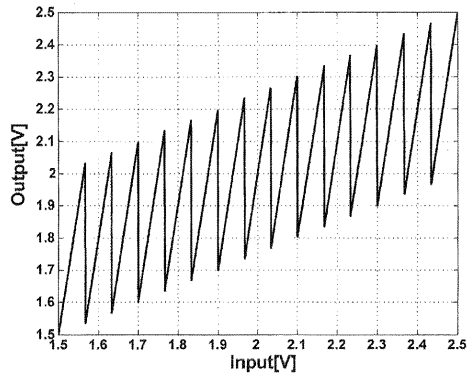
【 図 1 1 】



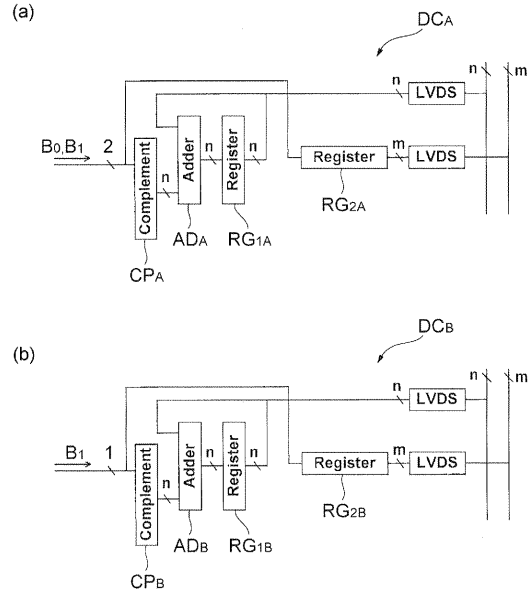
【 図 1 2 】



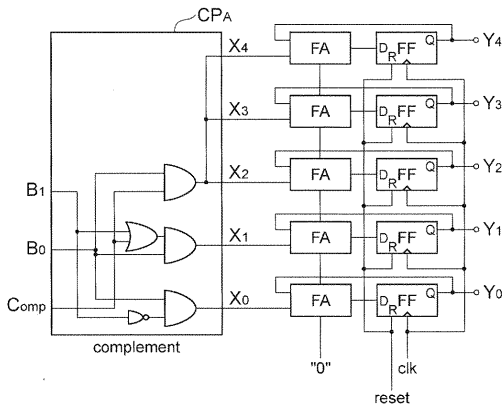
【 図 1 3 】



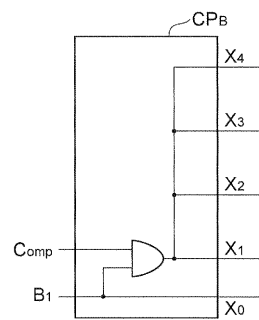
【 図 1 4 】



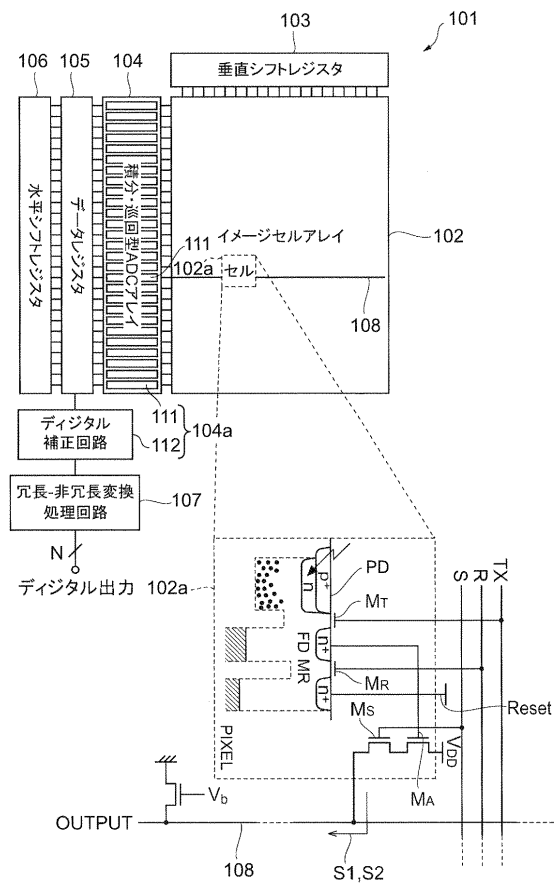
【 図 1 5 】



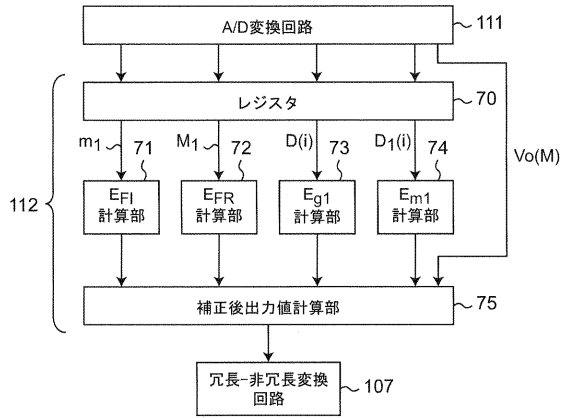
【 図 1 6 】



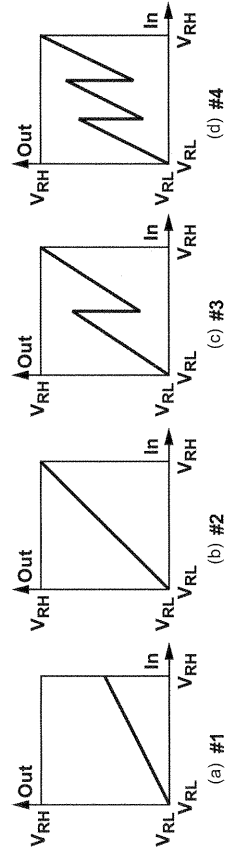
【 図 1 7 】



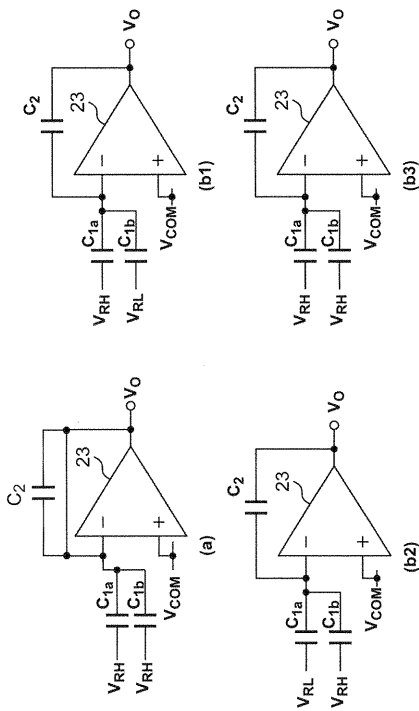
【 図 1 8 】



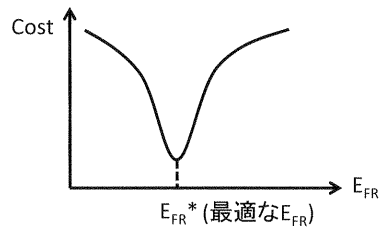
【 図 1 9 】



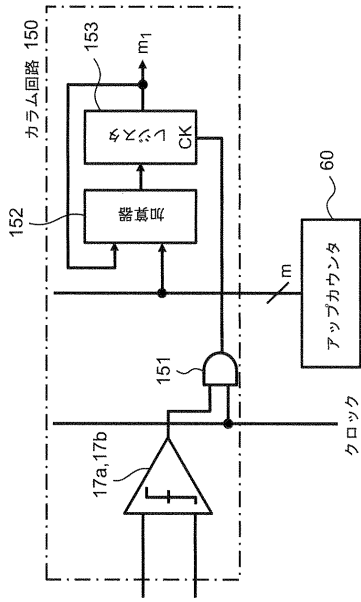
【 図 2 0 】



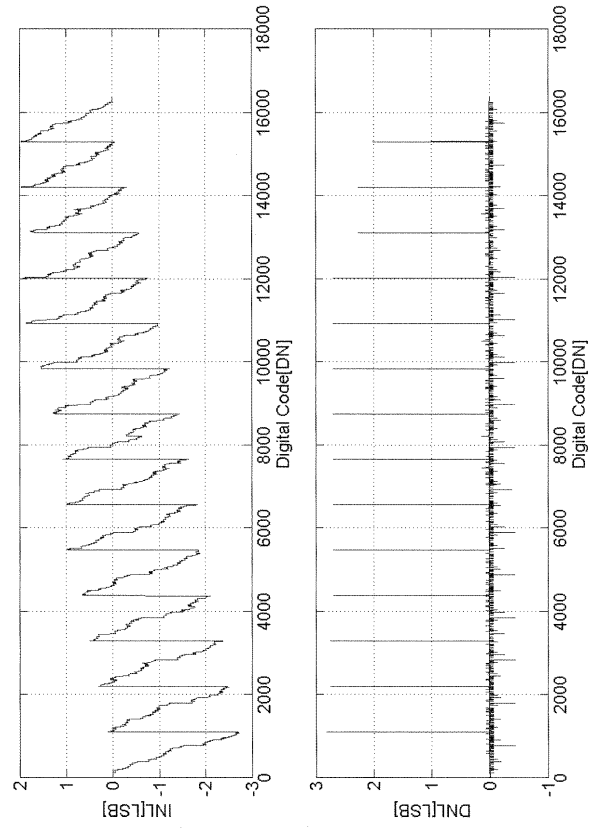
【 図 2 1 】



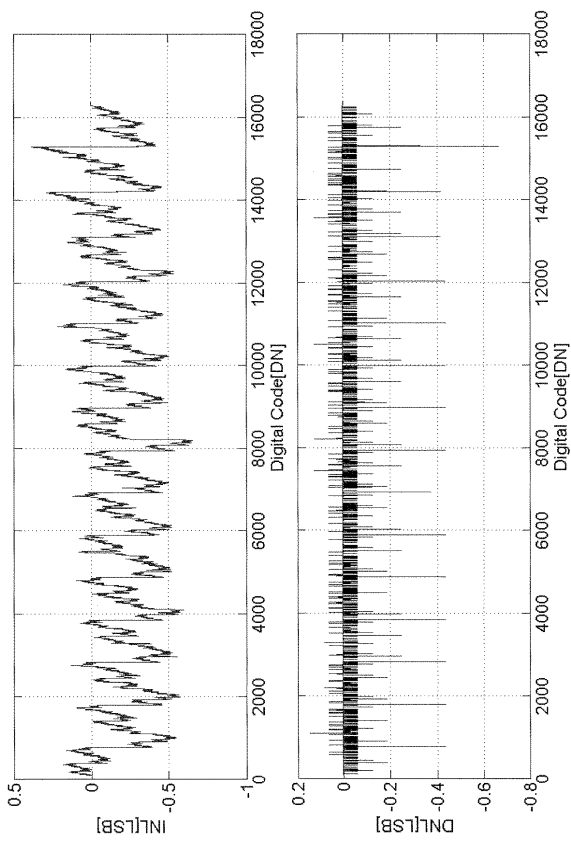
【図 2 2】



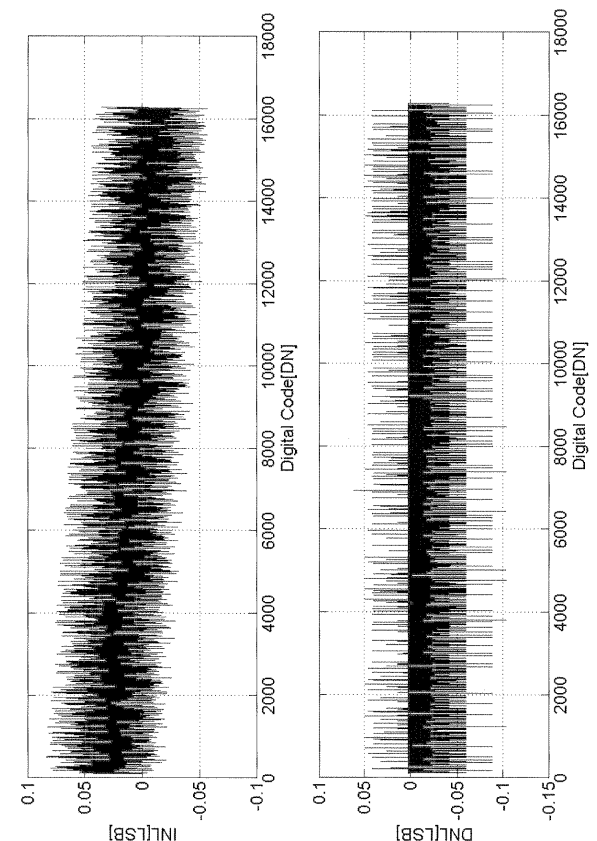
【図 2 3】



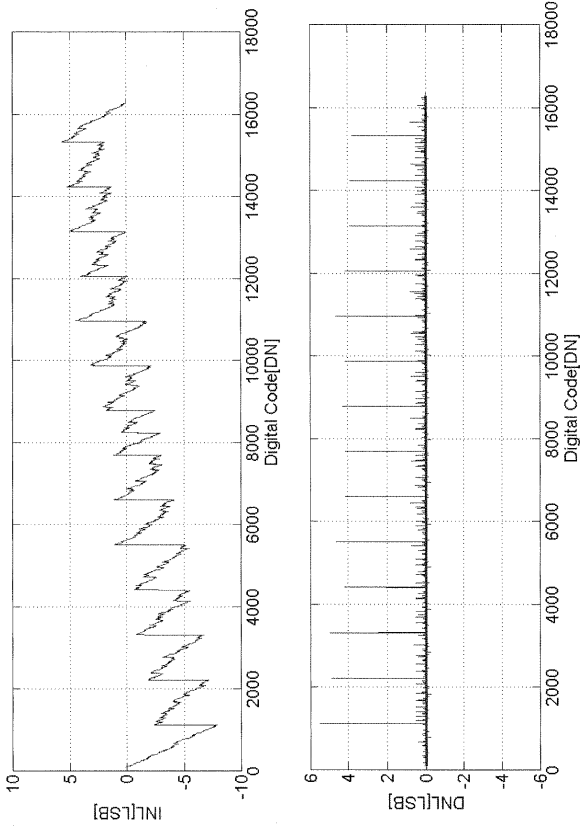
【図 2 4】



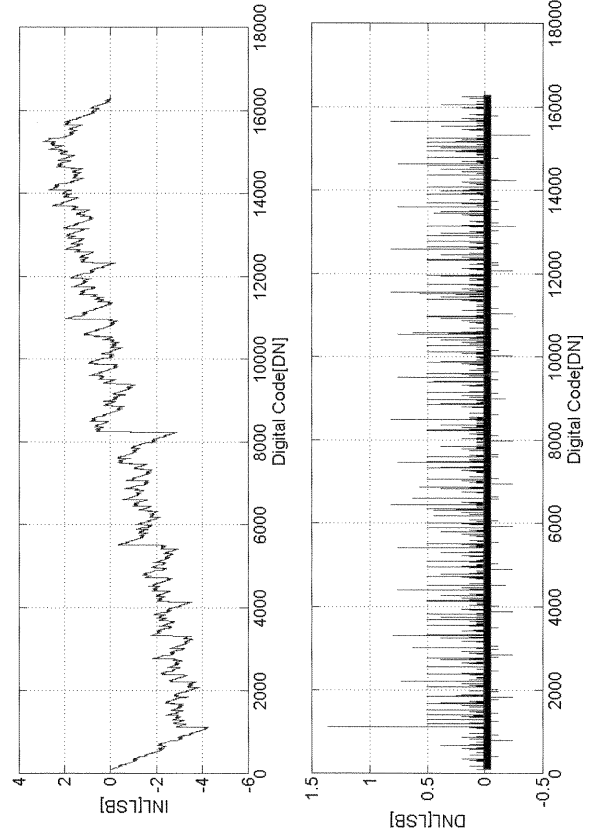
【図 2 5】



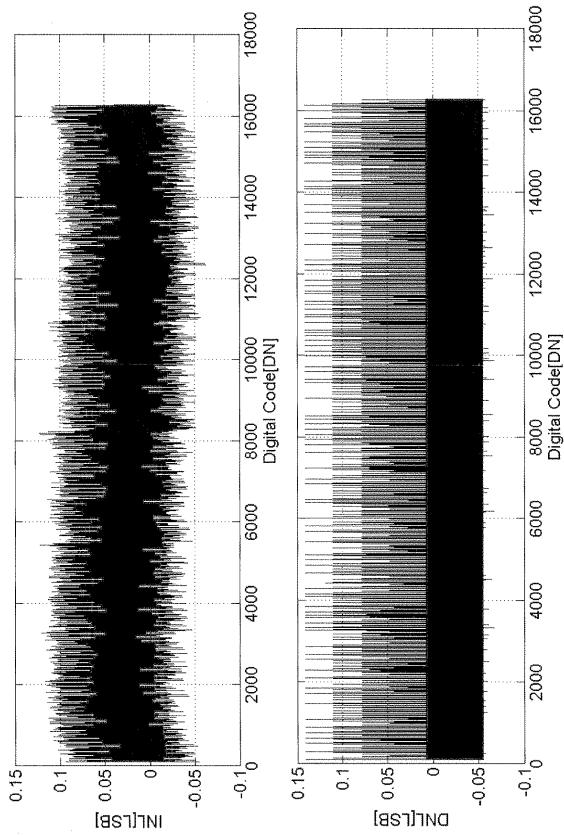
【図26】



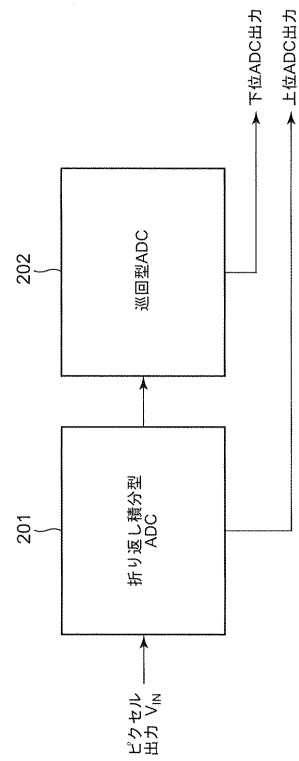
【図27】



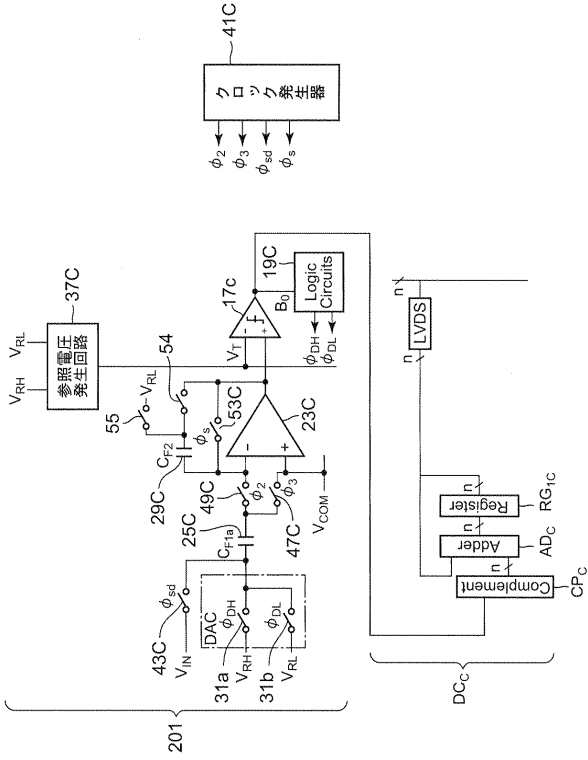
【図28】



【図29】

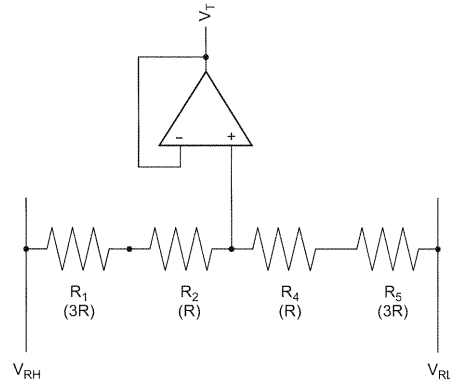


【図 30】

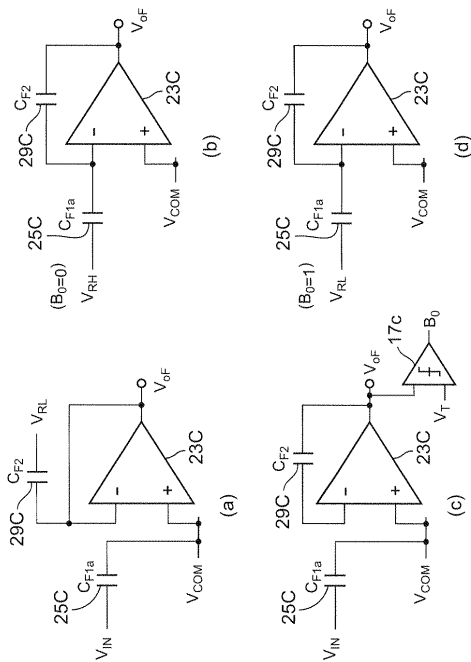


【図 31】

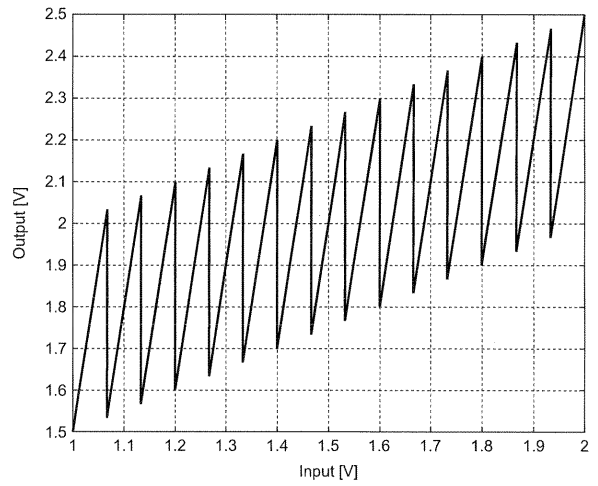
37C



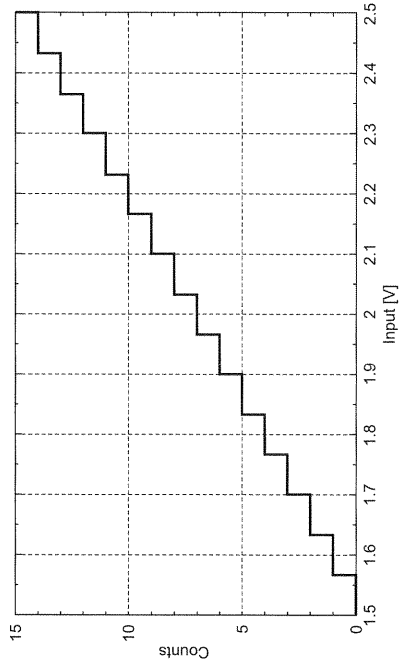
【図 32】



【図 33】



【図 3 4】



【図 3 5】

