



(12) 发明专利

(10) 授权公告号 CN 102509736 B

(45) 授权公告日 2015. 08. 19

(21) 申请号 201110421039. 7

(22) 申请日 2009. 09. 28

(30) 优先权数据

2008-274540 2008. 10. 24 JP

(62) 分案原申请数据

200980142763. 7 2009. 09. 28

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 宫入秀和 长多刚 山崎舜平

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 张金金 朱海煜

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 29/423(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

US 2005/0199959 A1, 2005. 09. 15, 说明书第

[0009]–[0024] 段、附图 1F.

CN 101036232 A, 2007. 09. 12, 说明书第 7 页
第 18–27 行、附图 3.

CN 1527243 A, 2004. 09. 08, 全文.

US 2008/0128689 A1, 2008. 06. 05, 说明
书第 [0030]–[0031], [0040]–[0046] 段、附图
1B, 2A–2B.

US 2008/0080221 A1, 2008. 04. 03, 说明书第
[0022]–[0035] 段、附图 2, 3A.

审查员 张海洋

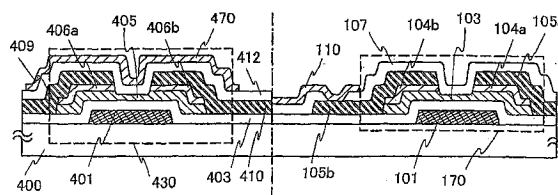
权利要求书3页 说明书30页 附图28页

(54) 发明名称

半导体器件和用于制造该半导体器件的方法

(57) 摘要

由于显示器具有更高的清晰度,像素、栅极线和信号线的数目增加。当栅极线和信号线的数目增加时,出现更高制造成本的问题,因为难以通过接合或类似方式安装包括用于驱动该栅极和信号线的驱动电路的 IC 芯片。像素部分和用于驱动该像素部分的驱动电路提供在相同衬底之上,并且该驱动电路的至少一部分包括使用氧化物半导体的薄膜晶体管,该氧化物半导体插入提供在氧化物半导体上面和下面的栅电极之间。因此,当像素部分和驱动器部分提供在相同衬底之上时,制造成本可以降低。



1. 一种半导体器件,包括:

第一薄膜晶体管;以及

第二薄膜晶体管,

其中所述第一薄膜晶体管和所述第二薄膜晶体管中的每一个包括:

第一栅电极;以及

所述第一栅电极之上的氧化物半导体层,

其中所述第二薄膜晶体管还包括所述第二薄膜晶体管的所述氧化物半导体层之上的第二栅电极,

其中在沟道宽度方向上,所述第二栅电极的第一宽度大于所述第二薄膜晶体管的所述氧化物半导体层的第一宽度,

其中在沟道长度方向上,所述第二栅电极的第二宽度大于所述第二薄膜晶体管的所述氧化物半导体层的第二宽度,

其中在所述沟道宽度方向上,所述第二薄膜晶体管的所述第一栅电极的宽度大于所述第二薄膜晶体管的所述氧化物半导体层的所述第一宽度,

其中所述第一薄膜晶体管放置在像素部中,

其中所述第二薄膜晶体管用于驱动电路,以及

其中所述第一薄膜晶体管和所述第二薄膜晶体管中的每一个的所述氧化物半导体层包括铟、锌以及不同于铟和锌的金属。

2. 如权利要求 1 所述的半导体器件,其中所述第二栅电极完全覆盖所述第一栅电极。

3. 如权利要求 1 所述的半导体器件,

其中所述氧化物半导体层具有第一区域和第二区域,

其中所述第一薄膜晶体管的源电极或漏电极与所述第二区域重叠,并且

其中所述第一区域的厚度小于所述第二区域的厚度。

4. 如权利要求 1 所述的半导体器件,其中所述第一栅电极和所述第二栅电极具有相同的电位。

5. 如权利要求 1 所述的半导体器件,其中所述第一栅电极和所述第二栅电极具有不同的电位。

6. 一种半导体器件,包括:

第一薄膜晶体管;以及

第二薄膜晶体管,

其中所述第一薄膜晶体管和所述第二薄膜晶体管的每个包括氧化物半导体层和第一栅电极,所述氧化物半导体层和所述第一栅电极互相重叠,

其中所述第二薄膜晶体管进一步包括第二栅电极,

其中所述第一薄膜晶体管的源电极和漏电极其中之一电连接至所述第二薄膜晶体管的源电极和漏电极其中之一,

其中所述第一薄膜晶体管的第一栅电极电连接至所述第一薄膜晶体管的源电极和漏电极的所述其中之一,并且

其中,在所述第二薄膜晶体管中,在沟道宽度方向上,所述第二栅电极的第一宽度大于所述氧化物半导体层的沟道形成区的第一宽度,在沟道长度方向上,所述第二栅电极的第

二宽度大于所述氧化物半导体层的所述沟道形成区的第二宽度,所述第二栅电极位于所述第一栅电极之上且所述氧化物半导体层在其二者之间,并且所述第二栅电极覆盖所述沟道形成区。

7. 如权利要求 6 所述的半导体器件,其中,在所述第二薄膜晶体管中,所述第二栅电极完全覆盖所述沟道形成区。

8. 如权利要求 6 所述的半导体器件,其中,在所述第二薄膜晶体管中,所述第二栅电极完全覆盖所述氧化物半导体层。

9. 如权利要求 6 所述的半导体器件,其中,所述第一薄膜晶体管和所述第二薄膜晶体管的所述氧化物半导体层包括铟、镓、锌以及不同于铟、镓和锌的金属。

10. 如权利要求 6 所述的半导体器件,

其中所述第二薄膜晶体管的源电极和漏电极的其中另一个电连接至 V_{ss} ,并且所述第一薄膜晶体管的源电极和漏电极的其中另一个电连接至 V_{dd} 。

11. 如权利要求 6 所述的半导体器件,

其中所述氧化物半导体层具有第一区域和第二区域,

其中所述源电极或所述漏电极与所述第二区域重叠,并且

所述第一区域的厚度小于所述第二区域的厚度。

12. 如权利要求 6 所述的半导体器件,

其中所述半导体器件是显示器件。

13. 如权利要求 11 所述的半导体器件,

其中所述第二薄膜晶体管的氧化物半导体层与所述第二薄膜晶体管的第一栅电极重叠且其二者之间具有第一绝缘层,并且所述第二薄膜晶体管的氧化物半导体层与所述第二栅电极重叠且其二者之间具有第二绝缘层,并且所述第二绝缘层与所述第二薄膜晶体管的氧化物半导体层的第一区域接触。

14. 如权利要求 6 所述的半导体器件,其中所述第一薄膜晶体管和所述第二薄膜晶体管的氧化物半导体层包括选自铟、镓和锌构成的组中的至少一个。

15. 如权利要求 6 所述的半导体器件,其中所述第二薄膜晶体管的第一栅电极和第二栅电极具有相同电位。

16. 如权利要求 6 所述的半导体器件,其中所述第二薄膜晶体管的第一栅电极和第二栅电极具有不同的电位。

17. 如权利要求 6 所述的半导体器件,其中所述第一薄膜晶体管和所述第二薄膜晶体管是 n 沟道薄膜晶体管。

18. 一种半导体器件,包括:

第一薄膜晶体管;以及

第二薄膜晶体管,

其中所述第一薄膜晶体管和所述第二薄膜晶体管的每个包括氧化物半导体层和第一栅电极,所述氧化物半导体层和所述第一栅电极互相重叠,

其中所述第二薄膜晶体管进一步包括第二栅电极,

其中所述第一薄膜晶体管的源电极和漏电极其中之一电连接至所述第二薄膜晶体管的源电极和漏电极其中之一,

其中所述第一薄膜晶体管的第一栅电极电连接至所述第一薄膜晶体管的源电极和漏电极的所述其中之一,并且

其中在所述第二薄膜晶体管中,在沟道宽度方向上,所述第二栅电极的第一宽度大于所述第二薄膜晶体管的所述氧化物半导体层的第一宽度,在沟道长度方向上,所述第二栅电极的第二宽度大于所述第二薄膜晶体管的所述氧化物半导体层的第二宽度,在所述沟道宽度方向上,所述第二栅电极的所述第二宽度大于所述第一栅电极的宽度,所述第二栅电极位于所述第一栅电极之上且所述氧化物半导体层在其二者之间,并且所述第二栅电极覆盖所述第一栅电极。

19. 如权利要求 18 所述的半导体器件,其中,在所述第二薄膜晶体管中,所述第二栅电极完全覆盖所述第一栅电极。

20. 如权利要求 18 所述的半导体器件,其中,所述第一薄膜晶体管和所述第二薄膜晶体管的所述氧化物半导体层包括铟、镓、锌以及不同于铟、镓和锌的金属。

21. 如权利要求 18 所述的半导体器件,其中所述第二薄膜晶体管的源电极和漏电极的其中一个电连接至 V_{ss} ,并且所述第一薄膜晶体管的源电极和漏电极的其中一个电连接至 V_{dd} 。

22. 如权利要求 18 所述的半导体器件,

其中所述氧化物半导体层具有第一区域和第二区域,

其中所述源电极或所述漏电极与所述第二区域重叠,并且

其中所述第一区域的厚度小于所述第二区域的厚度。

23. 如权利要求 18 所述的半导体器件,

其中所述半导体器件是显示器件。

24. 如权利要求 22 所述的半导体器件,

其中所述第二薄膜晶体管的氧化物半导体层与所述第二薄膜晶体管的第一栅电极重叠且其二者之间具有第一绝缘层,并且所述第二薄膜晶体管的氧化物半导体层与所述第二栅电极重叠且其二者之间具有第二绝缘层,并且所述第二绝缘层与所述第二薄膜晶体管的氧化物半导体层的第一区域接触。

25. 如权利要求 18 所述的半导体器件,其中所述第一薄膜晶体管和所述第二薄膜晶体管的氧化物半导体层包括选自铟、镓和锌构成的组中至少一个。

26. 如权利要求 18 所述的半导体器件,其中所述第一薄膜晶体管和所述第二薄膜晶体管的所述仅其中之一的第一栅电极和第二栅电极具有相同电位。

27. 如权利要求 18 所述的半导体器件,其中所述第一薄膜晶体管和所述第二薄膜晶体管的所述仅其中之一的第一栅电极和第二栅电极具有不同的电位。

28. 如权利要求 20 所述的半导体器件,其中所述第一薄膜晶体管和所述第二薄膜晶体管是 n 沟道薄膜晶体管。

半导体器件和用于制造该半导体器件的方法

技术领域

[0001] 本发明涉及使用氧化物半导体的半导体器件和用于制造该半导体器件的方法。

背景技术

[0002] 如在液晶显示器中典型见到的,在例如玻璃衬底等平板之上形成的薄膜晶体管使用非晶硅或多晶硅制造。使用非晶硅形成的薄膜晶体管具有低电场效应迁移率,但这样的晶体管可以在具有更大面积的玻璃衬底之上形成。在另一方面,使用晶体硅形成的薄膜晶体管具有高电场效应迁移率,但例如激光退火等结晶工艺是必需的并且这样的晶体管不是一直都适用于更大的玻璃衬底。

[0003] 鉴于前述,注意力已经被吸引到薄膜晶体管使用氧化物半导体被形成所采用的技术,并且这样的晶体管应用于电子器件或光学器件。例如,专利文件 1 和专利文件 2 公开一项技术,薄膜晶体管借此使用氧化锌或 In-Ga-Zn-O 基氧化物半导体作为氧化物半导体膜制造,并且这样的晶体管用作图像显示器的开关元件或其类似物。

[0004] [参考文献]

[0005] [专利文件 1] 日本公开的专利申请号 2007-123861

[0006] [专利文件 2] 日本公开的专利申请号 2007-096055

发明内容

[0007] 其中沟道形成区提供在氧化物半导体中的薄膜晶体管的电子场效应迁移率高于使用非晶硅的薄膜晶体管。该氧化物半导体膜可以通过溅射法或类似方法在 300℃ 或更低的温度形成。它的制造工艺比使用多晶硅的薄膜晶体管更容易。

[0008] 这样的氧化物半导体期望用于在玻璃衬底、塑料衬底或其类似物上形成薄膜晶体管,并且应用于例如液晶显示器、电致发光显示器或电子纸等显示器。

[0009] 当显示器的显示区的大小增加时,像素的数目增加并且从而栅极线和信号线的数目增加。另外,由于显示器具有更高的清晰度,像素的数目增加并且从而栅极线和信号线的数目增加。当栅极线和信号线的数目增加时,难以通过接合或类似方式安装包括用于驱动栅极线和信号线的驱动电路的 IC 芯片,由此制造成本增加。

[0010] 因此,目的是通过在用于驱动像素部分的驱动电路的至少一部分中采用使用氧化物半导体的薄膜晶体管来减少制造成本。

[0011] 在用于驱动像素部分的驱动电路的至少一部分中采用使用氧化物半导体的薄膜晶体管的情况下,对于薄膜晶体管需要高动态特性(导通特性或频率特性(称为 f 特性))。另一个目的是提供具有高动态特性(导通特性)的薄膜晶体管并且提供实现高速操作的驱动电路。

[0012] 另外,本发明的实施例的目的是提供半导体器件,对其提供其中氧化物半导体层用于沟道的高度可靠的薄膜晶体管。

[0013] 栅电极提供在氧化物半导体层上面和下面以实现薄膜晶体管的可靠性和导通特

性的改进。

[0014] 此外,通过控制施加到上和下栅电极的栅极电压,可以控制阈值电压。该上和下栅电极可互相电连接以便具有相同的电势,或该上和下栅电极可连接到不同的布线以便具有不同的电势。例如,当阈值电压设置在0或接近0以降低驱动电压时,可以实现功耗的降低。备选地,当阈值电压设置为正时,薄膜晶体管可以起增强型晶体管的作用。此外备选地,当阈值电压设置为负时,薄膜晶体管可以起耗尽型晶体管的作用。

[0015] 包括增强型晶体管和耗尽型晶体管的组合的逆变电路(在下文中,这样的电路称为EDMOS电路)可以用于驱动电路。该驱动电路至少包括逻辑电路部分和开关部分或缓冲器部分。该逻辑电路部分具有包括上文的EDMOS电路的电路结构。此外,大导通电流可以流动所借助的薄膜晶体管优选地用于开关部分或缓冲器部分。使用在氧化物半导体层上面和下面包括栅电极的薄膜晶体管或耗尽型晶体管。

[0016] 具有不同结构的薄膜晶体管可以在相同的衬底上形成而没有大大增加步骤数。例如,使用在氧化物半导体层上面和下面包括栅电极的薄膜晶体管的EDMOS电路可形成以用于高速驱动的驱动电路,并且仅在氧化物半导体层下面包括栅电极的薄膜晶体管可用于像素部分。

[0017] 注意在整个该说明书中,其阈值电压为正的n沟道TFT称为增强型晶体管,并且其阈值电压为负的n沟道TFT称为耗尽型晶体管。

[0018] 提供在氧化物半导体层上面的栅电极的材料的示例包括从铝(Al)、铜(Cu)、钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)选择的元素以及包含上文的元素中的任何元素作为它的成分的合金,并且可以使用任何导电膜而没有特定限制。此外,栅电极不限于包含上文的元素中的任何元素的单层结构,并且可以具有两层或更多层的堆叠结构。

[0019] 作为提供在氧化物半导体层上面的栅电极的材料,可以使用与像素电极相同的材料(透明导电膜或其类似物可以在透射显示器的情况下使用)。例如,提供在氧化物半导体层上面的栅电极可以采用与用于形成像素电极(其电连接到像素部分中的薄膜晶体管)的步骤相同的步骤形成。因此,可以形成提供有在氧化物半导体层上面和下面的栅电极的薄膜晶体管而没有大大增加步骤数。另外,通过提供在氧化物半导体层上面的栅电极,在用于检查薄膜晶体管的可靠性的偏压-温度应力测试(在下文中,称为BT测试)中,在BT测试之前和之后之间的薄膜晶体管的阈值电压中的变化量可以减小。即,在氧化物半导体层上面的栅电极的提供可以提高可靠性。

[0020] 在该说明书中公开的本发明的一个实施例是半导体器件,其包括:在绝缘表面之上的第一栅电极;在该第一栅电极之上的第一绝缘层;在该第一绝缘层之上的氧化物半导体层;在该氧化物半导体层之上的源电极和漏电极;覆盖该源电极和漏电极的第二绝缘层;在该第二绝缘层之上的第二栅电极,其中该氧化物半导体层具有厚度小于与该源电极或漏电极重叠的区域的厚度的区域,并且该第二绝缘层与氧化物半导体层中厚度较小的区域接触。

[0021] 上文描述的结构可以实现上文描述的目的中的至少一个。

[0022] 在上文描述的结构中,使第二栅电极的宽度大于第一栅电极的宽度,由此栅极电压可以从第二栅电极施加到整个氧化物半导体层。

[0023] 备选地,在上文描述的结构中,当使第一栅电极的宽度小于第二栅电极的宽度时,与源电极和漏电极重叠的第一栅电极的面积减小,使得寄生电容可以减小。此外备选地,使第一栅电极的宽度大于氧化物半导体层中厚度较小的区域,同时使第二栅电极的宽度小于氧化物半导体层中厚度较小的区域,使得第二栅电极不与源电极或漏电极重叠以更多地减小寄生电容。

[0024] 本发明的另一个实施例是半导体器件,其包括像素部分和驱动电路,该像素部分至少包括具有第一氧化物半导体层的第一薄膜晶体管,该驱动电路包括 EDMOS 电路,其至少包括具有第二氧化物半导体层的第二薄膜晶体管和具有第三氧化物半导体层的第三薄膜晶体管,并且该第三薄膜晶体管包括在该第三氧化物半导体层下面的第一栅电极和在该第三氧化物半导体层上面的第二栅电极。

[0025] 在上文描述的结构中,当在像素部分中的第一薄膜晶体管电连接到像素电极并且该像素电极具有与驱动电路中的第二栅电极相同的材料时,可以制造该半导体器件而没有增加步骤数。

[0026] 在上文描述的结构中,当在像素部分中的第一薄膜晶体管电连接到像素电极并且该像素电极用与驱动电路中的第二栅电极不同的材料形成时,例如当像素电极用透明导电膜形成并且第二栅电极用铝膜形成时,在驱动电路中的第二栅电极的电阻可以减小。

[0027] 此外,提供所谓的双栅极结构,其中驱动电路的第三氧化物半导体层与第一栅电极重叠,其中第一绝缘层在其之间,并且也与第二栅电极重叠,其中第二绝缘层在其之间。

[0028] 作为具有驱动电路的半导体器件,除液晶显示器之外,可以给出使用发光元件的发光显示器和使用电泳显示元件的显示器(其也称为电子纸)。

[0029] 注意在该说明书中术语“显示器”意思是图像显示器、发光装置或光源(包括照明装置)。此外,“显示器”在它的类别中包括下列模块:包括附连的例如柔性印刷电路(FPC)、载带自动接合(TAB)带或载带封装(TCP)等连接器的模块;具有在其的末端提供有印刷线路板的TAB带或TCP的模块;以及具有通过玻璃上芯片(COG)法直接安装在显示元件上的集成电路(IC)的模块。

[0030] 在使用发光元件的发光显示器中,多个薄膜晶体管包括在像素部分中,并且其中薄膜晶体管的栅电极电连接到另一个晶体管源极布线或漏极布线的部分包括在该像素部分中。

[0031] 因为薄膜晶体管由于静电或类似物容易被击穿,用于保护驱动电路的保护电路优选提供在用于栅极线或源极线的相同衬底之上。该保护电路优选地用包括氧化物半导体的非线性元件形成。

[0032] 在该说明书中使用的氧化物半导体是由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜,并且形成使用该薄膜作为半导体层的薄膜晶体管。注意 M 指示从 Ga、Fe、Ni、Mn 和 Co 选择的一个金属元素或多个金属元素。例如,在一些情况下 M 指示 Ga;同时,在其他情况下 M 指示除 Ga 之外例如 Ni 或 Fe 等上文的金属元素(Ga 和 Ni 或 Ga 和 Fe)。此外,除包含为 M 的金属元素外,上文的氧化物半导体可包含 Fe 或 Ni、另一个过渡金属元素或过渡金属的氧化物作为杂质元素。在该说明书中,该薄膜还称为 In-Ga-Zn-O 基非单晶膜。

[0033] 该 In-Ga-Zn-O 基非单晶膜通过溅射法形成,并且在 200℃至 500℃(典型地 300℃至 400℃)加热 10 至 100 分钟。注意通过 XRD 分析观察到非晶结构作为分析的 In-Ga-Zn-O

基非单晶膜的晶体结构。

[0034] 以 In-Ga-Zn-O 基非单晶膜作为典型的氧化物半导体是具有宽能隙 (E_g) 的材料；因此，即使两个栅电极提供在氧化物半导体层上面和下面，可以抑制截止电流的增加。

[0035] 注意在本说明书中例如“第一”和“第二”等的序数为方便而使用并且不指示步骤的顺序和层的堆叠顺序。另外，在本说明书中的序数不指示明确说明本发明的特定名称。

[0036] 通过在例如栅极线驱动电路或源极线驱动电路等外围电路或像素部分中使用插入提供在氧化物半导体上面和下面的两个栅电极之间的氧化物半导体形成薄膜晶体管，制造成本减少。

[0037] 利用使用氧化物半导体（插入在在氧化物半导体上面和下面提供的两个栅电极之间）的薄膜晶体管，在 BT 测试中，可以减小在 BT 测试之前和之后之间的薄膜晶体管的阈值电压中的变化量。即，薄膜晶体管包括插入提供在氧化物半导体上面和下面的两个栅电极之间的氧化物半导体，由此薄膜晶体管的可靠性可以提高。

附图说明

[0038] 在附图中：

[0039] 图 1A、1B 和 1C 分别是图示实施例 1 的显示器的示例、实施例 1 的显示器的另一个示例和实施例 1 的显示器的另一个示例的剖视图；

[0040] 图 2A、2B 和 2C 分别是实施例 2 的半导体器件的剖视图、等效电路图和顶视图；

[0041] 图 3A 和 3B 是完整图示实施例 3 的显示器的框图；

[0042] 图 4 是图示实施例 3 的显示器中的布线、输入端子等的设置的图；

[0043] 图 5 是图示移位寄存电路的结构框图；

[0044] 图 6 是图示触发电路的示例的图；

[0045] 图 7 是图示触发电路的布局视图（顶视图）的视图；

[0046] 图 8 是图示用于示出移位寄存电路的操作的时序图的图；

[0047] 图 9A 至 9C 是图示用于制造实施例 4 的半导体器件的方法的视图；

[0048] 图 10A 至 10C 是图示用于制造实施例 4 的半导体器件的方法的视图；

[0049] 图 11 是图示用于制造实施例 4 的半导体器件的方法的视图；

[0050] 图 12 是图示用于制造实施例 4 的半导体器件的方法的视图；

[0051] 图 13 是图示用于制造实施例 4 的半导体器件的方法的视图；

[0052] 图 14 是图示实施例 4 的半导体器件的视图；

[0053] 图 15A、15B、15C 和 15D 是图示实施例 4 的半导体器件的视图；

[0054] 图 16 是图示实施例 4 的半导体器件的视图；

[0055] 图 17 是图示实施例 5 的半导体器件的剖视图；

[0056] 图 18 是图示实施例 6 的半导体器件的像素等效电路的图；

[0057] 图 19A 至 19C 是图示实施例 6 的半导体器件的剖视图；

[0058] 图 20A 和 20B 分别是图示实施例 6 的半导体器件的顶视图和剖视图；

[0059] 图 21A 和 21B 是顶视图并且图 21C 是图示实施例 7 的半导体器件的剖视图；

[0060] 图 22 是图示实施例 7 的半导体器件的剖视图；

[0061] 图 23A 至 23D 是图示电子装置的示例的外视图；

- [0062] 图 24A 和 24B 分别是图示电视装置和数字相框的示例的外视图；
[0063] 图 25A 和 25B 是图示移动电话的示例的外视图；以及
[0064] 图 26 是图示实施例 9 的半导体器件的剖视图。

具体实施方式

[0065] 实施例将在下文描述。本发明不限于下文说明，并且本领域内技术人员容易理解实施模式和细节可以不同地改变而不偏离本发明的精神和范围。因此，本发明不应该解释为限于下文实施例中的描述。

[0066] 实施例 1

[0067] 图 1A 图示其中用于驱动电路的第一薄膜晶体管 430 和用于像素部分的第二薄膜晶体管 170 提供在相同衬底之上的示例。注意图 1A 还是显示器的剖视图的示例。

[0068] 像素部分和驱动电路在相同衬底之上形成。在像素部分中，采用矩阵形式设置的作为增强型晶体管的第二薄膜晶体管 170 每个用于到像素电极 110 的电压施加的接通 / 切断。设置在像素部分中的第二薄膜晶体管 170 使用氧化物半导体层 103 形成。至于第二薄膜晶体管的电特性，在栅极电压 $\pm 20\text{V}$ 下导通 / 截止比是 10^9 或更大；因此，显示对比度可以提高，并且此外漏电流是小的，由此可以实现低功耗驱动。该导通 / 截止比是导通电流对截止电流的比 ($I_{\text{on}}/I_{\text{off}}$)，并且 $I_{\text{on}}/I_{\text{off}}$ 的值越高，开关特性越好。从而，高导通 / 截止比有助于显示对比度的提高。注意导通电流是当晶体管处于导通状态时源电极和漏电极之间流动的电流。同时，截止电流是当晶体管处于截止状态时源电极和漏电极之间流动的电流。例如，在 n 沟道晶体管中，截止电流是当栅极电压低于晶体管的阈值电压时源电极和漏电极之间流动的电流。因此，增强型晶体管优选地用于像素部分以获得高对比度和低功耗驱动。

[0069] 在驱动电路中，使用至少一个包括在氧化物半导体层 405 下面的第一栅电极 401 和在该氧化物半导体层 405 上面的第二栅电极 470 的薄膜晶体管 430。第二栅电极 470 还可以叫做背栅电极。当该背栅电极形成时，在用于检查薄膜晶体管的可靠性的偏压温度应力测试（在下文中，称为 BT 测试）中，在 BT 测试之前和之后之间的薄膜晶体管的阈值电压中的变化量可以减小。

[0070] 该薄膜晶体管 430 的结构参照图 1A 描述。提供在具有绝缘表面的衬底 400 之上的第一栅电极 401 用第一栅极绝缘层 403 覆盖，并且氧化物半导体层 405 提供在该第一栅极绝缘层 403 之上与第一栅电极 401 重叠。在氧化物半导体层 405 之上，提供第一布线 409 和第二布线 410。氧化物半导体层 405 包括厚度小于充当源电极或漏电极并且与第一布线 409 和第二布线 410 重叠的区域的厚度的区域。第二栅极绝缘层 412 被提供以便在氧化物半导体层 405 中厚度较小的区域之上并且与其接触。此外，第二栅电极 470 提供在该第二栅极绝缘层 412 之上。

[0071] 氧化物半导体层 405 例如使用其中 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ($\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$) 的靶通过溅射法以 10sccm 的氩气流率和 5sccm 的氧流率形成。另外， n^+ 层 406a 提供在氧化物半导体层 405 和第一布线 409 之间，并且 n^+ 层 406b 提供在氧化物半导体层 405 和第二布线 410 之间。

[0072] 在该实施例中，充当源区和漏区的 n^+ 层 406a 和 406b 是 In-Ga-Zn-O 基非单晶膜，其在不同于氧化物半导体层 405 的沉积条件的沉积条件下形成，并且是具有更低电阻的氧

化物半导体层。例如,用以 40sccm 的氩气流率获得的氧化物半导体层形成的 n^+ 层 406a 和 406b 具有 n 型导电性和从 0.01eV 到 0.1eV 的激活能 (ΔE)。注意在该实施例中, n^+ 层 406a 和 406b 是 In-Ga-Zn-O 基非单晶膜,其至少包括非晶成分。在一些情况下, n^+ 层 406a 和 406b 在非晶成分中包括晶粒(纳米晶)。包括在 n^+ 层 406a 和 406b 中的晶粒(纳米晶)的直径是大约 1nm 至 10nm,典型地大约 2nm 至 4nm。

[0073] 此外,第一栅电极 401 和第二栅电极 470 可互相电连接以便具有相同的电势。当第一栅电极 401 和第二栅电极 470 具有相同的电势时,栅极电压可以从氧化物半导体层的上侧和下侧施加,使得在导通状态中流动的电流可以增加。

[0074] 此外,通过电连接用于将阈值电压偏移到负值的控制信号线到第一栅电极 401 或第二栅电极 470,可以形成耗尽型 TFT。

[0075] 备选地,通过电连接用于将阈值电压偏移到正值的控制信号线到第一栅电极 401 或第二栅电极 470,可以形成增强型 TFT。

[0076] 此外,对于用于驱动电路的两个薄膜晶体管的组合没有特定限制,并且可以采用包括一个栅电极的作为耗尽型 TFT 的薄膜晶体管和包括两个栅电极的作为增强型 TFT 的薄膜晶体管的组合。在该情况下,在像素部分中的薄膜晶体管具有其中栅电极提供在氧化物半导体层上面和下面的结构。

[0077] 备选地,在像素部分中的薄膜晶体管可具有其中栅电极提供在氧化物半导体层上面和下面的结构,并且在驱动电路中的增强型 TFT 和耗尽型 TFT 可每个具有其中栅电极提供在氧化物半导体层上面和下面的结构。在该情况下,采用其中用于控制阈值电压的控制信号线电连接到上和下栅电极中的任一个并且该连接的栅电极控制阈值电压的结构。

[0078] 注意在图 1A 中,第二栅电极 470 用与在像素部分中的像素电极 110 相同的材料形成(例如在透射液晶显示器中使用透明导电膜),以便减少步骤数。然而,对于第二栅电极 470 没有特定限制。另外,图示其中第二栅电极 470 的宽度大于第一栅电极 401 的宽度并且也大于氧化物半导体层的宽度的示例;然而,对于第二栅电极 470 的宽度没有特定限制。注意第一栅电极 401 的宽度大于氧化物半导体层中厚度较小的区域的宽度。

[0079] 图 1B 图示在第二栅电极的宽度和材料上不同于图 1A 的示例。此外,图 1B 还是显示器的示例,其中连接到有机发光元件或无机发光元件的第二薄膜晶体管 170 包括在像素部分中。

[0080] 在图 1B 中,作为起薄膜晶体管 432 的第二栅电极的作用的电极 471 的材料,使用金属材料(从铝(Al)、铜(Cu)、钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)选择的元素或包含上文描述的元素中的任何元素作为它的成分的合金)。在横截面中电极 471 的宽度小于图 1A 中第二栅电极 470 的宽度。此外,电极 471 的宽度小于氧化物半导体层的宽度。通过减小电极 471 的宽度,电极 471 与第一布线 409 和第二布线 410 的重叠面积(其中第二栅极绝缘层 412 在其之间)可以减小,使得寄生电容可以减小。注意在图 1B 中,电极 471 的宽度大于氧化物半导体层中厚度较小的区域的宽度。

[0081] 发光元件至少包括第一电极 472、发光层 475 和第二电极 474。在图 1B 中,电极 471 用与在像素部分中的第一电极 472 相同的材料形成,例如使用铝或其类似物,以便减少步骤数;然而,对于电极 471 没有特定限制。此外,在图 1B 中,绝缘层 473 起用于将邻近像素的第一电极互相绝缘的分隔物的作用。

[0082] 此外,图 1C 图示在第二栅电极的宽度和材料上不同于图 1A 的示例。在图 1C 中,作为起薄膜晶体管 433 的第二栅电极的作用的电极 476 的材料,使用金属材料(从铝(Al)、铜(Cu)、钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)选择的元素或包含上文描述的元素中的任何元素作为它的成分的合金)。在横截面中第二栅电极的宽度小于图 1B 中的宽度。当该宽度仍然小于图 1B 中的宽度时,形成第二栅电极以便不与第一布线 409 和第二布线 410 重叠(其中第二栅极绝缘层 412 在其之间)是可能的,并且从而寄生电容可以进一步减小。在图 1C 中图示的电极 476 的宽度小于氧化物半导体中厚度较小的区域的宽度。在形成具有这样的小宽度的电极 476 中,优选执行使用湿法蚀刻或类似方法的工艺使得电极 476 的两端位于比抗蚀剂掩模的端部靠内的部分上。然而,在图 1C 中,因为使用不同于像素电极 110 的金属材料,增加多一个光刻工艺以形成电极 476,并且需要多一个掩模。

[0083] 通过对例如栅极线驱动电路或源极线驱动电路等外围电路或像素部分(其用于液晶显示器、发光显示器或电子纸)使用包括插入在氧化物半导体上面和下面的两个栅电极之间的氧化物半导体的薄膜晶体管,可以实现高速驱动或低功耗。此外,像素部分和驱动电路两者可以提供在相同的衬底之上而没有大大增加步骤数。通过在相同的衬底之上除像素部分外还提供各种电路,显示器的制造成本可以减少。

[0084] 实施例 2

[0085] 尽管一个薄膜晶体管已经在实施例 1 中描述为驱动电路中的薄膜晶体管,使用两个 n 沟道薄膜晶体管形成驱动电路的逆变电路的示例将在下文在实施例 2 中描述。在图 2A 中图示的薄膜晶体管与在实施例 1 的图 1A 中图示的薄膜晶体管 430 相同;因此,相同的部件由相同的标号指示。

[0086] 用于驱动像素部分的驱动电路使用逆变电路、电容器、电阻等形成。当逆变电路使用组合的两个 n 沟道 TFT 形成时,存在具有增强型晶体管和耗尽型晶体管的组合的逆变电路(在下文中,称为 EDMOS 电路)和具有两个增强型 TFT 的组合的逆变电路(在下文中,称为 EEMOS 电路)。

[0087] 驱动电路的逆变电路的横截面结构在图 2A 中图示。注意在图 2A 至 2C 中图示的薄膜晶体管 430 和第二薄膜晶体管 431 是底栅极薄膜晶体管,并且是其中布线提供在半导体层之上且源区和漏区在其之间的薄膜晶体管的示例。

[0088] 在图 2A 中,第一栅电极 401 和栅电极 402 提供在衬底 400 之上。第一栅电极 401 和栅电极 402 可以使用例如钼、钛、铬、钽、钨、铝、铜、钕或钪等金属材料或包含这些中任何金属作为它的主要成分的合金材料形成以具有单层结构或堆叠结构。

[0089] 作为第一栅电极 401 和栅电极 402 的两层堆叠结构,例如其中钼层堆叠在铝层之上的两层堆叠结构、其中钼层堆叠在铜层之上的两层结构、其中氮化钛层或氮化钽层堆叠在铜层之上的两层结构或其中堆叠氮化钛层和钼层的两层结构是优选的。作为三层堆叠结构,钨层或氮化钨层、铝和硅的合金或铝和钛的合金、以及氮化钛层或钛层的堆叠层是优选的。

[0090] 另外,在覆盖第一栅电极 401 和栅电极 402 的第一栅极绝缘层 403 之上,提供氧化物半导体层 405 和第二氧化物半导体层 407。

[0091] 第一布线 409 和第二布线 410 提供在氧化物半导体层 405 之上,并且第二布线 410

通过在第一栅极绝缘层 403 中形成的接触孔 404 直接连接到栅电极 402。此外,第三布线 411 提供在第二氧化物半导体层 407 之上。

[0092] 薄膜晶体管 430 包括第一栅电极 401 和与第一栅电极 401 重叠的氧化物半导体层 405(且第一栅极绝缘层 403 在其之间)。第一布线 409 是负电压 VDL 施加到其的电力供应线(负电力供应线)。该电力供应线可是具有地电势的电力供应线(地电势电力供应线)。

[0093] 此外,第二薄膜晶体管 431 包括栅电极 402 和与栅电极 402 重叠的第二氧化物半导体层 407(其中第一栅极绝缘层 403 插入其之间)。第三布线 411 是正电压 VDH 施加到其的电力供应线(正电力供应线)。

[0094] 另外, n^+ 层 408a 提供在第二氧化物半导体层 407 和第二布线 410 之间,并且 n^+ 层 408b 提供在第二氧化物半导体层 407 和第三布线 411 之间。

[0095] 此外,驱动电路的逆变电路的顶视图在图 2C 中图示。在图 2C 中,沿链线 Z1-Z2 获取的横截面对应于图 2A。

[0096] 此外,EDMOS 电路的等效电路在图 2B 中图示。在图 2A 中图示的电路连接对应于在图 2B 中的,并且是其中薄膜晶体管 430 是增强型 n 沟道晶体管而第二薄膜晶体管 431 是耗尽型 n 沟道晶体管的示例。

[0097] 在该实施例中,为了薄膜晶体管 430 可以充当增强型 n 沟道晶体管,第二栅极绝缘层 412 提供在氧化物半导体层 405 之上并且第二栅电极 470 提供在第二栅极绝缘层 412 之上使得薄膜晶体管 430 的阈值由施加到第二栅电极 470 的电压来控制。

[0098] 此外,第二栅极绝缘层 412 还起覆盖第二氧化物半导体层 407 的保护层的作用。

[0099] 注意其中第二布线 410 通过在第一栅极绝缘层 403 中形成的接触孔 404 直接连接到栅电极 402 的示例在图 2A 和 2C 中图示,但没有特定限制,连接电极可分开提供,由此电连接第二布线 410 和栅电极 402。

[0100] 此外,该实施例模式可以与实施例 1 自由结合。

[0101] 实施例 3

[0102] 在实施例 3 中,显示器将参照框图等描述。

[0103] 图 3A 图示有源矩阵液晶显示器的框图的示例。在图 3A 中图示的液晶显示器在衬底 300 之上包括:具有多个每个提供有显示元件的像素的像素部分 301;控制连接到每个像素的栅电极的扫描线的扫描线驱动电路 302;以及控制输入到选择的像素的视频信号的信号线驱动电路 303。

[0104] 图 3B 图示有源矩阵发光显示器的框图的示例。在图 3B 中图示的发光显示器在衬底 310 之上包括:具有多个每个提供有显示元件的像素的像素部分 311;第一扫描线驱动电路 312 和第二扫描线驱动电路 313,其中的每个控制连接到像素的栅电极的扫描线;以及控制输入到选择的像素的视频信号的信号线驱动电路 314。在其中开关 TFT 和电流控制 TFT 的两个 TFT(薄膜晶体管)设置在一个像素中的情况下,在图 3B 中图示的发光显示器中,输入到连接到开关 TFT 的栅电极的第一扫描线的信号在第一扫描线驱动电路 312 中产生,并且输入到连接到电流控制 TFT 的栅电极的第二扫描线的信号在第二扫描线驱动电路 313 中产生。注意也可采用其中输入到第一扫描线的信号和输入到第二扫描线的信号在一个扫描线驱动电路中产生的结构。备选地,例如,用于控制开关元件的操作的多个第一扫描线可提供在每个像素中,这取决于包括在开关元件中的 TFT 的数目。在该情况下,输入到该多个第

一扫描线的所有信号可在一个扫描线驱动电路中产生,或可由多个扫描线驱动电路分别产生。

[0105] 注意这里描述其中扫描线驱动电路 302、第一扫描线驱动电路 312、第二扫描线驱动电路 313 和信号线驱动电路 303 与 314 在显示器中形成的模式;然而,扫描线驱动电路 302、第一扫描线驱动电路 312 或第二扫描线驱动电路 313 的一部分可使用例如 IC 等半导体器件安装。备选地,信号线驱动电路 303 或 314 的一部分可用例如 IC 等半导体器件安装。

[0106] 图 4 是图示像素部分和保护电路之间的位置关系的图,其包括信号输入端子 321、扫描线 323、信号线 324 和非线性元件,它们构成显示器。像素部分 327 包括扫描线 323 和信号线 324,其设置在具有绝缘表面的衬底 320 之上以便互相交叉。注意像素部分 327 对应于在图 3A 和 3B 中图示的像素部分 301 和像素部分 311。

[0107] 像素部分 301 通过多个信号线 S1 至 Sm(没有图示)(其采用列设置并且从信号线驱动电路 303 延伸)连接到信号线驱动电路 303,并且通过多个扫描线 G1 至 Gn(没有图示)(其采用行设置并且从扫描线驱动电路 302 延伸)连接到扫描线驱动电路 302。像素部分 301 包括多个像素(没有图示),其通过信号线 S1 至 Sm 和扫描线 G1 至 Gn 采用矩形形式设置。然后,每个像素连接到信号线 Sj(信号线 S1 至 Sm 中的任一个)和扫描线 Gi(扫描线 G1 至 Gn 中的任一个)。

[0108] 像素部分 327 包括采用矩形形式设置的多个像素 328。像素 328 包括连接到扫描线 323 和信号线 324 的像素 TFT329、存储电容器 330 和像素电极 331。

[0109] 像素结构这里图示其中存储电容器 330 的一个电极连接到像素 TFT329 并且的其的另一个电极连接到电容器线 332 的情况。此外,像素电极 331 充当驱动显示元件(液晶元件、发光元件、造影剂(电子墨水)或其类似物)的一个电极。这样的显示元件的另一个电极连接到公共端子 333。

[0110] 一些保护电路提供在像素部分 327 和信号线输入端子 322 之间。另外,其他保护电路提供在扫描线驱动电路和像素部分 327 之间。在该实施例中,多个保护电路被提供使得当由于静电或类似引起的浪涌电压施加到扫描线 323、信号线 324 和电容器总线 337 时像素 TFT329 等不被击穿。因此,保护电路被形成使得当施加浪涌电压时电荷释放 进入公共布线。

[0111] 在该实施例中,图示其中保护电路 334、保护电路 335 和保护电路 336 分别设置在扫描线 323 侧上、信号线 324 侧上和电容器总线 337 侧上的示例。注意保护电路的设置位置不限于此。另外,在其中扫描线驱动电路没有使用例如 IC 等半导体器件安装的情况下,保护电路 334 不必提供在扫描线 323 侧上。

[0112] 通过对这些电路使用在实施例 1 或实施例 2 中描述的 TFT,可以获得下列优势。

[0113] 驱动电路粗略分成逻辑电路部分和开关部分或缓冲器部分。提供在逻辑电路部分中的 TFT 优选地具有其中控制阈值电压可以控制的结构。在另一方面,提供在开关部分或缓冲器部分中的 TFT 优选地具有大导通电流。通过提供包括在实施例 1 或实施例 2 中描述的 TFT 的驱动电路,提供在逻辑电路部分中的 TFT 的阈值电压可以控制,并且提供在开关部分或缓冲器部分中的 TFT 的导通电流可以增加。此外,在实施例 1 或实施例 2 中描述的 TFT 有助于减小由驱动电路占用的面积并且使框架变窄。

[0114] 在下文描述包括在扫描线驱动电路中的移位寄存电路。在图 5 中图示的移位寄存

电路包括多个触发电路 351、控制信号线 352、控制信号线 353、控制信号线 354、控制信号线 355、控制信号线 356 和复位线 357。

[0115] 如在图 5 的移位寄存电路中图示的,在触发电路 351 中,起始脉冲 SSP 通过控制信号线 352 输入到第一级的输入端子 IN,并且前级的触发电路 351 的输出信号端子 S_{out} 连接到下一级的输入端子 IN。此外,第 N 级 (N 是自然数) 复位端子 RES 通过复位线 357 连接到第 (N+3) 级的触发电路的输出信号端子 S_{out} 。当假定第一时钟信号 CLK1 通过控制信号线 353 输入到第 N 级的触发电路 351 的时钟端子 CLK 时,第二时钟信号 CLK2 通过控制信号线 354 输入到第 (N+1) 级的触发电路 351 的时钟端子 CLK。第三时钟信号 CLK3 通过控制信号线 355 输入到第 (N+2) 级的触发电路 351 的时钟端子 CLK。第四时钟信号 CLK4 通过控制信号线 356 输入到第 (N+3) 级的触发电路 351 的时钟端子 CLK。然后第一时钟信号 CLK1 通过控制信号线 353 输入到第 (N+4) 级的触发电路 351 的时钟端子 CLK。另外,第 N 级的触发电路 351 从栅极输出端子 G_{out} 输出第 N 级的触发电路的输出 SR_{outN} 。

[0116] 注意触发电路 351 和电源与电力供应线之间的连接没有图示;然而,每个触发电路 351 通过电力供应线被供应电力供应电势 Vdd 和电力供应电势 GND。

[0117] 注意在该说明书中描述的电力供应电势对应于当参考电势是 0V 时的电势差。因此,电力供应电势也称为电力供应电压,或在一些情况下电力供应电压称为电力供应电势。

[0118] 注意在该说明书中,“A 和 B 互相连接”的描述除其中 A 和 B 互相直接连接的情况外还包括其中 A 和 B 互相电连接的情况。这里,“A 和 B 互相电连接”的描述包括下列情况:当具有任何电功能的物体存在于 A 和 B 之间时,A 和 B 通过该物体具有大致上相同的电势。具体地,“A 和 B 互相电连接”的描述包括其中 A 和 B 根据电路操作被认为是具有大致上相同的电势的情况,例如其中 A 和 B 通过例如 TFT 等开关元件连接并且通过开关元件的电传输引起 A 和 B 具有大致上相同的电势的情况,其中 A 和 B 通过电阻连接并且在电阻的两端产生的电势之间的电势差不影响包括 A 和 B 的电路的操作的情况等。

[0119] 接着,图 6 图示包括在图 5 中图示的移位寄存电路中的触发电路 351 的一个模式。在图 6 中图示的触发电路 351 包括逻辑电路部分 361 和开关部分 362。逻辑电路部分 361 包括 TFT 363 至 368。此外,开关部分 362 包括 TFT 369 至 372。注意逻辑电路部分是用于响应于从外部输入的信号切换输入到开关部分 (其是下一级中的电路) 的信号的电路。另外,开关部分是用于响应于从外部和控制电路部分输入的信号切换 TFT (其起开关的作用) 的导通 / 关断,并且用于输出取决于 TFT 的大小和结构的电流的电路。

[0120] 在触发电路 351 中,输入端子 IN 连接到 TFT364 的栅极端子和 TFT367 的栅极端子。复位端子 RES 连接到 TFT363 的栅极端子。时钟端子 CLK 连接到 TFT369 的第一端子和 TFT371 的第一端子。电力供应电势 Vdd 通过其供应的电力供应线连接到 TFT364 的第一端子,以及 TFT366 的栅极端子和第二端子。电力供应电势 GND 通过其供应的电力供应线连接到 TFT363 的第二端子, TFT365 的第二端子、TFT367 的第二端子、TFT368 的第二端子、TFT370 的第二端子和 TFT372 的第二端子。此外,TFT363 的第一端子、TFT364 的第二端子、TFT365 的第一端子、TFT368 的栅极端子、TFT369 的栅极端子和 TFT371 的栅极端子互相连接。TFT366 的第一端子连接到 TFT365 的栅极端子、TFT367 的第一端子、TFT368 的第一端子、TFT370 的栅极端子和 TFT372 的栅极端子。另外,栅极输出端子 G_{out} 连接到 TFT369 的第二端子和 TFT370 的第一端子。输出信号端子 S_{out} 连接到 TFT371 的第二端子和 TFT372 的

第一端子。

[0121] 注意这里描述其中 TFT363 至 372 都是 n 沟道 TFT 的情况。

[0122] 注意 TFT 是具有栅极、漏极和源极的至少三个端子的元件,并且具有在漏区和源区之间的沟道形成区。电流可以流过漏区、沟道形成区和源区。这里,源极和漏极在一些情况下可互相交换,取决于 TFT 的结构、操作条件或类似的;因此,难以确定源极是哪个或漏极是哪个。因此,在一些情况下,起源极和漏极作用的区域不分别称为源极和漏极,而称为例如第一端子和第二端子。在这样的情况下,起栅极作用的端子称为栅极端子。

[0123] 接着,图 7 图示在图 6 中图示的触发电路 351 的布局视图的示例。

[0124] 图 7 的触发电路包括电力供应电势 Vdd 通过其供应的电力供应线 381、复位线 382、控制信号线 353、控制信号线 354、控制信号线 355、控制信号线 356、控制信号线 383、电力供应电势 GND 通过其供应的电力供应线 384、逻辑电路部分 361 和开关部分 362。逻辑电路部分 361 包括 TFT363 至 368。开关部分 362 包括 TFT369 至 372。在图 7 中,还图示连接到栅极输出端子 G_{out} 的布线和连接到输出信号端子 S_{out} 的布线。

[0125] 图 7 图示半导体层 385、第一布线层 386、第二布线层 387、第三布线层 388 和接触孔 389。注意第一布线层 386 可用栅电极层形成,第二布线层 387 可用 TFT 的源和漏电极层形成,并且第三布线层 388 可用像素部分中的像素电极层形成。然而,没有限制于该示例,第三布线层 388 可形成为不同于例如像素电极层的层。

[0126] 注意在图 7 中的电路元件之间的连接如在图 6 中图示的。注意图 7 图示第一时钟信号输入到其的触发电路;因此,没有图示到控制信号线 354 至 356 的连接。

[0127] 在图 7 的触发电路的布局视图中,通过控制包括在逻辑电路部分 361 中的 TFT366 或 TFT367 的阈值电压,可以形成 EDMOS 电路 373。典型地,形成其中 TFT366 是耗尽型而 TFT367 是增强型的 EDMOS 电路 373,并且包括在开关部分 362 中的 TFT369 至 372 是双栅极 TFT 或耗尽型 TFT。注意在图 6 中,在 EDMOS 电路 373 中的 TFT366 和 TFT367 在耗尽型 TFT 的栅电极的连接位置上不同于在图 2A 至 2C 中图示的 EDMOS 电路中的 TFT。

[0128] TFT366 或 TFT367 被形成以便成为双栅极 TFT 并且背栅电极的电势被控制,使得可以形成耗尽型 TFT 或增强型 TFT。

[0129] 在图 7 中,用于控制 TFT366 的阈值电压的具有与背栅电极相同电势的控制信号线 390 分别被提供以形成耗尽型。TFT366 是双栅极 TFT,并且背栅电极的电势不同于电力供应线 381(施加于栅电极的电力供应电势 Vdd 通过其而被供应)的电势。

[0130] 图 7 图示其中 TFT369 至 372 是双栅极 TFT 并且背栅电极和栅电极具有相同电势的示例,并且背栅电极中的每个的电势是与电力供应线(施加于栅电极的电力供应电势 Vdd 通过其而被供应)的电势相同的电势。

[0131] 采用该方式,设置在显示器的像素部分和驱动电路中的 TFT 可以仅使用其中使用氧化物半导体层的 n 沟道 TFT 形成。

[0132] 此外,在逻辑电路部分 361 中的 TFT366 是用于响应于电力供应电势 Vdd 供应电流的 TFT。TFT366 形成为双栅极 TFT 或耗尽型 TFT 以增加流动电流,由此可以实现 TFT 的小型化而没有降低性能。

[0133] 此外,在包括在开关部分 362 中的 TFT 中,在 TFT 中流动的电流量可以增加并且导通/关断的切换可以高速执行;因此由 TFT 占用的面积可以减小而没有降低性能。因此,由

包括 TFT 的电路占用的面积也可以减小。注意在开关部分 362 中的 TFT369 至 372 可形成双栅极 TFT 使得半导体层 385 插入第一布线层 386 和第三布线层 388 之间,如在图中图示的。

[0134] 双栅极 TFT 每个具有其中半导体层 385 插入第一布线层 386 和第三布线层 388 (其通过接触孔 389 互相连接而具有相同电势) 之间的结构的示例在图 7 中图示。然而,没有特定限制;例如,可采用其中对第三布线层 388 单独提供控制信号线以独立于第一布线层 386 控制第三布线层 388 的电势的结构。

[0135] 注意在图 7 中图示的触发电路的布局视图中,TFT363 至 372 的沟道形成区的形状可是 U 形 (反向的 C 形或马蹄形)。另外,尽管在图 7 中所有 TFT 具有相同大小,连接到输出信号端子 S_{out} 或栅极输出端子 G_{out} 的每个 TFT 的大小可根据后续级的负载量视情况改变。

[0136] 接着,在图 5 中图示的移位寄存电路的操作参照在图 8 中图示的时序图描述。图 8 图示起始脉冲 SSP 和第一到第四时钟信号 CLK1 至 CLK4 (其分别供应给在图 5 中图示的控制信号线 353 至 356),以及从第一至第五级的触发电路的输出信号端子 S_{out} 输出的 Sout1 至 Sout5。注意在图 8 的描述中,使用在图 6 和图 7 中指示相应元件的标号。

[0137] 注意图 8 是其中包括在触发电路中的每个 TFT 是 n 沟道 TFT 的情况的时序图。此外,如图示的,第一时钟信号 CLK1 从第四时钟信号 CLK4 偏移 1/4 波长 (由点线划分的部分)。

[0138] 首先,在周期 T1 中,起始脉冲 SSP 以 H 电平输入到第一级的触发电路,并且逻辑电路部分 361 将开关部分中的 TFT369 和 371 导通并且将 TFT370 和 372 关断。此时,因为第一时钟信号 CLK1 处于 L 电平,Sout1 处于 L 电平。

[0139] 注意在周期 T1 中,信号没有输入到第二和后续级的触发电路的 IN 端子,使得触发电路输出 L 电平而没有操作。注意该描述假定移位寄存电路的每个触发电路在初始状态输出 L 电平而做出。

[0140] 接着,在周期 T2 中,逻辑电路部分 361 采用与周期 T1 相似的方式控制第一级的触发电路中的开关部分 362。在周期 T2 中,第一时钟信号 CLK1 处于 H 电平,并且从而 Sout1 处于 H 电平。此外,在周期 T2 中,Sout1 以 H 电平输入到第二级的触发电路的 IN 端子,并且逻辑电路部分 361 将开关部分中的 TFT369 和 371 导通并且将 TFT370 和 372 关断。此时,因为第二时钟信号 CLK2 处于 L 电平,Sout2 处于 L 电平。

[0141] 注意在周期 T2 中,信号没有输入到第三和后续级的触发电路的 IN 端子,使得触发电路输出 L 电平而没有操作。

[0142] 接着,在周期 T3,逻辑电路部分 361 控制开关部分 362 使得在第一级的触发电路中保持周期 T2 的状态。因此,在周期 T3 中,第一时钟信号 CLK1 处于 H 电平,并且 Sout1 处于 H 电平。此外,在周期 T3 中,逻辑电路部分 361 采用与周期 T2 相似的方式控制第二级的触发电路中的开关部分 362。在周期 T3 中,因为第二时钟信号 CLK2 处于 H 电平,Sout2 处于 H 电平。另外,在周期 T3 中,Sout2 以 H 电平输入到第三级的触发电路的 IN 端子,并且逻辑电路部分 361 将开关部分中的 TFT369 和 371 导通并且将 TFT370 和 372 关断。此时,第三时钟信号 CLK3 处于 L 电平,并且从而 Sout3 处于 L 电平。

[0143] 注意在周期 T3 中,信号没有输入到第四和后续级的触发电路的 IN 端子,使得触发电路输出 L 电平而没有操作。

[0144] 接着,在周期 T4,逻辑电路部分 361 控制开关部分 362 使得在第一级的触发电路中保持周期 T3 的状态。因此,在周期 T4 中,第一时钟信号 CLK1 处于 L 电平,并且 Sout1 处于 L 电平。此外,在周期 T4 中,逻辑电路部分 361 控制开关部分 362 使得在第二级的触发电路中保持周期 T3 的状态。因此,在周期 T4 中,第二时钟信号 CLK2 处于 H 电平,并且 Sout2 处于 H 电平。另外,在周期 T4 中,逻辑电路部分 361 采用与周期 T3 相似的方式控制第三级的触发电路中的开关部分 362。在周期 T4 中,因为第三时钟信号 CLK3 处于 H 电平, Sout3 处于 H 电平。在周期 T4 中, Sout3 以 H 电平输入到第四级的触发电路的 IN 端子,并且逻辑电路部分 361 将开关部分 362 中的 TFT369 和 371 导通并且将 TFT370 和 372 关断。此时,因为第四时钟信号 CLK4 处于 L 电平, Sout4 处于 L 电平。

[0145] 注意在周期 T4 中,信号没有输入到第五和后续级的触发电路的 IN 端子,使得触发电路输出 L 电平而没有操作。

[0146] 接着,在周期 T5,逻辑电路部分 361 控制开关部分 362 使得在第二级的触发电路中保持周期 T3 的状态。因此,在周期 T5 中,第二时钟信号 CLK2 处于 L 电平,并且 Sout2 处于 L 电平。此外,在周期 T5 中,逻辑电路部分 361 控制开关部分 362 使得在第三级的触发电路中保持周期 T4 的状态。因此,在周期 T5 中,第三时钟信号 CLK3 处于 H 电平,并且 Sout3 处于 H 电平。另外,在周期 T5 中,逻辑电路部分 361 采用与周期 T4 相似的方式控制第四级的触发电路中的开关部分 362。在周期 T5 中,因为第四时钟信号 CLK4 处于 H 电平, Sout4 处于 H 电平。第五和后续级的触发电路具有与第一至第四级的触发电路的相似的布线连接和要输入的信号的时序;因此,省略其的描述。

[0147] 如在图 5 的移位寄存电路中图示的, Sout4 也起第一级的触发电路的复位信号的作用。在周期 T5, Sout4 处于 H 电平并且该信号输入到第一级的触发电路的复位端子 RES。当复位信号输入时,在开关部分 362 中的 TFT369 和 371 关断并且 TFT370 和 372 导通。然后,第一级的触发电路的 Sout1 输出 L 电平直到下一个起始脉冲 SSP 输入。

[0148] 通过上文描述的操作,在第二和后续级的触发电路中,逻辑电路部分也基于从后续级的触发电路输出的复位信号而被复位。如由 Sout1 至 5 示出的,可以形成其中输出具有偏移 1/4 时钟信号的波长的波形的信号的移位寄存电路。

[0149] 当触发电路具有其中具有增强型 TFT 和耗尽型 TFT 的组合的 EDMOS 电路提供在逻辑电路部分中并且双栅极 TFT 提供在开关部分中的结构时,在包括在逻辑电路部分 361 中的 TFT 中流动的电流可以增加并且由 TFT 占用的面积并且此外由包括该 TFT 的电路占用的面积可以减小而没有降低性能。此外,在包括在开关部分 362 中的 TFT 中,在 TFT 中流动的电流可以增加并且导通 / 截止的切换可以高速执行;因此由 TFT 占用的面积并且此外由包括该 TFT 电路占用的面积可以减小而没有降低性能。因此,可以获得显示器的更窄框架、缩小化、高性能。

[0150] 此外,锁存电路、电平转移电路或类似物可以提供在图 3A 和 3B 中图示的信号线驱动电路中。缓冲器部分提供在最后一级,信号由此从信号线驱动电路传送到像素部分,并且放大的信号从信号线驱动电路传送到像素部分。从而,当具有大导通电流的 TFT (典型地双栅极 TFT 或耗尽型 TFT) 提供在缓冲器部分中时, TFT 的面积可以减小并且由信号线驱动电路占用的面积可以减小。因此,可以获得显示器的窄框架、缩小化和高性能。注意因为高速操作对于作为信号线驱动电路的部分的移位寄存器是必需的,移位寄存器优选地通过使用

IC 或其类似物安装在显示器上。

[0151] 另外,该实施例可以与实施例 1 或实施例 2 自由结合。

[0152] 实施例 4

[0153] 在实施例 4 中,用于制造包括在实施例 1 中描述的第二薄膜晶体管 170 的显示器的方法将参照图 9A 至 9C、图 10A 至 10C、图 11、图 12、图 13、图 14、图 15A、15B、15C 与 15D 以及图 16 描述。

[0154] 在图 9A 中,钽硼硅酸盐玻璃、铝硼硅酸盐玻璃或其类似物的玻璃衬底可以用作具有透光性质的衬底 100。

[0155] 接着,在导电层在衬底 100 的整个表面之上形成后,抗蚀剂掩模通过第一光刻步骤形成。然后,多余的部分通过蚀刻去除,由此形成布线和电极(包括栅电极 101 的栅极布线、电容器布线 108 和第一端子 121)。此时,执行蚀刻使得栅电极 101 的至少端部分是锥形的。在该阶段的剖视图在图 9A 中图示。注意图 11 是在该阶段的顶视图。

[0156] 包括栅电极 101 的栅极布线、电容器布线 108 和在端子部分中的第一端子 121 可取地用例如铝(Al)或铜(Cu)等低阻导电材料形成。然而,铝自身具有低耐热性、容易腐蚀等劣势;从而,它与具有耐热性的导电材料组合使用。作为具有耐热性的导电材料,使用从钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)选择的元素、包含这些元素中的任何元素作为它的成分的合金、包含这些元素中的任何元素的组合的合金膜或包含这些元素中的任何元素作为它的成分的氮化物是可能的。

[0157] 然后,栅极绝缘层 102 在栅电极 101 之上完全形成。栅极绝缘层 102 通过溅射法或类似方法形成到 50nm 至 400nm 的厚度。当优先考虑薄膜晶体管的良率时,栅极绝缘层 102 的厚度优选地是大的。

[0158] 例如,作为栅极绝缘层 102,氧化硅膜通过溅射法形成到 100nm 的厚度。不用说栅极绝缘层 102 不限于这样的氧化硅膜,并且例如氧氮化硅膜、氮化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氧化钽膜等另一个绝缘膜可用于形成单层结构或堆叠结构。当氧氮化硅膜、氮化硅膜或其类似物用作栅极绝缘层 102 时,可以防止来自玻璃衬底的杂质(例如钠)扩散进入稍后将形成的氧化物半导体。

[0159] 注意粘附到栅极绝缘层的表面的灰尘优选地在形成氧化物半导体膜之前通过反向溅射(其中等离子体通过引入氩气产生)去除。另外,氮、氩或其类似物可代替氩气氛使用。备选地,反向溅射可在添加氧、氢、 N_2O 等的氩气氛中实行。仍然备选地,它可在添加 Cl_2 、 CF_4 等的氩气氛中实行。

[0160] 接着,第一氧化物半导体膜(在该实施例中第一 In-Ga-Zn-O 基非单晶膜)在栅极绝缘层 102 之上形成。在等离子体处理后没有暴露于空气的情况下所形成的该第一 In-Ga-Zn-O 基非单晶膜可以避免灰尘或水汽附着到栅极绝缘层和半导体膜之间的界面的问题。这里,In-Ga-Zn-O 基非单晶膜在下列条件下在氩气氛或氧气气氛中形成,该条件是靶是具有 8 英寸的直径的包括 In(铟)、Ga(镓)和 Zn(锌)($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)的氧化物半导体靶,衬底和靶之间的距离设置在 170mm,压强设置在 0.4Pa,并且直流(DC)电力供应设置在 0.5kW。注意脉冲直流(DC)电力供应是优选的,因为可以减少灰尘并且膜厚度可以是均匀的。第一 In-Ga-Zn-O 基非单晶膜的厚度设置成从 5nm 至 200nm。第一 In-Ga-Zn-O 基非单晶膜的厚度在该实施例中是 100nm。

[0161] 接着,第二氧化物半导体膜(在该实施例中第二 In-Ga-Zn-O 基非单晶膜)在不暴露于空气的情况下通过溅射法形成。这里,溅射沉积在下列条件下执行:其中靶包括以 1:1:1(=In₂O₃:Ga₂O₃:ZnO)的比例的氧化铟(In₂O₃)、氧化镓(Ga₂O₃)和氧化锌(ZnO),沉积腔中的压强设置在 0.4Pa,电功率设置在 500W,沉积温度设置在室温,并且氩气流率设置在 40sccm。尽管有意使用 In₂O₃:Ga₂O₃:ZnO=1:1:1 的靶,在一些情况下获得在紧接膜形成后的包括具有 1nm 至 10nm 的大小的晶粒的 In-Ga-Zn-O 基非单晶膜。可以说晶粒存在或不存在的控制和晶粒的密度和晶粒的直径在 1nm 至 10nm 内的调节可以通过视情况调节反应溅射的沉积条件,例如靶组成比、沉积压强(0.1Pa 至 2.0Pa)、电功率(250W 至 3000W;8 英寸 Φ)、温度(室温至 100℃)或类似的来进行。第二 In-Ga-Zn-O 基非单晶膜的厚度设置成从 5nm 至 20nm。不用说,包括在膜中的晶粒的大小不超过膜厚度。在该实施例中,第二 In-Ga-Zn-O 基非单晶膜具有 5nm 的厚度。

[0162] 第一 In-Ga-Zn-O 基非单晶膜在与第二 In-Ga-Zn-O 基非单晶膜不同的条件下形成。例如,如与在第二 In-Ga-Zn-O 基非单晶膜的沉积条件中的氧气流率和氩气流率比较,在第一 In-Ga-Zn-O 基非单晶膜的沉积条件中的氧气流率增加。具体地,第二 In-Ga-Zn-O 基非单晶膜在稀有气体(例如氩或氦等)气氛(或包括 10%或更少的氧和 90%或更多的氩的气体)中形成,而第一 In-Ga-Zn-O 基非单晶膜在氧气气氛(或氧气流率等于或大于氩气流率)中形成。

[0163] 第二 In-Ga-Zn-O 基非单晶膜可在与之前执行反向溅射的腔相同的腔中形成,或可在与之前执行反向溅射的腔不同的腔中形成。

[0164] 溅射的示例包括 RF 溅射(其中高频电源用于溅射电源)、DC 溅射和脉冲 DC 溅射(其中偏压采用脉冲方式施加)。

[0165] 另外,还存在多源溅射设备,其中可以设置多个不同材料的靶。利用该多源溅射设备,不同材料的膜可以在相同的腔中沉积以堆叠,或多种材料可以在相同的腔中同时通过放电沉积。

[0166] 另外,存在在腔内提供有磁体系统并且用于磁控溅射的溅射设备,和其中使用微波产生的等离子体而不使用辉光放电的用于 ECR 溅射的溅射设备。

[0167] 此外,作为通过溅射的沉积方法,还存在其中靶物质和溅射气体成分在沉积期间互相化学反应以形成其的薄化合物膜的反应溅射,以及其中电压在沉积期间也施加于衬底的偏压溅射。

[0168] 接着,执行第二光刻步骤以形成抗蚀剂掩模,并且蚀刻第一 In-Ga-Zn-O 基非单晶膜和第二 In-Ga-Zn-O 基非单晶膜。这里,多余的部分通过使用 IT007N(由 KANTO CHEMICAL 有限公司制造)湿法蚀刻去除,由此形成作为第一 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 109 和作为第二 In-Ga-Zn-O 基非单晶膜的氧化物半导体膜 111。注意该蚀刻步骤可是干法蚀刻而不限于湿法蚀刻。在该阶段的剖视图在图 9B 中图示。注意图 12 是该阶段的顶视图。

[0169] 接着,实行第三光刻步骤以形成抗蚀剂掩模,并且多余的部分通过蚀刻去除以形成接触孔,其达到用与栅电极层相同的材料制成的电极层或布线。该接触孔被提供用于与稍后将形成的导电膜直接连接。例如,在驱动电路部分中,当其栅电极层直接与源或漏电极层接触的薄膜晶体管或形成电连接到端子部分的栅极布线的端子时形成接触孔。在该实施

例中,描述通过第三光刻步骤形成接触孔用于与稍后将形成的导电膜直接连接的示例,但没有特定限制并且达到栅电极层的接触孔可稍后在与用于与像素电极连接的接触孔相同的工艺中形成,并且电连接可使用与像素电极相同的材料来执行。在其中电连接使用与像素电极相同的材料执行的情况下,可以减少一个掩模。

[0170] 然后,用金属材料形成的导电膜 132 通过溅射法或真空蒸发法在氧化物半导体膜 109 和氧化物半导体膜 111 之上形成。在该阶段的剖视图在图 9C 中图示。

[0171] 作为导电膜 132 的材料,存在从 Al、Cr、Ta、Ti、Mo 和 W 选择的元素、包含这些元素中的任何元素作为它的成分的合金、包含这些元素中的任何元素的组合的合金等。如果在 200℃至 600℃执行热处理,导电膜优选地具有足够耐受该热处理的耐热性。因为铝自身具有低耐热性、容易腐蚀等劣势,它与具有耐热性的导电材料组合使用。作为与铝组合的具有耐热性的导电材料,使用从钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd) 和钪 (Sc) 选择的元素、包含这些元素中的任何元素作为它的成分的合金、包含这些元素中的任何元素的组合的合金或包含这些元素中的任何元素作为它的成分的氮化物是可能的。

[0172] 这里,导电膜 132 具有钛膜的单层结构。导电膜 132 还可具有其中钛膜堆叠在铝膜上的两层结构。备选地,导电膜 132 可具有其中钛 (Ti) 膜、含钕 (Nd) 的铝膜 (Al-Nd 膜) 和钛 (Ti) 膜按顺序堆叠的三层结构。此外备选地,导电膜 132 可具有含硅铝膜的单层结构。

[0173] 接着,执行第四光刻步骤以形成抗蚀剂掩模 131,并且多余的部分通过蚀刻去除以形成源和漏电极层 105a 和 105b、充当源和漏区的 n^+ 层 104a 和 104b 以及连接电极 120。该蚀刻步骤通过湿法蚀刻或干法蚀刻执行。例如,当铝膜或铝合金膜用作导电膜 132 时,湿法蚀刻可以使用其中混合磷酸、醋酸、和硝酸的溶液执行。这里,使用氨过氧化氢混合物 (过氧化氢:氨:水=5:2:2),用钛 (Ti) 制作的导电膜 132 被湿法蚀刻以形成源和漏电极层 105a 和 105b,并且氧化物半导体膜 111 被湿法蚀刻以形成 n^+ 层 104a 和 104b。在该蚀刻步骤中,氧化物半导体膜 109 的暴露区域部分地蚀刻成氧化物半导体层 103。采用该方式,在 n^+ 层 104a 和 104b 之间的氧化物半导体层 103 的沟道区是厚度较小的区域。在图 10A 中,源和漏电极层 105a 和 105b 以及 n^+ 层 104a 和 104b 通过蚀刻的形成使用氨过氧化氢混合物同时实行;因此,源和漏电极层 105a 和 105b 的端部与 n^+ 层 104a 和 104b 的端部对齐,使得端部是连续的。另外,湿法蚀刻允许层被各向同性地蚀刻,使得源和漏电极层 105a 和 105b 的端部从抗蚀剂掩模 131 凹陷。通过上文的步骤,可以形成包括氧化物半导体层 103 作为它的沟道形成区的第二薄膜晶体管 170。在该阶段的剖视图在图 10A 中图示。注意图 13 是该阶段的顶视图。

[0174] 然后,热处理优选地在 200℃至 600℃、并且典型地 300℃至 500℃执行。这里,在 350℃一小时的热处理在氮气氛中的炉中执行。该热处理器牵涉在 In-Ga-Zn-O 基非单晶膜中原子水平的重排。在该步骤中的热处理器 (包括光亮退火) 是重要的,因为抑制载流子移动的应变可以释放。注意对于热处理的时间没有特定限制,并且热处理可在第二 In-Ga-Zn-O 基非单晶膜沉积后的任何时间执行,例如在像素电极形成后。

[0175] 此外,氧化物半导体层 103 的暴露的沟道形成区可受到氧自由基处理,使得可以获得常关断薄膜晶体管。另外,自由基处理可以修复由于氧化物半导体层 103 的蚀刻引起的损伤。自由基处理优选地在 O_2 或 N_2O 的气氛和优选地每个含氧的 N_2 、He 或 Ar 的气氛中执行。自由基处理还可在其中 Cl_2 和 / 或 CF_4 添加到上文的气氛的气氛中执行。注意自由

基处理优选地在没有施加偏压的情况下执行。

[0176] 在第四光刻步骤中,用与源和漏电极层 105a 和 105b 相同的材料制成的第二端子 122 留在端子部分中。注意第二端子 122 电连接到源极布线(源极布线包括源和漏电极层 105a 和 105b)。

[0177] 另外,在端子部分中,连接电极 120 通过在栅极绝缘膜中形成的接触孔直接连接到端子部分的第一端子 121。注意尽管这里没有示出,驱动电路的薄膜晶体管的源极或漏极布线通过与上文描述的步骤相同的步骤直接连接到栅电极。

[0178] 此外,通过使用具有多个厚度(典型地为两个不同的厚度)的区域的抗蚀剂掩模(其使用多级灰度掩模形成),可以减少抗蚀剂掩模的数目,导致简化的工艺和更低的成本。

[0179] 接着,去除抗蚀剂掩模 131,并且保护绝缘层 107 形成以覆盖第二薄膜晶体管 170。对于保护绝缘层 107,可以使用氮化硅膜、氧化硅膜、氧氮化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氧化钽膜和/或类似的(其通过溅射法或类似方法获得)的单层或堆叠层。在驱动电路的一部分中的薄膜晶体管中,保护绝缘层 107 起第二栅极绝缘层的作用并且第二栅电极在其之上形成。保护绝缘层 107 具有 50nm 至 400nm 的厚度。当优先考虑薄膜晶体管的良率时,保护绝缘层 107 的厚度优选是大的。此外,当氧氮化硅膜、氮化硅膜或其类似物用作保护绝缘层 107 时,可以防止由于一些原因在保护绝缘层 107 形成后附着的杂质(例如,钠)扩散进入氧化物半导体。

[0180] 然后,第五光刻步骤执行以形成抗蚀剂掩模,并且保护绝缘层 107 被蚀刻以形成达到漏电极层 105b 的接触孔 125。另外,达到连接电极 120 的接触孔 126 和达到第二端子 122 的接触孔 127 也通过该蚀刻形成。在该阶段的剖视图在图 10B 中图示。

[0181] 接着,去除抗蚀剂掩模,并且然后形成透明导电膜。该透明导电膜通过溅射法、真空蒸发法或类似方法用氧化铟(In_2O_3)、氧化铟-氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,缩写成 ITO)或其类似物形成。这样的材料用盐酸基溶液蚀刻。然而,因为残留物在蚀刻 ITO 中特别容易产生,氧化铟-氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$)可用于提高蚀刻可处理性。

[0182] 接着,执行第六光刻步骤以形成抗蚀剂掩模,并且多余的部分通过蚀刻去除,由此在像素部分中形成像素电极 110。在该第六光刻步骤中,在驱动电路中,与像素电极 110 的相同的材料用于该电路的一部分以在氧化物半导体层之上形成用于控制阈值的电极层(背栅电极)。注意具有背栅电极的薄膜晶体管在实施例 1 中参照图 1A 描述;因此,这里省略对其详细描述。

[0183] 在第六光刻步骤中,存储电容器通过使用电容器部分中的栅极绝缘层 102 和保护绝缘层 107 作为电介质由电容器布线 108 和像素电极 110 构成。注意这里描述其中存储电容器通过使用栅极绝缘层 102 和保护绝缘层 107 作为电介质由电容器布线 108 和像素电极 110 构成的示例。然而,没有特定限制并且还可采用一种结构,其中用与源电极或漏电极相同的材料形成的电极提供在电容器布线上,并且存储电容器通过使用该电极和电容器布线之间的栅极绝缘层 102 作为电介质由该电极和电容器布线构成,由此电连接该电极和像素电极。

[0184] 此外,在第六光刻步骤中,第一端子和第二端子用抗蚀剂掩模覆盖使得透明导电膜 128 和 129 留在端子部分中。该透明导电膜 128 和 129 起连接到 FPC 的电极或布线的作

用。在直接连接到第一端子 121 的连接电极 120 之上形成的该透明导电膜 128 是起栅极布线的输入端子的作用的连接端子电极。在第二端子 122 之上形成的该透明导电膜 129 是起源极布线的输入端子的作用的连接端子电极。

[0185] 然后,去除抗蚀剂掩模。该阶段的剖视图在图 10C 中图示。注意图 14 是该阶段的顶视图。

[0186] 图 15A 和 15B 分别图示该阶段的栅极布线端子部分的剖视图和顶视图。图 15A 是沿图 15B 的线 C1-C2 获取的剖视图。在图 15A 中,在保护绝缘膜 154 之上形成的透明导电膜 155 是起输入端子作用的连接端子电极。此外,在图 15A 的端子部分中,用与栅极布线相同的材料制作的第一端子 151 和与源极布线相同的材料制作的连接电极 153 互相重叠(其中栅极绝缘层 152 在其之间),并且互相直接接触以便电连接。另外,连接电极 153 和透明导电膜 155 通过提供在保护绝缘膜 154 中的接触孔互相直接接触以便电连接。

[0187] 图 15C 和 15D 分别图示源极布线端子部分的剖视图和顶视图。图 15C 是沿图 15D 的线 D1-D2 获取的剖视图。在图 15C 中,在保护绝缘膜 154 之上形成的透明导电膜 155 是起输入端子作用的连接端子电极。此外,在图 15C 的端子部分中,用与栅极布线相同的材料制作的电极 156 在电连接到源极布线的第二端子 150 下面形成并且与该第二端子 150 重叠,其中栅极绝缘层 152 插入其之间。电极 156 不电连接到第二端子 150,并且如果电极 156 的电势设置到不同于第二端子 150 的电势,例如浮动、GND 或 0V 等,可以形成电容器以防止噪声或静电。第二端子 150 电连接到透明导电膜 155,其中保护绝缘膜 154 在其之间。

[0188] 根据像素密度提供多个栅极布线、源极布线和电容器布线。同样在端子部分中,处于与栅极布线相同的电势的第一端子、处于与源极布线相同的电势的第二端子、处于与电容器布线相同的电势的第三端子等每个设置为多个。端子中的每个的数目可是任何数目,并且端子的数目可由从业者视情况确定。

[0189] 通过这六个光刻步骤,作为底栅极 n 沟道薄膜晶体管的第二薄膜晶体管 170 和存储电容器可以使用该六个光掩模完成。通过在像素部分(其中像素采用矩阵形式设置)的每个像素中设置薄膜晶体管和存储电容器,可以获得用于制造有源矩阵显示器的衬底中的一个。在该说明书中,这样的衬底为了方便称为有源矩阵衬底。

[0190] 当通过使用与像素电极相同的材料实行到栅极布线的电连接时,可以省略第三光刻步骤。因此,通过五个光刻步骤,作为底栅极 n 沟道薄膜晶体管的第二薄膜晶体管和存储电容器可以使用该五个光掩模完成。

[0191] 此外,当第二栅电极的材料不同于如在图 1C 中图示的像素电极的材料时,增加一个光刻步骤,使得增加一个光掩模。

[0192] 在制造有源矩阵液晶显示器的情况下,有源矩阵衬底和提供有对电极的对衬底互相接合,其中液晶层插入其之间。注意电连接到对衬底上的对电极的公共电极提供在有源矩阵衬底之上,并且电连接到该公共电极的第四端子提供在端子部分中。提供第四端子使得该公共电极设置到例如 GND 或 0V 的固定电势。

[0193] 此外,像素结构不限于图 14 的结构,并且不同于图 14 的顶视图的示例在图 16 中图示。图 16 图示其中不提供电容器布线但像素电极与邻近像素的栅极布线重叠,其中保护绝缘膜和栅极绝缘层在其之间以形成存储电容器的示例。在该情况下,可以省略电容器布线和连接到电容器布线的第三端子。注意在图 16 中,与在图 14 中的那些相同的部分由相

同的标号指示。

[0194] 在有源矩阵液晶显示器中,采用矩阵形式设置的像素电极被驱动以在屏幕上形成显示图案。具体地,电压施加在选择像素电极和对应于该像素电极的对电极之间,使得提供在该像素电极和对电极之间的液晶层被光学调制并且该光学调制由观看者辨认为显示图案。

[0195] 在显示移动图像中,液晶显示器具有液晶分子自身的长响应时间引起残像或移动图像模糊的问题。为了改进液晶显示器的移动图像特性,采用叫做插黑的驱动方法,其中黑色每隔一个帧周期在整个屏幕上显示。

[0196] 备选地,可采用叫做双帧率驱动的驱动方法,其中垂直周期是通常的 1.5 或 2 倍长以改进移动图像特性。

[0197] 此外备选地,为了改进液晶显示器的移动图像特性,可采用以下驱动方法,其中多个 LED(发光二极管)或多个 EL 光源用于形成表面光源作为背光,并且该表面光源的每个光源在一个帧周期中采用脉冲方式独立驱动。作为表面光源,可使用三种或更多种 LED 并且可使用发射白光的 LED。因为多个 LED 可以独立控制,LED 的光发射时序可以与液晶层被光学调制的时序同步。根据该驱动方法,LED 可以部分关断;因此,特别在显示具有大部分显示黑的图像的情况下,可以获得减少功耗的效果。

[0198] 通过结合这些驱动方法,与常规液晶显示器的那些比较,可以改进例如移动图像特性等液晶显示器的显示特性。

[0199] 在该实施例中获得的 n 沟道晶体管使用 In-Ga-Zn-O 基非单晶膜作为它的沟道形成区并且具有有利的动态特性。因此,这些驱动方法可以与该实施例的 n 沟道晶体管结合应用。

[0200] 在制造发光显示器中,有机发光元件的一个电极(也称为阴极)设置到例如 GND 或 0V 的低电力供应电势;从而,对端子部分提供用于设置阴极到例如 GND 或 0V 的低电力供应电势的第四端子。并且在制造发光显示器中,除源极布线和栅极布线之外还提供电力供应线。

[0201] 因此,对端子部分提供电连接到电力供应线的第五端子。

[0202] 在栅极线驱动电路或源极线驱动电路中利用使用氧化物半导体的薄膜晶体管,制造成本降低。然后,通过将在驱动电路中使用的薄膜晶体管的栅电极与源极布线或漏极布线直接连接,可以减少接触孔的数目,使得可以提供其中由驱动电路占用的面积减小的显示器。

[0203] 因此,通过应用该实施例,具有优秀电特性的显示器可以以更低成本提供。

[0204] 该实施例可以与实施例 1、实施例 2 和实施例 3 中的任何实施例自由结合。

[0205] 实施例 5

[0206] 在实施例 5 中,将描述电子纸作为半导体器件的示例。

[0207] 图 17 图示作为示例的有源矩阵电子纸,其不同于液晶显示器。在半导体器件的像素部分中使用的薄膜晶体管 581 可以采用与在实施例 4 中描述的像素部分的薄膜晶体管相似的方式形成并且是包括 In-Ga-Zn-O 基非单晶膜作为半导体层的薄膜晶体管。另外,如在实施例 1 中描述的,像素部分和驱动电路可以在相同的衬底之上形成,并且由此可以实现具有低制造成本的电子纸。

[0208] 在图 17 中的电子纸是使用扭转球显示系统的显示器的示例。该扭转球显示系统指其中每个采用黑色或白色着色的球形颗粒设置在第一电极层和第二电极层（其是用于显示元件的电极层）之间，并且电势差在第一电极层和第二电极层之间产生以控制球形颗粒的取向，使得执行显示的方法。

[0209] 薄膜晶体管 581 是具有提供的底栅极结构的薄膜晶体管，并且其的源或漏电极层在绝缘层 583、584、585 中形成的开口中与第一电极层 587 接触，由此薄膜晶体管 581 电连接到第一电极层 587。在第一电极层 587 和第二电极层 588 之间，每个具有黑区 590a、白区 590b 以及在该区域周围填充有液体的空腔 594 的球形颗粒 589 提供在一对衬底 580 和 596 之间。在球形颗粒 589 周围的空间填充有例如树脂等填料 595（参见图 17）。

[0210] 此外，代替扭转球，还可以使用电泳元件。使用具有大约 $10\ \mu\text{m}$ 至 $200\ \mu\text{m}$ 的直径的微胶囊，其中透明液体、带正电荷的白色微粒和带负电荷的黑色微粒装入胶囊。在提供在第一电极层和第二电极层之间的微胶囊中，当电场由第一电极层和第二电极层施加时，白色微粒和黑色微粒移动到对边，使得可以显示白色或黑色。使用该原理的显示元件是电泳显示元件并且叫做电子纸。该电泳显示元件具有比液晶显示元件更高的反射率，从而辅助光是不必要的，功耗是低的，并且显示部分可以在昏暗地方被辨认出。另外，即使当电力没有供应给显示部分，可以维持已经显示一次的图像。因此，即使具有显示功能的半导体器件（其可简单地称为显示器或提供有显示器的半导体器件）远离电波源时也可以存储显示的图像。

[0211] 通过该工艺，可以制造作为半导体器件的可以以更低成本制造的电子纸。

[0212] 该实施例可以视情况与实施例 1 或实施例 2 中的任何内容结合。

[0213] 实施例 6

[0214] 在实施例 6 中，将描述发光显示器作为半导体器件的示例。作为包括在显示器中的显示元件，这里描述利用电致发光的发光元件。利用电致发光的发光元件根据发光材料是有机化合物还是无机化合物分类。一般，前者称为有机 EL 元件，而后者称为无机 EL 元件。

[0215] 在有机 EL 元件中，通过施加电压到发光元件，电子和空穴从一对电极分别注入包含发光有机化合物的层，并且电流流动。载流子（电子和空穴）复合，从而激发发光有机化合物。发光有机化合物从激发态返回基态，由此发射光。由于这样的机制，该发光元件称为电流激发发光元件。

[0216] 无机 EL 元件根据它们的元件结构成分散型无机 EL 元件和薄膜无机 EL 元件。分散型无机 EL 元件具有发光层，其中发光材料的颗粒分散在粘合剂中，并且它的光发射机制是施主-受主复合型光发射，其利用施主能级和受主能级。薄膜无机 EL 元件具有其中发光层夹在介电层之间的结构，它们进一步夹在电极之间，并且其光发射机制是定域型光发射，其利用金属离子的内电子层电子跃迁。注意这里描述有机 EL 元件作为发光元件的示例。

[0217] 图 18 图示可以对其应用数字时间灰度驱动的像素结构的示例，作为半导体器件的示例。

[0218] 描述可以对其应用数字时间灰度驱动的像素的结构和操作。在该实施例中，一个像素包括两个 n 沟道晶体管，其中每个包括氧化物半导体层（In-Ga-Zn-O 基非单晶膜）作为它的沟道形成区。

[0219] 像素 6400 包括开关晶体管 6401、驱动晶体管 6402、发光元件 6404 和电容器 6403。

开关晶体管 6401 的栅极连接到扫描线 6406, 开关晶体管 6401 的第一电极 (源电极和漏电极中的一个) 连接到信号线 6405, 并且开关晶体管 6401 的第二电极 (源电极和漏电极中的另一个) 连接到驱动晶体管 6402 的栅极。驱动晶体管 6402 的栅极通过电容器 6403 连接到电力供应线 6407, 驱动晶体管 6402 的第一电极连接到电力供应线 6407, 并且驱动晶体管 6402 的第二电极连接到发光元件 6404 的第一电极 (像素电极)。发光元件 6404 的第二电极对应于公共电极 6408。

[0220] 发光元件 6404 的第二电极 (公共电极 6408) 设置到低电力供应电势。注意该低电力供应电势是参考设置到电力供应线 6407 的高电力供应电势满足该低电力供应电势 < 高电力供应电势的电势。作为低电力供应电势, 例如可采用 GND、0V 或其类似的。高电力供应电势和低电力供应电势之间的电势差施加到发光元件 6404 并且电流供应给发光元件 6404, 使得发光元件 6404 发光。这里, 为了使发光元件 6404 发光, 每个电势设置为使得高电力供应电势和低电力供应电势之间的电势差是发光元件 6404 的正向阈值电压或更高。

[0221] 注意驱动晶体管 6402 的栅极电容器可用作电容器 6403 的代替物, 使得可以省略电容器 6403。驱动晶体管 6402 的栅极电容器可在沟道区和栅电极之间形成。

[0222] 在电压输入电压驱动方法的情况下, 视频信号输入到驱动晶体管 6402 的栅极使得驱动晶体管 6402 处于充分导通和关断的两个状态中的任一个中。即, 驱动晶体管 6402 在线性区中操作。因为驱动晶体管 6402 在线性区中操作, 高于电力供应线 6407 的电压的电压施加于驱动晶体管 6402 的栅极。注意高于或等于电力供应线的电压 + 驱动晶体管 6402 的 V_{th} 的电压施加于信号线 6405。

[0223] 在代替数字时间灰度驱动执行模拟灰度驱动的情况下, 可以通过改变信号输入使用与在图 18 中的相同的像素结构。

[0224] 在执行模拟灰度驱动的情况下, 高于或等于发光元件 6404 的正向电压 + 驱动晶体管 6402 的 V_{th} 的电压施加于驱动晶体管 6402 的栅极。发光元件 6404 的正向电压指示获得期望的亮度所在的电压, 并且至少包括正向阈值电压。输入视频信号, 由此驱动晶体管 6402 在饱和区中操作, 使得电流可以供应给发光元件 6404。为了驱动晶体管 6402 在饱和区中操作, 电力供应线 6407 的电势设置为高于驱动晶体管 6402 的栅极电势。当使用模拟视频信号时, 根据视频信号将电流馈送到发光元件 6404 并且执行模拟灰度驱动是可能的。

[0225] 注意在图 18 中图示的像素结构不限于此。例如, 开关、电阻、电容器、晶体管、逻辑电路或其类似物可添加到图 18 中图示的像素。

[0226] 接着, 发光元件的结构将参照图 19A 至 19C 描述。像素的横截面结构将通过采用其中驱动 TFT 是在图 1B 中图示的薄膜晶体管 170 的情况作为示例来描述。在图 19A 至 19C 中图示的用于半导体器件的驱动 TFT7001、7011 和 7021 可以采用与在实施例 1 中描述的薄膜晶体管 170 相似的方式形成, 并且是包括 In-Ga-Zn-O 基非单晶膜作为它们的半导体层并且具有优秀电特性的薄膜晶体管。

[0227] 为了抽出从发光元件发射的光, 需要阳极和阴极中的至少一个透光。薄膜晶体管和发光元件在衬底之上形成。发光元件可以具有: 顶发射结构, 其中光发射通过与衬底相对的表面抽出; 底发射结构, 其中光发射光通过在衬底侧上的表面抽出; 或双发射结构, 其中光发射通过与衬底相对的表面和在衬底侧上的表面抽出。在图 18 中图示的像素结构可以应用于具有这些发射结构中的任何发射结构的发光元件。

[0228] 具有顶发射结构的发光元件将参照图 19A 描述。

[0229] 图 19A 是在其中驱动 TFT7001 是在图 1B 中图示的薄膜晶体管 170 并且光从发光元件 7002 发射到阳极 7005 侧的情况下的像素的剖视图。在图 19A 中,发光元件 7002 的阴极 7003 电连接到驱动 TFT7001,并且发光元件 7004 和阳极 7005 按该顺序堆叠在阴极 7003 之上。阴极 7003 可以使用多种导电材料形成,只要它们具有低功函数和并且反射光即可。例如,优选地使用 Ca、Al、MgAg、AlLi 或类似物。发光层 7004 可使用单层或堆叠的多层形成。当发光层 7004 使用多个层形成时,发光层 7004 通过按下列顺序在阴极 7003 之上堆叠电子注入层、电子传输层、电子发射层、空穴传输层和空穴注入层形成。形成所有这些层不是必须的。阳极 7005 使用透光导电膜形成,例如包括氧化钨的氧化铟、包括氧化钨的氧化铟锌、包括氧化钛的氧化铟、包括氧化钛的氧化铟锡、氧化铟锡(在下文中称为 ITO)、氧化铟锌或添加氧化硅的氧化铟锡的膜等。

[0230] 发光元件 7002 对应于其中发光层 7004 夹在阴极 7003 和阳极 7005 之间的区域。在图 19A 中图示的像素的情况下,如由箭头指示的,光从发光元件 7002 发射到阳极 7005 侧。

[0231] 提供在驱动电路中的氧化物半导体层之上的第二栅电极优选地用与阴极 7003 相同的材料形成,其导致工艺的简化。

[0232] 接着,具有底发射结构的发光元件将参照图 19B 描述。图 19B 是在其中驱动 TFT7011 是在图 1A 中图示的薄膜晶体管 170 并且光从发光元件 7012 发射到阴极 7013 侧的情况下的像素的剖视图。在图 19B 中,发光元件 7012 的阴极 7013 在电连接到驱动 TFT7011 的透光导电膜 7017 之上形成,并且发光层 7014 和阳极 7015 按该顺序堆叠在阴极 7013 之上。当阳极 7015 具有透光性质时,用于反射或阻挡光的光阻挡膜 7016 可形成以覆盖阳极 7015。对于阴极 7013,如同在图 19A 的情况下,可以使用多种材料,只要它们是具有低功函数的导电材料即可。阴极 7013 形成以便具有可以透光的厚度(优选地,近似 5nm 至 30nm)。例如,具有 20nm 厚度的铝膜可用作阴极 7013。与图 19A 的情况相似,发光层 7014 可使用单层或堆叠的多层形成。阳极 7015 不要求透光,但如同在图 19A 的情况下可以使用透光导电材料形成。作为光阻挡膜 7016,例如可以使用反射光的金属或其类似物;然而,它不限于金属膜。例如,还可以使用添加黑色颜料的树脂或其类似物。

[0233] 发光元件 7012 对应于其中发光层 7014 夹在阴极 7013 和阳极 7015 之间的区域。在图 19B 中图示的像素的情况下,如由箭头指示的,光从发光元件 7012 发射到阴极 7013 侧。

[0234] 提供在驱动电路中的氧化物半导体层之上的第二栅电极优选地用与阴极 7013 相同的材料形成,其导致工艺的简化。

[0235] 接着,具有双发射结构的发光元件将参照图 19C 描述。在图 19C 中,发光元件 7022 的阴极 7023 在电连接到驱动 TFT7021 的透光导电膜 7027 之上形成,并且发光层 7024 和阳极 7025 按该顺序堆叠在阴极 7023 之上。如同在图 19A 的情况下,阴极 7023 可以使用多种导电材料形成,只要它们具有低功函数即可。阴极 7023 形成以具有可以透光的厚度。例如,具有 20nm 厚度的 Al 膜可以用作阴极 7023。如同在图 19A,发光层 7024 可使用单层或堆叠的多层形成。阳极 7025 如同在图 19A 的情况下可以使用透光导电材料形成。

[0236] 发光元件 7022 对应于其中阴极 7023、发光层 7024 和阳极 7025 互相重叠的区域。

在图 19C 中图示的像素的情况下,如由箭头指示的,光从发光元件 7022 发射到阳极 7025 侧和阴极 7023 侧。

[0237] 提供在驱动电路中的氧化物半导体层之上的第二栅电极优选地用与导电膜 7027 相同的材料形成,其导致工艺的简化。此外,提供在驱动电路中的氧化物半导体层之上的第二栅电极优选地用与导电膜 7027 和阴极 7023 相同的材料的堆叠形成,由此降低布线电阻以及简化工艺。

[0238] 注意,尽管有机 EL 元件这里描述作为发光元件,无机 EL 元件也可以提供为发光元件。

[0239] 在该实施例中,描述其中控制发光元件的驱动的薄膜晶体管(驱动 TFT)电连接到发光元件的示例;然而,可采用其中用于电流控制的 TFT 连接在驱动 TFT 和发光元件之间的结构。

[0240] 在该实施例中描述的半导体器件不限于在图 19A 至 19C 中图示的结构,并且可以基于公开的技术的精神采用各种方式修改。

[0241] 接着,发光显示面板(也称为发光面板)(其是半导体器件的一个实施例)的顶视图和横截面将参照图 20A 和 20B 描述。图 20A 是其中在第一衬底之上形成的薄膜晶体管和发光元件用密封剂密封在第一衬底和第二衬底之间的面板的顶视图。图 20B 是沿图 20A 的线 H-I 获取的剖视图。

[0242] 提供密封剂 4505 以便包围提供在第一衬底 4501 上的像素部分 4502、信号线驱动电路 4503a 与 4503b 和扫描线驱动电路 4504a 与 4504b。另外,第二衬底 4506 提供在像素部分 4502、信号线驱动电路 4503a 与 4503b 和扫描线驱动电路 4504a 与 4504b 上。因此,像素部分 4502、信号线驱动电路 4503a 与 4503b 和扫描线驱动电路 4504a 与 4504b 通过第一衬底 4501、密封剂 4505 和第二衬底 4506 与填料 4507 密封在一起。面板用保护膜(例如层叠膜或紫外线可硬化树脂膜)或具有高气密性和极少脱气的覆盖材料封装(密封)使得面板采用该方式不暴露于外部空气是优选的。

[0243] 在第一衬底 4501 之上形成的像素部分 4502、信号线驱动电路 4503a 与 4503b 和扫描线驱动电路 4504a 与 4504b 每个包括多个薄膜晶体管。在图 20B 中,包括在像素部分 4502 中的薄膜晶体管 4510 和包括在信号线驱动电路 4503a 中的薄膜晶体管 4509 作为示例图示。

[0244] 对于薄膜晶体管 4509 和 4510 中的每个,可以应用如在实施例 1 中描述的包括 In-Ga-Zn-O 基非单晶膜作为它的半导体层的高度可靠的薄膜晶体管。另外,如在实施例 1 中参照图 1B 描述的,薄膜晶体管 4509 包括在半导体层上面和下面的栅电极。

[0245] 此外,标号 4511 指示发光元件。作为包括在发光元件 4511 中的像素电极的第一电极层 4517 电连接到薄膜晶体管 4510 的源电极层或漏电极层。注意发光元件 4511 的结构是第一电极层 4517、电致发光层 4512 和第二电极层 4513 的堆叠层结构,但对该结构没有特定限制。发光元件 4511 的结构可以根据光从发光元件 4511 抽出的方向或其类似的视情况改变。

[0246] 分隔物 4520 使用有机树脂膜、无机绝缘膜或有机聚硅氧烷形成。分隔物 4520 使用感光材料形成并且开口在第一电极层 4517 之上形成使得开口的侧壁形成为具有连续曲率的斜面是特别优选的。

[0247] 电致发光层 4512 可用单层或堆叠的多层形成。

[0248] 保护膜可在第二电极层 4513 和分隔物 4520 之上形成以便防止氧、氢、湿气、二氧化碳或其类似物进入发光元件 4511。作为保护膜，可以形成氮化硅膜、氮氧化硅膜、DLC 膜或其类似物。

[0249] 另外，多个信号和电势从 PFC4518a 和 4518b 供应给信号线驱动电路 4503a 与 4503b、扫描线驱动电路 4504a 与 4504b 或像素部分 4502。

[0250] 在该实施例中，连接端子电极 4515 用与包括在发光元件 4511 中的第一电极层 4517 相同的导电膜形成，并且端子电极 4516 用与包括在薄膜晶体管 4509 和 4510 中的源和漏电极层相同的导电膜形成。

[0251] 连接端子电极 4515 通过各向异性导电膜 4519 电连接到包括在 FPC4518a 中的端子。

[0252] 位于光从发光元件 4511 抽取的方向上的第二衬底 4506 应该具有透光性质。在该情况下，例如玻璃板、塑料板、聚酯膜或丙烯酸膜 (acrylic film) 等透光材料用于第二衬底 4506。

[0253] 作为填料 4507，除例如氮或氩等惰性气体外，可以使用紫外线可硬化树脂或热固性树脂。例如，可以使用 PVC (聚氯乙烯)、丙烯酸 (acrylic)、聚酰亚胺、环氧树脂、硅酮树脂、PVB (聚乙烯醇缩丁醛) 或 EVA (乙烯-醋酸乙烯酯)。

[0254] 另外，如果需要，可视情况在发光元件的发光表面上提供例如偏振片、圆偏振片 (包括椭圆偏振片)、延迟板 (四分之一波板或半波板) 或滤色片等光学膜。此外，偏振片或圆偏振片可提供有抗反射膜。例如，可以执行防眩处理 (由此反射光可以由表面上的凸起和凹陷漫射) 以便减少眩光。

[0255] 信号线驱动电路 4503a 与 4503b 和扫描线驱动电路 4504a 与 4504b 可通过安装驱动电路且该驱动电路使用在分别准备的单晶衬底或绝缘衬底之上的单晶半导体膜或多晶半导体膜形成而提供。另外，仅信号线驱动电路或其的一部分或扫描线驱动电路或其的一部分可分别形成和安装。该实施例不限于在图 20A 和 20B 中图示的结构。

[0256] 通过该工艺，显示器 (显示面板) 可以以更低的制造成本制造。

[0257] 该实施例可以视情况与实施例 1 或实施例 2 中的任何内容结合。

[0258] 实施例 7

[0259] 在该实施例中，作为半导体器件的一个实施例的液晶显示面板的顶视图和横截面将参照图 21A、21B 和 21C 描述。图 21A 和 21B 是其中在第一衬底 4001 之上形成的如在实施例 1 中描述的每个包括 In-Ga-Zn-O 基非单晶膜作为它的半导体层的高度可靠的薄膜晶体管 4010 和 4011 和液晶元件 4013 用密封剂 4005 密封在第一衬底 4001 和第二衬底 4006 之间的面板的顶视图。图 21C 是沿图 21A 和 21B 的线 M-N 获取的剖视图。

[0260] 提供密封剂 4005 以便包围提供在第一衬底 4001 上的像素部分 4002 和扫描线驱动电路 4004。第二衬底 4006 提供在像素部分 4002 和扫描线驱动电路 4004 上。因此，像素部分 4002 和扫描线驱动电路 4004 通过第一衬底 4001、密封剂 4005 和第二衬底 4006 与液晶层 4008 密封在一起。在分开准备的衬底之上使用单晶半导体膜或多晶半导体膜形成的信号线驱动电路 4003 安装在第一衬底 4001 之上不同于由密封剂 4005 包围的区域的区域中。

[0261] 注意分开形成的驱动电路的连接方法不特定限制,并且可以使用 COG 法、引线接合法、TAB 法或类似方法。图 21A 图示通过 COG 法安装信号线驱动电路 4003 的示例,并且图 21B 图示通过 TAB 法安装信号线驱动电路 4003 的示例。

[0262] 提供在第一衬底 4001 之上的像素部分 4002 和扫描线驱动器电路 4004 包括多个薄膜晶体管。图 21C 图示包括在像素部分 4002 中的薄膜晶体管 4010 和包括在扫描线驱动器电路 4004 中薄膜晶体管 4011。绝缘层 4020 和 4021 提供在薄膜晶体管 4010 和 4011 之上。

[0263] 薄膜晶体管 4010 和 4011 中的每个可以是如在实施例 1 中描述的包括 In-Ga-Zn-O 基非单晶膜作为它的半导体层的高度可靠的薄膜晶体管。薄膜晶体管 4011 对应于在实施例 2 中参照图 2A 描述的具有背栅电极的薄膜晶体管。

[0264] 包括在液晶元件 4013 中的像素电极层 4030 电连接到薄膜晶体管 4010。液晶元件 4013 的对电极层 4031 被提供用于第二衬底 4006。其中像素电极层 4030、对电极层 4031 和液晶层 4008 互相重叠的部分对应于液晶元件 4013。注意像素电极层 4030 和对电极层 4031 分别提供有绝缘层 4032 和绝缘层 4033,其每个起定向膜的作用,并且液晶层 4008 夹在像素电极层 4030 和对电极层 4031 之间,其中绝缘层 4032 和 4033 在其之间。

[0265] 注意第一衬底 4001 和第二衬底 4006 可以用玻璃、金属(典型地,不锈钢)、陶瓷或塑料形成。作为塑料,可以使用玻璃纤维增强塑料(FRP)板、聚氟乙烯(PVF)膜、聚酯膜或丙烯酸树脂膜。另外,可以使用具有其中铝箔夹在 PVF 膜或聚酯膜之间的结构的薄板。

[0266] 标号 4035 指示通过选择性蚀刻绝缘膜获得的柱状间隔并且被提供以控制像素电极层 4030 和对电极层 4031 之间的距离(单元间隙)。此外,还可使用球形间隔。另外,对电极层 4031 电连接到在与薄膜晶体管 4010 相同的衬底之上形成的公共电势线。利用该公共连接部分,对电极层 4031 和公共电势线可以通过设置在一对衬底之间的导电颗粒互相电连接。注意导电颗粒包括在密封剂 4005 中。

[0267] 备选地,可使用不需要定向膜的展现蓝相的液晶。蓝相是液晶相中的一个,其在当胆甾液晶的温度增加时胆甾相变化成各向同性相刚好之前产生。因为蓝相仅在窄温度范围中产生,含 5wt% 或更多的手性剂的液晶组成以便改进温度范围用于液晶层 4008。包括展现蓝相的液晶和手性剂的液晶组成具有响应时间是 10 μ s 至 100 μ s(其是短的)的这样的特性,定向过程是不必要的,因为液晶组成具有光学各向同性,并且视角依赖性是小。

[0268] 尽管在该实施例中描述透射液晶显示器的示例,本发明的一个实施例也可以应用于反射液晶显示器和透反射液晶显示器。

[0269] 尽管其中偏振片提供在衬底的外侧(在观看者侧上)上并且用于显示元件的着色层和电极层采用该顺序提供在衬底的内侧上的液晶显示器的示例在本实施例中描述,偏振片可提供在衬底的内侧上。偏振片和着色层的堆叠结构不限于该实施例,并且可视情况根据偏振片和着色层的材料或制造工艺的条件设置。此外,可提供充当黑矩阵(black matrix)的光阻挡膜。

[0270] 在该实施例中,为了减少薄膜晶体管的表面不平坦性并且提高薄膜晶体管的可靠性,在实施例 1 中获得的薄膜晶体管覆盖有起保护膜或平坦化绝缘膜的作用的绝缘层(绝缘层 4020 和绝缘层 4021)。注意保护膜被提供以防止在空气中存在的例如有机物质、金属或湿气等污染杂质进入并且优选是致密膜。保护膜可用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜和/或氮氧化铝膜的单层或堆叠层通过溅射

法形成。尽管在该实施例中描述其中保护膜通过溅射法形成的示例,没有特别限制并且保护膜可通过例如 PCVD 等多种方法形成。在驱动电路的一部分中,保护膜充当第二栅极绝缘层,并且提供在该第二栅极绝缘层之上具有背栅极的薄膜晶体管。

[0271] 在该实施例中,具有堆叠层结构的绝缘层 4020 形成作为保护膜。这里,作为绝缘层 4020 的第一层,氧化硅膜通过溅射法形成。氧化硅膜作为保护膜的使用具有防止铝膜的小丘的效果。

[0272] 作为保护膜的第三层,形成绝缘层。在该实施例中,作为绝缘层 4020 的第三层,氮化硅膜通过溅射法形成。氮化硅膜作为保护膜的使用可以防止钠或其类似物的移动离子进入半导体区并且改变 TFT 的电特性。

[0273] 在保护膜形成后,半导体层可受到退火(300℃至 400℃)。另外,背栅极在保护膜形成后形成。

[0274] 绝缘层 4021 形成而作为平坦化绝缘膜。作为绝缘层 4021,可以使用例如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺或环氧树脂等具有耐热性的有机材料。除了这样的有机材料,使用低介电常数材料(低 k 材料)、硅氧烷基树脂、PSG(磷硅玻璃),BPSG(硼磷硅玻璃)或其类似物也是可能的。注意绝缘层 4021 可通过堆叠用这些材料形成的多层绝缘膜形成。

[0275] 注意硅氧烷基树脂是由作为起始材料并且具有 Si-O-Si 键的硅氧烷基材料形成的树脂。硅氧烷基树脂可包括有机基(例如,烷基和芳基)或氟基作为取代基。另外,有机基可包括氟基。

[0276] 绝缘层 4021 的形成方法不特定限制,并且可以根据材料采用下列方法:溅射法、SOG 法、旋涂法、浸渍法、喷涂法、液体排出方法(例如,喷墨方法、丝网印刷、胶版印刷或类似的)、刮片、辊涂机、淋涂机、刮涂机或其类似的。在使用材料溶液形成绝缘层 4021 的情况下,半导体层的退火(300℃至 400℃)可在与烘烤步骤相同的时间执行。绝缘层 4021 的烘烤步骤还充当半导体层的退火,由此半导体器件可以高效制造。

[0277] 像素电极层 4030 和对电极层 4031 可以使用透光导电材料形成,例如包括氧化钨的氧化铟、包括氧化钨的氧化铟锌、包括氧化钛的氧化铟、包括氧化钛的氧化铟锡、氧化铟锡(在下文中称为 ITO)、氧化铟锌、添加氧化硅的氧化铟锡等。

[0278] 包括导电高分子(也称为导电聚合物)的导电组成可以用于像素电极层 4030 和对电极层 4031。使用该导电组成形成的像素电极优选具有小于或等于 10000 欧姆每平方的薄层电阻和在 550nm 波长处大于或等于 70%的透射率。此外,包括在该导电组成中的导电高分子的电阻率优选地小于或等于 $0.1 \Omega \cdot \text{cm}$ 。

[0279] 作为导电高分子,可以使用所谓的 π 电子共轭导电聚合物。例如,可以给出聚苯胺或其的衍生物、聚吡咯或其的衍生物、聚噻吩或其的衍生物、它们中的两种或更多种的共聚物或类似物。

[0280] 此外,多种信号和电势从 FPC4018 供应给分开形成的信号线驱动电路 4003、扫描线驱动电路 4004 或像素部分 4002。

[0281] 在该实施例中,连接端子电极 4015 用与包括在液晶元件 4013 中的像素电极层 4030 相同的导电膜形成,并且端子电极 4016 用与包括在薄膜晶体管 4010 和 4011 中的源和漏电极层相同的导电膜形成。

[0282] 连接端子电极 4015 通过各向异性导电膜 4019 电连接到包括在 FPC4018 中的端子。

[0283] 图 21A 和 21B 图示其中信号线驱动电路 4003 分开形成并且安装在第一衬底 4001 上的示例；然而，该实施例不限于该结构。扫描线驱动电路可分开形成并且然后安装，或仅信号线驱动电路的部分或扫描线驱动电路的部分可分开形成并且然后安装。

[0284] 图 22 图示其中液晶显示模块通过使用 TFT 衬底 2600 形成作为半导体器件的示例。

[0285] 图 22 图示液晶显示模块的示例，其中 TFT 衬底 2600 和对衬底 2601 用密封剂 2602 互相固定，并且包括 TFT 或其类似物的像素部分 2603、包括液晶层的显示元件 2604 和着色层 2605 提供在衬底之间以形成显示区。着色层 2605 对于执行彩色显示是必需的。在 RGB 系统中，对应于红色、绿色和蓝色的颜色的相应着色层提供给相应像素。偏振片 2606 和 2607 以及漫射板 2613 提供在 TFT 衬底 2600 和对衬底 2601 的外侧。光源包括冷阴极管 2610 和反光板 2611，并且电路衬底 2612 通过柔性布线板 2609 连接到 TFT 衬底 2600 的布线电路部分 2608 并且包括例如控制电路或电源电路等的外部电路。偏振片和液晶层可堆叠，其中延迟板在其之间。

[0286] 对于液晶显示模块，可以使用扭曲向列 (TN) 模式、共面转换 (IPS) 模式、边缘场转换 (FFS) 模式、多畴垂直排列 (MVA) 模式、垂直排列构型 (PVA) 模式、轴对称排列微单元 (ASM) 模式、光学补偿双折射 (OCB) 模式、铁电液晶 (FLC) 模式、反铁电液晶 (AFLC) 模式或其类似的。

[0287] 通过该工艺，作为半导体器件的液晶显示器可以以更低的制造成本制造。

[0288] 该实施例可以视情况与实施例 1、2 或 3 中的任何内容结合。

[0289] 实施例 8

[0290] 根据本发明的一个实施例的半导体器件可以应用于多种电子装置（包括娱乐机）。电子装置的示例是电视机（也称为电视或电视接收器）、计算机或类似物的监视器、例如数字拍摄装置或数字摄像机等拍摄装置、数字相框、移动电话手持机（也称为移动电话或移动电话装置）、便携式游戏机、便携信息终端、音频重现装置、例如弹珠机等大型游戏机等。

[0291] 图 23A 图示便携信息终端装置 9200 的示例。该便携信息终端装置 9200 包含计算机并且从而可以处理各种类型的数据。该便携信息终端装置 9200 的示例是个人数字助理。

[0292] 便携信息终端装置 9200 具有两个外壳，外壳 9201 和外壳 9203。外壳 9201 和外壳 9203 用联接部分 9207 联接使得便携信息终端装置 9200 可以是可折叠的。显示部分 9202 包含在外壳 9201 中，并且外壳 9203 包括键盘 9205。不用说，便携信息终端装置 9200 的结构不限于上文的结构，并且结构可至少包括具有背栅电极的薄膜晶体管，并且另外的附件可视情况提供。驱动电路和像素部分在相同的衬底之上形成，其导致制造成本的降低。从而，可以实现具有拥有高电特性的薄膜晶体管的便携信息终端装置。

[0293] 图 23B 图示数字摄像机 9500 的示例。该数字摄像机 9500 包括包含在外壳 9501 中的显示部分 9503 和各种操作部分。不用说，数字摄像机 9500 的结构不限于上文的结构，并且结构可至少包括具有背栅电极的薄膜晶体管，并且另外的附件可视情况提供。驱动电路和像素部分在相同的衬底之上形成，其导致制造成本的降低。从而，可以实现具有拥有高

电特性的薄膜晶体管的数字摄像机。

[0294] 图 23C 图示移动电话 9100 的示例。该移动电话 9100 具有两个外壳,外壳 9102 和外壳 9101。外壳 9102 和外壳 9101 用联接部分联接使得移动电话是可折叠的。显示部分 9104 包含在外壳 9102 中,并且外壳 9101 包括操作键 9106。不用说,移动电话 9100 的结构不限于上文的结构,并且结构可至少包括具有背栅电极的薄膜晶体管,并且另 外的附件可视情况提供。驱动电路和像素部分在相同的衬底之上形成,其导致制造成本的降低。从而,可以实现具有拥有高电特性的薄膜晶体管的移动电话。

[0295] 图 23D 图示便携计算机 9400 的示例。该便携计算机 9400 具有两个外壳,外壳 9401 和外壳 9404。外壳 9401 和外壳 9404 联接使得计算机可以打开和关闭。显示部分 9402 包含在外壳 9401 中,并且外壳 9404 包括键盘 9403 或其类似物。不用说,计算机 9400 的结构不限于上文的结构,并且结构可至少包括具有背栅电极的薄膜晶体管,并且另外的附件可视情况提供。驱动电路和像素部分在相同的衬底之上形成,其导致制造成本的降低。从而,可以实现具有拥有高电特性的薄膜晶体管的计算机。

[0296] 图 24A 图示电视机 9600 的示例。在电视机 9600 中,显示部分 9603 包含在外壳 9601 中的。该显示部分 9603 可显示图像。此外,在图 24A 中外壳 9601 由底座 9605 支撑。

[0297] 电视机 9600 可以用外壳 9601 的操作开关或单独的遥控 9610 操作。频道和音量可以用遥控 9610 的操作键 9609 控制,使得可以控制在显示部分 9603 上显示的图像。此外,遥控 9610 可提供有助于显示从遥控 9610 输出的数据的显示部分 9607。

[0298] 注意电视机 9600 提供有接收器、调制解调器等。利用该接收器,可以接收一般的电视广播。此外,当电视机 9600 通过经由该调制解调器的有线或无线连接连接到通信网络时,可以执行单向(从传送器到接收器)或双向(在传送器和接收器之间或在接收器之间)数据通信。

[0299] 图 24B 图示数字相框 9700 的示例。例如,在数字相框 9700 中,显示部分 9703 包含在外壳 9701 中。显示部分 9703 可以显示多种图像,例如,显示部分 9703 可以显示用数字拍摄装置或其类似物拍摄的图像数据并且起通常的相框的作用。

[0300] 注意数字相框 9700 提供有操作部分、外部连接部分(USB 端子、可以连接到例如 USB 电缆等各种电缆的端子或其类似物)、记录介质插入部分等。尽管这些部件可提供在提供显示部分的表面上,对于数字相框 9700 的设计将它们提供在侧面或后表面上是优选的。例如,存储用数字拍摄装置拍摄的图像数据的存储器插入数字相框的记录介质插入部分,由此图像数据可以传输并且然后在显示部分 9703 上显示。

[0301] 数字相框 9700 可配置成无线地发送并且接收数据。可采用其中期望的图像数据无线地传输以显示的结构。

[0302] 图 25A 图示不同于在图 23C 中图示的那个的移动电话 1000 的示例。该移动电话 1000 包括包含在外壳 1001 中的显示部分 1002、操作按钮 1003、外部连接端口 1004、扬声器 1005、麦克风 1006 等。

[0303] 在图 25A 中图示的移动电话 1000 中,当人用他的 / 她的手指或类似物触碰显示部分 1002 时可以输入数据。另外,当人用他的 / 她的手指或类似物触碰显示部分 1002 时,可以进行例如电话呼叫或发邮件等操作。

[0304] 主要存在显示部分 1002 的三个屏幕模式:第一模式是主要用于显示图像的显示

模式；第二模式是主要用于输入例如文本等的数据的输入模式；并且第三模式是其中显示模式和输入模式的两个模式结合的显示和输入模式。

[0305] 例如，在呼叫或发邮件的情况下，对显示部分 1002 选择主要用于输入文本的文本输入模式，使得可以输入在屏幕上显示的文本。在该情况下，在几乎显示部分 1002 的屏幕的全部面积上显示键盘或数字按钮是优选的。

[0306] 当包括用于检测倾斜的例如陀螺仪或加速度传感器等的传感器的检测装置提供在移动电话 1000 内部时，在显示部分 1002 的屏幕上的显示可以通过确定移动电话 1000 的设置方向自动地切换（对于横向模式或竖向模式移动电话 1000 是水平地还是竖直地放置）。

[0307] 屏幕模式通过触碰显示部分 1002 或操作外壳 1001 的操作按钮 1003 切换。备选地，屏幕模式可以根据在显示部分 1002 上显示的图像的种类切换。例如，当在显示部分上显示的图像的信号是移动图像数据的信号时，屏幕模式切换到显示模式。当信号是文本数据的信号时，屏幕模式切换到输入模式。

[0308] 此外，在输入模式中，在检测由显示部分 1002 中的光学传感器检测的信号时，当通过触碰显示部分 1002 的输入在一定时期不执行，屏幕模式可被控制以便从输入模式切换到显示模式。

[0309] 显示部分 1002 可起图像传感器的作用。例如，当用手掌或手指触碰显示部分 1002 时取得掌纹、指纹或其类似物的图像，由此可以执行个人身份验证。此外，通过在显示部分中提供发射近红外光的背光或感测光源时，可以取得手指纹理、手掌纹理或其类似物的图像。

[0310] 图 25B 图示移动电话的另一个示例。在图 25B 中的移动电话具有在外壳 9411 中包括显示部分 9412 和操作按钮 9413 的显示装置 9410，以及在外壳 9401 中包括扫描按钮 9402、外部输入端子 9403、麦克风 9404、扬声器 9405 和当收到电话呼叫时发射光的发光部分 9406 的通信装置 9400。具有显示功能的显示装置 9410 可以在由箭头指示的两个方向上从具有电话功能的通信装置 9400 分离或附连到其上。从而，显示装置 9410 和通信装置 9400 可以沿它们的短边或长边互相附连。另外，当仅需要显示功能时，显示装置 9410 可以从通信装置 9400 分离并且单独使用。图像或输入信息可以在通信装置 9400 和显示装置 9410（其中的每个具有可充电电池）之间通过无线或有线通信传输或接收。

[0311] 实施例 9

[0312] 在该实施例中，包括其中布线和氧化物半导体层互相接触的薄膜晶体管的显示器的示例参照图 26 描述。要注意图 26 中与在图 1A 中的那些相同的部分将用相同的标号描述。

[0313] 在图 26 中图示的第一薄膜晶体管 480 是在驱动电路中使用的薄膜晶体管，其中第一布线 409 和第二布线 410 被提供与氧化物半导体层 405 接触。该第一薄膜晶体管 480 包括在氧化物半导体层 405 下面的第一栅电极 401 和在氧化物半导体层 405 上面的第二栅电极 470。

[0314] 另外，第二薄膜晶体管 481 是在像素部分中使用的薄膜晶体管，其中源或漏电极层 105a 和 105b 提供为与氧化物半导体层 103 接触。

[0315] 该实施例的半导体器件具有其中布线和氧化物半导体层互相接触的结构，并且从

而与实施例 1 的比较步骤数目可以减少。

[0316] 该实施例可以与其他实施例的任何结构结合。

[0317] 该申请基于在 2008 年 10 月 24 日向日本专利局提交的日本专利申请序列号 2008-274540, 其的全部内容通过引用结合于此。

[0318] 标号说明

[0319] 100 衬底 ;101 栅电极 ;102 栅极绝缘层 ;103 氧化物半导体层 ;104a、104b n+ 层 ;105a、105b 源或漏电极层 ;107 保护绝缘层 ;108 电容器布线 ;109 氧化物半导体膜 ;110 像素电极 ;111 氧化物半导体膜 ;120 连接电极 ;121 第一端子 ;122 第二端子 ;125 接触孔 ;126 接触孔 ;127 接触孔 ;128 透明导电膜 ;129 透明导电膜 ;131 抗蚀剂掩模 ;132 导电膜 ;150 第二端子 ;151 第一端子 ;152 栅极绝缘层 ;153 连接端子 ;154 保护绝缘膜 ;155 透明导电膜 ;156 电极 ;170 第二薄膜晶体管 ;400 衬底 ;401 第一栅电极 ;402 栅电极 ;403 第一栅极绝缘层 ;404 接触孔 ;405 氧化物半导体层 ;407 氧化物半导体层 ;409 第一布线 ;410 第二布线 ;411 第三布线 ;412 第二栅极绝缘层 ;430 第一薄膜晶体管 ;431 第二薄膜晶体管 ;432 薄膜晶体管 ;433 薄膜晶体管 ;470 第二栅电极 ;471 电极 ;472 第一电极 ;473 绝缘层 ;474 第二电极 ;475 发光层 ;476 电极 ;581 薄膜晶体管 ;583 绝缘层 ;584 绝缘层 ;585 绝缘层 ;587 第一电极层 ;588 第二电极层 ;589 球形颗粒 ;594 空腔 ;595 填料。

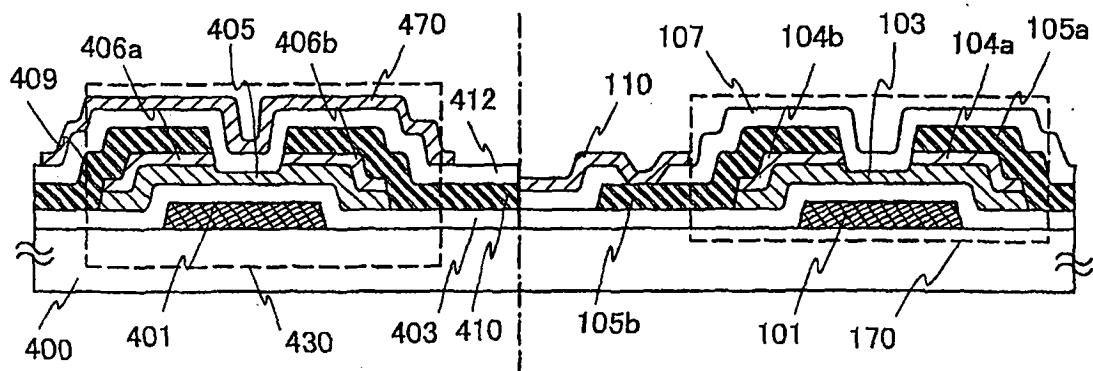


图 1A

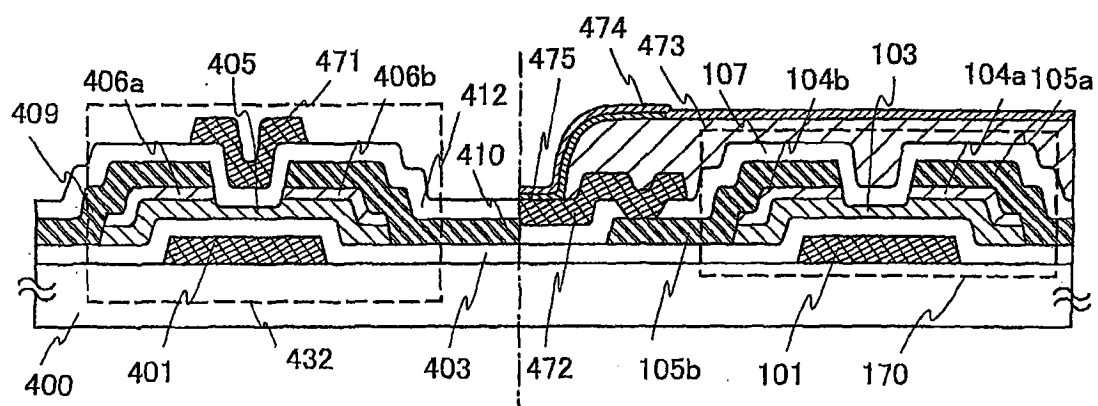


图 1B

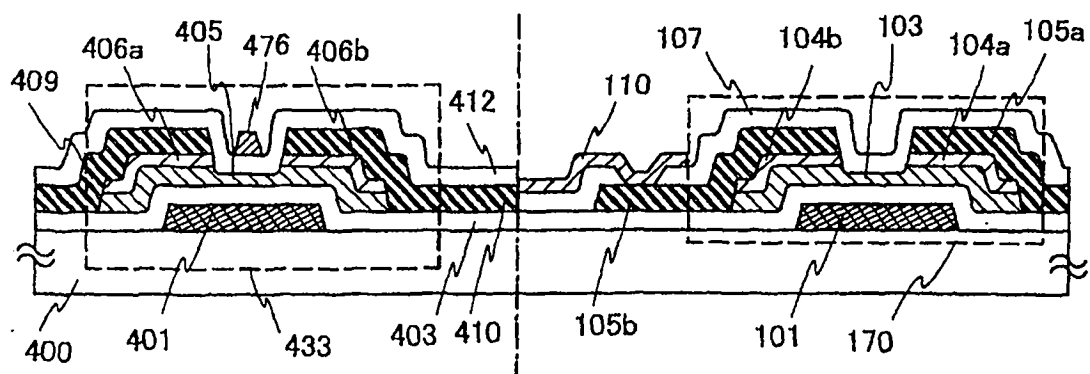


图 1C

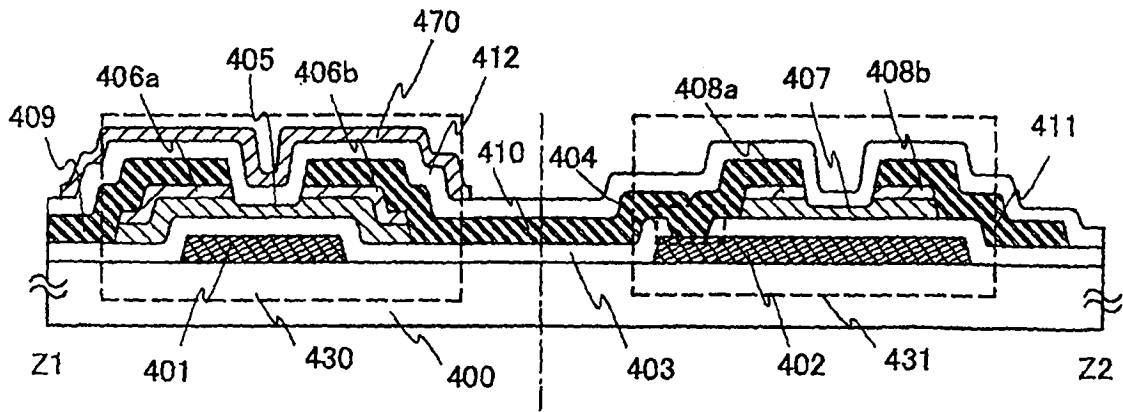


图 2A

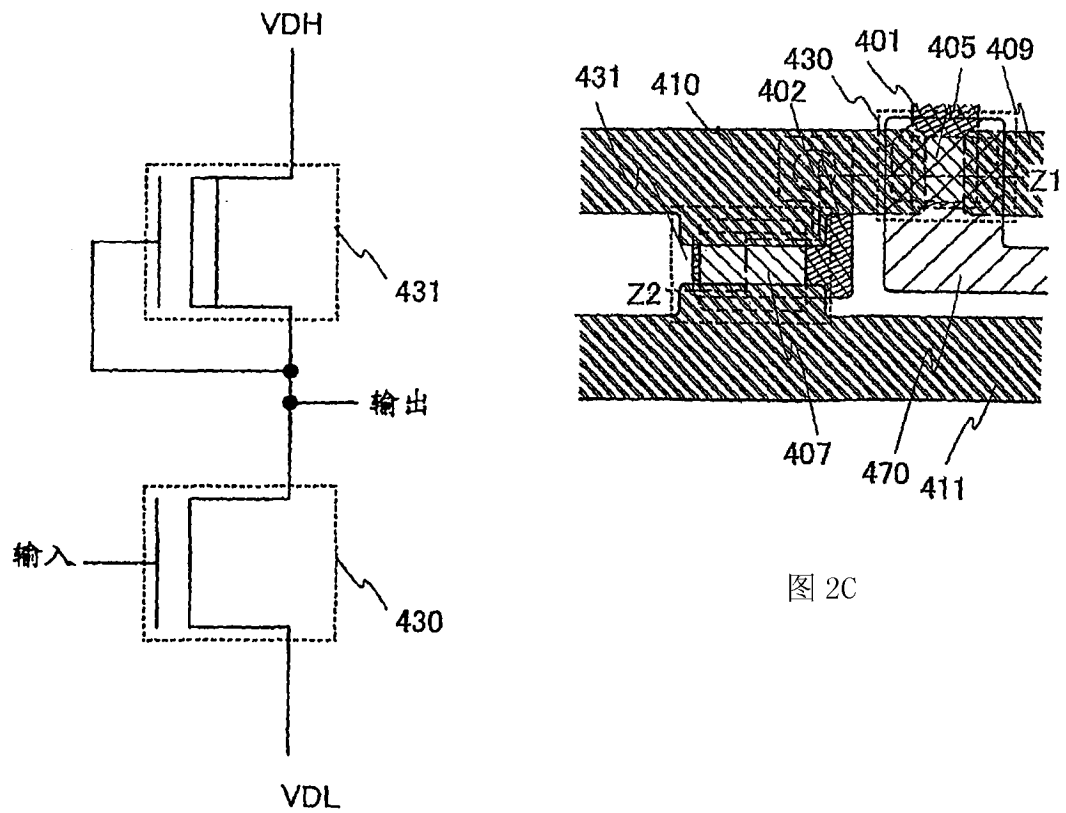


图 2C

图 2B

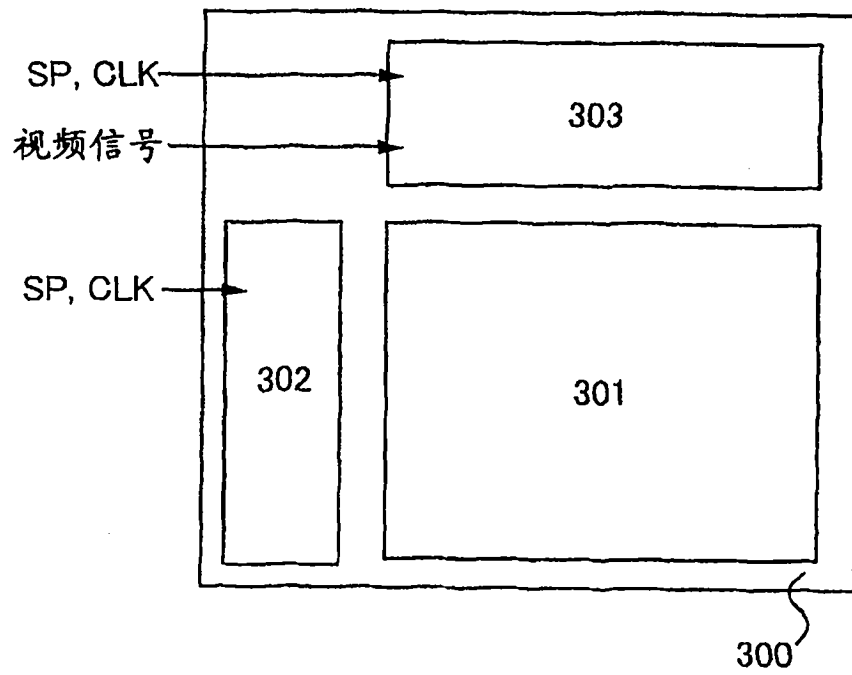


图 3A

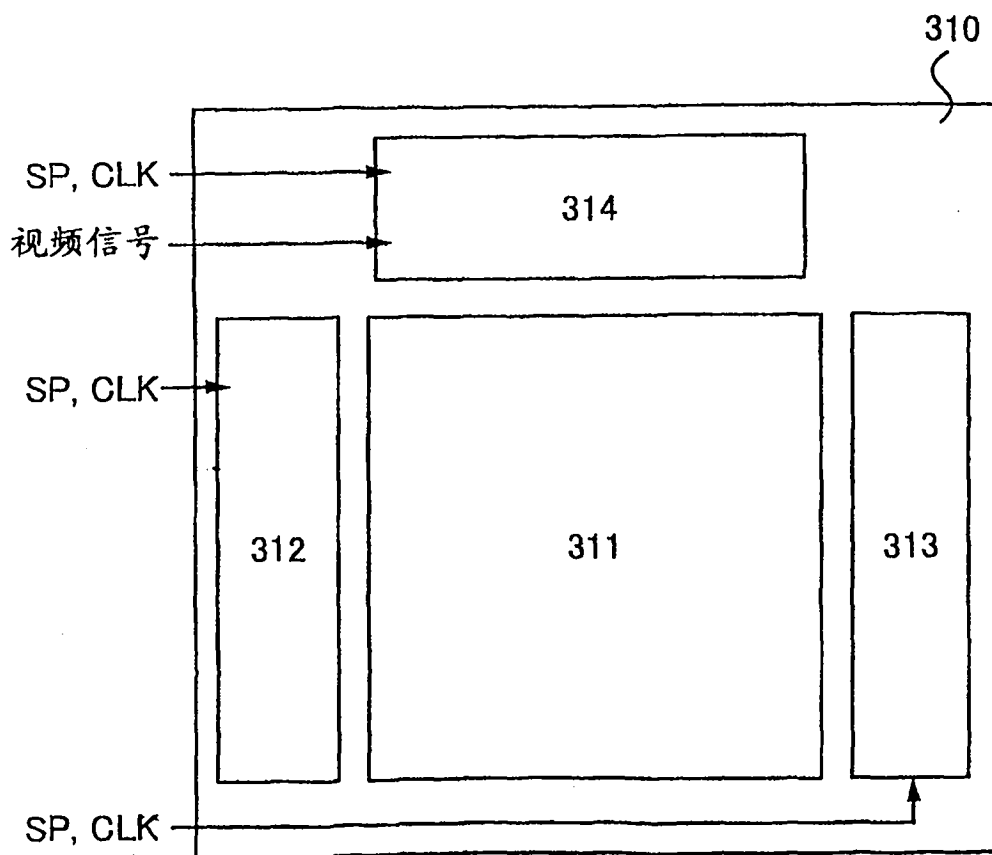


图 3B

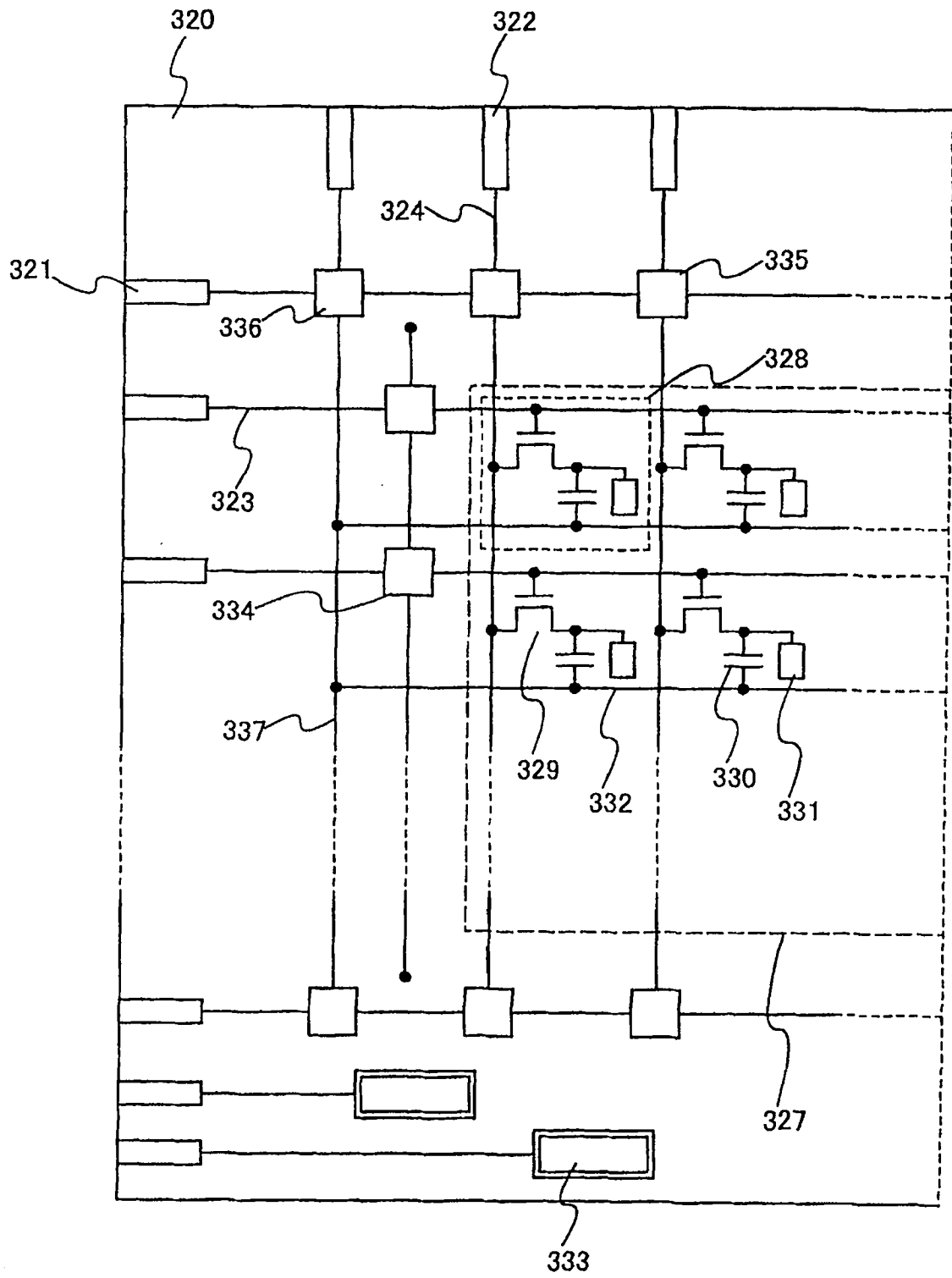


图 4

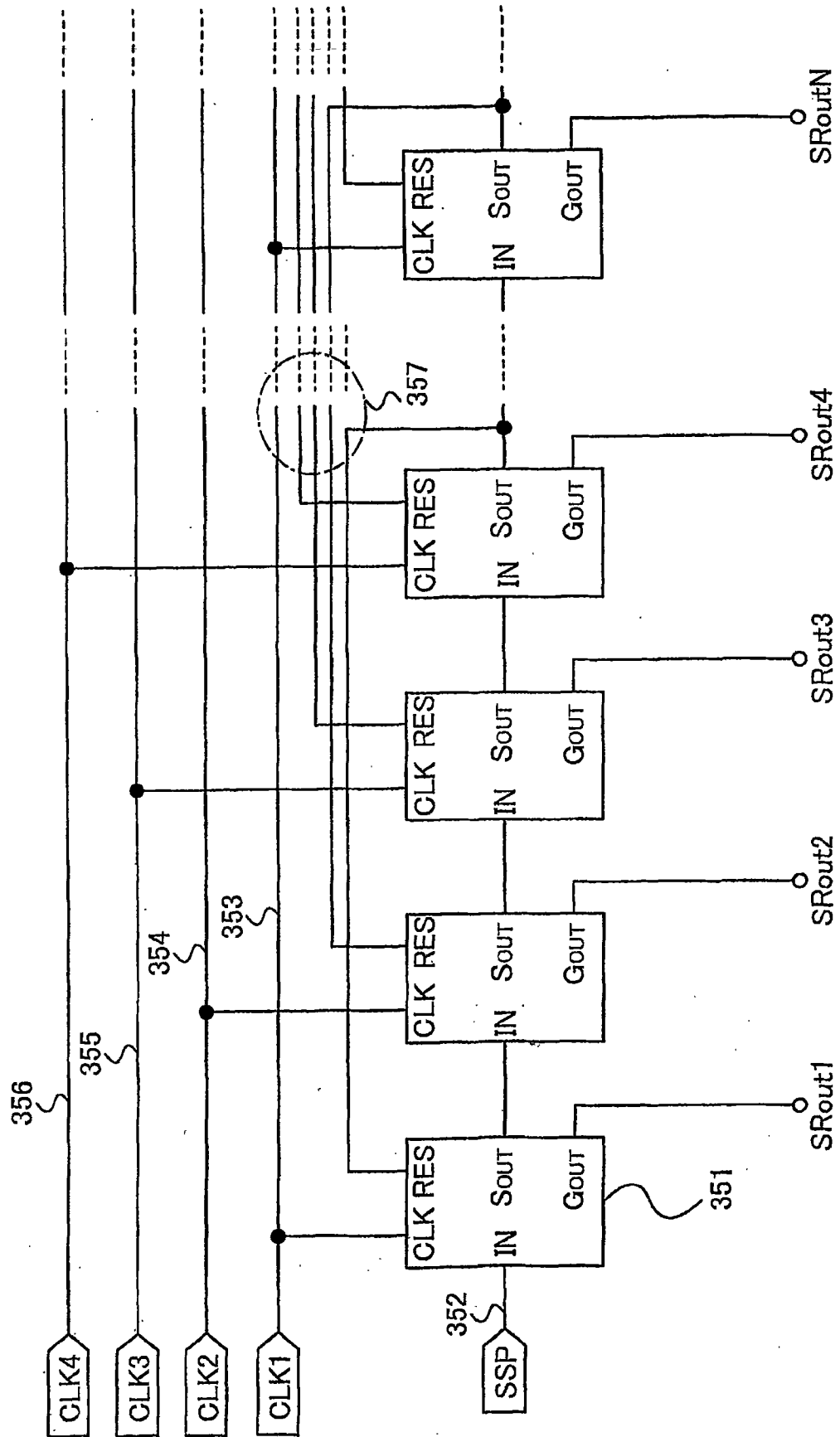


图 5

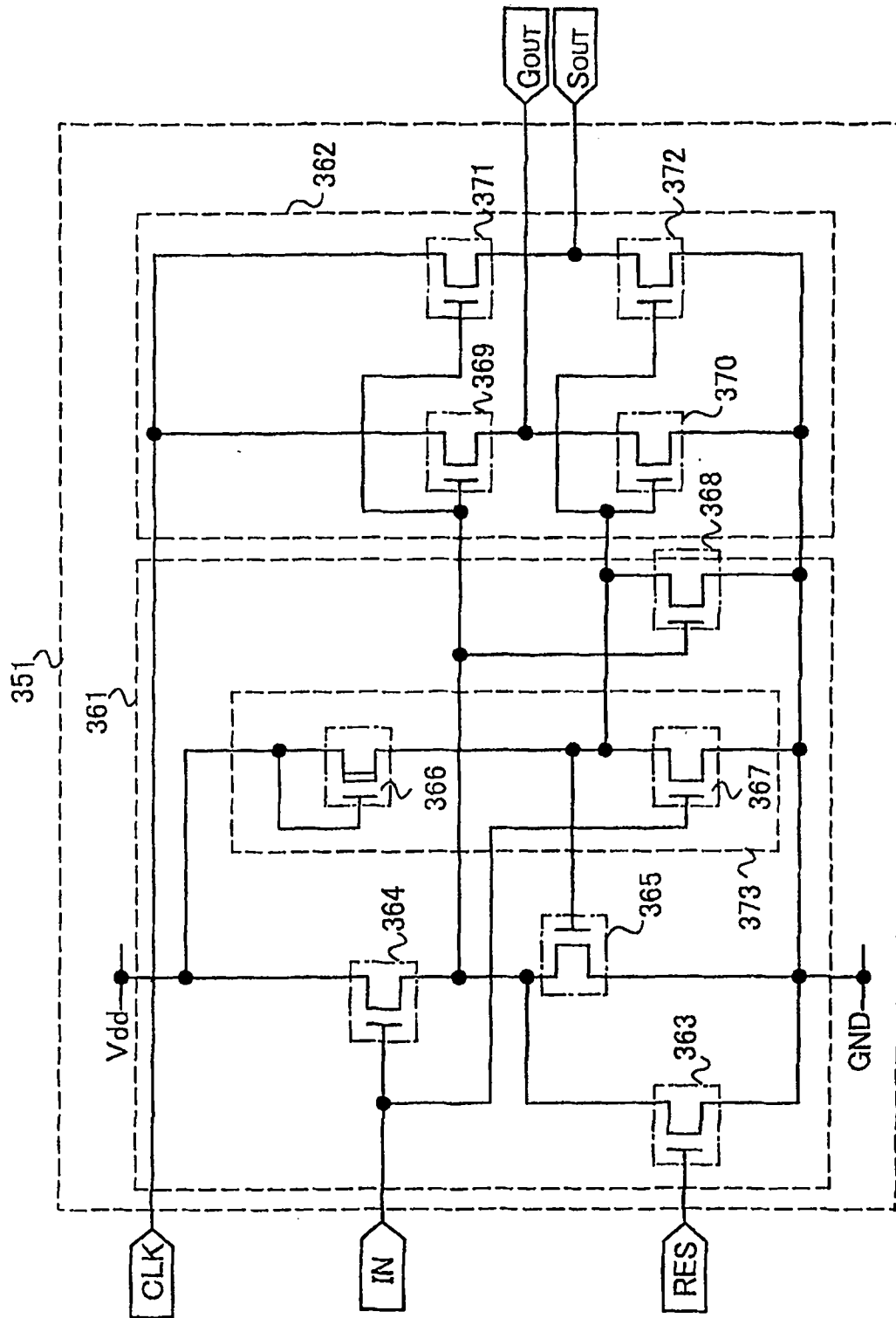


图 6

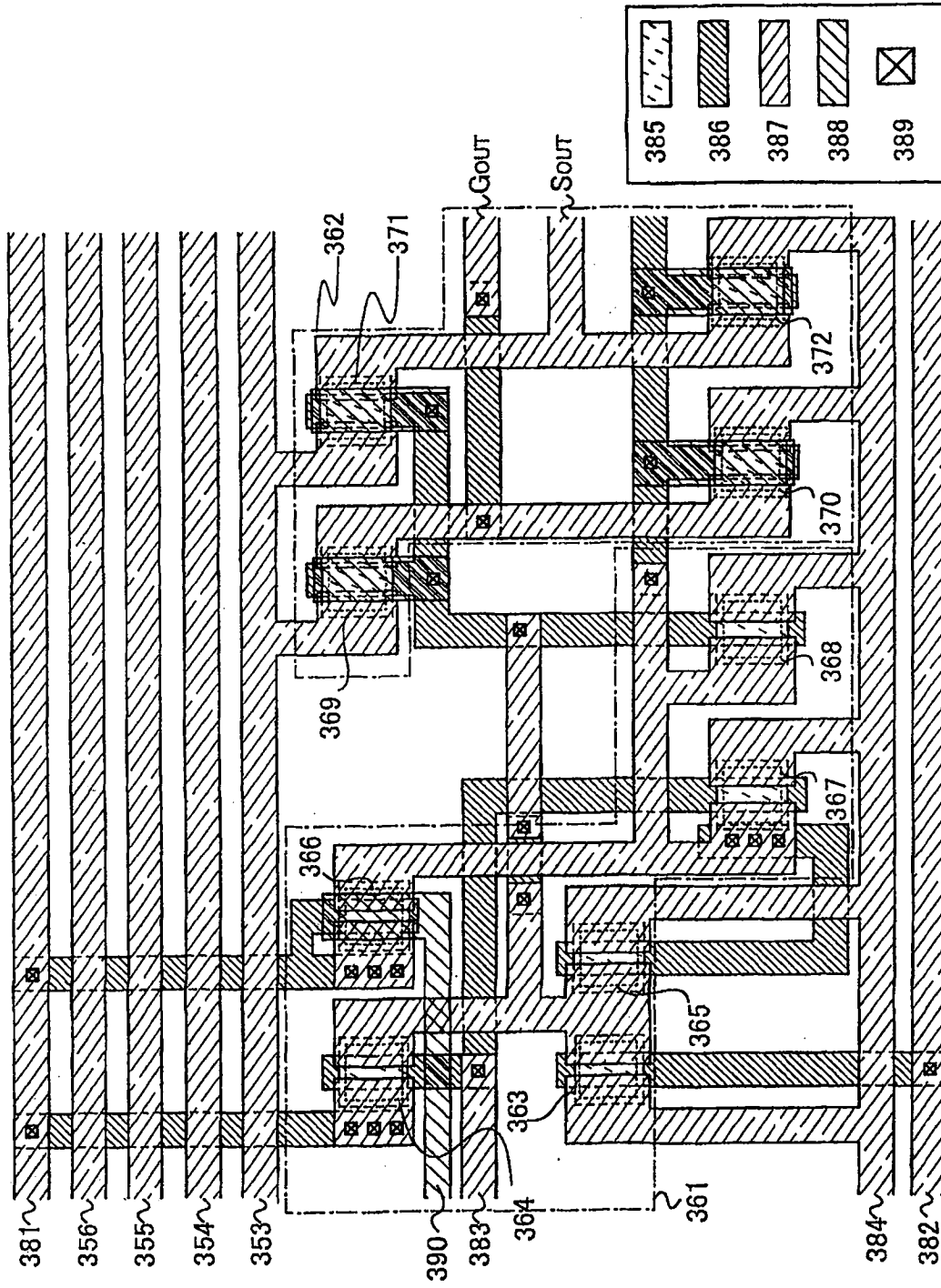


图 7

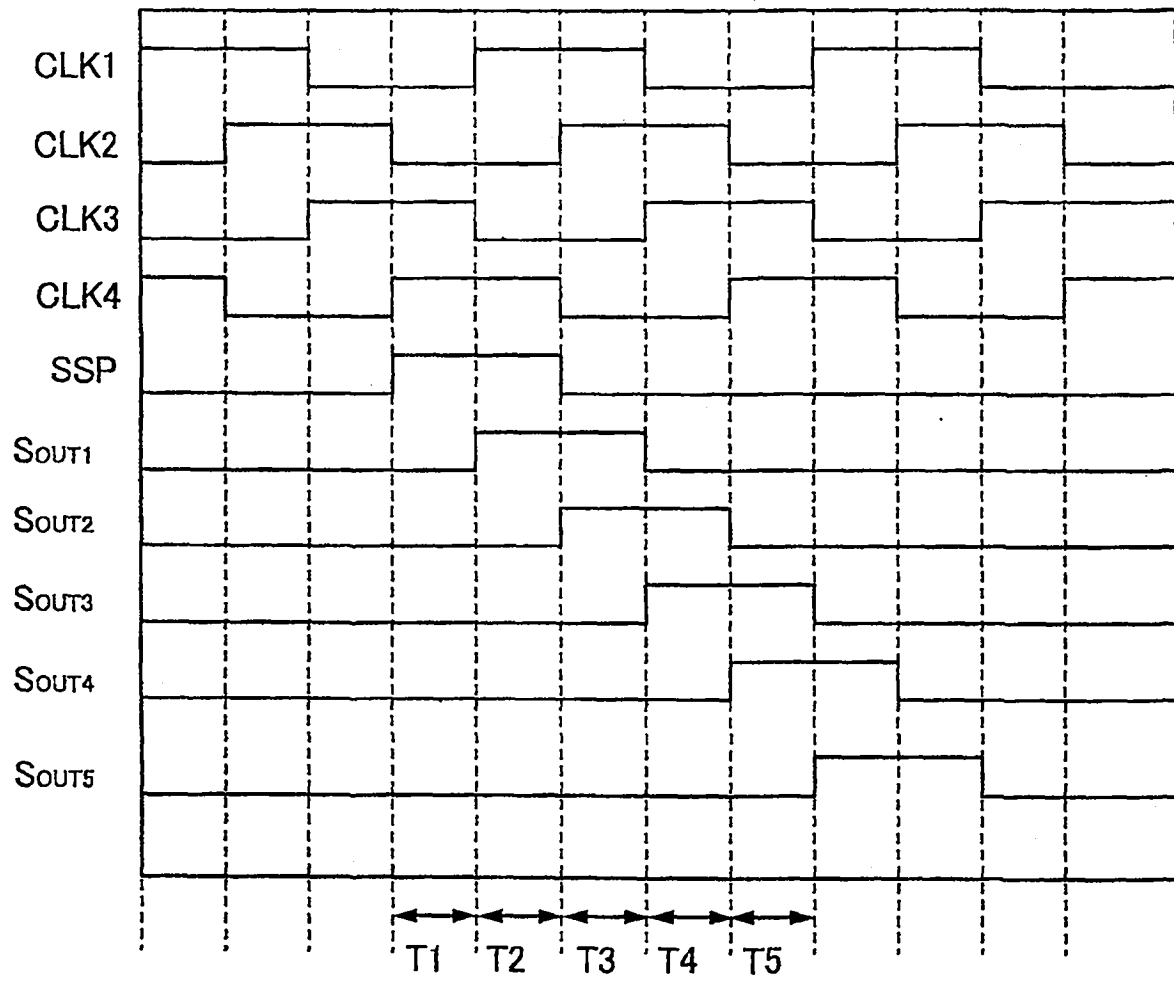
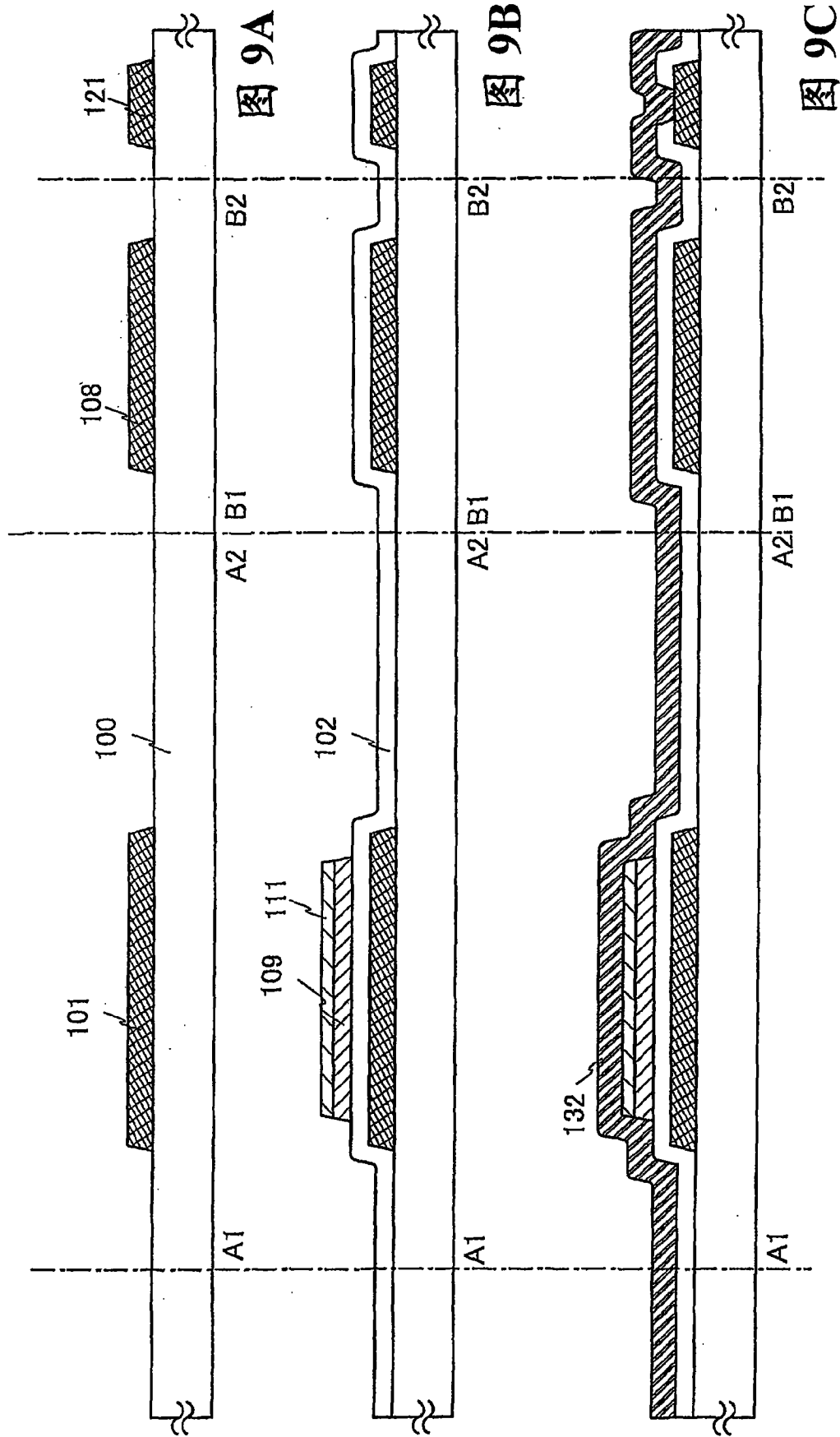
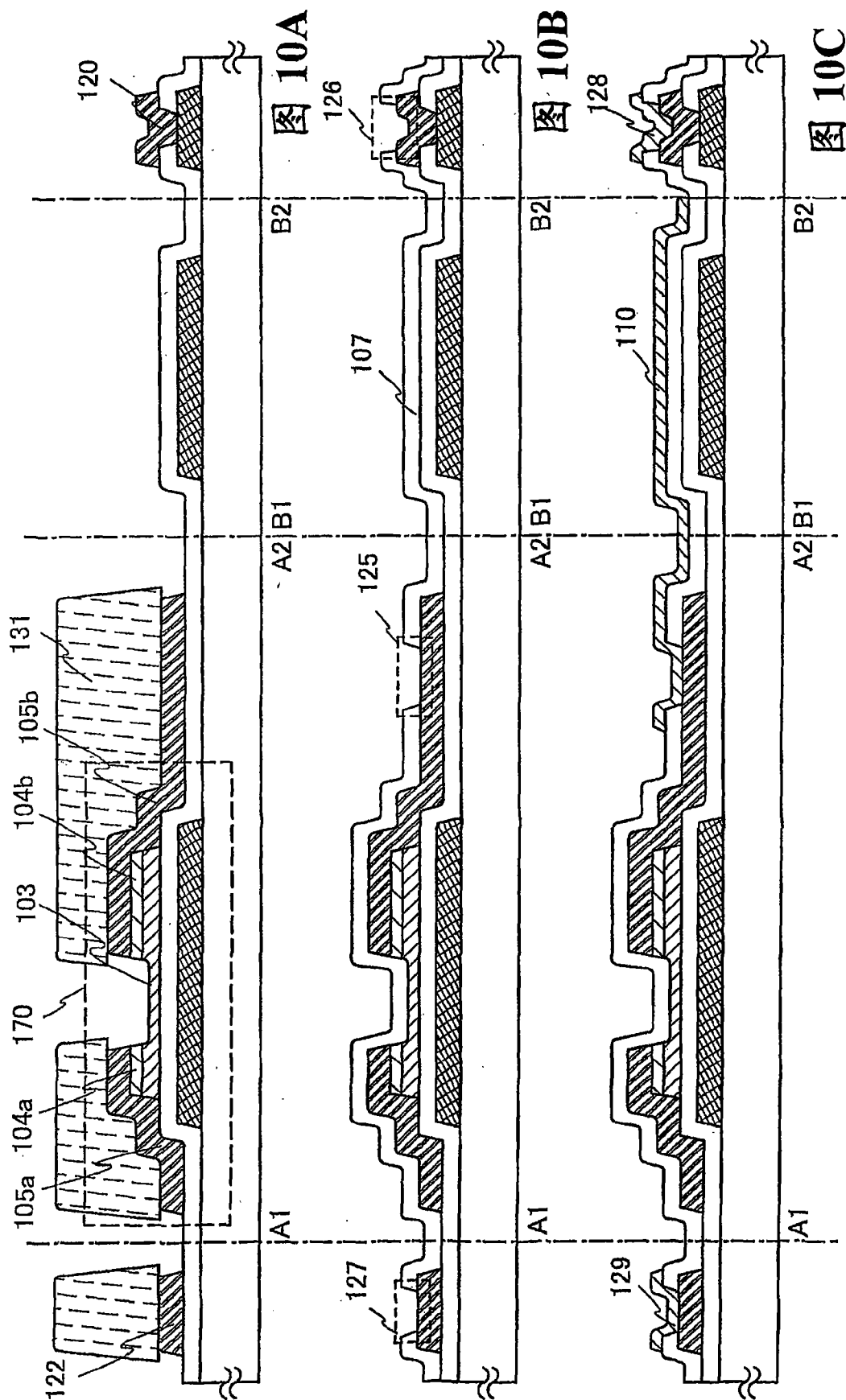


图 8





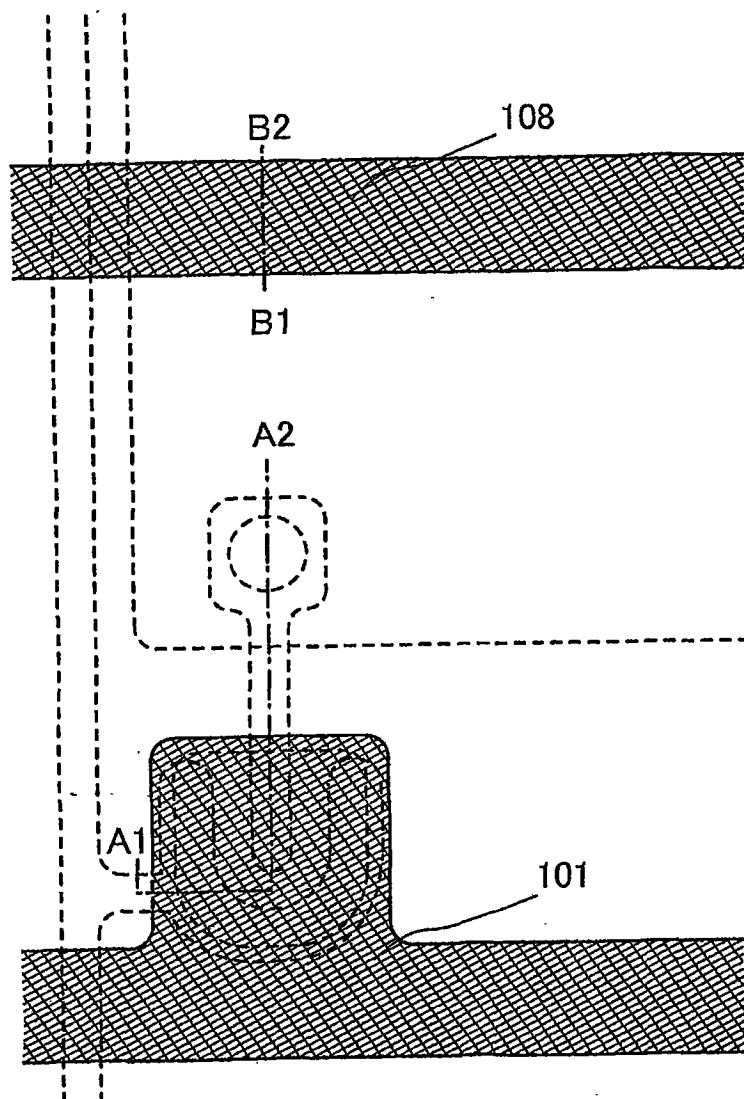


图 11

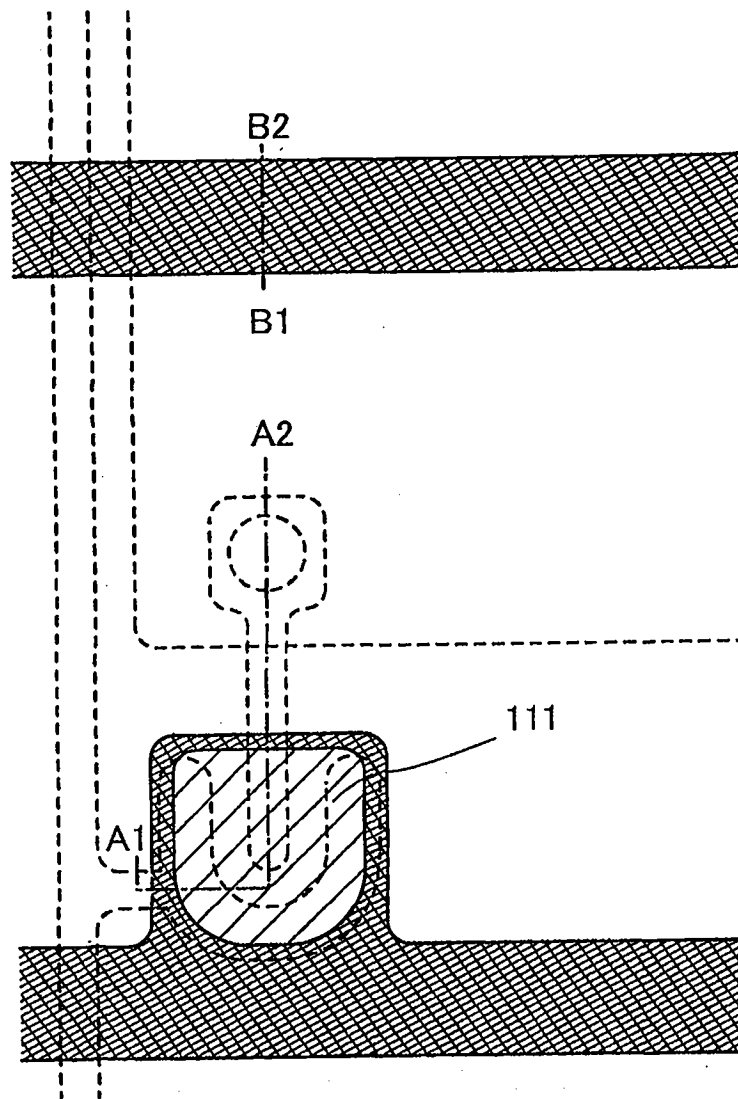


图 12

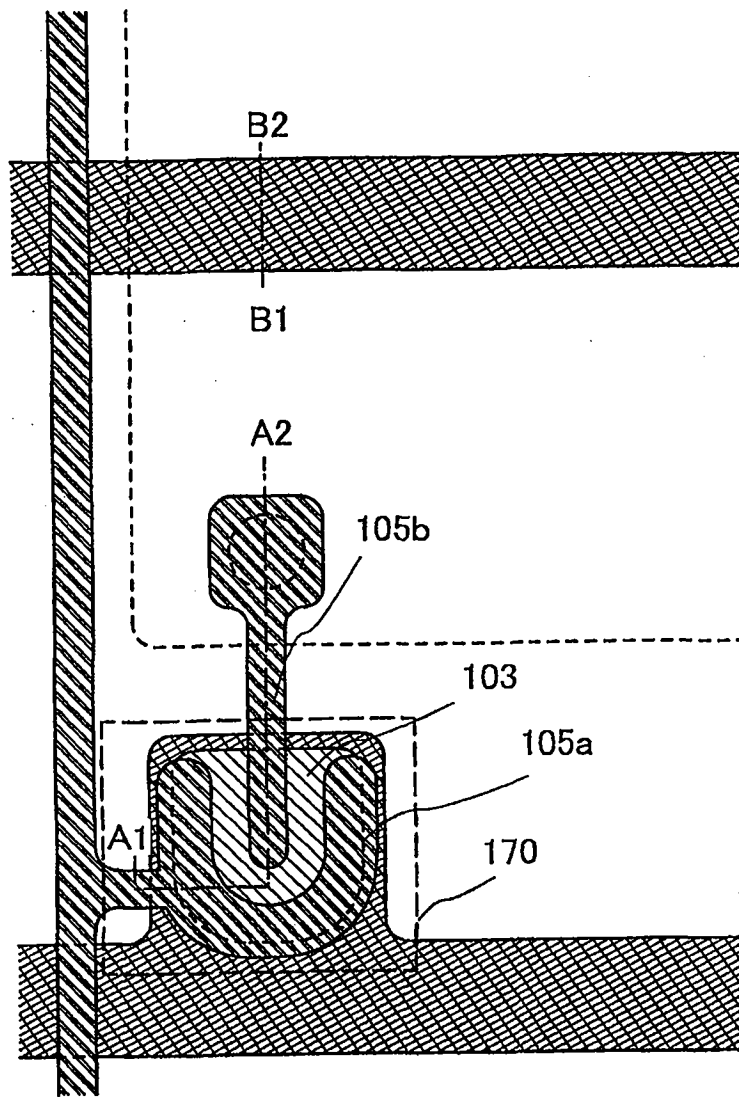


图 13

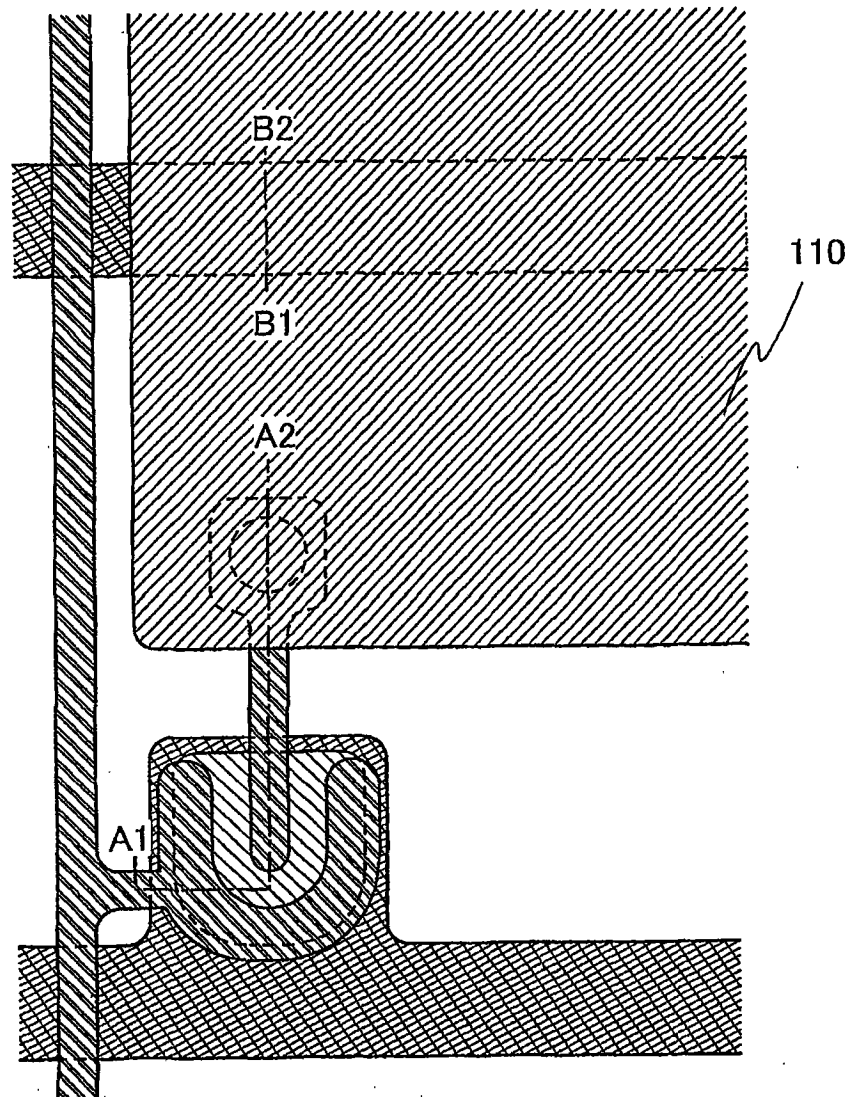


图 14

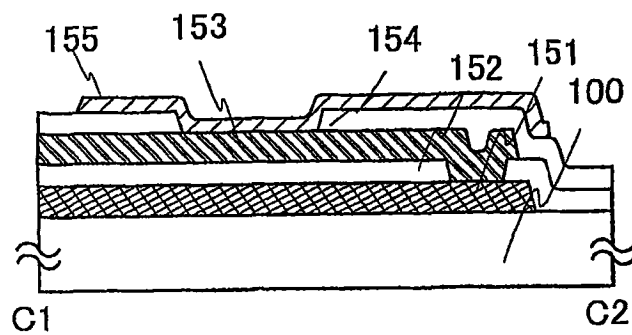


图 15A

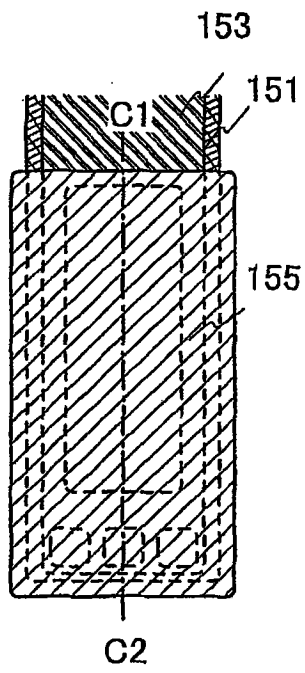


图 15B

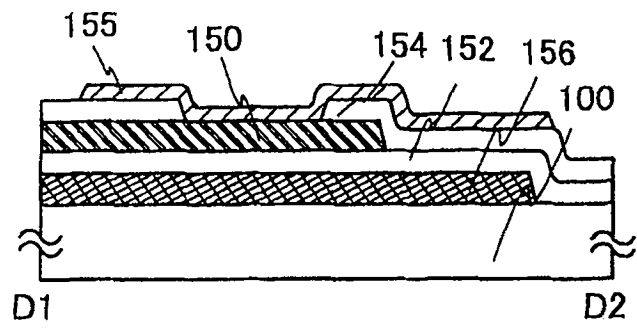


图 15C

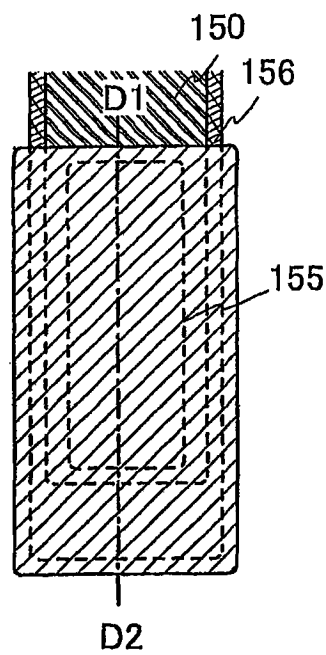


图 15D

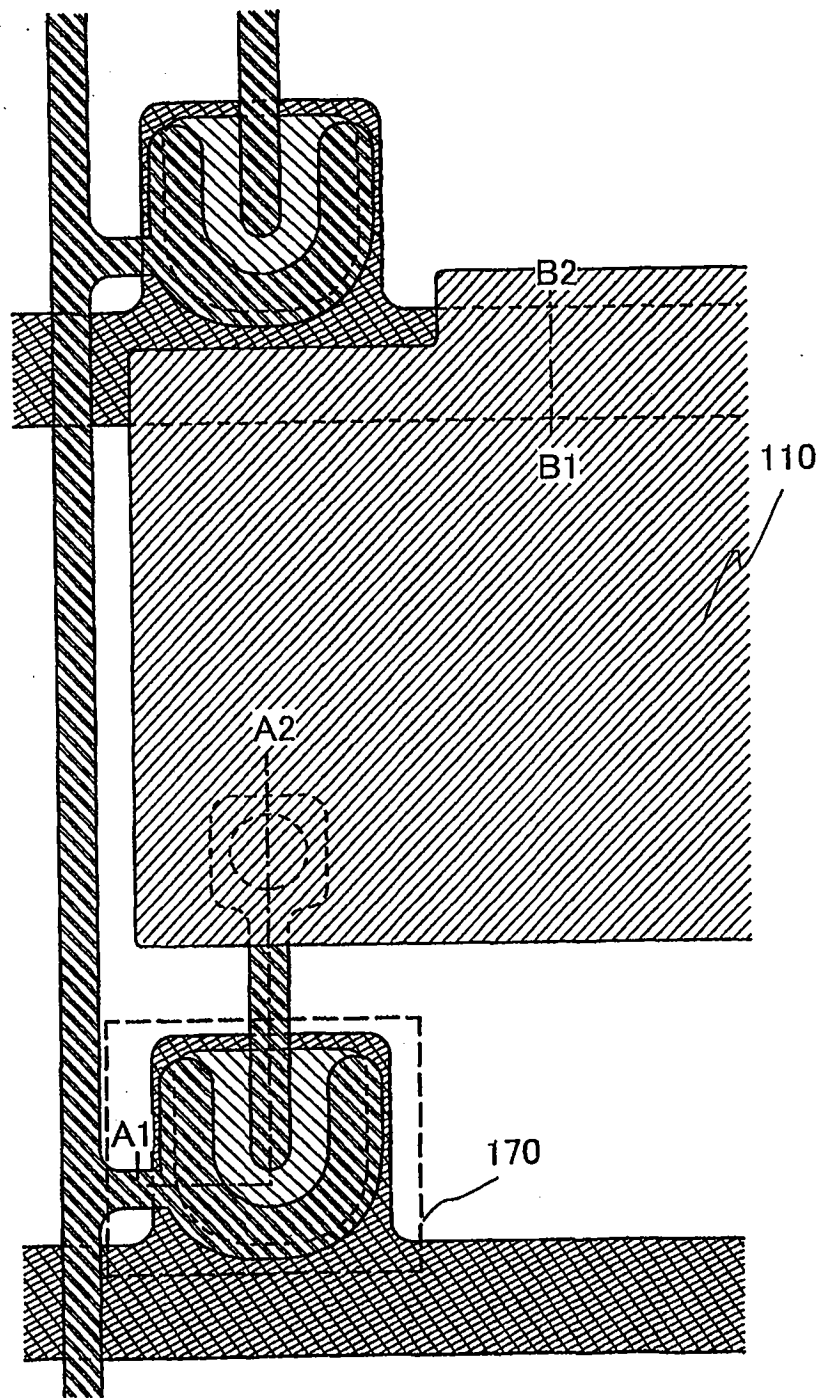


图 16

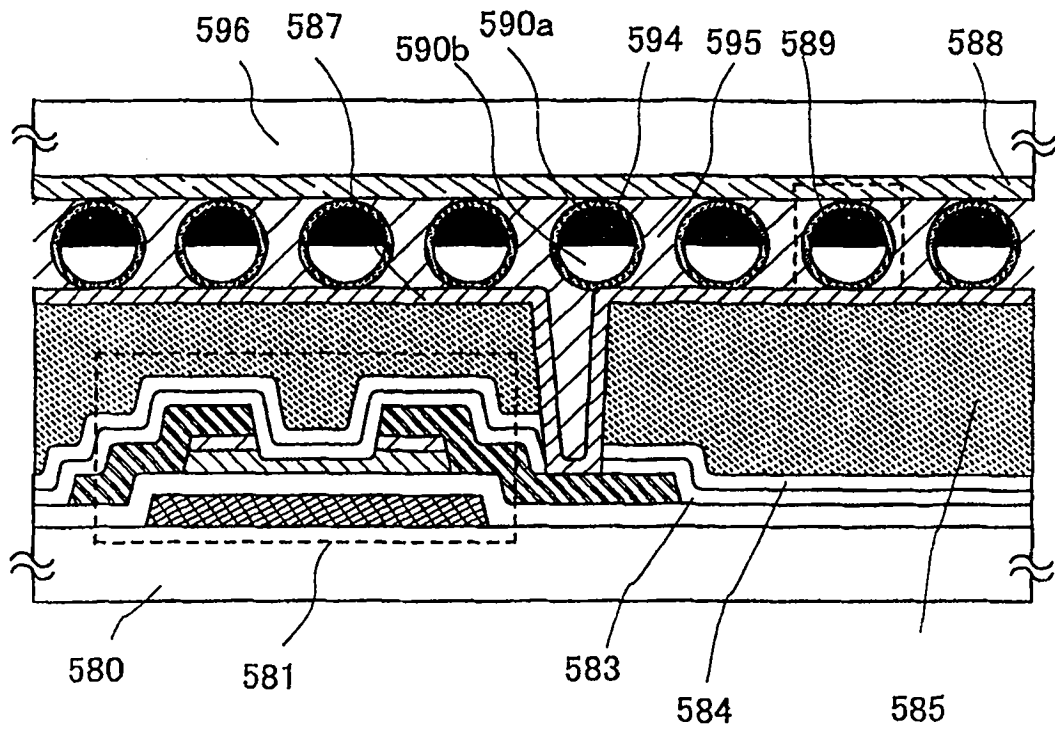


图 17

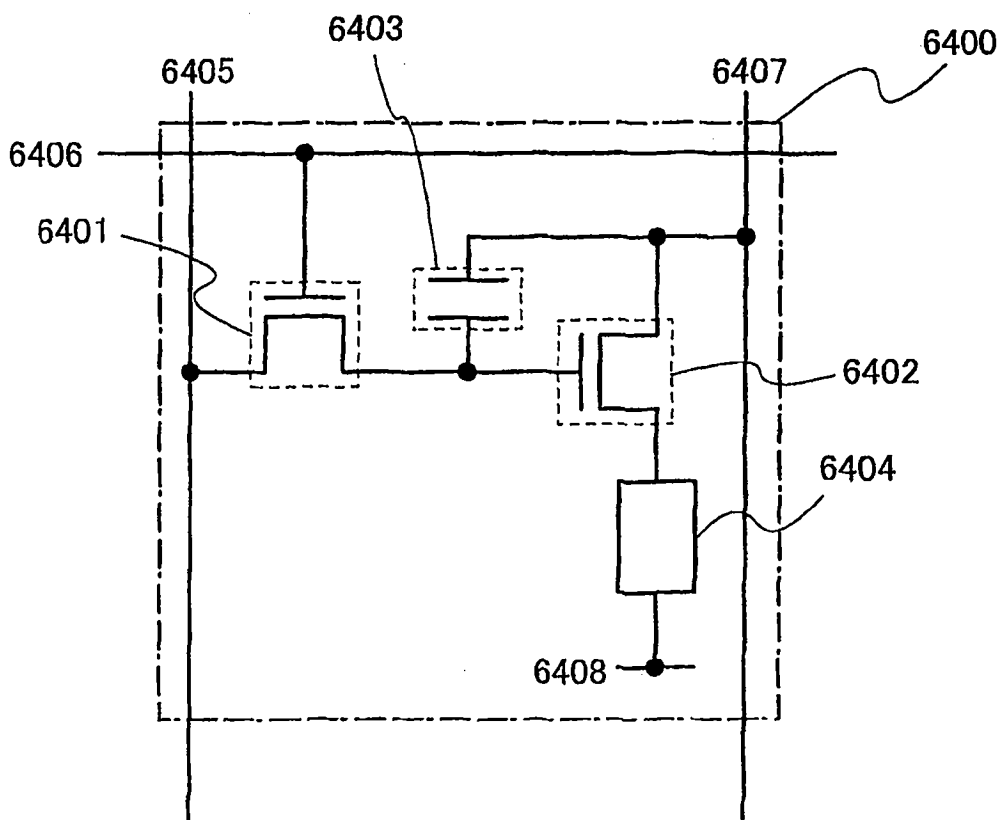


图 18

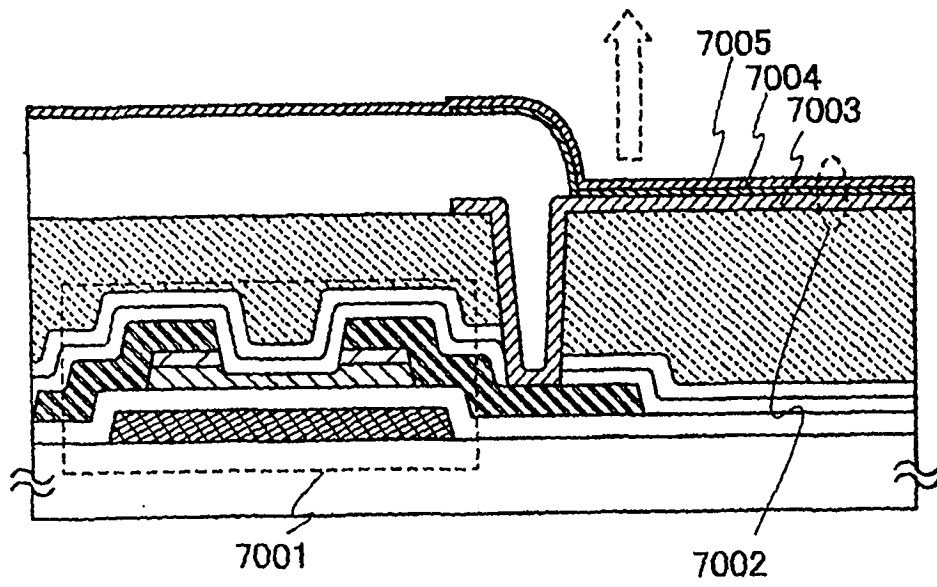
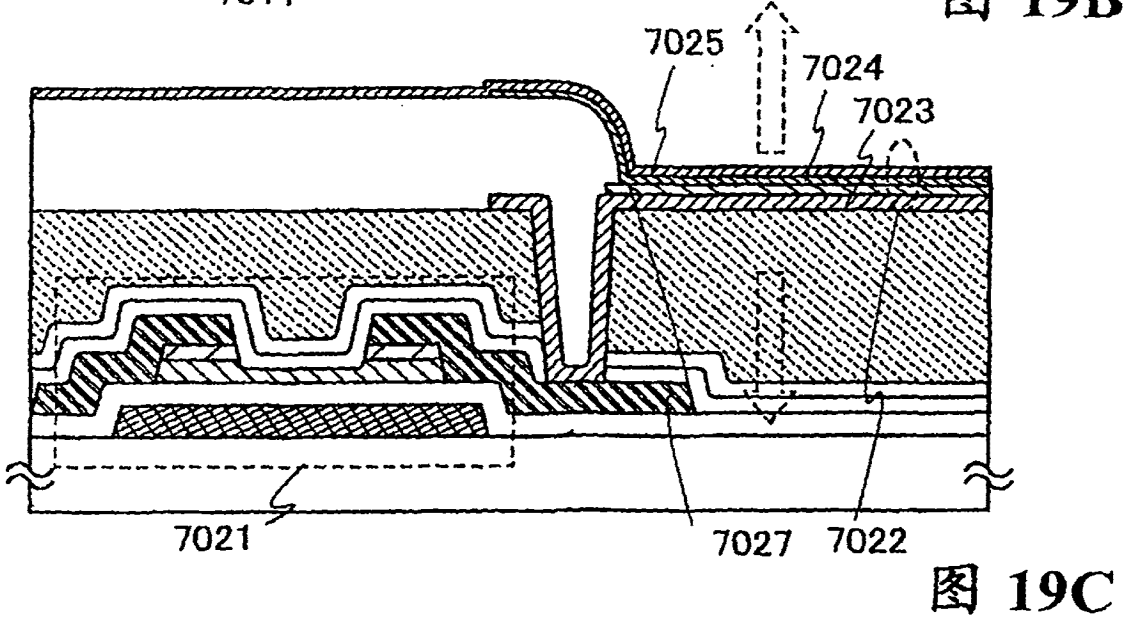
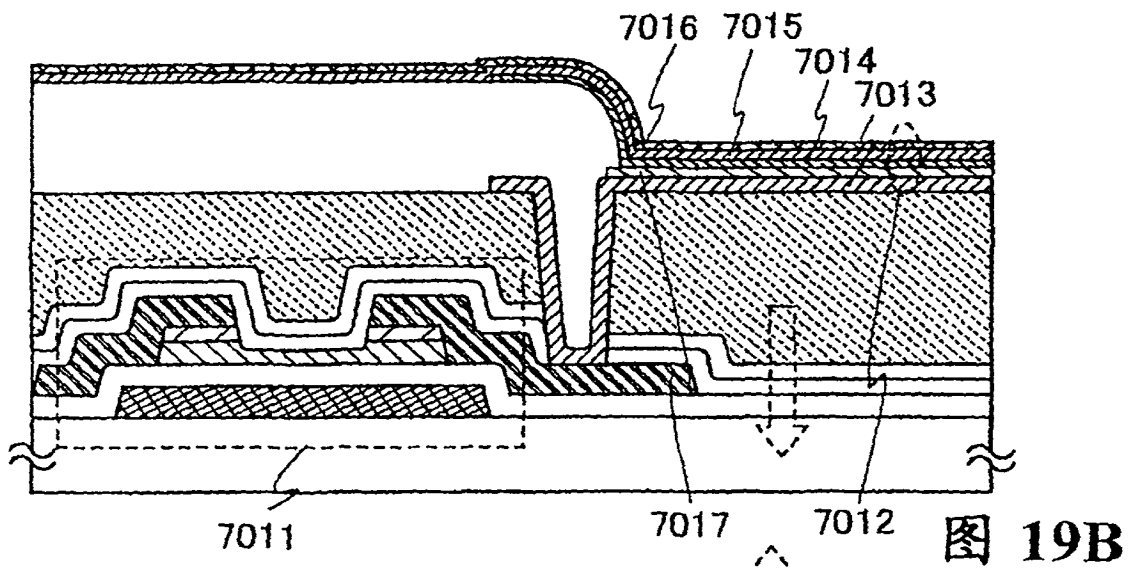


图 19A



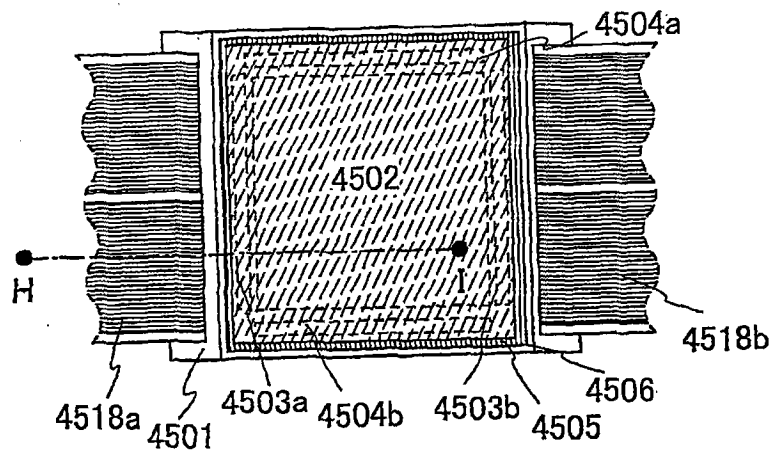


图 20A

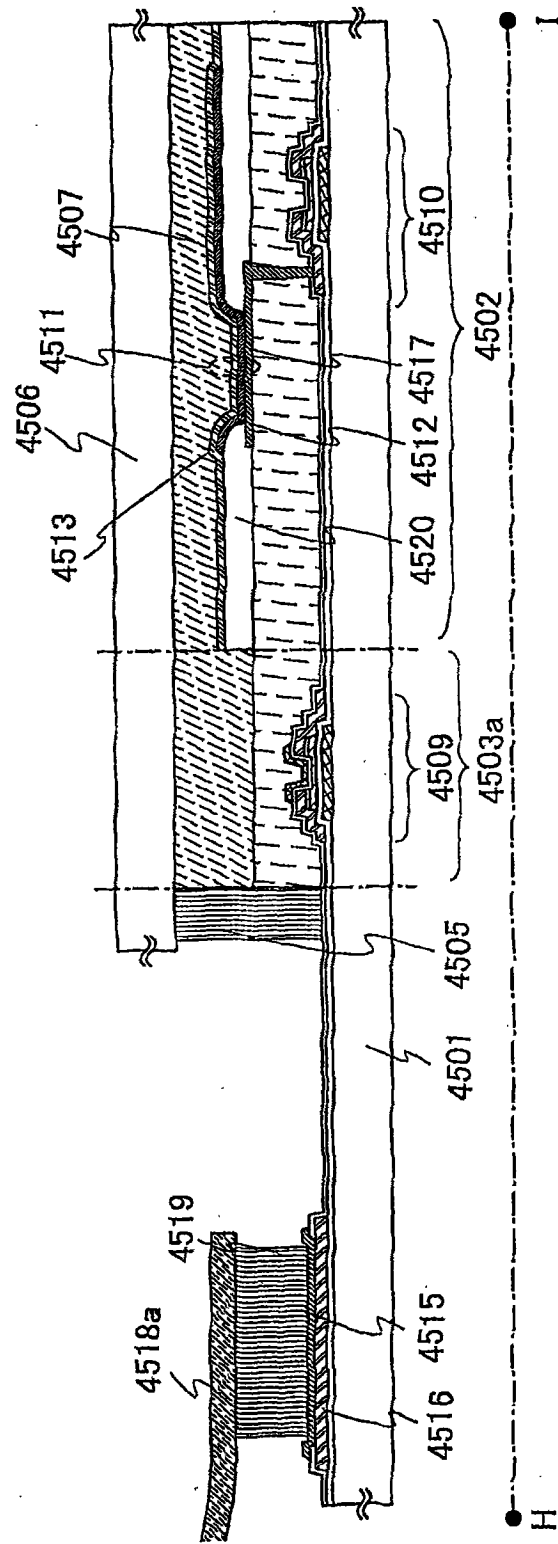


图 20B

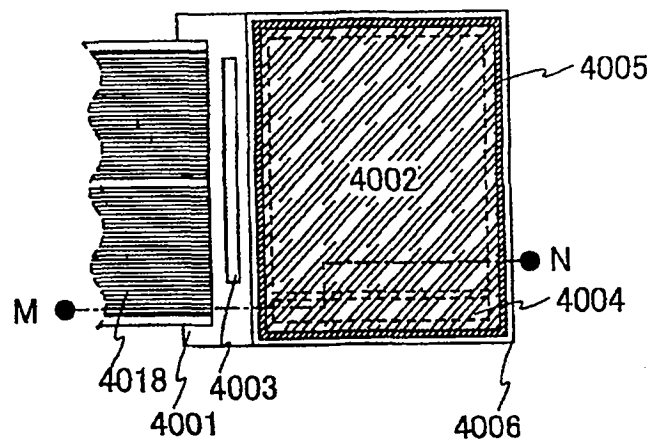


图 21A

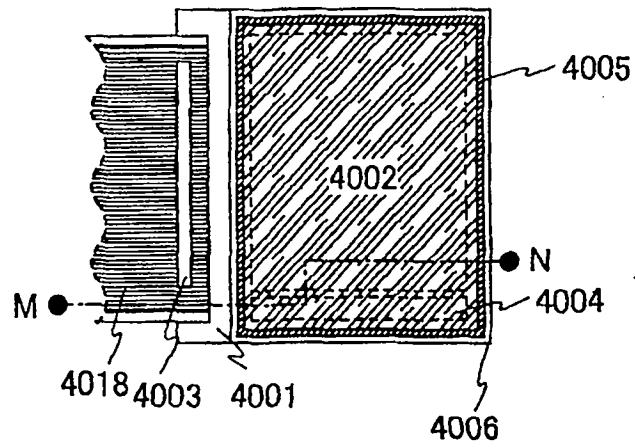


图 21B

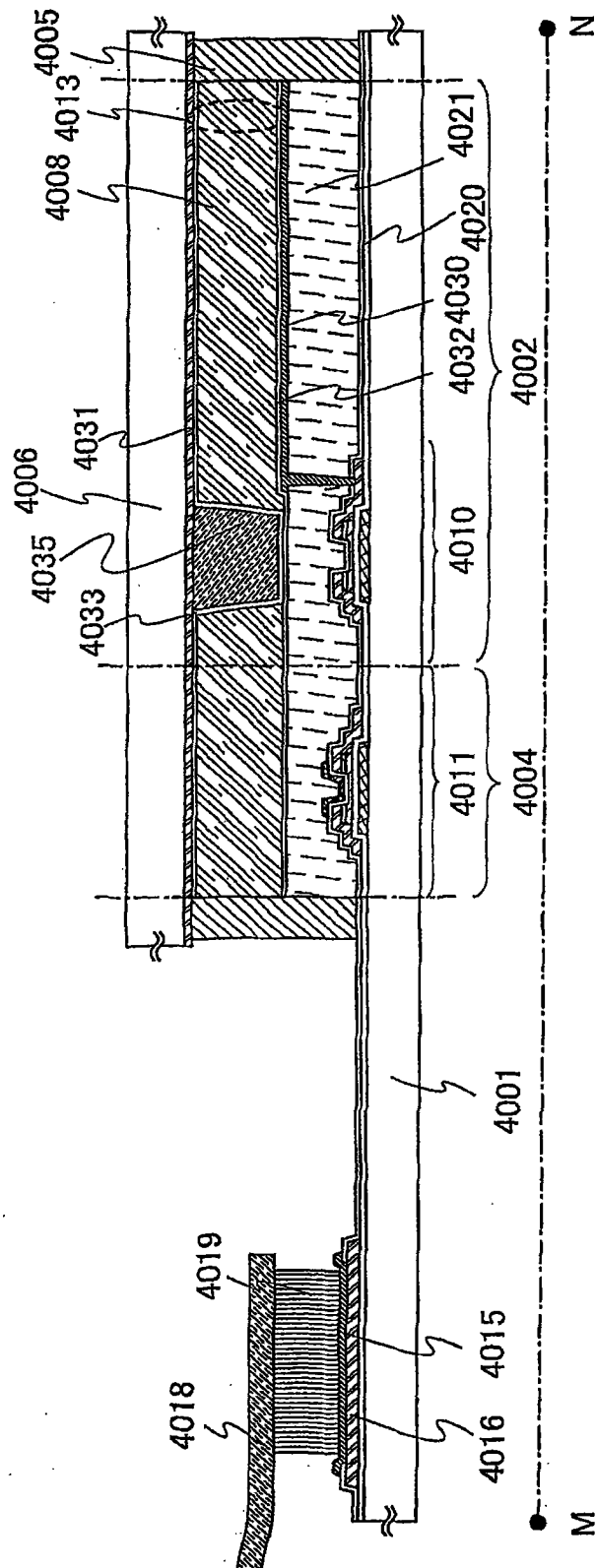


图 21C

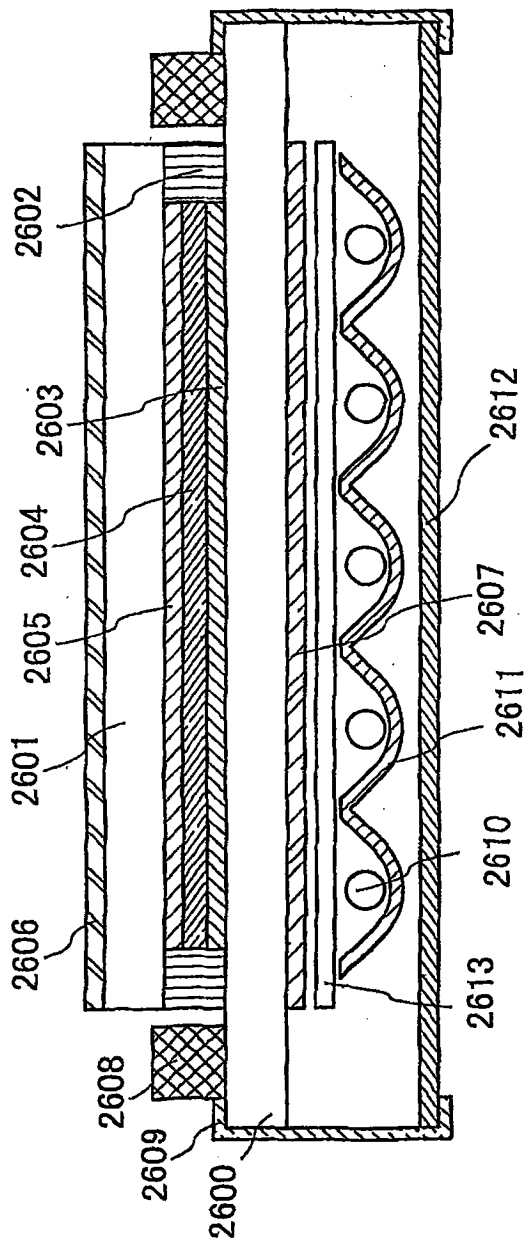


图 22

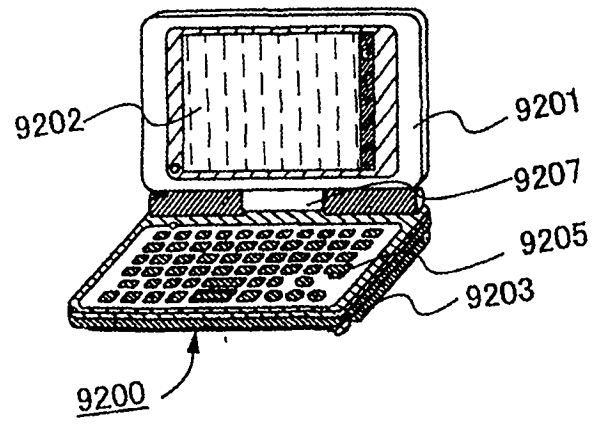


图 23A

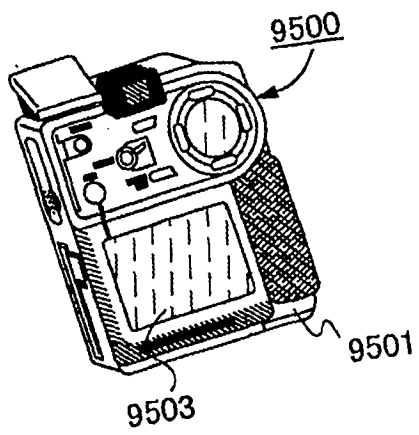


图 23B

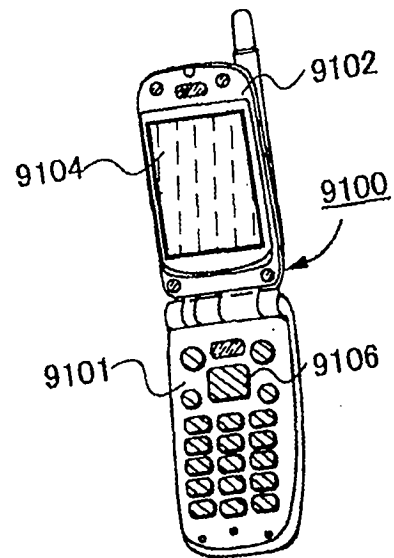


图 23C

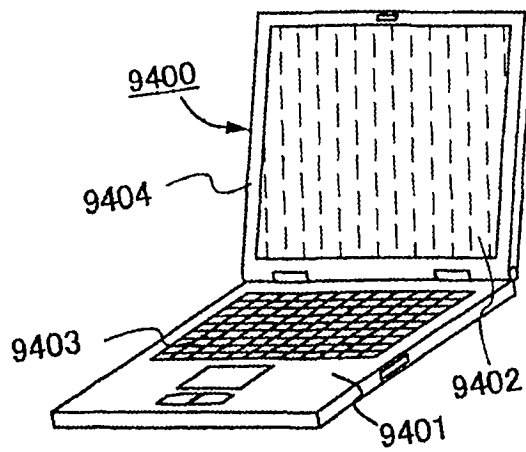


图 23D

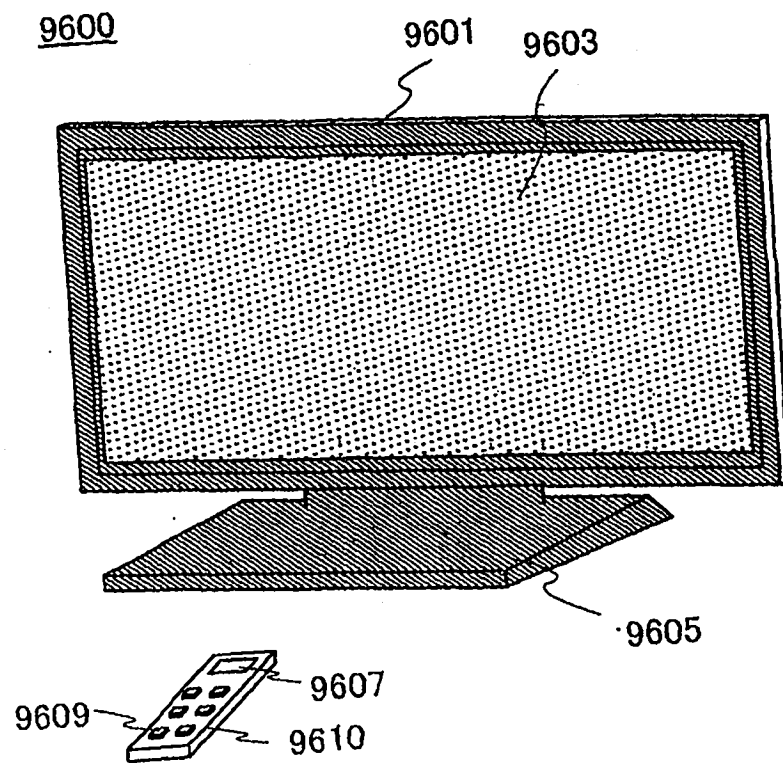


图 24A

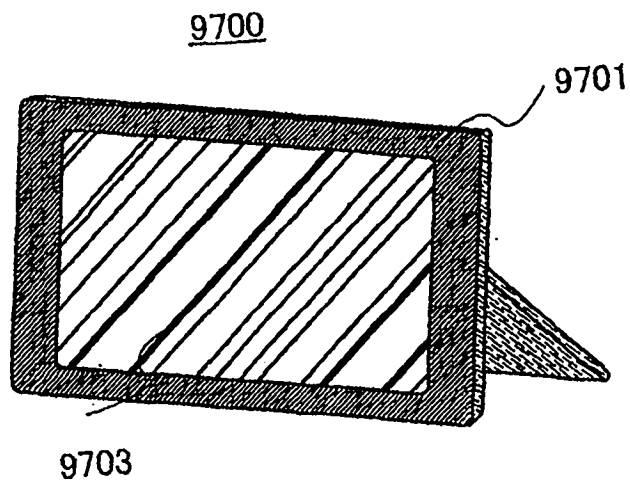


图 24B

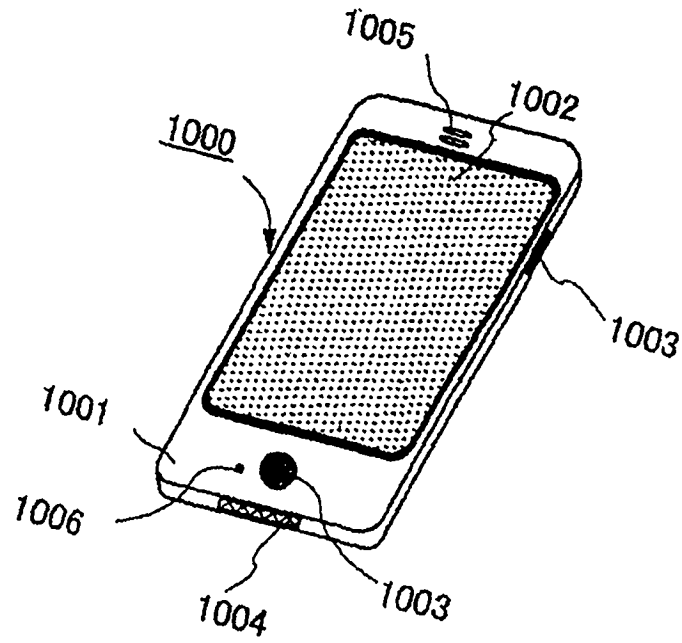


图 25A

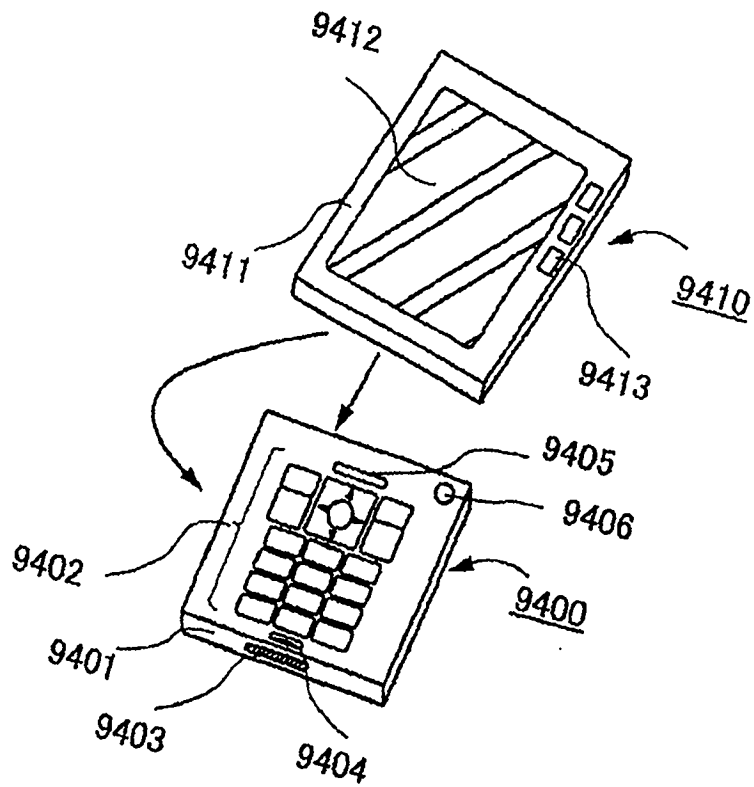


图 25B

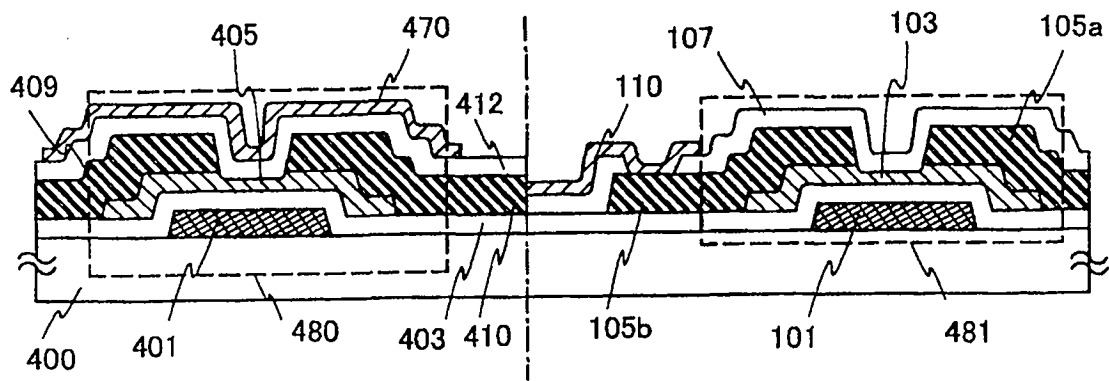


图 26