

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 4 日(04.12.2014)



(10) 国際公開番号
WO 2014/192298 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 25/18* (2006.01)
- (21) 国際出願番号: PCT/JP2014/002825
- (22) 国際出願日: 2014 年 5 月 28 日(28.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-114270 2013 年 5 月 30 日(30.05.2013) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 中村 瑤子(NAKAMURA, Youko); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 梨子田典弘(NASHIDA, Norihiro); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 廣瀬 一, 外(HIROSE, Hajime et al.); 〒1056032 東京都港区虎ノ門四丁目 3 番 1 号 城山トラストタワー 3 2 階 特許業務法人日栄国際特許事務所 Tokyo (JP).

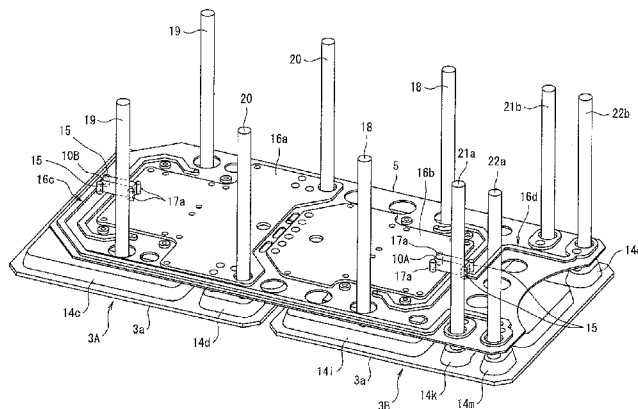
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** Provided is a semiconductor device, wherein passive elements that fix to a printed circuit board can easily be positioned. The present invention comprises: insulated substrates (3A, 3B) which each have an insulated board (3a), and a circuit board (3b) disposed on the main surface of the insulated board; semiconductor chips (4A, 4B) which each have an electrode on one surface, and the reverse surface fixed to the circuit board (3b); the printed circuit board (5) which has a metal layer, and faces the insulated substrates; conductive posts (17a, 17b, 17e, 17g, 17s), one end of each post being electrically and mechanically connected to an electrode, and the other end being electrically and mechanically connected to the metal layer; passive elements (10A, 10B) which are fixed to the printed circuit board (5); and positioning posts (15) which are fixed to the printed circuit board (5), and position the passive elements.

(57) 要約:

[続葉有]



WO 2014/192298 A1



プリント基板に固定する受動素子の位置決めを容易に行うことができる半導体装置を提供する。絶縁板（３ a）および絶縁板の主面に配置された回路板（３ b）を有する絶縁基板（３ A、３ B）と、おもて面に電極を有し、裏面が回路板（３ b）に固定された半導体チップ（４ A、４ B）と、金属層を有し、絶縁基板に対向したプリント基板（５）と、一端が電極に電気的かつ機械的に接続され、他端が金属層に電気的かつ機械的に接続された導電ポスト（１ ７ a、１ ７ b、１ ７ e、１ ７ g、１ ７ s）と、プリント基板（５）に固定された受動素子（１ ０ A、１ ０ B）と、プリント基板（５）に固定され、前記受動素子を位置決めする位置決めポスト（１ ５）を備えている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、パワーデバイス、高周波用途のスイッチングＩＣなどの半導体装置に関し、特にパワー半導体素子を備えたパワー半導体モジュールに関する。

背景技術

[0002] 電力変換装置、無停電電源装置、工作機械、産業用ロボット等では、ＩＧＢＴ（絶縁ゲートバイポーラトランジスタ）やパワーＭＯＳＦＥＴ等のパワー半導体素子を備えたパワー半導体モジュールが使用されている。

このパワー半導体モジュールとして、図９に示すように、絶縁基板２０２と、半導体チップ２０５と、プリント基板２０３と、導電ポスト２１１を備えた半導体モジュール２０１が提案されている（例えば、特許文献１参照）。

半導体モジュール２０１は、絶縁基板２０２と、絶縁基板２０２に対向するプリント基板２０３とが封止樹脂２０４により封止されて一体となった構造を有する。絶縁基板２０２上に、複数の半導体チップ２０５が固定されている。

絶縁基板２０２は、絶縁板２０６と、絶縁板２０６の裏面に固定された金属板２０７と、絶縁板２０６のおもて面に固定された回路板２０８を備えている。回路板２０８の表面には、半田２０９を介して半導体チップ２０５が固定されている。

[0003] また、プリント基板２０３は、樹脂層２１３が中心部に配置され、そのおもて面と裏面に金属層２１４が配置され、金属層２１４が保護層２１５で覆われている。また、プリント基板２０３には、複数のスルーホール２１０が設けられており、このスルーホール２１０内に導電ポスト２１１が挿入されている。そして、金属層２１４と導電ポスト２１１は、めっき層（図示せず

)を介して電氣的に接続されている。

さらに、半導体チップ205のおもて面電極には、半田層212を介して導電ポスト211が電氣的かつ機械的に接続されている。

また、プリント基板203のおもて面には、図9(a)に示すように、金属層214以外の領域にキャパシタ216および抵抗217が設けられている。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-64852号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、図9に記載した従来例にあつては、プリント基板203に金属層214を配置し、金属層214以外の所定の位置にキャパシタ216および抵抗217などの受動素子を配置している。一方、プリント基板上の受動素子の配置位置には微小なランド部が形成されていないため、受動素子をそのまま配置して接合した場合、受動素子の位置決めが困難である。すなわち、受動素子が位置ずれを起こして所定の位置に接合できず、パワー半導体モジュールが製造不良となる場合がある。

そこで、本発明では、上記課題に着目してなされたものであり、プリント基板に固定する受動素子の位置決めを容易に行うことができる半導体装置を提供することを目的としている。

課題を解決するための手段

[0006] 上記目的を達成するために、本発明に係る半導体装置の一態様は、絶縁板および絶縁板の主面に配置された回路板を有する絶縁基板と、おもて面に電極を有し、裏面が回路板に固定された半導体チップと、金属層を有し、絶縁基板に対向したプリント基板と、一端が電極に電氣的かつ機械的に接続され、他端が金属層に電氣的かつ機械的に接続された導電ポストと、プリント基

板に固定された受動素子と、プリント基板に固定され、受動素子を位置決める複数の位置決めポストを備えている。

発明の効果

[0007] 本発明によれば、プリント基板上に固定される受動素子の周囲に、位置決めポストを配置するので、受動素子の位置決めを容易確実に行うことができ、半導体装置の良品率を向上させることができる。

図面の簡単な説明

[0008] [図1]本発明に係る半導体装置の第1の実施形態を示す斜視図である。

[図2]図1の半導体装置の縦断面図である。

[図3]図2の絶縁基板を示す図であって、(a)は平面図、(b)は側面図、(c)は底面図である。

[図4]図2のプリント基板を示す図であって、(a)は平面図、(b)は底面図である。

[図5]図2の半導体装置の等価回路を示す回路図である。

[図6]ゲート電圧変動を説明するための等価回路を示す回路図である。

[図7]絶縁基板上にプリント基板を装着した状態を示す斜視図である。

[図8]本発明に係る半導体装置の別の実施形態の等価回路を示す回路図である。

[図9]従来例を示す図であって、(a)は平面図、(b)は(a)のB-B線上の断面図である。

発明を実施するための形態

[0009] 以下、図1～図8を参照して本発明の実施の形態について説明する。

なお、本出願の記載に用いられている「電気的かつ機械的に接続されている」という用語は、対象物同士が直接接合により接続されている場合に限られず、ハンダや金属焼結材などの導電性の接合材を介して対象物同士が接続されている場合も含むものとする。

本発明に係る半導体装置としてのパワー半導体モジュール2は、図2に示すように、絶縁基板3A、3Bと、半導体チップ4A、4Bと、プリント基

板 5 と、円柱形状の導電ポスト 17 a、17 b、17 s と、受動素子 10 A、10 B と、位置決めポスト 15 を備えている。

[0010] 第 1 半導体チップ 4 A は、パワー MOSFET や IGBT などのスイッチング素子である。第 2 半導体チップ 4 B は、第 1 半導体チップ 4 A に逆並列で接続される還流ダイオード (Free Wheeling Diode, FWD) である。

そして、2 個の第 2 半導体チップ 4 B が、図 3 (a) に示すように、絶縁基板 3 A、3 B 上のそれぞれ長手方向の中心線上に所定の間隔を保って配置されている。また、これら第 2 半導体チップ 4 B の両外側に、4 個の第 1 半導体チップ 4 A が所定の間隔を保って配置されている。

[0011] ここで、第 1 半導体チップ 4 A は、図 3 (a)、(b) に示すように、裏面側にドレイン電極 4 d を有し、おもて面側にソース電極 4 s およびゲート電極 4 g を有する。そして、ゲート電極 4 g が、第 2 半導体チップ 4 B とは反対側の端部側となるように配置されている。また、第 2 半導体チップ 4 B は、裏面側にカソード電極を有し、おもて面側にアノード電極を有する。

これらの半導体チップ 4 A、4 B は、上記のような各種パワーデバイスであるが、シリコン基板に形成したものでもよいし、SiC やその他の基板に形成したものでもよい。

[0012] 絶縁基板 3 A は、方形状の絶縁板 3 a と、絶縁板 3 a の主面に固定された回路板 3 b と、絶縁板 3 a の主面と反対側の裏面に固定された金属板 3 c を有する。

絶縁基板 3 A の回路板 3 b は、図 3 (a) に示すように、幅広部 14 a と、幅狭部 14 b とからなり、平面形状が T 字形状であるドレイン電極用の第 3 回路板 14 c を有する。

また、回路板 3 b は、幅狭部 14 b の外側に所定間隔を保って配置されたソース電極用の第 2 回路板 14 d および 14 e を有する。

ここで、第 3 回路板 14 c には、第 1 半導体チップ 4 A のドレイン電極および第 2 半導体チップ 4 B のカソード電極が電気的かつ機械的に接続されている。そして、第 3 回路板 14 c には、S1 / D2 端子となる外部端子 19

が圧入される孔 1 4 f が設けられている。また、第 2 回路板 1 4 d および 1 4 e には、S 2 端子となる外部端子 2 0 が圧入される孔 1 4 g が設けられている。

[0013] また、絶縁基板 3 B も、絶縁基板 3 A と同様に絶縁板 3 a と、回路板 3 b および金属板 3 c を有する。絶縁基板 3 B の回路板 3 b は、幅広部 1 4 h および幅狭部 1 4 i とからなる T 字形状のドレイン電極用の第 3 回路板 1 4 j を有する。さらに、この第 3 回路板 1 4 j の幅狭部 1 4 i の外側に所定間隔を保って配置された回路板 1 4 k、1 4 l、1 4 m および 1 4 n を有する。このうち、1 4 k および 1 4 l は補助ソース電極用の第 4 回路板であり、1 4 m および 1 4 n はゲート電極用の第 1 回路板である。

第 3 回路板 1 4 j には、第 1 半導体チップ 4 A のドレイン電極および第 2 半導体チップ 4 B のカソード電極が電気的かつ機械的に接続されている。そして、第 3 回路板 1 4 j には D 1 端子となる外部端子 1 8 が圧入される孔 1 4 o が設けられている。また、第 4 回路板 1 4 k および 1 4 l には、S S 1、S S 2 端子となる外部端子 2 1 a、2 1 b が圧入される孔 1 4 p が設けられている。さらに、第 1 回路板 1 4 m および 1 4 n には、G 1、G 2 端子となる外部端子 2 2 a、2 2 b が圧入される孔 1 4 q が設けられている。

ここで、外部端子 1 8、1 9、2 0、2 1 a、2 1 b、2 2 a および 2 2 b は、導電性に優れた銅、あるいはアルミニウム系の材料であることが望ましい。さらに、回路板 3 b に半田で接合する場合、外部端子 1 8、1 9、2 0、2 1 a、2 1 b、2 2 a および 2 2 b にはニッケルあるいは錫系の表面処理を施すことが有効である。

[0014] 図 5 に示す等価回路図から分かるように、絶縁基板 3 B には、上アームを構成する第 1 半導体チップ 4 A (M O S F E T Q 1 a ~ Q 1 d) と、第 2 半導体チップ 4 B (ダイオード D i 1 a、D i 1 b) が逆並列に接続されている。また、絶縁基板 3 A には、下アームを構成する第 1 半導体チップ 4 A (M O S F E T Q 2 a ~ Q 2 d) と、第 2 半導体チップ 4 B (ダイオード D i 2 a、D i 2 b) が逆並列に接続されている。

そして、絶縁基板 3 B と、絶縁基板 3 A に構成された 2 組の逆並列回路は、プリント基板 5 と、導電ポスト 1 7 b を介して直列に接続される。

そして、MOSFET Q 1 a ~ Q 1 d のドレイン電極 4 d は、第 3 回路板 1 4 j を経由して、パワー半導体モジュール 2 のドレイン端子 D 1 を構成する外部端子 1 8 に接続されている。また、MOSFET Q 2 a ~ Q 2 d のドレイン電極 4 d は、第 3 回路板 1 4 c を経由して、パワー半導体モジュール 2 の S 1 / D 2 を構成する外部端子 1 9 に接続されている。

[0015] 外部端子 1 8、1 9、2 0 は、図 1 に示すようにパワー半導体モジュール 2 の幅方向の中心線に対して対称の位置に 2 本ずつ配置されている。また、パワー半導体モジュール 2 は、外部端子 1 9 の長手方向外側に片側 2 本ずつ計 4 本の外部端子 2 1 a、2 1 b、2 2 a および 2 2 b をさらに有している。これらの外部端子 1 8、1 9、2 0、2 1 a、2 1 b、2 2 a および 2 2 b は、パワー半導体モジュール 2 の両側縁に沿って略直線状に二列に配置されている。

外部端子 2 1 a、2 1 b は、補助ソース端子であって、MOSFET Q 1 a ~ Q 1 d、Q 2 a ~ Q 2 d のドレインーソース間に流れる電流をセンシングする電流検出端子 S S 1、S S 2 を構成している。また、外部端子 2 2 a、2 2 b は、ハーフブリッジ回路の MOSFET Q 1 a ~ Q 1 d および MOSFET Q 2 a ~ Q 2 d のゲート電極 4 g にゲート制御信号を供給するゲート端子 G 1、G 2 を構成している。

[0016] また、絶縁基板 3 A、3 B の裏面側の金属板 3 c は、その下面が絶縁樹脂 2 4 の底面と同一平面か、もしくは絶縁樹脂 2 4 の底面より僅かに突出している。

プリント基板 5 のおもて面図を図 4 (a) に、裏面図を図 4 (b) に示す。プリント基板 5 には、下アーム部 1 3 A の電流路となる T 字形状の第 2 金属層 1 6 a と、上アーム部 1 3 B の電流路となる第 2 金属層 1 6 b とが配置されている。第 2 金属層 1 6 a および 1 6 b と、下アーム部 1 3 A および上アーム部 1 3 B の第 1 半導体チップ 4 A のソース電極 4 s は、それぞれ第 2

導電ポスト 17 s の両端と電気的かつ機械的に接続されている。なお、プリント基板 5 のおもて面および裏面の第 2 金属層 16 a は同電位であり、同様におもて面および裏面の第 2 金属層 16 b も同電位である。

[0017] また、プリント基板 5 のおもて面には、下アーム部 13 A および上アーム部 13 B の制御回路となる、第 1 金属層 16 c および 16 d が配置されている。第 1 金属層 16 c および 16 d と、下アーム部 13 A および上アーム部 13 B の第 1 半導体チップ 4 A のゲート電極 4 g は、それぞれ第 1 導電ポスト 17 g の両端と電気的かつ機械的に接続されている。

第 1 金属層 16 c は、16 e 1、16 e 2、16 e 3 および 16 h とで構成されている。

また、第 1 金属層 16 d は、16 j 1、16 j 2、16 j 3、および 16 m とで構成されている。

[0018] 図 4 で示される通り、第 1 金属層 16 c は、第 1 金属層 16 e 1、16 e 2 によって、各 MOSFET Q1 a ~ Q1 d のゲート電極 4 g への配線長さが等しくなるように配置されている。同様に第 1 金属層 16 d は、第 1 金属層 16 j 1、16 j 2 によって、各 MOSFET Q2 a ~ Q2 d のゲート電極 4 g への配線長さが等しくなるように配置されている。

プリント基板 5 には、外部端子 18、19 および 20 が非接触で挿し通されるスルーホール 16 o、16 p および 16 q を有する。

さらに、プリント基板 5 の裏面には、下アーム部 13 A および上アーム部 13 B の電流路となる、第 2 金属層 16 r および 16 s が配置されている。

これら第 2 金属層 16 r および 16 s は、おもて面側の第 1 金属層 16 c および 16 d と平面から見て重なるように配置されている。そして、第 2 金属層 16 v および 16 w に電気的に接続されている。

[0019] このように、ゲート配線である第 1 金属層 16 h および 16 m と、ソース配線である第 2 金属層 16 r および 16 s を対向する位置に配置することにより、両金属層の間の相互インダクタンスを低減することができる。この相互インダクタンスを低減することにより、MOSFET Q1 a ~ Q1 d およ

びQ 2 a～Q 2 dの制御を安定させることができる。

また、プリント基板5の第2金属層16bは、複数の導電ポスト17bによって絶縁基板3Aの第3回路板14cに電氣的に接続され、下アーム部13Aと上アーム部13Bとの間の電流路を構成している。

[0020] さらに、プリント基板5の第2金属層16aが、導電ポスト17eを介して絶縁基板3Aの第2回路板14dおよび14eと電氣的に接続されている。また、プリント基板の第1金属層16gおよび16lが、導電ポスト17eを介して絶縁基板3Bの第1回路板14mおよび14nと電氣的に接続されている。さらに、プリント基板の第2金属層16vおよび16wが、導電ポスト17eを介して絶縁基板3Bの第4回路板14kおよび14lと電氣的に接続されている。

さらに、プリント基板5のおもて面側には、上アーム部13Bの第1半導体チップ4Aのゲート電極に電氣的に接続される第1金属層16jと16mとの接続領域と、そこに隣接する第2金属層16bとの間に、受動素子であるキャパシタ10Aが電氣的かつ機械的に接続されている。

[0021] また、同様にプリント基板5のおもて面側には、下アーム部13Aの第1半導体チップ4Aのゲート電極に電氣的に接続される第1金属層16hと16eとの接続領域と、そこに隣接する第2金属層16aとの間に、受動素子であるキャパシタ10Bが電氣的かつ機械的に接続されている。

ここで、キャパシタ10Aおよび10Bのプリント基板5のおもて面の実装位置のそれぞれの角部には、円柱形状の位置決めポスト15が配置されている。なお、本実施形態においては、キャパシタの実装位置に導電ポスト17aが配置されているので、これらの導電ポスト17aをプリント基板5のおもて面から突出させ、導電体の位置決めポストとしても用いている。

[0022] そして、それぞれの角部に配置された位置決めポスト15により、キャパシタ10Aおよび10Bを容易に位置決めすることができる。

なお、キャパシタ10Aおよび10Bは、半導体チップ4Aに内蔵されるMOSFETQ1a～Q1dおよびQ2a～Q2dのゲート電圧の跳ね上が

りによって意図しないターンオン状態となることを抑制するものである。

すなわち、前述した図5の等価回路の1つのブリッジ回路について図6を参照して説明する。上アームを構成するMOSFET Q1のドレイン電極D1が図示しない直流電源に接続されている。また、ソース電極S1が下アームを構成するMOSFET Q2のドレイン電極D2に接続されている。さらに、MOSFET Q2のゲート電極G2は、ゲート抵抗Rおよび配線インダクタンスLを通じて、バイアス電源Bの負極側に接続されている。そして、MOSFET Q2のソース電極S2は、バイアス電源Bの正極側および接地に接続されている。

[0023] この図6の等価回路で、下アームのMOSFET Q2がオフ状態である時に、上アームのMOSFET Q1がターンオンすると、下アームのMOSFET Q2の寄生ダイオードD_{i2}が逆回復し、下アームのドレイン電圧が急激に上昇する。この電圧上昇の傾き (dV/dt) と、下アームのMOSFET Q2の帰還容量C_{rss}を乗算した値である電流が、MOSFET Q2のゲート電位を上昇させる。そして、MOSFET Q2のゲート電位がしきい値電圧を超えると、MOSFET Q2は意図せずターンオンする。すなわちMOSFET Q1、Q2いずれもオン状態となることから、ブリッジ回路は短絡状態となってしまう。

[0024] さらに具体的には、以下のとおりである。MOSFET Q2には、図6に示すように、ゲート電極とドレイン電極との間に帰還容量（逆伝達容量）C_{rss}が寄生し、ゲート電極とソース電極との間に入力容量C_{iss}が寄生し、ドレイン電極とソース電極との間に出力容量C_{oss}が寄生している。このため、ゲート電極にはゲート抵抗R、ゲート配線のインダクタンスL、寄生容量C_{iss}およびC_{rss}が接続されることになり、これらによって直列RLC回路が構成される。このため、直列RLC回路の発振による電位変動分 ΔV_g が発生する。そして、ゲート電位V_gに電位変動 ΔV_g を加えた値 ($V_g + \Delta V_g$) がしきい値電圧V_{th}を超えるとMOSFET Q2が意図せずターンオンし、上下アームが短絡状態となる。

[0025] この下アームのMOSFET Q2の意図しないターンオンを抑制するためには、MOSFET Q2のゲートとソースとの間に電流バイパス効果を発揮する受動素子（ここではキャパシタ10B）を接続することが有効であることが明らかとなった。

またさらに、この電流バイパス効果をより効果的に発揮させるには、ゲート配線のインダクタンスLを小さくすると良いことも明らかとなった。このゲート配線のインダクタンスLは、パワー半導体モジュール2内部の配線インダクタンスと駆動回路の配線インダクタンスとの和で表される。そして、パワー半導体モジュール2の内部の配線インダクタンスをできるだけ低減することが効果的である。

[0026] このため、本実施形態のように、ゲート配線として幅広の第1金属層と太い導電ポストを使用すれば、内部の配線インダクタンスを例えば1～2 nHに抑制することができる。すなわち、ゲート配線にボンディングワイヤを使用する場合に比べ、大幅にゲート配線のインダクタンスを低減できる。

したがって、本実施形態によると、受動素子（キャパシタ10B）による電流バイパス効果を効果的に発揮できる。これにより、MOSFET Q2の意図しないターンオンを確実に防止できる。

なお、上記の意図しないターンオンは、上アームのMOSFET Q1がオフ状態である時に、下アームのMOSFET Q2がターンオンする場合にも発生する。このため、MOSFET Q1のゲート電極G1とソース電極S1との間にも、意図しないターンオンを防止するキャパシタ10Aを接続することが有効である。

[0027] 続いて、パワー半導体モジュール2の製造工程について説明する。

あらかじめ用意したプリント基板5の所定の位置に、導電ポスト17a、17b、17e、17g、17sの端部を電気的かつ機械的に接続する。

これと並行して、第1半導体チップ4A、第2半導体チップ4Bおよび回路板3bに半田ペーストを塗布する。その後、第1半導体チップ4A、第2半導体チップ4Bのおもて面（導電ポスト17a、17b、17sが接続され

る部分)に半田ペーストを塗布する。また、キャパシタ10Aを固定する第1金属層16jと16mとの接続領域と、それに隣接する第2金属層16bに半田ペーストを塗布する。さらに、キャパシタ10Bを固定する第1金属層16eと16hとの接続領域と、それに隣接する第2金属層16aに半田ペーストを塗布する。さらに、絶縁基板3Aおよび3Bに設けられた所定の孔に、外部端子18、19、20、21a、21b、22aおよび22bを挿入して垂直に保持する。

[0028] そして、図7に示すように、絶縁基板3Aおよび3Bの上に、プリント基板5を導電ポスト17a、17b、17e、17g、17sが絶縁基板3A、3B側となるように配置する。また、キャパシタ10A、10Bをプリント基板5の所定の位置に配置する。

この状態で、リフロー処理することにより、導電ポスト17a、17b、17e、17g、17sの端部と、第1半導体チップ4A、第2半導体チップ4Bおよび回路板3bが電気的かつ機械的に接続される。また、第1金属層16cおよび16dと、第2金属層16aおよび16bとの間で、キャパシタ10Aおよび10Bが電気的に接続される。

[0029] 本発明においては、キャパシタ10Aおよび10Bのリフロー処理を行う前に、キャパシタ10Aおよび10Bの4隅に、位置決めポスト15および位置決めポストとして機能する導電ポスト17aを配置する。(導電ポスト17aは、前述のプリント基板5に導電ポスト17a、17b、17e、17g、17sを接続する際に、同時に接続していてもよい。)このため、キャパシタ10Aおよび10Bの位置決めを正確に行うことができる。しかも、リフロー処理時に半田が毛管現象により位置決めポストに引っ張られることにより、良好な半田フィレットを形成することができる。このため、キャパシタ10Aおよび10Bの実装品質を向上させることができる。

[0030] このように絶縁基板3Aおよび3Bと、プリント基板5とを電気的かつ機械的に接続した後に、図示しない金型内に配置して、金型内に例えば熱硬化性樹脂のエポキシ樹脂材料を注入する。これにより、パワー半導体モジュール

ル 2 の外形が、図 1 に示すように直方体状の絶縁樹脂 2 4 として成型される。これらの工程によりパワー半導体モジュール 2 が製造される。

なお、絶縁樹脂 2 4 には、その長手方向の両端部側に、図 1 に示すように、絶縁壁部 2 5 A、2 5 B が形成されている。

また、これら絶縁壁部 2 5 A、2 5 B を構成する凹部 2 6 の底部に、取付孔 2 7 が絶縁樹脂 2 4 の底面に貫通して配置されている。

[0031] そして、上記構成を有するパワー半導体モジュール 2 を、外部端子 2 1 a、2 1 b、2 2 a、2 2 b を駆動回路に接続することにより、インバータ回路の 1 相を構成することができる。さらに、これらを 3 個組み合わせることにより、U 相、V 相および W 相の 3 相のインバータ回路を構成することができる。

このように、上記実施形態によると、プリント基板 5 のおもて面のキャパシタを実装する位置に接続パッドが配置されていない場合でも、位置決めポスト 1 5 によってキャパシタの位置決めを正確に行うことができる。

[0032] なお、上記実施形態においては、2 本の導電ポスト 1 7 a と、2 本の位置決めポスト 1 5 を受動素子の位置決めに用いた場合について説明したが、これに限定されるものではない。例えば、4 本の位置決めポスト 1 5 で受動素子を位置決めしてもよい。この場合は、プリント基板 5 上の受動素子の搭載位置が、導電ポストの配置と独立して決めることができるため、受動素子の搭載位置の自由度が増す。また、4 本の導電ポスト 1 7 で受動素子を位置決めしても良い。この場合は、新たな位置決めポストを設ける必要が無くなるため、製造コストを低減することができる。

[0033] また、上記実施形態では、受動素子としてキャパシタ 1 0 A および 1 0 B を適用した場合について説明したが、これに限定されるものではない。例えば、図 8 に等価回路として示すように、絶縁基板 3 A に実装される MOS FET Q 2 の制御タイミング調整用抵抗 R c をプリント基板 5 のおもて面に実装する場合にも適用することもできる。

また、上記実施形態においては、下アーム部 1 3 A および上アーム部 1 3

B毎に絶縁基板3Aおよび3Bを設けた場合について説明したが、これに限定されるものではない。例えば、絶縁基板と絶縁樹脂の線膨張係数差が問題にならない場合などでは、一枚の絶縁板3aに下アーム部13Aおよび上アーム部13B用の回路板3bを配置すると共に、共通の金属板3cを配置してもよい。

[0034] また、上記実施形態においては絶縁基板3A、3Bは、上記構成に限定されるものではない。例えば、セラミックスと銅をロウ付けし、エッチングによって銅をパターンニングした所謂AMB (Active Metal Brazing) 基板や、セラミックス基板と銅とを直接接合したDCB (Direct Copper Bonding) 基板を適用することができる。また、絶縁板3aとしては、アルミナ (Al_2O_3)、窒化アルミニウム (AlN)、窒化珪素 (Si_3N_4) 等を適用することができる。さらに、絶縁板3aとしては樹脂基板を適用することもできる。要は絶縁性を確保できる基板であればよい。

[0035] また、上記実施形態においては、導電ポスト17a、17b、17e、17g、17sを円柱形状にする場合について説明したが、これに限定されるものではない。例えば、四角柱、三角柱、多角柱、楕円柱等の任意の形状の導電ポストを適用することができ、要はインダクタンスの減少に寄与する導電ポストであれば良い。同様に、位置決めポスト15も円柱状に限定されるものではなく、四角柱、三角柱、多角柱、楕円柱等の任意の形状とすることができる。さらに、位置決めポスト15は、電流路とする必要はないので、絶縁体で構成することもできる。

[0036] また、上記実施形態においては、全ての外部端子を絶縁基板上に取り付けたが、これに限定されるものではなく、ゲート端子やソース補助端子など大電流が流れない外部端子は、プリント基板に直接取り付けても良い。

また、上記実施形態では、第1半導体チップ4AにパワーMOSFETを用いる場合について説明したが、これに限定されるものではなく、第1半導体チップ4AをIGBTにしてもよい。この場合、上記実施形態におけるソ

ース電極はエミッタ電極に、上記ドレイン電極はコレクタ電極にそれぞれ置き換えればよい。また、その他の電圧制御型半導体素子を用いてもよい。

[0037] また、上記実施形態においては、絶縁基板 3 A および 3 B に第 1 半導体チップ 4 A (MOSFET) および第 2 半導体チップ 4 B (ダイオード) を共に配置する場合について説明したが、これに限定されるものではない。例えば、MOSFET 内蔵ダイオードを使用できる場合や、同期整流方式を採用する場合などは、第 2 半導体チップ 4 B を省略して第 1 半導体チップ 4 A のみで構成することもできる。さらには第 1 半導体チップ 4 A を、IGBT と FWD とをワンチップにした RC-IGBT (逆導通 IGBT) のみで構成することもできる。

[0038] また、外部端子としては、棒形状に代えてリードフレームや他の形状の端子を適用することができる。また、外部端子の突出方向としてはパワー半導体モジュール 2 の上面に限定されるものではなく、側面から突出させて上方に折り曲げるようにしてもよい。

また、本発明は、半導体モジュールの端子接続の組み合わせだけで所望する回路構成が得られることから、本発明は上述した電力変換用インバータ装置に限定されるものではない。例えば、パワー半導体モジュールを使用する他の電力変換装置や高周波用途のスイッチング IC 等の他の半導体装置に本発明を適用することができる。

符号の説明

[0039] 2…パワー半導体モジュール
3 A, 3 B…絶縁基板
3 a…絶縁板
3 b…回路板
3 c…金属板
4 A…第 1 半導体チップ
4 B…第 2 半導体チップ
5…プリント基板

1 0 A、1 0 B…受動素子（キャパシタ）

1 3 A…下アーム部

1 3 B…上アーム部

1 4…回路板

1 5…位置決めポスト

1 6…金属層

1 7 a、1 7 b、1 7 e、1 7 g、1 7 s…導電ポスト

1 8、1 9、2 0、2 1 a、2 1 b、2 2 a、2 2 b…外部端子

2 4…絶縁樹脂

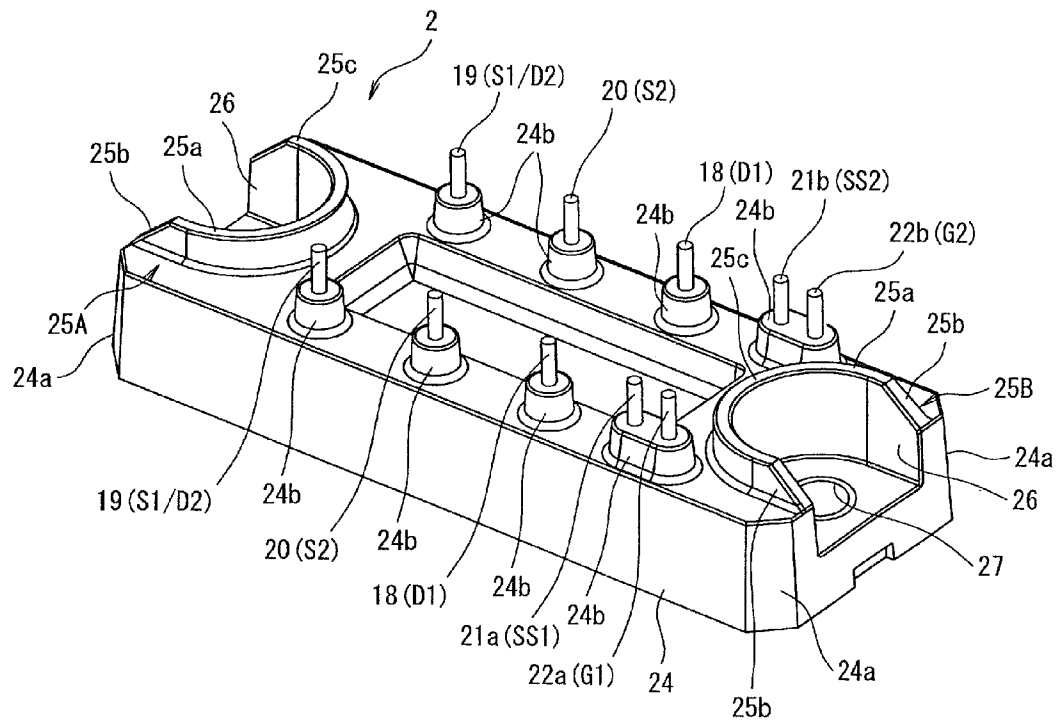
請求の範囲

- [請求項1] 絶縁板、および前記絶縁板の主面に配置された回路板を有する絶縁基板と、
おもて面に電極を有し、裏面が前記回路板に固定された半導体チップと、
金属層を有し、前記絶縁基板に対向したプリント基板と、
一端が前記電極に電気的かつ機械的に接続され、他端が前記金属層に電気的かつ機械的に接続された導電ポストと、
前記プリント基板に固定された受動素子と、
前記プリント基板に固定され、前記受動素子を位置決めする複数の位置決めポストと、
を備えた半導体装置。
- [請求項2] 前記位置決めポストは、導電体で構成されている請求項1に記載の半導体装置。
- [請求項3] 前記位置決めポストの少なくとも一つが、前記導電ポストと一体である請求項2に記載の半導体装置。
- [請求項4] 前記位置決めポストは、絶縁体で構成されている請求項1に記載の半導体装置。
- [請求項5] 前記半導体チップがスイッチング素子である請求項1に記載の半導体装置。
- [請求項6] 前記受動素子は、前記半導体チップの制御電圧変動を抑制するキャパシタで構成されている請求項5に記載の半導体装置。
- [請求項7] 前記受動素子は、前記半導体チップの制御タイミング調整用抵抗で構成されている請求項5に記載の半導体装置。
- [請求項8] 前記半導体チップ、前記回路板および前記プリント基板が絶縁樹脂で覆われている請求項1に記載の半導体装置。
- [請求項9] 上アームを構成する前記半導体チップと、
下アームを構成する前記半導体チップと、

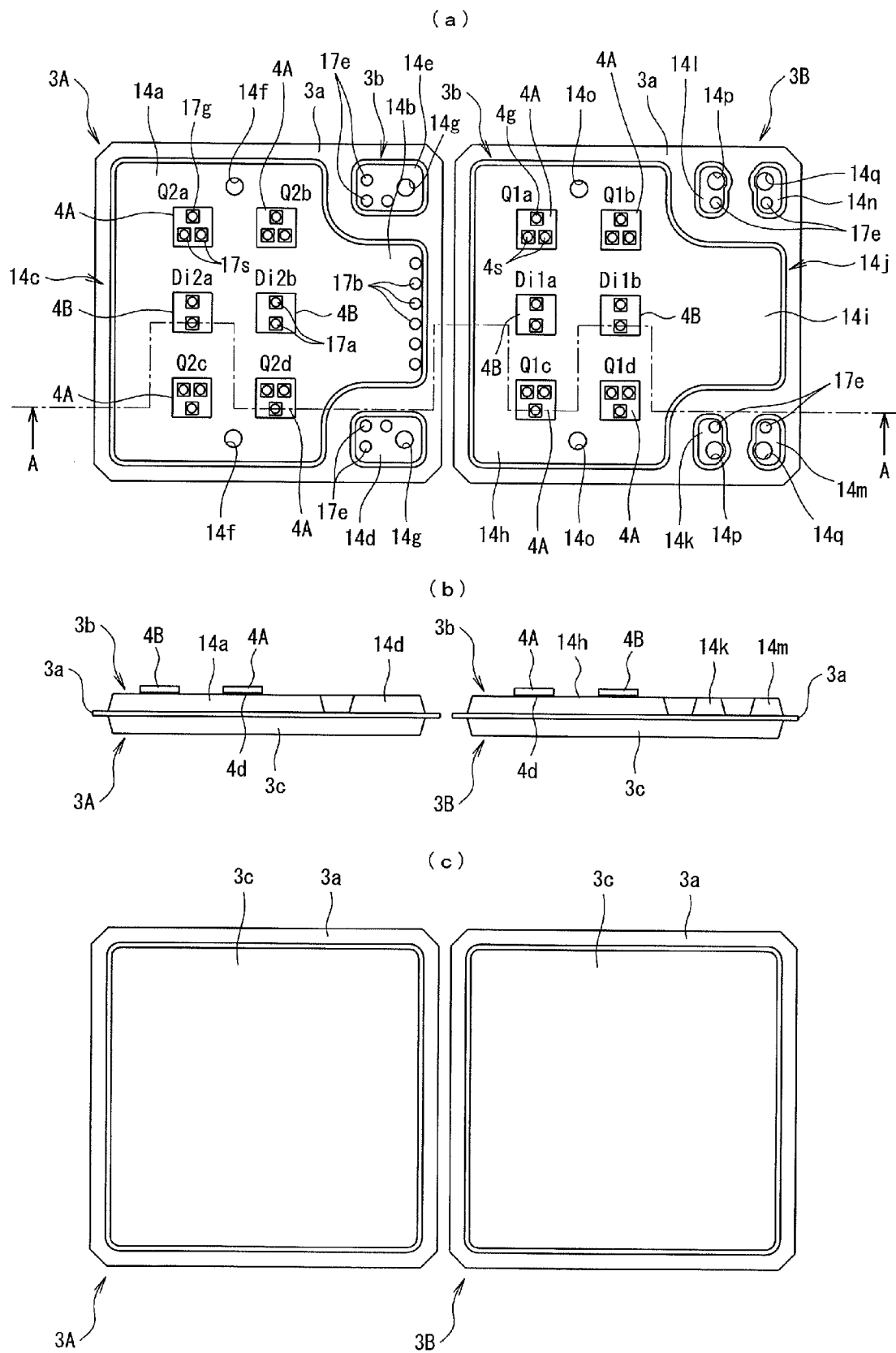
を備え、

前記上アームを構成する前記半導体チップ、または前記下アームを構成する前記半導体チップのいずれかに前記受動素子が電氣的に接続されている請求項 1 に記載の半導体装置。

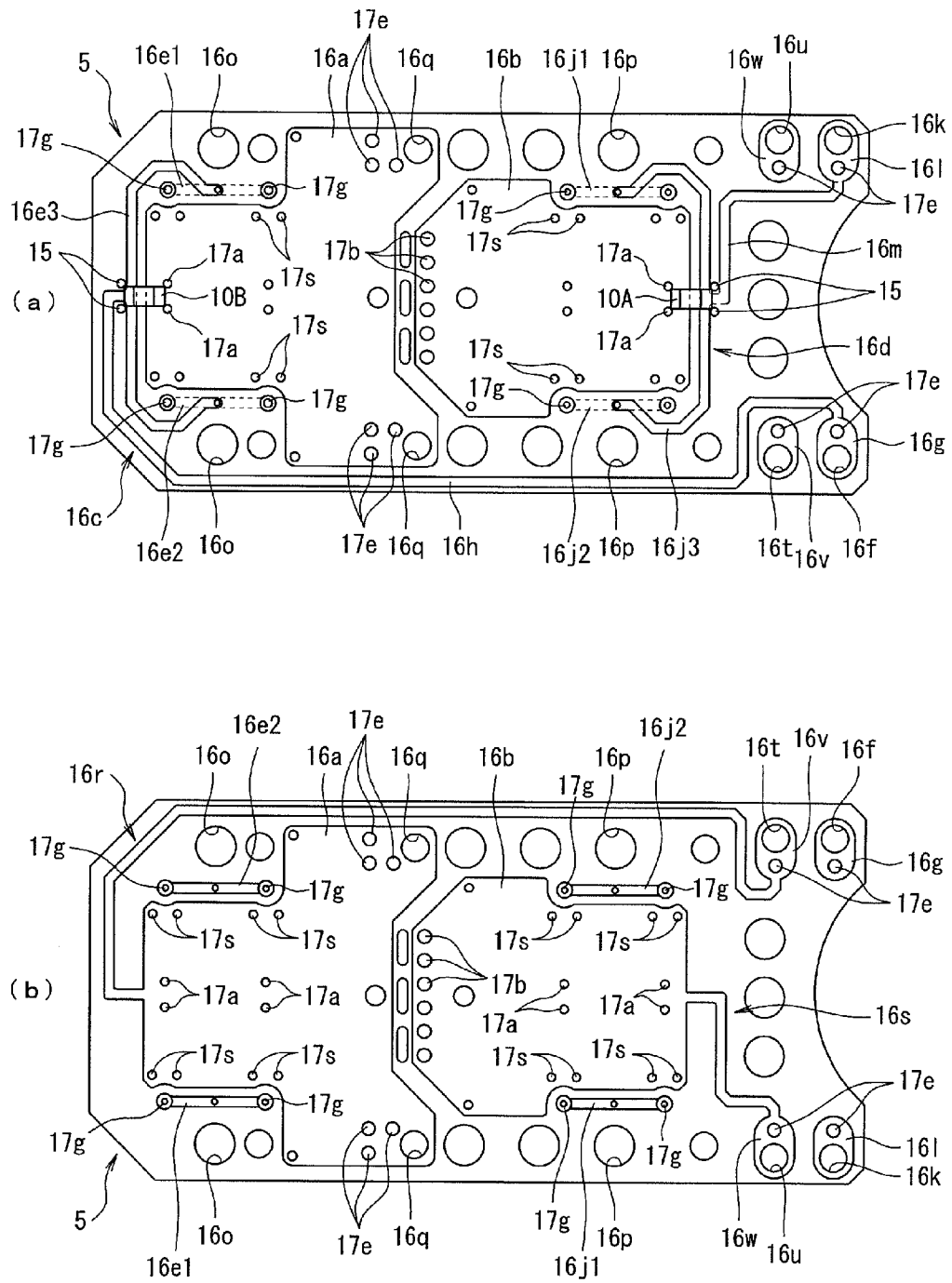
[図1]



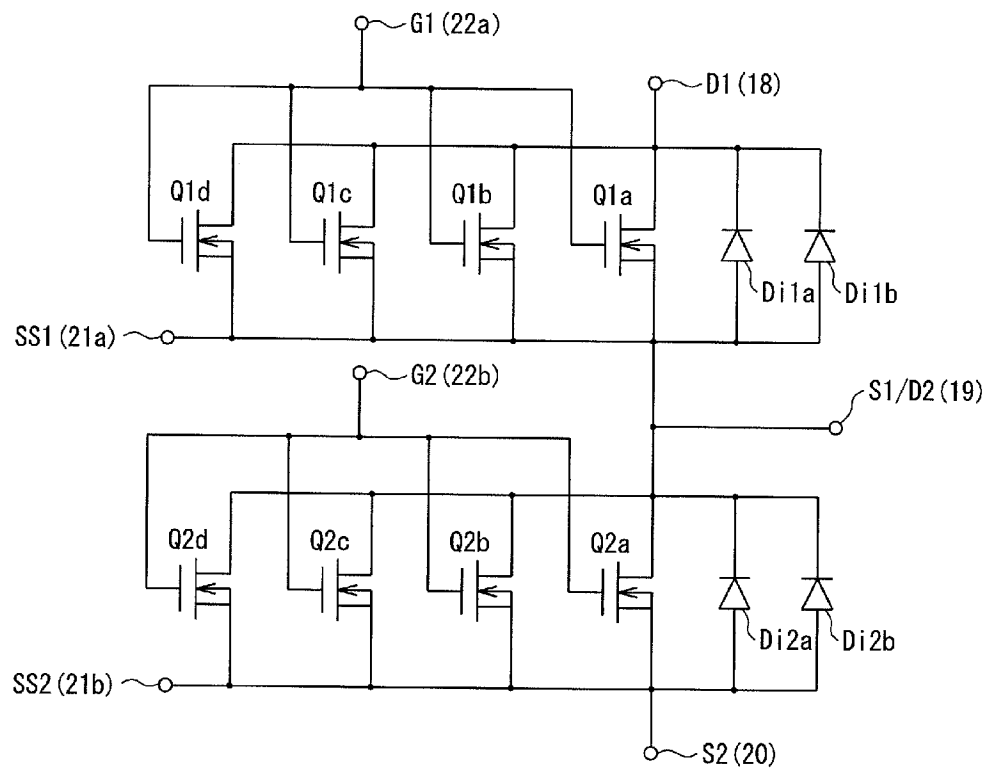
[図3]



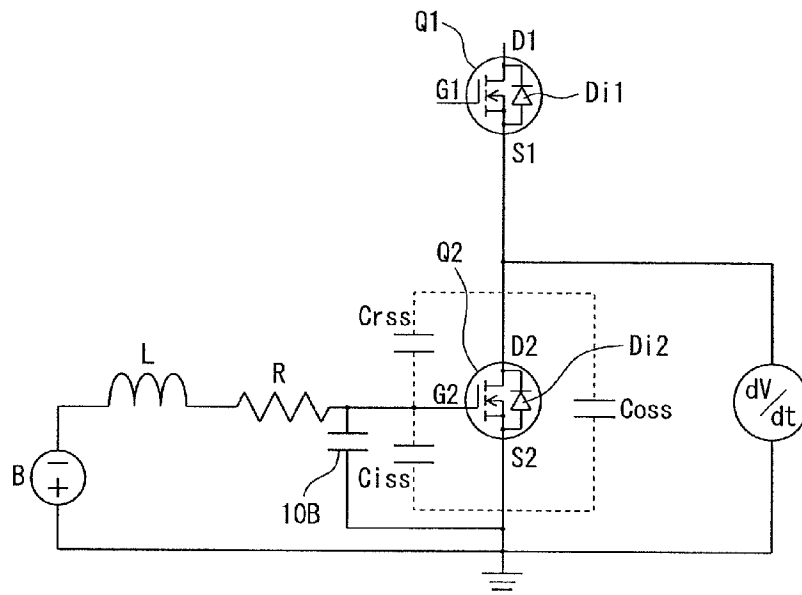
[図4]



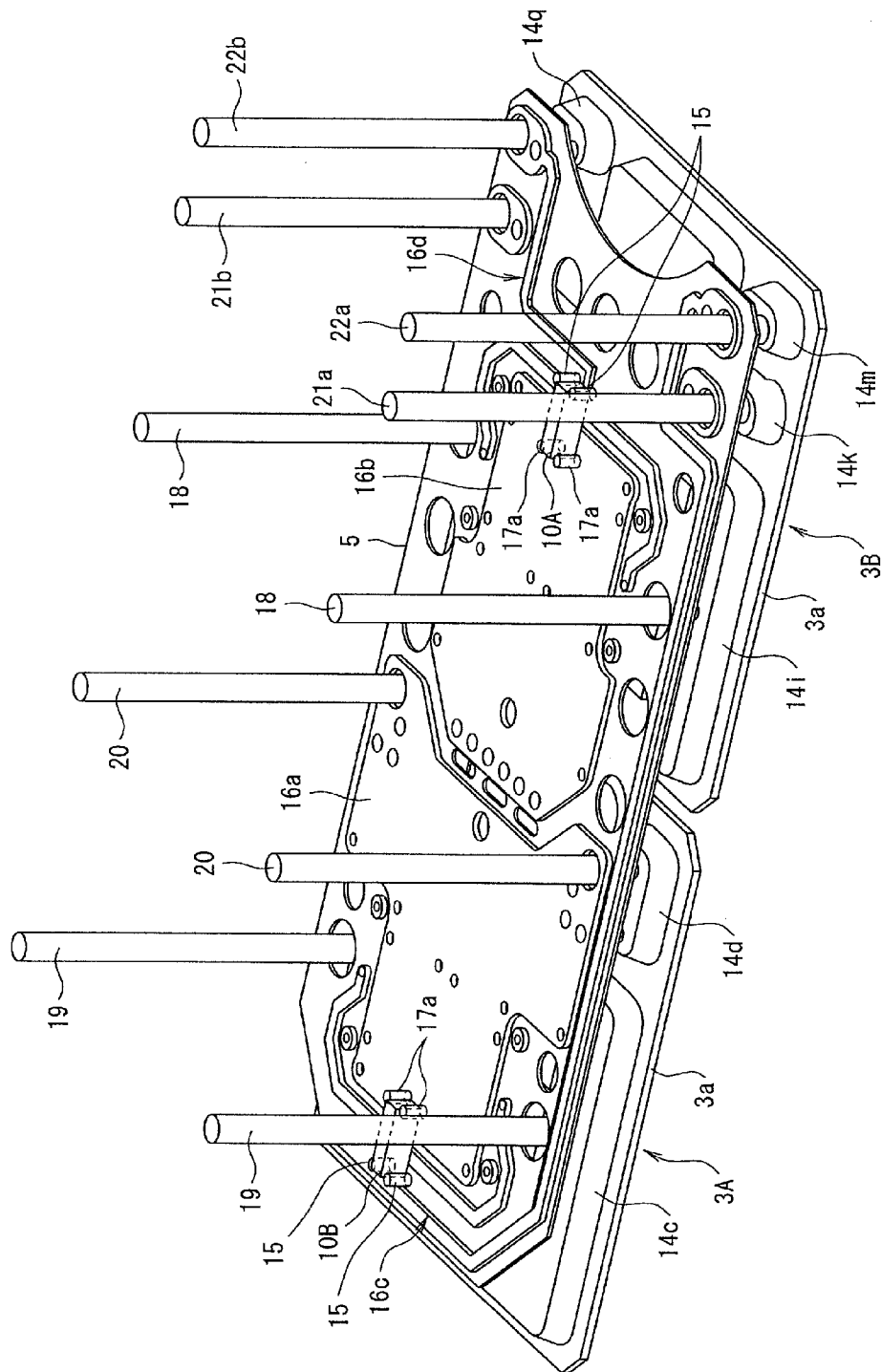
[図5]



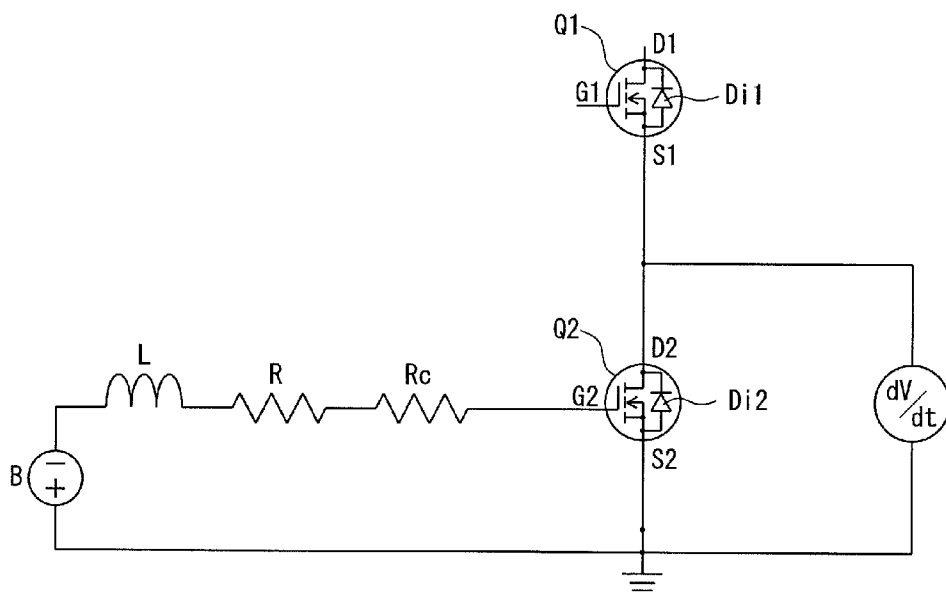
[図6]



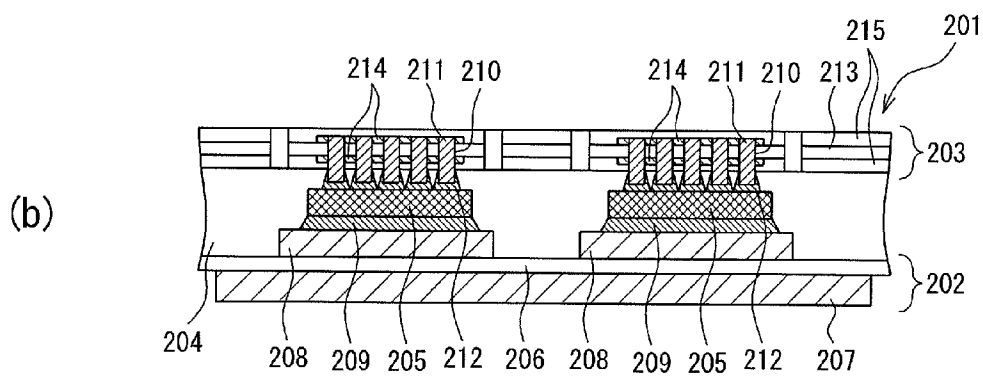
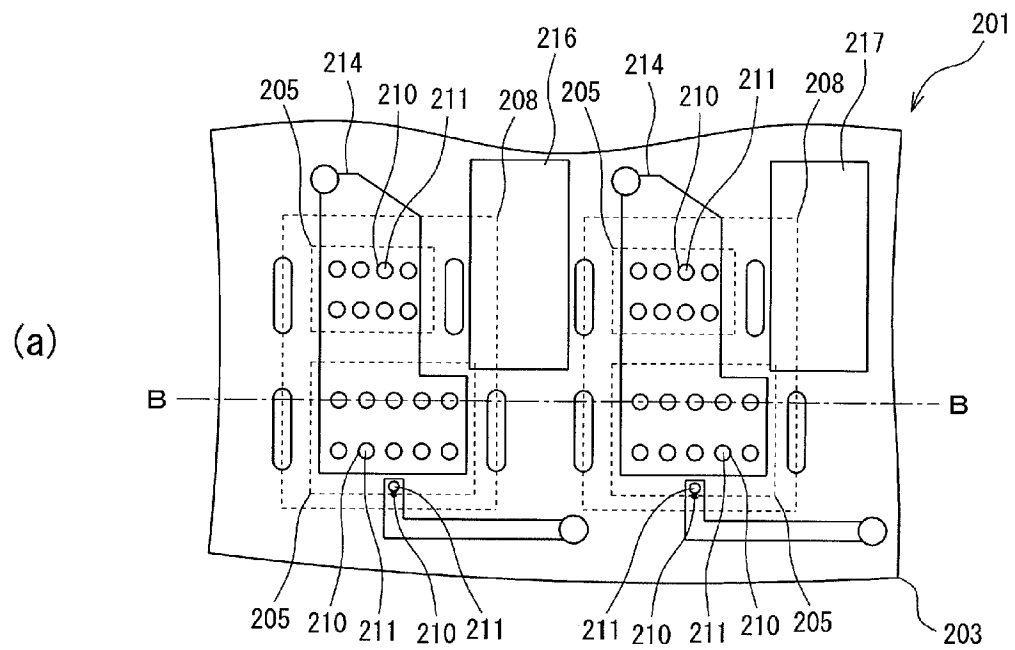
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002825

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01) i, H01L25/18(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-64852 A (Octec Inc.), 26 March 2009 (26.03.2009), paragraphs [0027] to [0037], [0085] to [0087]; fig. 1 to 4 (Family: none)	1-9
Y	JP 2002-83915 A (Denso Corp.), 22 March 2002 (22.03.2002), paragraphs [0046] to [0050], [0085] to [0089]; fig. 1, 8 & US 2001/0033477 A1 & US 2003/0090873 A1 & US 2004/0144996 A1 & US 2005/0040515 A1 & US 2006/0120047 A1 & US 2006/0232939 A1 & EP 1148547 A2 & EP 1742265 A2 & EP 2234154 A2 & EP 2244289 A2	1-3, 5-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 August, 2014 (18.08.14)

Date of mailing of the international search report
26 August, 2014 (26.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002825

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-260822 A (NEC Corp.), 22 September 2000 (22.09.2000), paragraphs [0011], [0024], [0039] to [0045]; fig. 3 to 5 (Family: none)	4

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-64852 A（株式会社オクテック）2009.03.26, 段落【0027】 －【0037】、【0085】－【0087】、図1-4（ファミリーなし）	1-9
Y	JP 2002-83915 A（株式会社デンソー）2002.03.22, 段落【0046】－ 【0050】、【0085】－【0089】、図1, 8 & US 2001/0033477 A1 & US 2003/0090873 A1 & US 2004/0144996 A1 & US 2005/0040515 A1 & US 2006/0120047 A1 & US 2006/0232939 A1 & EP 1148547 A2 & EP 1742265 A2 & EP 2234154 A2 & EP 2244289 A2	1-3, 5-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 8 . 2 0 1 4

国際調査報告の発送日

2 6 . 0 8 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐久 聖子

5 D

3 1 4 2

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-260822 A (日本電気株式会社) 2000.09.22, 段落【0011】, 【0024】, 【0039】－【0045】, 図3-5 (ファミリーなし)	4