

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年11月8日 (08.11.2001)

PCT

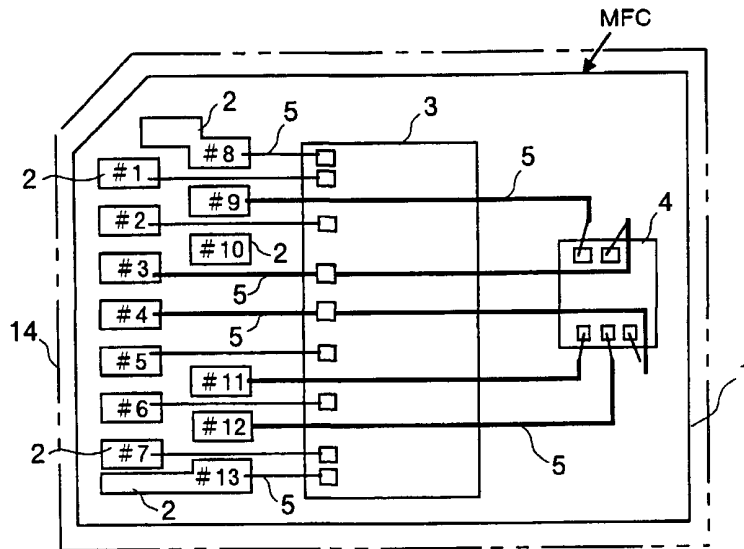
(10) 国際公開番号
WO 01/84490 A1

- (51) 国際特許分類: G06K 19/07
- (21) 国際出願番号: PCT/JP00/02823
- (22) 国際出願日: 2000年4月28日 (28.04.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 西沢裕孝
- (55) (NISHIZAWA, Hirota) [JP/JP]. 石原晴次 (ISHIHARA, Haruji) [JP/JP]. 湯川洋介 (YUKAWA, Yosuke) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 白石 敦 (SHIRAIISHI, Atsushi) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).
- (74) 代理人: 玉村静世 (TAMAMURA, Shizuyo); 〒271-0092 千葉県松戸市松戸1333番地1 コスモ松戸ステーションスクエア209号 Chiba (JP).
- (81) 指定国 (国内): CN, JP, KR, SG, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: IC CARD

(54) 発明の名称: ICカード



(57) Abstract: A multi-function IC card (MFC) is compatible with multimedia cards and SD cards because of the two-line stagger of connector terminals (#1 - #13) on a card substrate (1), and the multi-function is realized because a memory card unit (3) and a SIM (subscriber identity module) card unit (4) are mounted by connecting them to respective predetermined terminals of the connector terminals (#1 #13). The memory card unit (3) and the SIM card unit (4) respectively have separate storage areas for secret codes for security. This realizes multiple functions of a single IC card having different security levels. By adopting a plural-line arrangement of the connector terminals represented by the stagger, a relatively simple construction of the card slot can be adopted, in which slot terminals are arranged in a single line as a whole by alternately changing the protrusions of the slot terminals to the stagger.

[続葉有]



WO 01/84490 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

マルチファンクションICカード(MFC)は、カード基板(1)に対するコネクタ端子(#1~#13)の千鳥状2列配置の点においてマルチメディアカードやSDカード等に対する互換性を有し、メモリカードユニット(3)とSIM(Subscriber Identity Module)カードユニット(4)を夫々コネクタ端子(#1~#13)の所定の端子に専用的に接続して搭載した点においてマルチファンクション機能を実現する。前記メモリカードユニット(3)とSIMカードユニット(4)は夫々セキュリティーのための秘密コードの格納エリアを別々に備える。これにより、1個のICカードでセキュリティーレベルの異なるマルチファンクション機能を実現することができる。前記千鳥状で代表される形態の複数列配置を前記コネクタ端子の配列に採用することにより、カードスロットには、千鳥状部分に対応させてそのスロット端子の突出量を交互に変え、全体としてスロット端子を一行に並列配置する比較的簡単に構成を採用することができる。

明 細 書

I C カード

5 技術分野

本発明は、I C カードにおける互換性の維持と機能拡張に関し、例えばマルチメディアカードとの互換性を維持しながらマルチバンク又はマルチファンクションを実現する I C カードに適用して有効な技術に関するものである。

10

背景技術

携帯電話、デジタルネットワーク機器間での情報伝送等を目的として、マルチメディアカードのような小型軽量化及びインタフェースの簡素化を実現したメモリカードが提供されている。マルチメディアカードは、例えばC Q 出版社発行のインタフェース（1999年12月号）に記載されるように、外部インタフェース端子として7個のコネクタ端子を有し、シリアルインタフェースが採用されて、P C カードやハードディスクが採用するA T A インタフェースに比べてホストシステムの負荷を軽減でき、より簡易なシステムでも利用できるようになっている。また、同文献には、シリアルインタフェースを採用し、9個のコネクタ端子を有し、マルチメディアカードの上位互換メモリカードとしてS D カードが提案されている、との記載もある。

20

25

本発明者はマルチメディアカード等のストレージ系 I C カードの機能拡張について検討した。これにより、本発明者は、マルチメディアカード等の規格化された端子配列に対して互換性を維持しながら拡張端子を設けて、データビット数を増やす等の機能拡張を可能にする発明を

先に出願した（特願 2 0 0 0 - 1 8 0 3 0 号）。更に本発明者は、その
ような拡張端子を用いたマルチバンク又はマルチファンクションの実
現に向けて検討した。例えば、I C カードの S I M（Subscriber
Identity Module）を用いる G S M（Group Special Mobile）移動体通
5 信システム等では、S I M カードはセキュリティーのための加入者の承
認・管理に必要な加入者情報、課金情報等を記憶すると共に、通信プロ
トコルを実現し、例えばフラッシュメモリなどの不揮発性メモリを内蔵
したシングルチップマイクロコンピュータ等を有する。このような G S
M 移動体通信システムの携帯電話機にマルチメディアカードなどのス
10 トレージカードを適用しようとする、S I M カードの他にストレージ
カードの挿入スロットも必要になり、スペースファクタの点で改良の余
地のあることが本発明者によって見出された。更に、ストレージカード
と S I M カードでは記憶情報にセキュリティーレベルの差を生ずるの
はやむを得ず、マルチファンクションに際してセキュリティーレベルの
15 相違は相違として許容できることの必要性が本発明者によって見出さ
れた。

本発明の目的は、端子配列に対して所定の規格と互換性を維持しながら
マルチバンク又はマルチファンクション等の機能拡張が可能な I C
カードを提供することにある。

20 本発明の別の目的は、セキュリティーレベルの異なるマルチファンク
ションを拡張可能な I C カードを提供することにある。

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の
記述と添付図面から明らかにされるであろう。

25 発明の開示

[1] 本発明に係る I C カードは、I C カードの互換性と機能拡張に対

して考慮する。ICカードの互換性に関しては、上位互換性及び下位互換性を保つようにする。上位互換性とは、例えば上位ICカードのカードスロットに下位ICカードを挿入して利用できる、ことである。下位互換性とは、例えば、上記ICカードを下位ICカードのカードスロットに挿入して利用できる、ことである。ICカードは半導体集積回路によって構成された第1の機能ブロック及び第2の機能ブロックを有し、
5 複数個のコネクタ端子が露出された構成を有する。

このICカードの互換性という点に関し、前記複数個のコネクタ端子はICカードの挿入方向の前後に隣合う列相互間で千鳥状に複数列配置される。千鳥状配置に対して異なる表現をすれば、前記複数個のコネクタ端子はICカードの挿入方向の前後に形成された2列の配列を有し、第1列目に配置されたコネクタ端子の端子間領域の配列と第2列目に配置されたコネクタ端子の端子間領域とが列方向で相互にずらされる。千鳥状配置に対して更に異なる表現をすれば、前記複数個のコネクタ端子はICカード挿入方向の前後に形成された2列の配列を有し、第1列目に配置されたコネクタ端子の列方向配置と第2列目に配置されたコネクタ端子の列方向配置とが列方向で相互にずらされる。
10
15

前記千鳥状で代表される形態の複数列配置を前記コネクタ端子の配列に採用することにより、カードスロットには、その多数のスロット端子を交互に突出量を変えて並列配置するという比較的簡単に構成を採用することができる。また、下位ICカードのコネクタ端子配列をそのままICカードの特定のコネクタ端子列に採用し、これに対して千鳥状の別のコネクタ端子配列に上位ICカード専用の機能を割当てれば、上位ICカードを下位ICカードのカードスロットに装着して利用可能にするような下位互換も容易に実現可能になる。
20
25

ICカードの機能拡張という点では、前記カードのコネクタ端子は、

前記第 1 の機能ブロックに接続されて専用化された第 1 のコネクタ端子、前記第 2 の機能ブロックに接続されて専用化された第 2 のコネクタ端子、前記第 1 の機能ブロック及び第 2 の機能ブロックの双方に対して共通に動作電源を共通する第 3 のコネクタ端子を含む。電源以外のデータ端子などを夫々第 1 の機能ブロックと第 2 の機能ブロックに専用化することにより、前記上位互換及び下位互換の実現が容易化する。

また、3 世代間若しくは 3 種類以上の I C カード間で互換性を達成しようとするとき、第 1 の I C カードのコネクタ端子配列をそのまま第 1 列目のコネクタ端子列に採用し、これに対して千鳥状の別の第 2 列目のコネクタ端子列に第 2 の I C カードに追加されている専用の機能を割当て、また、前記特定の第 1 列目の端子列と前記第 2 列目のコネクタ端子列の双方に第 3 の I C カードに追加されている専用の機能を割当てるような場合が想定される。このとき第 2 の I C カードと第 3 の I C カードとの間で上位互換及び下位互換を実現する事を考慮する。そのために、前記第 2 列目に配置されたコネクタ端子の列方向一端のコネクタ端子は前記第 1 列目に配置されコネクタ端子の列方向一端のコネクタ端子と列方向で隣合う位置まで延在させ、前記第 2 列目に配置されたコネクタ端子の列方向他端のコネクタ端子は前記第 1 列目に配置されコネクタ端子の列方向他端のコネクタ端子と列方向で隣合う位置まで延在させる構成を採用する。これによれば、第 1 乃至第 3 の I C カードは相互に他の何れの I C カードのスロットにも挿入して利用可能な互換性を容易に実現可能になる。

[2] I C カードの機能拡張を例えばマルチバンクメモリに向ける。このとき前記第 1 の機能ブロックは、電氣的に書き換え可能な第 1 の不揮発性メモリと、前記第 1 のコネクタ端子から供給される指示に従って前記第 1 の不揮発性メモリのアクセス制御を行なうと共に前記第 1 のコ

ネクタ端子を介して外部とのインタフェース制御を行なう第1のコントローラとを備えた第1のメモリカードユニットである。前記第2の機能ブロックは、電氣的に書き換え可能な第2の不揮発性メモリと、前記第2のコネクタ端子から供給される指示に従って前記第2の不揮発性メモリ5のアクセス制御を行なうと共に前記第2のコネクタ端子を介して外部とのインタフェース制御を行なう第2のコントローラとを備えた第2のメモリカードユニットである。

コネクタ端子の具体的な機能は任意であるが、現状のマルチメディアカードなどを考慮すると、前記第1のコネクタ端子はクロック端子とデータ端子10を含み、前記第2のコネクタ端子はクロック端子とデータ端子を含み、前記第3のコネクタ端子は電源電圧供給用端子及び接地電圧供給用端子を含む。

前記第1のメモリカードユニットと第2のメモリカードユニットとは並列動作可能なマルチバンクメモリユニットとして構成される。

不揮発性メモリに格納されるデータのセキュリティーを増すには、前記第1のコントローラは、前記第1の不揮発性メモリに書込むデータに対して暗号化を行い、前記第1の不揮発性メモリから読み出したデータに対して復号又は別の暗号化を行う機密保護機能を有し、前記第2のコントローラは、前記第2の不揮発性メモリに書込むデータに対して暗号化20を行い、前記第2の不揮発性メモリから読み出したデータに対して復号又は別の暗号化を行う機密保護機能を有するとよい。

[3] ICカードの機能拡張を例えばマルチファンクションに向ける。このとき前記第1の機能ブロックは、第1の不揮発性メモリと、前記第1の不揮発性メモリのアクセス制御を行なうと共に前記第1のコネクタ端子を介して外部とのインタフェース制御を行なう第1のコントローラとを備えた第1のデータ処理ユニットである。前記第2の機能ブロ25

ックは、第 2 の不揮発性メモリと、前記第 2 の不揮発性メモリのアクセス制御を行なうと共に前記第 2 のコネクタ端子を介して外部とのインタフェース制御を行なう第 2 のコントローラとを備えた第 2 のデータ処理ユニットである。前記第 1 のデータ処理ユニット及び第 2 のデータ

5 処理ユニットは夫々セキュリティーのための秘密コードの格納エリアを別々に有して成る。

これにより、1 個の I C カードでセキュリティーレベルの異なるマルチファンクション機能を実現することができる。

前記第 1 のデータ処理ユニットには不揮発性メモリの製造段階で秘密

10 秘密コードの格納エリアに秘密コードを書き込み、前記第 2 のデータ処理ユニットには I C カードの製造段階で若しくは I C カードのベンダーが秘密コードの格納エリアに秘密コードを書き込むことも可能である。これにより、セキュリティーレベルの相違に応じてセキュリティー維持に必要な手法若しくは手続で秘密コードの設定が可能になる。例えば、

15 前記第 1 のデータ処理ユニットを一般的なデータストレージ用途のメモリカードユニットとし、前記第 2 のデータ処理ユニットをマイクロコンピュータ化された S I M カードユニットとするとき、課金情報を処理・管理する前記第 2 のデータ処理ユニットに対するセキュリティーは

20 第 1 のデータ処理ユニットに比べて厳しくせざるを得ず、そのような要求に充分答えることができる。

前記第 1 のデータ処理ユニットを一般的なデータストレージ用途のメモリカードユニットとする場合にも、そこに格納されるデータの著作権保護等の実効性を高めるには、前記第 1 のコントローラには、前記第 1 の不揮発性メモリに書込むデータに対して暗号化を行い、前記第 1 の

25 不揮発性メモリから読み出したデータに対して復号又は別の暗号化を行う機密保護機能を採用するとよい。

マルチファンクション機能として前記メモリカードユニットと S I Mカードユニット等を採用するとき、例えば、前記第 1 のコネクタ端子はクロック端子、複数ビットのデータ端子及び 1 ビットのコマンド端子を含み、前記第 2 のコネクタ端子はクロック端子、データ端子及びリセット端子を含み、前記第 3 のコネクタ端子は電源電圧供給用端子及び接地電圧供給用端子を含む。

[4] I Cカード挿入方向第 1 列目のコネクタ端子列に電源電圧供給用のコネクタ端子が配置されているとき、第 2 列目のコネクタ端子列には前記電源電圧供給用のコネクタ端子に隣り合う位置に端子間領域を形成しておく。仮に、第 2 列目のコネクタ端子列に前記電源電圧供給用のコネクタ端子に隣り合う別のコネクタ端子が千鳥状で配置されている場合、カードスロットに I Cカードを挿入する途上で、当該別のコネクタ端子に対応されるカードソスロットのスロット端子は前記別のコネクタ端子に接触する前にその前方に位置する電源供給用コネクタ端子と他のコネクタ端子との双方に接触する虞があり、この状態で電源電圧供給用のコネクタ端子に電源用のスロット端子が既に接触しているなら、電源間ショートのある虞がある。前記端子間領域を確保する構成を採用すれば、コネクタ端子の第 1 列目と第 2 列目の列間距離を大きくしたり、コネクタ端子の幅を狭くしたりする手段を講じなくてもよい。

20

図面の簡単な説明

第 1 図は本発明に係る I Cカードの一例であるマルチファンクション I Cカードの構成をコネクタ端子と回路ユニットとの接続形態を主体に示した説明図である。

25 第 2 図はマルチファンクション I Cカードのコネクタ端子機能の一覧を例示する説明図である。

第3図はマルチファンクションICカードの回路実装面の実際の状態を例示する平面図である。

第4図はマルチファンクションICカードの端子面の実際の状態を例示する裏面図である。

5 第5図は携帯電話機の外観を例示する斜視図である。

第6図はカードスロットにマルチファンクションICカードを装着した状態を示す平面図である。

第7図はマルチメディアカード用のカードスロットにマルチファンクションICカードを装着した状態を示す平面図である。

10 第8図はメモリカードユニットの機能ブロック図である。

第9図はSIMカードユニットの機能ブロック図である。

第10図はマルチファンクションICカードを利用可能な携帯電話機の機能ブロック図である。

15 第11図は本発明に係るICカードの第2の例であるマルチバンクメモリカードの構成をコネクタ端子と回路ユニットとの接続形態を主体に示した説明図である。

第12図は第11図のマルチファンクションICカードのコネクタ端子機能の一覧を例示する説明図である。

20 第13図は電源間ショートを生ずるコネクタ端子配列を比較例として示す説明図である。

発明を実施するための最良の形態

《マルチファンクションICカード》

25 第1図には本発明に係るICカードの一例であるマルチファンクションICカードの構成をコネクタ端子と回路ユニットとの接続形態を主体に示している。

第1図に示されるマルチファンクションICカードMFCには、カード基板1に対するコネクタ端子2（#1～#13）の千鳥状2列配置の点においてマルチメディアカードやSDカード等に対する互換性を有し、メモリカードユニット3とSIMカードユニット4を夫々コネクタ端子2（#1～#13）の所定の端子に専用的に接続して搭載した点においてマルチファンクション機能を実現する。5はメモリカードユニット3及びSIMカードユニット4をコネクタ端子2に接続する配線パターンやボンディングワイヤ等を総称する接続配線である。

ここでは、マルチファンクションICカードMFCは携帯電話機に装着されて利用可能な用途を想定する。メモリカードユニット3は、詳細を後述する電氣的に書き換え可能なフラッシュメモリのような不揮発性メモリとコントローラとを有し、電話帳データや着信メロディーデータなどを格納するデータストレージ用途とされる。SIMカードユニット4は、GSM携帯電話などにおけるセキュリティーのための加入者承認・管理に必要な加入者情報及び課金情報の格納並びに通信プロトコルを実現するフラッシュメモリ内蔵マイクロコンピュータによって構成される。

第1図において#1～#13のコネクタ端子2は直接にメモリカードユニット3とSIMカードユニット4に接続されているように図示されているが、実際は、#1～#13のコネクタ端子2はカード基板1の裏面（端子面）に配置され、カード基板の表面（実装面）にはスルーホール又は配線パターンで対応コネクタ端子に接続する接続パッドが設けられ、これら接続パッドにメモリカードユニット3とSIMカードユニット4が接続されている。

マルチファンクションICカードMFCは、マルチメディアカードの大きさに準拠し、厚さが1.4mm、平面寸法が24mm×32mmの

規格に従っている。マルチファンクション I C カード M F C のカード基板 1 は、ガラスエポキシ樹脂等の樹脂基板で成る基板の端子面に、# 1 ~ # 1 3 のコネクタ端子 2 がカードの挿入方向（長手方向）の前後に隣合う列相互間で 2 列に配置されている。

- 5 前記 # 1、# 2、# 5 ~ # 8、# 1 3 のコネクタ端子 2 はメモリカードユニット 3 に接続され、# 9、# 1 1、# 1 2 のコネクタ端子 2 は S I M カードユニット 4 に接続され、動作電源供給用の # 3、# 4 のコネクタ端子 2 はメモリカードユニット 3 及び S I M カードユニット 4 の双方に共通接続される。
- 10 前記 # 1 ~ # 7 のコネクタ端子 2 はマルチメディアカードの規格に従った配置と機能を有する。マルチメディアカードには一般にマルチメディアカードモードと S P I (Serial Peripheral Interface) モードがある。前記動作モードの選択は電源投入時の所定の端子の状態によって決まる。マルチメディアカードの端子機能は第 2 図の 7 p i n (1 b i t) の欄に例示されており、マルチメディアカードモードに対して S P I モードが相違する点は括弧内に示される。マルチメディアカードモードでは # 1 はリザーブ端子 N C (オープン又は論理値“1”に固定)、
- 15 # 2 はコマンド端子 C M D (コマンド入力及び応答信号出力を行う)、# 3 及び # 6 は回路の接地電圧 (グラウンド) 端子 V s s 1、V s s 2、
- 20 # 4 は電源電圧供給端子 V d d、# 5 はクロック入力端子 C L K、# 7 はデータの入出力端子 D a t a として機能される。S P I (Serial Peripheral Interface) モードでは # 1 はチップセレクト端子 C S (負論理)、# 2 はデータ入力端子 D i n (ホスト装置からカードへのデータ及びコマンド入力用)、# 3 及び # 6 は回路の接地電圧 (グラウンド)
- 25 端子 V s s 1、V s s 2、# 4 は電源電圧供給端子 V d d、# 5 はクロック入力端子 C L K、# 7 はデータ出力端子 D o u t (メモリカードか

らホスト装置へのデータ及びステータス出力)として機能される。マルチメディアカードモードは複数のマルチメディアカードを同時に使用するシステムに好適な動作モードであり、マルチメディアカードの識別は図示を省略するホスト装置がマルチメディアカードの初期化シーケンスでマルチメディアカードに設定したカード識別ID(相対アドレス)を用いる。SPIモードは簡易で安価なシステムでの利用に最適であり、マルチメディアカードの選択はホスト装置から#1のコネクタ端子に供給されるチップ選択信号によって行われる。何れの動作モードにおいても、メモリカードユニット3のコントローラはホスト装置から与えられるコマンドに回答してメモリチップのアクセス制御とホスト装置とのインタフェース制御を行う。

#8~#13のコネクタ端子2はマルチメディアカードに対する拡張端子として位置付けられる。前記#1~#7のコネクタ端子2はカード基板1に対して第1列目のコネクタ端子列を構成し、追加された前記#8~#13のコネクタ端子2は第1列目のコネクタ端子列に対して離間配置された第2列目のコネクタ端子列を構成する。#9~#12のコネクタ端子2の大きさは他のコネクタ端子2の大きさと同じである。#13のコネクタ端子2は前記第1列目に配置されコネクタ端子列の列方向一端のコネクタ端子#7と列方向で完全に隣合う位置まで延在され、端子番号#8のコネクタ端子2は前記第1列目に配置されコネクタ端子列のコネクタ端子#1と列方向で部分的に重なって隣合う位置まで延在されている。第1列目のコネクタ端子列と第2列目のコネクタ端子列とはコネクタ端子の列方向配置が列方向で相互にずれている。換言すれば、第1列目のコネクタ端子2と第2列目のコネクタ端子2とは千鳥状に配置されている。

#8、#13の拡張端子は、マルチファンクションICカードMFC

に第2図の9pin(4bit)の欄に示される4ビットモードが選択されたとき、有意とされるコネクタ端子である。即ち、4ビットモードが選択されると、端子#2～#7が前記マルチメディアカードモードと同一機能に割り当てられ、当該マルチメディアカードモードにおいてリザーブ端子であった端子#1は第4ビット目のデータ端子Data3、追加された端子#8、#9は第2ビット目のデータ端子Data1、第3ビット目のデータ端子Data2とされる。第1ビット目のデータ端子Data0はマルチメディアカードモードと同じ端子#7である。従ってこのマルチファンクションICカードMFCに4ビットモードが

5

10

選択されると、データ入出力が4ビット並列で可能にされる。このとき、#8、#13のコネクタ端子2の形状はSDカードのコネクタ端子との互換性を意識して形状設定されている。前記4ビットモードにおいて#8と#13のデータ端子機能を入換えても良く、4ビットモードはSDカードとも互換性を有することが可能になる。

15

このマルチファンクションICカードMFCのメモリカードユニット3は、前記マルチメディアカードに対して下位互換モードを備える。即ち、メモリカードユニット3内の前記コントローラは、マルチメディアカードのSPIモード又はマルチメディアカードモードのような1

20

ビットモードと、前記4ビットのデータ用端子#1、#7、#8、#13を用いた4ビット並列入出力を行う4ビットモードとを有する。前記1ビットモードはマルチファンクションICカードMFCをマルチメディアカードとして動作可能にする動作モードである。

前記動作モードの設定は所定のコネクタ端子の状態又は所定のコネクタ端子からのコマンド入力状態に応答して設定すればよい。例えば、

25

マルチファンクションICカードMFCをマルチメディアカードのカードスロットに装着したとき前記端子#8、#13はフローティングに

- なるから、電源投入時にコントローラが端子# 8、# 13の双方又は一方のフローティング状態を検出することによって当該マルチファンクション I Cカードに前記1ビットモードを設定すればよい。また、9個のコネクタ端子2に夫々対応されるスロット端子を有する専用のカード
- 5 ドスロットに装着したとき前記端子# 8、# 9はカードスロットのスロット端子に導通されるから、電源投入時にコントローラが少なくとも端子# 8、# 9の双方又は一方にホスト装置から特定の信号若しくはコマンドが供給されるのを検出することによって当該マルチファンクション I CカードM F Cに前記4ビットモードを設定すればよい。
- 10 # 9～# 12の拡張端子はS I Mカードユニット4に接続されて専用化された端子である。S I Mカードユニット4は、例えばフラッシュメモリなどの不揮発性メモリを内蔵したシングルチップマイクロコンピュータによって構成される。# 9はデータ入出力端子 I / O、# 10はノンコネクタ端子、# 11はクロック端子C L K、# 12はリセット
- 15 端子とされる。S I Mカードユニット4の動作電源は、# 3の接地端子V s s、# 4の電源端子V d dを介して供給される。携帯電話機等に第2図の13 p i nの欄に記載の端子構成に対応するカードスロットを設け、これにマルチファンクション I CカードM F C装着すれば、メモリカードユニット3及びS I Mカードユニット4は相互に独立して動
- 20 作可能にされる。また、前記マルチファンクション I CカードM F Cをカードアダプタ等を介してパーソナルコンピュータ等に接続すれば、マルチファンクション I CカードM F C内のメモリカードユニット3に対して電話帳データの修正なども効率的に行なうことが可能になる。
- 25 第3図にはマルチファンクション I CカードM F Cにおける回路実装面の実際の状態が示され、第4図には端子面の実際の状態が例示される。マルチファンクションカードM F Cのカード基板1は、ガラスエポ

- キシ樹脂等の樹脂基板で成る基板の端子面に、# 1 ~ # 1 3 のコネクタ端子 2 がカードの挿入方向（長手方向）の前後に隣合う列相互間で 2 列に配置されている。実装面には前記コネクタ端子 2 に 1 対 1 対応で接続パッド 7 が形成されている。接続パッド 7 はアルミニウム、銅又は鉄合金などの導電パターンで形成される。コネクタ端子 2 はアルミニウム、銅又は鉄合金などの導電パターンに金メッキやニッケルメッキ等が施されて成る。接続パッド 7 とコネクタ端子 2 との接続はカード基板 1 上の図示を省略する配線パターンとカード基板 1 の表裏を導通されるスルーホール等によって行われる。
- 5
- 10 メモリカードユニット 3 は、カード基板 1 の実装面に、例えば電氣的に書き換え可能なフラッシュメモリ 8 と前記フラッシュメモリ 8 を制御するコントローラ 9 とを有する。前記フラッシュメモリ 8 及びコントローラ 9 は、特に制限されないが、夫々別個の半導体チップで構成されている。当然双方を併せて 1 チップで構成しても、或いは別個のチップを積み重ねてもよい。
- 15
- 前記コントローラ 9 はコネクタ端子 2 を介して外部から与えられる指示に従って前記フラッシュメモリ 8 に対するリード・ライト動作を制御する。データセキュリティーを考慮する場合には、前記コントローラ 9 は更に、前記フラッシュメモリ 8 に書込むデータに対して暗号化を行い、前記フラッシュメモリ 8 から読み出したデータに対して復号又は別の暗号化を行う機密保護機能を備えるようにすればよい。
- 20
- 前記コントローラ 9 は、前記コネクタ端子 2 の配列方向に沿って縦長形状を有し、コネクタ端子 2 側には当該コネクタ端子 2 に前記接続パッド 7 を介して接続される複数個のコネクタインタフェース端子 9 P i と前記フラッシュメモリ 8 側には当該フラッシュメモリ 8 に接続される複数個のメモリインタフェース端子 9 P j とを有する。前記フラッシュ
- 25

メモリ 8 はコントローラ 9 側に当該コントローラ 9 に接続される複数個のコントローラインタフェース端子 8 P k を有する。前記接続パッド 7 は前記コントローラ 9 のコネクタインタフェース端子 9 P i にボンディングワイヤ 10 で接続される。前記コントローラ 9 のメモリインタフェース端子 9 P j はフラッシュメモリ 8 のコントローラインタフェース端子 8 P k にボンディングワイヤ 11 で接続される。前記コネクタインタフェース端子 9 P i は前記 # 1 ~ # 8、# 13 に対応する端子機能を有する。メモリインタフェース端子 9 P j は、例えば、フラッシュメモリ 8 を制御する端子であり、チップイネーブル信号出力、ライトイネーブル信号出力、コマンドイネーブル信号出力、データ入出力、アウトプットイネーブル信号出力、レディー・ビジー信号入力、リセット信号出力等の機能を有する複数個の端子である。前記コントローラインタフェース端子 8 P k は、例えば、チップイネーブル信号入力、ライトイネーブル信号入力、コマンドイネーブル信号入力、データ入出力、アウトプットイネーブル信号入力、レディー・ビジー信号出力、リセット信号入力等の機能を有する複数個の端子である。更にカード基板 1 には、前記コントローラ 9 及び前記フラッシュメモリ 8 にボンディングワイヤ（又は配線パターン） 12 で接続するテスト端子 13 を有する。

SIMカードユニット 4 はボンディングワイヤ 17 A を介して # 9、# 11、# 12 に対応する接続パッド 7 に結合される。SIMカードユニット 4 に対する動作電源はボンディングワイヤ 17 B を介して供給される。16 で示されるボンディングワイヤはコントローラ 9 と SIMカードユニット 4 を接続するインタフェース配線であり、これはメモリカードユニット 3 と SIMカードユニット 4 との間の情報交換を可能にするものである。

カード基板 1 は実装面を内側に向けてケーシング 14 に取り付け固

定され、実装面はケーシング 1 4 で覆われて保護され、端子面はケーシング 1 4 から露出される。

第 5 図には携帯電話機の外観が示される。前記マルチファンクション I C カード M F C は、携帯電話機 2 0 の側面に設けられたカードスロット 2 1 に装着される。

第 6 図にはカードスロット 2 1 にマルチファンクション I C カード M F C が装着された状態を示す。カードスロット 2 1 は奥部に夫々のコネクタ端子 2 に対応して突出されたスロット端子 2 2 を有する。前記コネクタ端子 2 は、前記千鳥状で 2 列に配置されているから、千鳥状部分ではカードスロット 2 1 のスロット端子 2 2 の突出量を短いもの（2 2 (S)）と長いもの（2 2 (L)）で交互させればよく、スロット端子 2 2 の突出量を変えながら全体としてスロット端子 2 2 を並列配置するという比較的簡単に構成を採用することができる。コネクタ端子 2 との接点はスロット端子 2 2 の先端（■印）部分である。

第 7 図にはマルチメディアカード用のカードスロット 2 3 にマルチファンクション I C カード M F C が装着された状態を示す。マルチファンクション I C カード M F C の # 1 ~ # 7 のコネクタ端子 2 の配列はマルチメディアカードに準拠しているので、マルチファンクション I C カード M F C をマルチメディアカード用のカードスロット 2 3 に装着して、メモリカードユニット 3 を単独で利用する用途にも対応することができる。2 4 は # 1 ~ # 7 のコネクタ端子 2 が接続可能なカードスロット 2 3 のスロット端子である。

第 8 図には前記メモリカードユニット 3 の機能ブロック図が示される。コントローラ 9 はインタフェースコントローラ 3 0、フラッシュメモリコントローラ 3 2、暗号化・復号回路 3 3、及びセキュリティー回路 3 4 を有する。インタフェースコントローラ 3 0 は前記コネクタ端子

2を介して携帯電話機20に接続され、携帯電話機20から与えられる
コマンドを解読して、メモリカードユニット3内部の全体的な制御と携
帯電話機20とのインタフェース制御を行う。そのような制御プログラ
ム若しくは状態遷移制御ロジックは、特に制限されないが、インタフェ
ースコントローラ30の内部に設けられている。制御プログラムをフラ
ッシュメモリ8に配置しておくことも可能である。

前記インタフェース制御は前記コネクタ端子2を介するマルチメ
ディアカードモード或いはSPIモードによるインタフェース制御であ
る。前記メモリカード内部の全体的な制御は、第1に、セキュリティー
回路34を利用した認証制御、第2に、フラッシュメモリ8の入出力デ
ータに対する暗号化・復号制御、第3に、フラッシュメモリコントロー
ラ32を介するフラッシュメモリ8のファイルメモリとしてのアクセ
ス制御である。

前記アクセス制御は、例えばセクタをデータ管理の基本とするような
ファイルシステムとの互換を考慮した制御である。例えばデータ若しく
はファイルを512バイトのようなセクタ単位で管理するために、フラ
ッシュメモリ8のメモリアレイを、1セクタに対応する512バイト毎
のデータエリアとデータエリア毎の管理エリアに分けて利用するよう
になっている。管理エリアは、対応データエリアに有効データが保持さ
れているか否かというセクタの利用状態を示す情報、後続セクタへのポ
インティング情報などを有する。それら管理エリアが全体としてセクタ
管理テーブル35を構成することになる。アクセス制御ではアクセス対
象ファイルのセクタがフラッシュメモリ8の物理アドレスに対応付け
られてリード、消去、書込み、ベリファイなどのメモリ動作が行われる。

暗号化・復号制御は、例えばフラッシュメモリ8にライトするデータ
を先ず暗号化・復号回路33で暗号化させ、暗号化されたデータをフラ

5 ッシュメモリ 8 に書込み可能にする処理と、フラッシュメモリコントローラ 32 でフラッシュメモリ 8 からリードしたデータに対して暗号化・復号回路 33 で復号又は別の暗号化を行ない、処理されたデータをインタフェースコントローラ 30 から外部に出力可能にする処理とを行う。暗号化・復号の手法には、秘密キー或いは秘密キーと公開キーを用いる適宜のアルゴリズムを採用すればよい。

10 前記認証制御について説明する。メモリカードユニット 3 が携帯電話機 20 などを介して音楽情報や文学情報等の配信に利用されることを想定すると、そのような情報の著作権保護を考慮する事が望ましい。また、メモリカードユニット 3 に電話番号等が格納されて利用される場合にはそのような情報に対してプライバシー保護を図ることが要求されるであろう。

15 著作権保護に関しては、特に制限されないが、フラッシュメモリ 8 の特定のエリアに、複製権に関する所定のオーソライゼーションコードが、フラッシュメモリ 8 の製造段階で書き込まれている。情報配信に際して、複製権に関するオーソライゼーションコードがホスト装置から携帯電話機 20 などに伝送され、これが、セキュリティー回路 34 のオーソライゼーションコード管理テーブル 36 にセットされ、そのオーソライゼーションコードと対応付けられた音楽情報等の配信された情報がダウンロードされ、フラッシュメモリ 8 にライトされ、そのライトメモリアドレスが上記オーソライゼーションコードに対応付けられてセキュリティー回路 34 の前記オーソライゼーション管理テーブル 36 にセットされる。その後、マルチファンクション I C カード M F C は携帯電話機 20 から取り外されて、今度は再生用端末装置等に装着される。マルチファンクション I C カード M F C のインタフェースコントローラ 30 は端末装置からのアクセス要求に対して、アクセス対象ファイルのメ

20

25

モリアドレスが前記オーソライゼーション管理テーブル 3 6 上のオーソライゼーションコードに対応付けられたメモリエリアであるか否かを前記オーソライゼーション管理テーブル 3 6 を利用してセキュリティー回路 3 4 に判定させる。オーソライゼーションコードに対応付けられている場合、セキュリティー回路 3 4 は、セキュリティー回路 3 4 保有のオーソライゼーションコードが前記フラッシュメモリ 8 にその製造段階で書き込まれているオーソライゼーションコードと所定の関係が成立していない限り、そのファイルアクセスを許容させない。前記オーソライゼーションコード管理テーブル 3 6 は電氣的に書き換え可能な不揮発性メモリによって構成してよい。このオーソライゼーションコード管理テーブル 3 6 は、インタフェースコントローラ 3 0 又はフラッシュメモリ 8 に配置してもよい。

プライバシー保護に関しては、例えば携帯電話機などの装置から暗証コードがセキュリティー回路 3 4 の暗証コード管理テーブル 3 7 に一旦セットされると、マルチファンクション I C カード M F C の初期化処理を終了する度に、フラッシュメモリ 8 に対する最初のリードアクセス要求に際して、セキュリティー回路 3 4 は、インタフェースコントローラ 3 0 に暗証コードの入力を要求し、既に暗証コード管理テーブル 3 7 にセットされている暗証コードに一致する暗証コードが外部から入力されるまで、インタフェースコントローラ 3 0 にそのリード要求に応答するメモリアクセス制御を開始させない。前記暗証コード管理テーブル 3 7 は電氣的に書き換え可能な不揮発性メモリによって構成してよい。このオーソライゼーションコード管理テーブル 3 6 は、インタフェースコントローラ 3 0 又はフラッシュメモリ 8 に配置してもよい。

第 9 図には前記 S I M カードユニット 4 の機能ブロック図が示される。S I M カードユニット 4 はシングルチップマイクロコンピュータに

よって実現され、CPU（中央処理装置）40、CPU40のワーク領域等として利用されるRAM（ランダム・アクセス・メモリ）41、CPU40の動作プログラムなどを保有するROM（リード・オンリ・メモリ）42、外部とのデータ入出力を行なうシリアルインタフェース回路（SIO）43、及びフラッシュメモリ44によって構成される。GSM移動体通信システムにおいて、SIMカードユニット4は、セキュリティに関する加入者情報の蓄積・管理、ユーザPIN（Personal Identification Number）の作成・管理など、GSMオペレータのサポートやGSM加入者の承認・管理に必要な加入者情報を保持し、更に、課金情報、短縮ダイヤル・相手先固定ダイヤルのようなGSMサービスに必要な情報なども保持する。これらの情報をフラッシュメモリ44に保持し、管理するための処理をCPU40がRAM41を用いて行ない、そのための動作プログラムはROM42が保有する。更に、SIMカードユニット4は、通信プロトコルの実現、ファイル管理、セキュリティ管理を行なう。セキュリティ管理は、前記ユーザPIN等の認証コードを用いて利用者の利用権限の正当性、利用システムの正当性の確認を行なうことである。具体的な認証手順については詳細な説明を省略するが、GSMサービスにおける認証コードはユーザに1対1対応でGSMサービス提供者がSIMカードユニット4のフラッシュメモリ44に予め格納しておく。SIMカードユニット4に予め登録された認証コードは、例えば通話毎にSIMカードユニット4に入力されたコードとの一致判定等に用いられ、その判定結果に基づいて正当性の確認が行われる。課金との関係もあり、SIMカードユニット4におけるセキュリティレベルはメモリカードユニット3におけるセキュリティレベルよりも一般に高くされている。マルチファンクションICカードMFCはSIMカードユニット4とメモリカードユニット3はデータ

入出力端子として夫々固有のコネクタ端子が割当てられているから、夫々に対するセキュリティー情報などの秘密コードの書込み及び読み出しを独立に行なうことができ、このことが、セキュリティーレベルに対して相互に異なった取り扱いを可能にさせる。換言すれば、マルチファンクションに際してセキュリティーレベルの相違は相違として許容できる。

第10図にはマルチファンクションICカードMFCを利用可能な携帯電話機の機能ブロック図が示される。

音声はマイクロフォン51によりアナログ音声信号として取り込まれ、A/D変換器52によりデジタル音声信号に変換され、データプロセッサ53に入力される。データプロセッサ53は、受け取ったデジタル音声信号に対する音声符号化処理及びレイヤ処理としてのチャンネルコーデック処理等を行い、処理信号を送信信号として出力する。前記音声符号化処理及びチャンネルコーデック処理等は、特に制限されないが、DSPを用いて行われる。特に図示はしないが、データプロセッサ53は、前記チャンネルコーデックや音声コーデックの為のアクセラレータを内蔵してよい。

データプロセッサ53で生成された送信信号は例えばGMSK変調回路54によって変調され、更にD/A変換器55のよりアナログ信号に変換され、高周波送信部(RF送信部)56によりアンテナ57を介して送信される。

アンテナ57で受信された受信信号は、高周波受信部(RF受信部)58によって受信され、A/D変換器59にてデジタル信号に変換され、データプロセッサ53に取り込まれる。データプロセッサ53は、ビタビ復号処理、音声復号処理等を行い、音声信号を取り出し得て出力する。ビタビ復号処理、音声復号処理等はDSP又は図示を省略するア

クセラレータによって行われる。

データプロセッサ 53 より出力された音声信号は D/A 変換器 60 によりアナログ音声信号に変換され、スピーカ 61 から音声として出力される。

- 5 第 10 図の携帯電話機 20 においてデータプロセッサ 53 は中央処理装置 (CPU) 62、ダイレクトメモリアクセスコントローラ (DMAC) 63、前記 CPU 62 の動作プログラムなどを保有するリード・オンリ・メモリ (ROM) 64、前記 CPU 62 のワーク領域に利用されるランダム・アクセス・メモリ (RAM) 65、及び入出力ポートや
- 10 シリアルインタフェースなどの入出力回路 (I/O) 66 を有する。特に制限されないが、携帯電話機 20 の例では、データプロセッサ 53 は音声符号化復号のための音声コーデック処理、レイヤ処理としてのチャンネルコーデック処理、及びシステム制御処理などの動作プログラムは前記 ROM 64 が保有する。DMAC 63 に対する転送制御条件の設定
- 15 処理は前記 ROM 64 に格納された動作プログラムを CPU 62 が実行して行うようになっている。

- 特に制限されないが、前記データプロセッサ 53 の I/O 66 には、入力スイッチ部 70、表示コントローラ 71、及びカードインタフェースコントローラ 72 が接続されている。入力スイッチ部 70 はファンク
- 20 ション指定によって数字及び文字等を入力可能な多数の入力スイッチを有している。カードインタフェースコントローラ 72 はカードスロット 21 に装着されたマルチファンクション IC カード MFC とデータプロセッサ 53 との間のインタフェース制御を行う。データプロセッサ 53 は送信電話番号、着信電話番号、通信状態、バッテリー電圧など、携
- 25 帯電話装置 20 の状態を表示コントローラ 71 を介して液晶ディスプレイ 75 に適宜表示制御する機能を有している。

《マルチバンクメモリカード》

第11図には本発明に係るICカードの第2の例であるマルチバンクメモリカードの構成をコネクタ端子と回路ユニットとの接続形態を主体に示している。

- 5 第11図に示されるマルチバンクメモリカードMBCは、図1のマルチファンクションICカードMFCと同様の配列で、カード基板1に2列で千鳥状の#1～#13のコネクタ端子2が配置され、#1～#13のコネクタ端子2には並列動作可能なマルチバンクメモリを構成するようにメモリカードユニット3、3Aが接続されている。5はメモリカードユニット3、3Aをコネクタ端子2に接続する配線パターンやボンディングワイヤ等を総称する接続配線である。

- メモリカードユニット3は、#1～#8、#13のコネクタ端子2に接続され、図1のマルチファンクションICカードMFCのメモリカードユニット3と同じ構成を有する。したがって、メモリカードユニット3は、前述と同じように、第12図の7pin(1bit)の欄に示すようにマルチメディアカードとして動作可能であり、また、第12図の9pin(4bit)の欄に示すようにSDカードと同様に4ビット並列データ入出力動作可能である。その動作モードは、前述の通り、カードスロットに接続した時のコネクタ端子2の状態で決まり、また、マルチメディアカード互換の動作モードにおけるマルチメディアカードモード、SPIモードは前述の通りホスト装置によるメモリカードユニット3に対する初期化時の指定で決まる。

- 前記メモリカードユニット3Aはマルチメディアカード準拠の1ビットシリアル入出力のみ可能なメモリカードとしての機能だけしか備えていない。このメモリカードユニット3Aは、メモリカードユニット3と共有する#3、#4、#6のコネクタ端子から接地電圧V_{ss1}、

電源電圧 V_{dd} 、接地電圧 V_{ss} の供給を受る。そして、マルチメディアカードモードでは # 9 はリザーブ端子 $NC-2$ (オープン又は論理値 “1” に固定)、# 10 はコマンド端子 $CMD-2$ (コマンド入力及び応答信号出力を行う)、# 11 はクロック入力端子 $CLK-2$ 、# 12 はデータの入出力端子 $Data-2$ として機能される。SPIモードでは # 9 はチップセレクト端子 $CS-2$ (負論理)、# 10 はデータ入力端子 $Din-2$ (ホスト装置からカードへのデータ及びコマンド入力)、# 11 はクロック入力端子 $CLK-2$ 、# 12 はデータ出力端子 $Dout-2$ (メモ리카ードからホスト装置へのデータ及びステータス出力) として機能される。マルチメディアカードモード、SPIモードは前述の通りホスト装置によるメモ리카ードユニット 3A に対する初期化時の指定で決まる。

第 11 図に示されるマルチバンクメモ리카ード MBC を第 6 図に例示されるように 13 個のスロット端子 22 を有するカードスロット 21 に装着してホスト装置とインタフェースした場合、2 個のメモ리카ードユニット 3, 3A を並列動作させるとき夫々のメモ리카ードユニット 3, 3A に採り得る動作モードは、第 1 に、第 12 図の 13 pin (A) 欄に例示されるように、双方共にマルチメディアカード互換モードにおけるマルチメディアカードモード又は SPI モードとする態様である。

第 2 に、第 12 図の 13 pin (B) 欄に例示されるように、メモ리카ードユニット 3 を 4 ビット並列入出力可能な動作モード、メモ리카ードユニット 3A をマルチメディアカード互換モードにおけるマルチメディアカードモードとする態様である。何れにおいても、ホスト装置は 1 個の IC カードに含まれる双方のメモ리카ードユニット 3, 3A を夫々独立に制御でき、完全に並列動作させることも可能である。

《電源間ショート防止》

第1図のマルチファンクションICカードMFC及び第11図のマルチバンクメモリカードMBCにおいて前後2列のコネクタ端子2の配列には電源間ショート防止が考慮されている。上記の例では電源供給用コネクタ端子である#4の端子の後方には端子が配置されていない。第6図に例示されるようにコネクタ端子2が千鳥状に配置されている部分では、カードスロット21のスロット端子22は、短い端子22(S)と長い端子22(L)が交互にコネクタ端子2の半分のピッチで密集して配置されている。これに対して、#4のように後方にコネクタ端子2が無ければ、第6図に例示されるように、電源電圧(Vdd)供給用の#4のコネクタ端子2に対応されるスロット端子22(Vdd)の両隣には長いスロット端子22(L)が配置されない。

これに対して第13図の(A)に例示されるように、電源電圧(Vdd)供給用の#4のコネクタ端子の後ろに#10、#11のデータ端子を配置したICカード25を想定する。このICカード25に対応されるカードスロット26では、#4のコネクタ端子に対応されるスロット端子26Aaの隣には長いスロット端子26Abが配置されることになる。

第13図のICカード25をカードスロット26に挿入するとき、第13図の(B)に例示されるようにスロット端子26Abの接点(■印部分)は電源電圧Vddを入力する#4のコネクタ端子と回路の接地電圧Vssを入力する#3のコネクタ端子の表面に摺接する。このとき、電源電圧Vddを受けるスロット端子26Aaが#4のコネクタ端子に導通し、回路の接地電圧Vssを受けるスロット端子26Acが#3のコネクタ端子に導通すると、第13図の(C)に示されるように、26Aaの接点、#4、26Abの接点、#3、26Acの接点を介して電源電圧Vddと接地電圧Vssがショートする。

第6図に例示されるように電源供給用コネクタ端子である#4の端子の後方にコネクタ端子を配置しないことにより、そのような電源ショートの原因を未然に防止することができる。

5 以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

10 例えば、本発明はマルチメディアカードの外形仕様以外のメモリカード、例えばコンパクトフラッシュメモリ等の別の規格のICカードにも適用することができる。したがって、カード基板の大きさ、コネクタ端子の数、及びコネクタ端子の機能などは上記説明に限定されず、適宜変更可能である。また、本発明のICカードに実装されるメモリは不揮発性メモリに限定されるものではなく、揮発性メモリ（SRAM、DRAM等）であってもよい。また、不揮発性メモリは前記フラッシュメモリに限定されず、強誘電体メモリであってもよい。

15

産業上の利用可能性

20 本発明は、マルチファンクションICカードとしてGSM等の携帯電話機、その他の携帯情報端末に利用することができ、また、マルチバンクメモリICカードとしてデジタルビデオカメラ、デジタルスチルカメラ、その他の電子機器の補助記憶装置等に広く利用することができる。さらに、マルチファンクションICカードの機能として、通帳、クレジットカード、IDカード等の機能をメモリ機能と共に組み込むことも可能である。

請求の範囲

1. 半導体集積回路によって構成された第1の機能ブロック及び第2の機能ブロックを有し、複数個のコネクタ端子が露出されたICカード
5 であって、

前記複数個のコネクタ端子はICカードの挿入方向の前後に隣合う列相互間で千鳥状に複数列配置され、

前記コネクタ端子は、前記第1の機能ブロックに接続されて専用化された第1のコネクタ端子、前記第2の機能ブロックに接続されて専用化された第2のコネクタ端子、前記第1の機能ブロック及び第2の機能ブロックの双方に対して共通に動作電源を共通する第3のコネクタ端子を含んで成るものであることを特徴とするICカード。
10

2. 半導体集積回路によって構成された第1の機能ブロック及び第2の機能ブロックを有し、複数個のコネクタ端子が露出されたICカード
15 であって、

前記複数個のコネクタ端子はICカードの挿入方向の前後に形成された2列の配列を有し、第1列目に配置されたコネクタ端子の端子間領域の配列と第2列目に配置されたコネクタ端子の端子間領域とが列方向で相互にずらされ、

前記コネクタ端子は、前記第1の機能ブロックに接続されて専用化された第1のコネクタ端子、前記第2の機能ブロックに接続されて専用化された第2のコネクタ端子、前記第1の機能ブロック及び第2の機能ブロックの双方に対して共通に動作電源を共通する第3のコネクタ端子を含んで成るものであることを特徴とするICカード。
20

3. 半導体集積回路によって構成された第1の機能ブロック及び第2の機能ブロックを有し、複数個のコネクタ端子が露出されたICカード
25

であって、

前記複数個のコネクタ端子は I C カード挿入方向の前後に形成された 2 列の配列を有し、第 1 列目に配置されたコネクタ端子の列方向配置と第 2 列目に配置されたコネクタ端子の列方向配置とが列方向

5 で相互にずらされ、

前記コネクタ端子は、前記第 1 の機能ブロックに接続されて専用化された第 1 のコネクタ端子、前記第 2 の機能ブロックに接続されて専用化された第 2 のコネクタ端子、前記第 1 の機能ブロック及び第 2 の機能ブロックの双方に対して共通に動作電源を共通する第 3 のコネクタ端子を含んで成るものであることを特徴とする I C カード。

10

4. 前記第 2 列目に配置されたコネクタ端子の列方向一端のコネクタ端子は前記第 1 列目に配置されコネクタ端子の列方向一端のコネクタ端子と列方向で隣合う位置まで延在され、

前記第 2 列目に配置されたコネクタ端子の列方向他端のコネクタ端子は前記第 1 列目に配置されコネクタ端子の列方向他端のコネクタ端子と列方向で隣合う位置まで延在されて成るものであることを特徴とする請求の範囲第 2 項又は第 3 項記載の I C カード。

15

5. 前記第 1 の機能ブロックは、電氣的に書き換え可能な第 1 の不揮発性メモリと、前記第 1 のコネクタ端子から供給される指示に従って前記第 1 の不揮発性メモリのアクセス制御を行なうと共に前記第 1 のコネクタ端子を介して外部とのインタフェース制御を行なう第 1 のコントローラとを備えた第 1 のメモリカードユニットであり、

20

前記第 2 の機能ブロックは、電氣的に書き換え可能な第 2 の不揮発性メモリと、前記第 2 のコネクタ端子から供給される指示に従って前記第 2 の不揮発性メモリのアクセス制御を行なうと共に前記第 2 のコネクタ端子を介して外部とのインタフェース制御を行なう第 2 の

25

コントローラとを備えた第2のメモリカードユニットである、ことを特徴とする請求の範囲第1項乃至第4項の何れか1項記載のICカード。

5 6. 前記第1のコントローラは、前記第1の不揮発性メモリに書込むデータに対して暗号化を行い、前記第1の不揮発性メモリから読み出したデータに対して復号又は別の暗号化を行う機密保護機能を有し、

10 前記第2のコントローラは、前記第2の不揮発性メモリに書込むデータに対して暗号化を行い、前記第2の不揮発性メモリから読み出したデータに対して復号又は別の暗号化を行う機密保護機能を有して成るものであることを特徴とする請求の範囲第5項記載のICカード。

15 7. 前記第1のコネクタ端子はクロック端子とデータ端子を含み、前記第2のコネクタ端子はクロック端子とデータ端子を含み、前記第3のコネクタ端子は電源電圧供給用端子及び接地電圧供給用端子を含み、前記第1のメモリカードユニットと第2のメモリカードユニットとは並列動作可能なマルチバンクメモリユニットとして構成されて成るものであることを特徴とする請求の範囲第5項記載のICカード。

20 8. 前記第1の機能ブロックは、第1の不揮発性メモリと、前記第1の不揮発性メモリのアクセス制御を行なうと共に前記第1のコネクタ端子を介して外部とのインタフェース制御を行なう第1のコントローラとを備えた第1のデータ処理ユニットであり、

25 前記第2の機能ブロックは、第2の不揮発性メモリと、前記第2の不揮発性メモリのアクセス制御を行なうと共に前記第2のコネクタ端子を介して外部とのインタフェース制御を行なう第2のコントローラとを備えた第2のデータ処理ユニットであり、

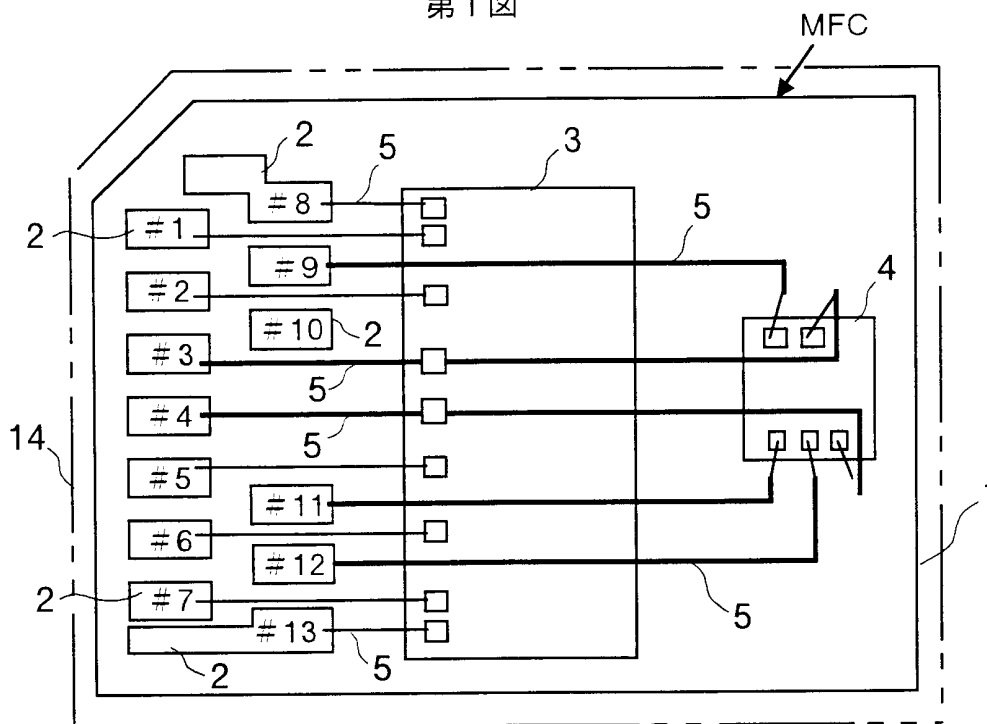
前記第 1 のデータ処理ユニット及び第 2 のデータ処理ユニットは夫々セキュリティのための秘密コードの格納エリアを別々に有して成るものであることを特徴とする請求の範囲第 1 項乃至第 4 項の何れか 1 項記載の IC カード。

- 5 9. 前記第 1 のデータ処理ユニットには不揮発性メモリの製造段階で秘密コードの格納エリアに秘密コードが書き込まれ、前記第 2 のデータ処理ユニットには IC カードの製造段階で秘密コードの格納エリアに秘密コードが書き込まれて成るものであることを特徴とする請求の範囲第 8 項記載の IC カード。
- 10 10. 前記第 1 のデータ処理ユニットはメモリカードユニットとされ、前記第 2 のデータ処理ユニットはマイクロコンピュータ化された SIM カードユニットとされて成るものであることを特徴とする請求の範囲第 8 項又は第 9 項記載の IC カード。
- 15 11. 前記第 1 のコントローラは、前記第 1 の不揮発性メモリに書込むデータに対して暗号化を行い、前記第 1 の不揮発性メモリから読み出したデータに対して復号又は別の暗号化を行う機密保護機能を有して成るものであることを特徴とする請求の範囲第 10 項記載の IC カード。
- 20 12. 前記第 1 のコネクタ端子はクロック端子、複数ビットのデータ端子及び 1 ビットのコマンド端子を含み、前記第 2 のコネクタ端子はクロック端子、データ端子及びリセット端子を含み、前記第 3 のコネクタ端子は電源電圧供給用端子及び接地電圧供給用端子を含んで成るものであることを特徴とする請求の範囲第 8 項又は第 9 項記載の IC カード。
- 25 13. 前記第 3 のコネクタ端子は第 1 列目に配置されていて電源電圧供給用のコネクタ端子を含み、第 2 列目のコネクタ端子列は前記電源電

圧供給用のコネクタ端子に隣り合う位置に端子間領域を有して成るものであることを特徴とする請求の範囲第2項又は第3項記載のICカード。

1 / 8

第1図

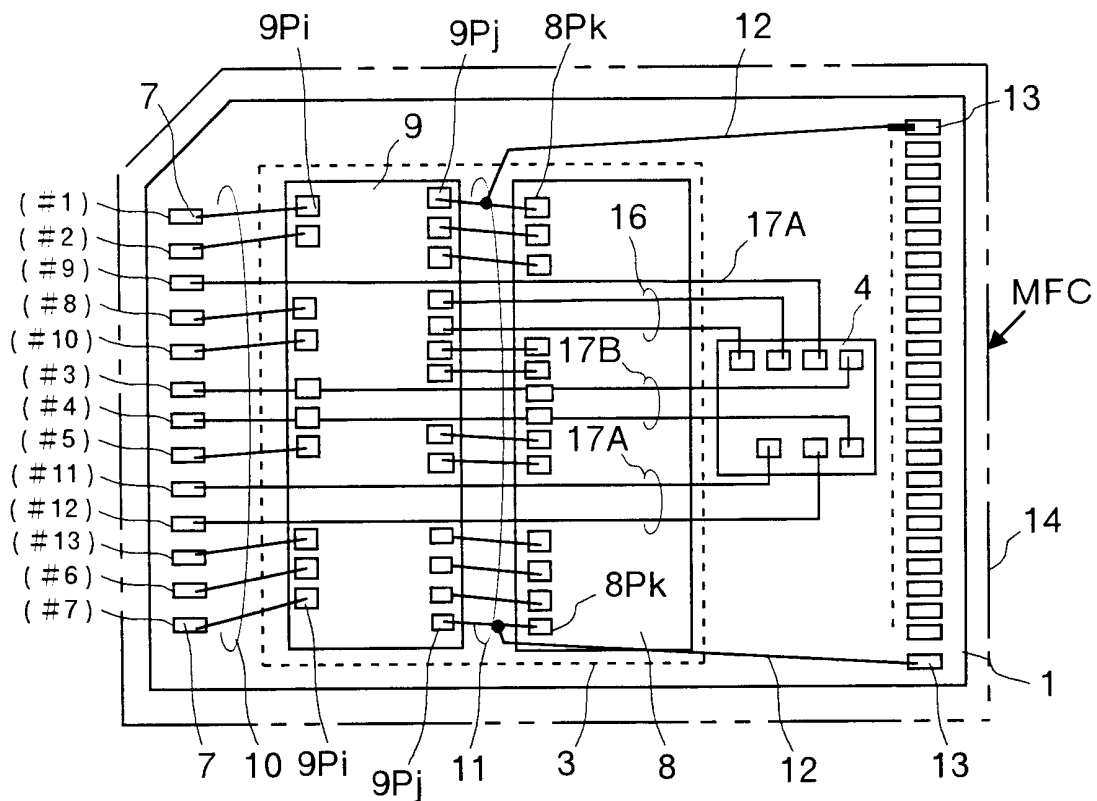


第2図

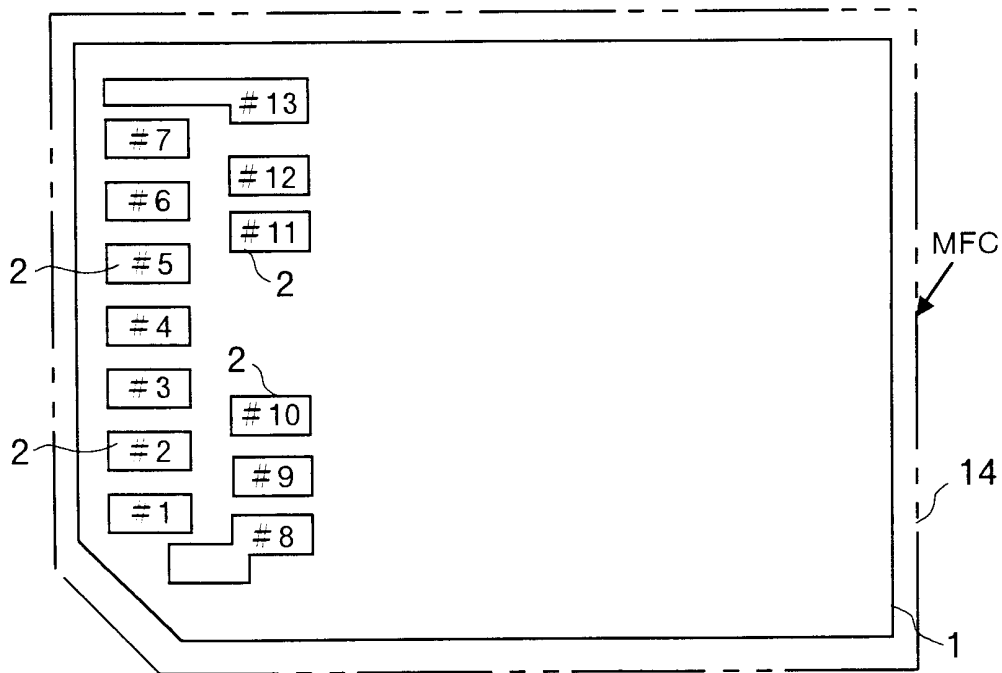
pin#	7pin (1bit)	9pin (4bit)	13pin
1	(CS) NC	Data3	Data3
2	(Din) CMD	CMD	CMD
3	Vss1	Vss1	Vss1
4	Vdd	Vdd	Vdd
5	CLK	CLK	CLK
6	Vss2	Vss2	Vss2
7	(Dout) Data	Data0	Data0
8	-	Data2	Data2
9	-	-	I/O
10	-	-	NC
11	-	-	CLK
12	-	-	RST
13	-	Data1	Data1

2 / 8

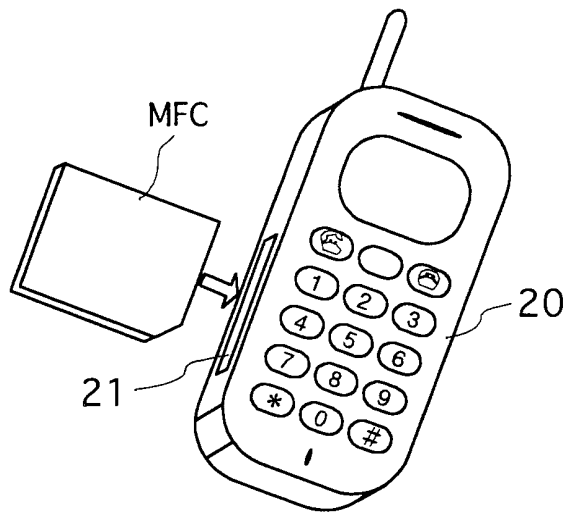
第3図



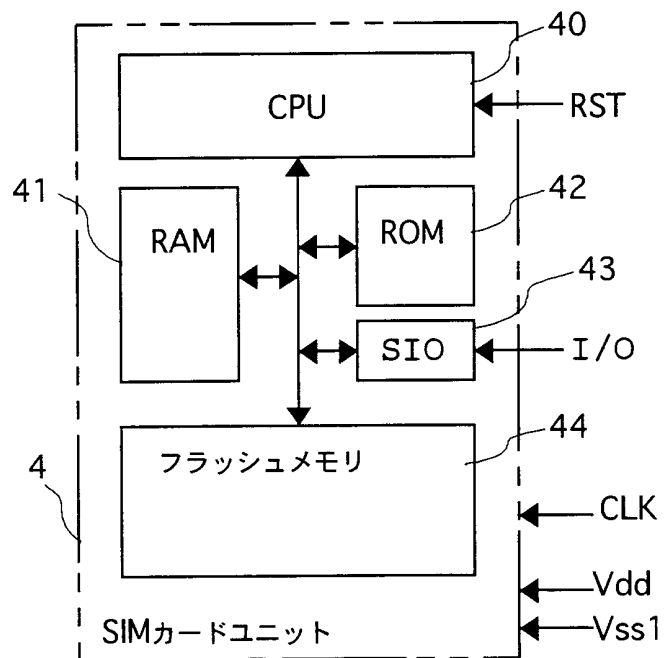
第4図



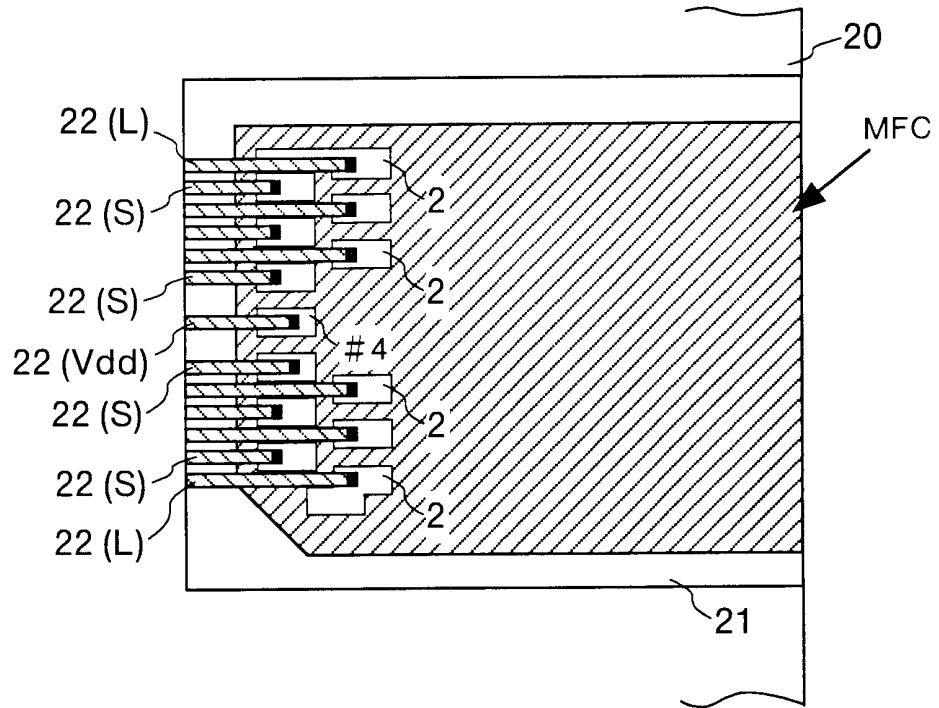
第5図



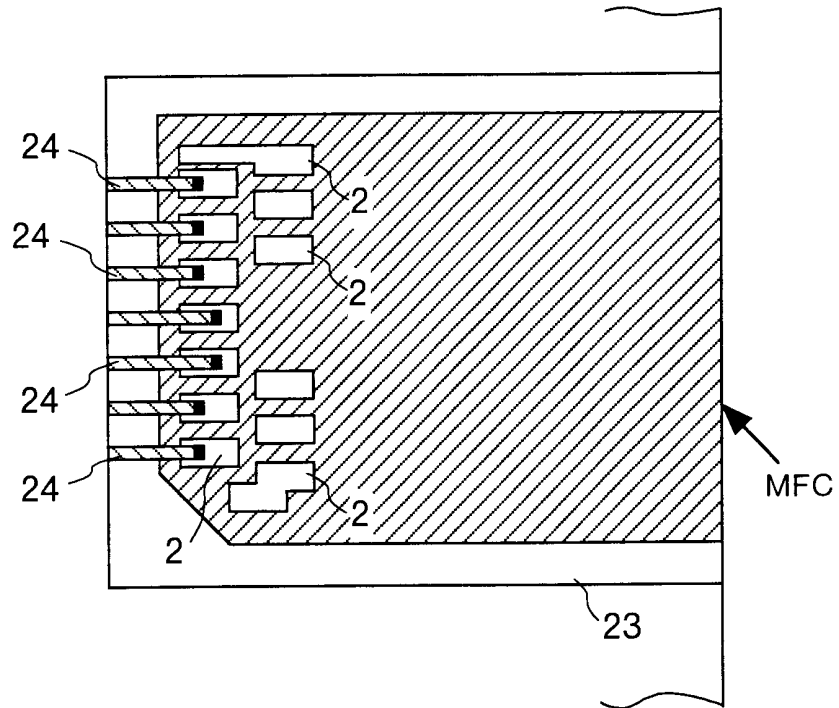
第9図



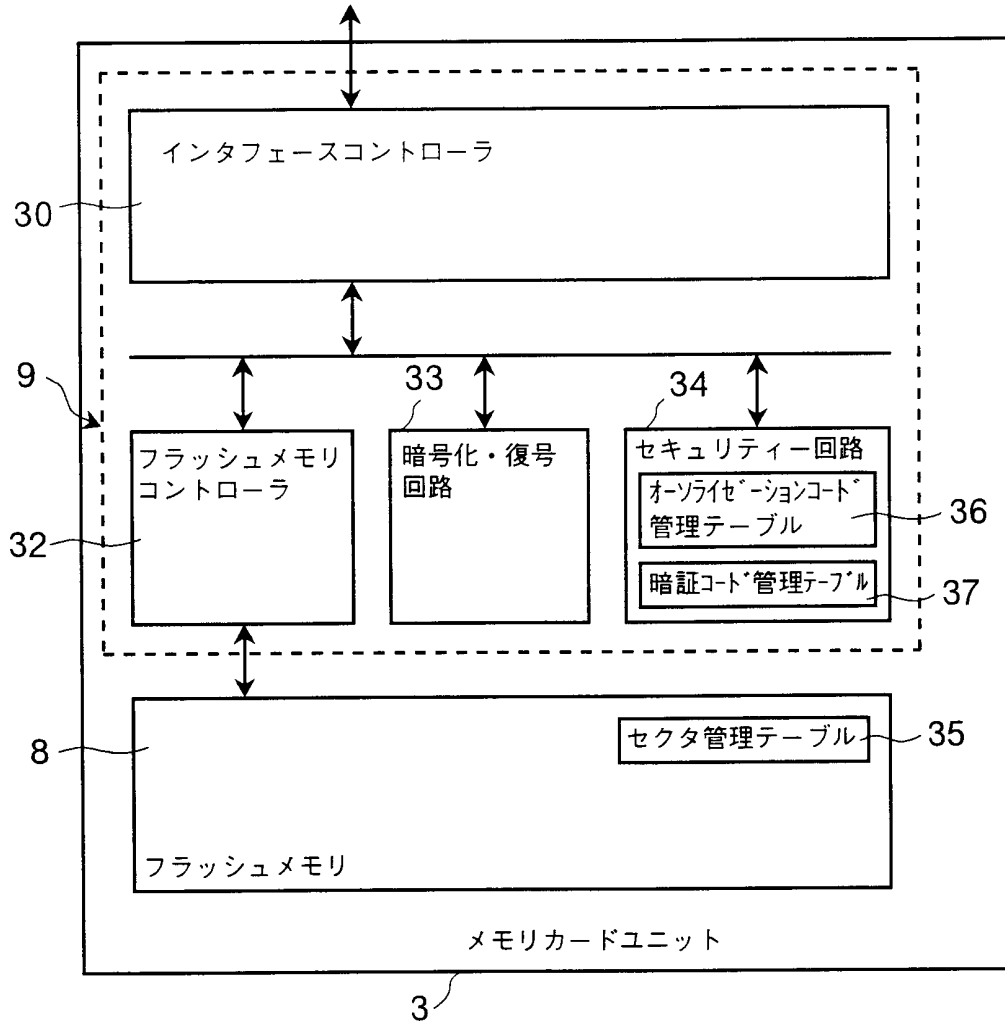
4 / 8
第 6 図



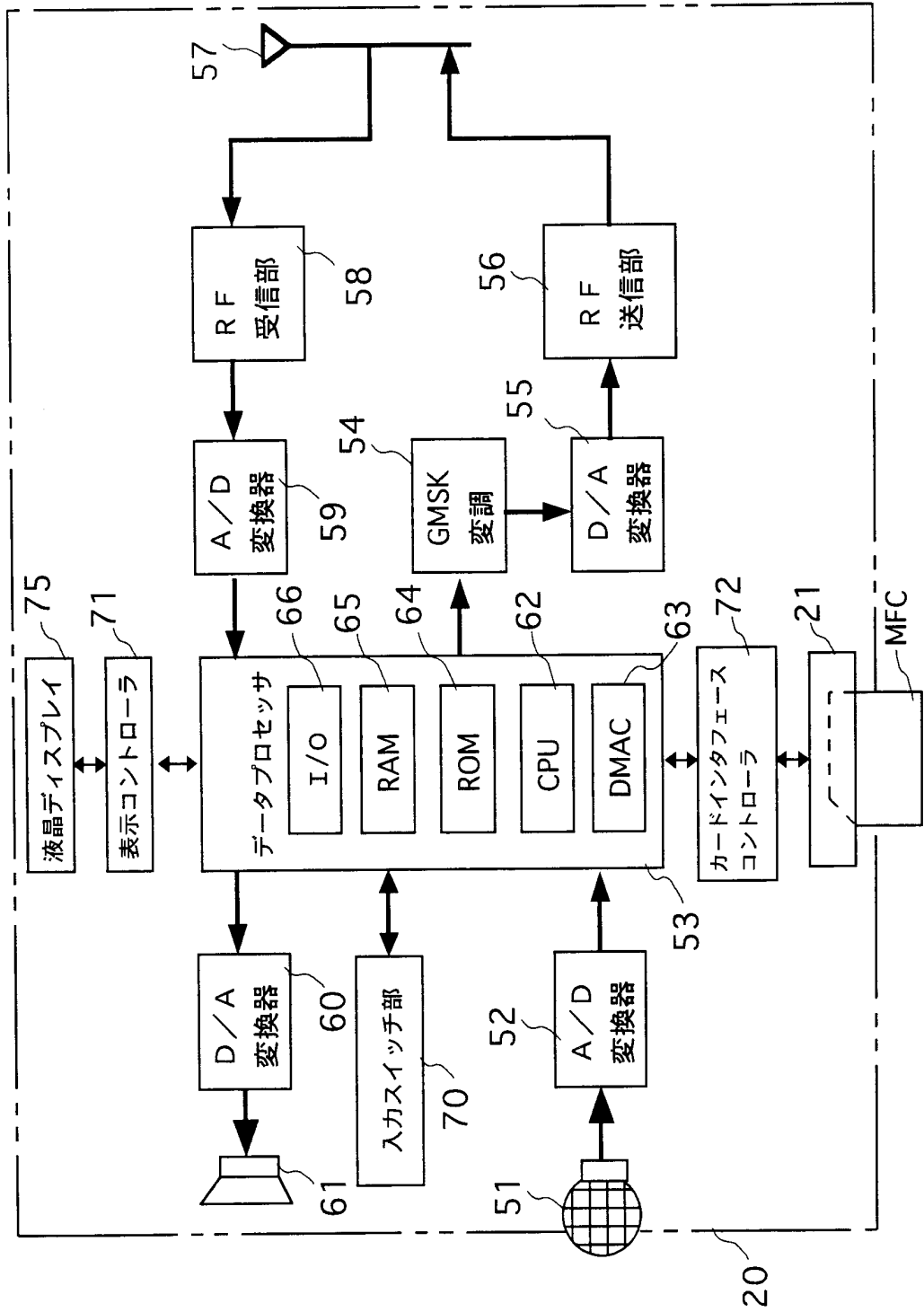
第 7 図



第 8 図

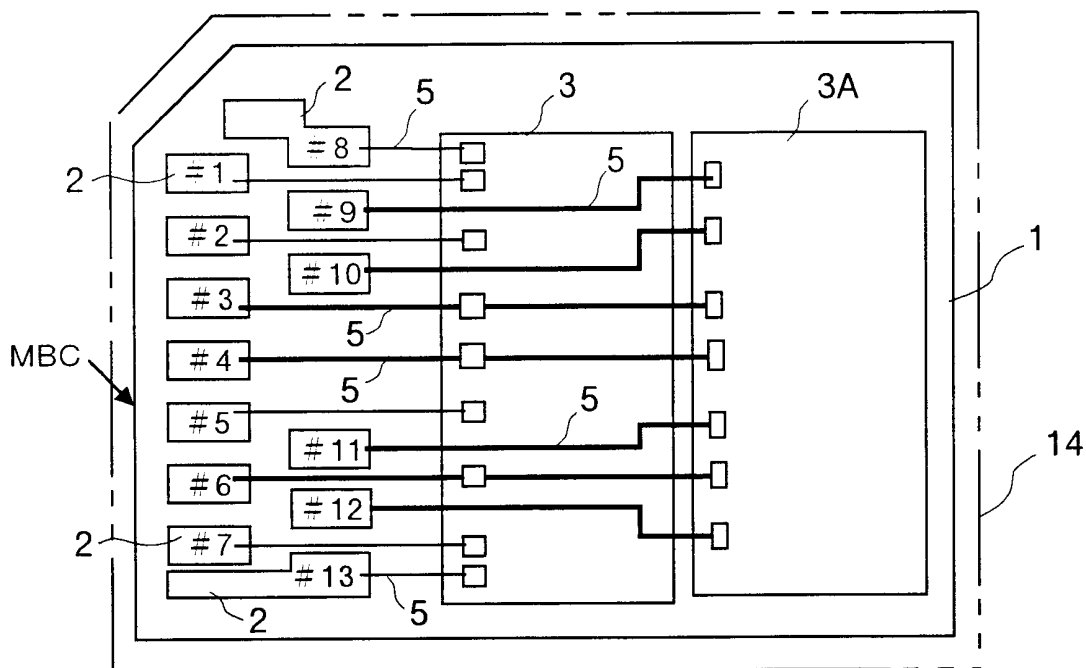


第10図



20

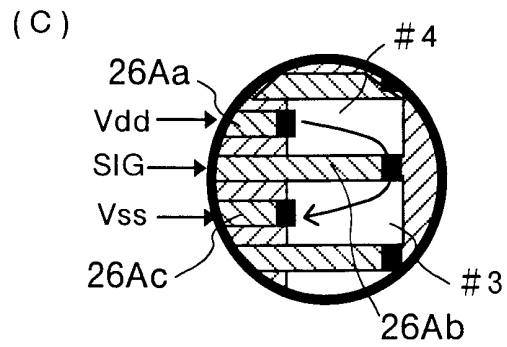
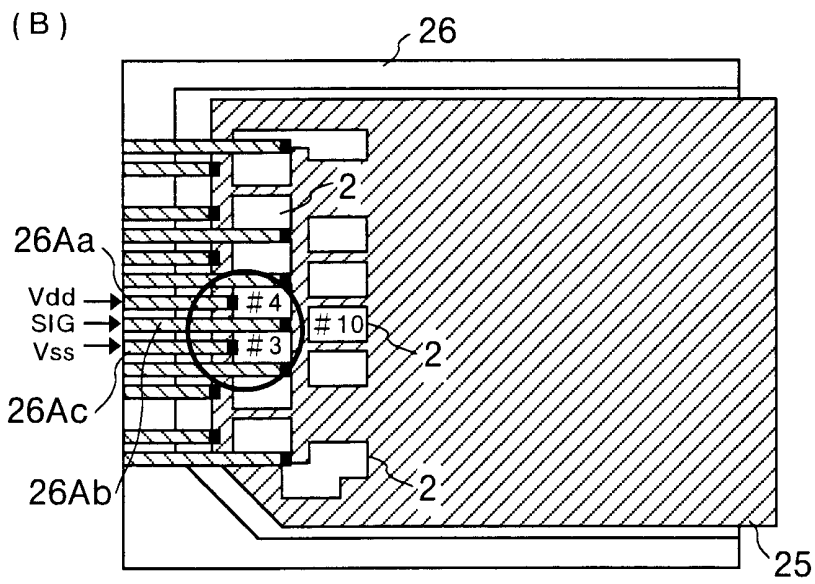
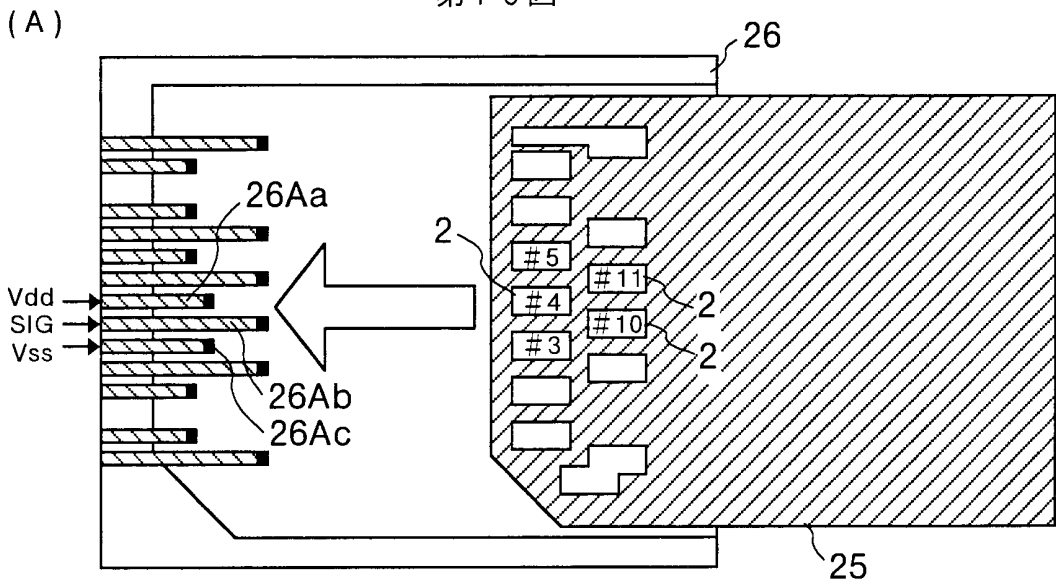
第 1 1 図



第 1 2 図

pin#	7pin (1bit)	9pin (4bit)	13pin	
			(A)	(B)
1	(CS) NC	Data3	(CS-1) NC-1	Data3
2	(Din) CMD	CMD	(Din-1) CMD-1	CMD-1
3	Vss1	Vss1	Vss1	Vss1
4	Vdd	Vdd	Vdd	Vdd
5	CLK	CLK	CLK-1	CLK-1
6	Vss2	Vss2	Vss2	Vss2
7	(Dout) Data	Data0	(Dout-1) Data-1	Data0
8	-	Data2		Data2
9	-	-	(CS-2) NC-2	NC-2
10	-	-	(Din-2) CMD-2	• CMD-2
11	-	-	CLK-2	• CLK-2
12	-	-	(Dout-2) Data-2	• Data-2
13	-	Data1		Data1

第 1 3 図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP00/02823

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06K19/07

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06K19/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 140608/1988 (Laid-open No.61680/1990), (NEC Corporation), 08 May, 1990 (08.05.90), Fig.4	1-3,5-12 4,13
Y A	JP 63-9586 A (Toshiba Corporation), 16 January, 1988 (16.01.88), Fig. 3 (Family: none)	1-3,5-12 4,13
Y	JP 9-259045 A (Mitsubishi Electric Corporation), 03 October, 1997 (03.10.97) & US, 5845066, A	5-12
Y	JP 10-334205 A (Toshiba Corporation), 18 December, 1998 (18.12.98) (Family: none)	5-12
Y	JP 5-57635 B2 (Casio Computer Co., Ltd.), 24 August, 1993 (24.08.93) (Family: none)	9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search 31 July, 2000 (31.07.00) Date of mailing of the international search report 15 August, 2000 (15.08.00)

Name and mailing address of the ISA/
Japanese Patent Office Authorized officer

Facsimile No. Telephone No.

国際調査報告

国際出願番号 PCT/J P 0 0 / 0 2 8 2 3

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ G06K19/07

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ G06K19/07

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1926-1996
 日本国公開実用新案公報 1971-2000
 日本国実用新案登録公報 1996-2000
 日本国登録実用新案公報 1994-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	日本国実用新案登録出願 63-140608 号 (日本国実用新案登録出願公開 2-6 1680 号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本電気株式会社) 8.5 月.1990 (08.05.90), 第 4 図	1-3, 5-12 4, 13
Y A	JP,63-9586,A(株式会社東芝),16.1 月.1988(16.01.88),第 3 図 (ファミリー無し)	1-3, 5-12 4, 13
Y	JP,9-259045,A(三菱電機株式会社),3.10 月.1997 (03.10.97) &US,5845066,A	5-12

C 欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 3 1 . 0 7 . 0 0
 国際調査報告の発送日 1 5.08.00

国際調査機関の名称及びびあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 前田 仁 印 電話番号 03-3581-1101 内線 3545	5 N 7 8 1 5
---	---	-------------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP,10-334205,A(株式会社東芝),18.12月.1998(18.12.98) (ファミリー無し)	5-12
Y	JP,5-57635,B2(カシオ計算機株式会社),24.8月.1993(24.08.93) (ファミリー無し)	9