(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2019 年 10 月 17 日 (17.10.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/196191 A1

(51) 国际专利分类号:
H01L 21/84 (2006.01) *H01L 27/12* (2006.01)

(21) 国际申请号: PCT/CN2018/090650

(22) 国际申请日: 2018 年 6 月 11 日 (11.06.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810333074.5 2018年4月13日 (13.04.2018) CN

(71) 申请人: 深 圳 市 华 星 光 电 技 术 有 限 公 司(**SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。

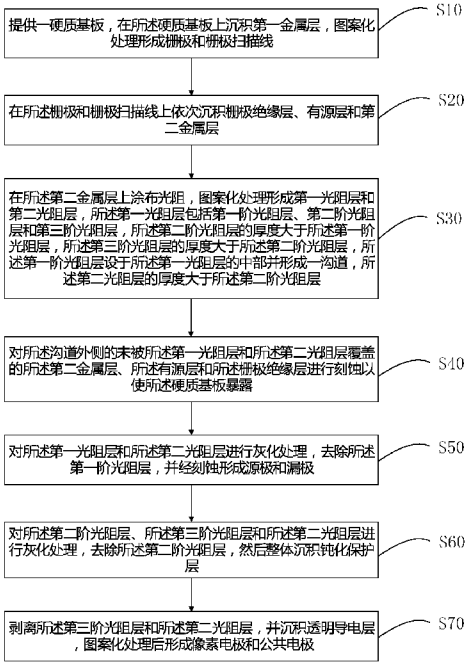
(72) 发明人: 罗 传 宝 (**LUO, Chuanbao**); 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。 姚 江 波 (**YAO, Jiangbo**); 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 广 州 三 环 专 利 商 标 代 理 有 限 公 司 (**SCIHEAD IP LAW FIRM**); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) **Title:** METHOD FOR PREPARING TFT ARRAY SUBSTRATE, TFT ARRAY SUBSTRATE, AND DISPLAY PANEL

(54) 发明名称: 一种TFT阵列基板的制备方法及TFT阵列基板、显示面板



S10 PROVIDE A HARD SUBSTRATE, DEPOSIT A FIRST METAL LAYER ON THE HARD SUBSTRATE, PERFORM PATTERNING TREATMENT TO FORM A GATE AND GATE SCAN LINES

S20 SEQUENTIALLY DEPOSIT A GATE INSULATING LAYER, AN ACTIVE LAYER AND A SECOND METAL LAYER ON THE GATE AND THE GATE SCAN LINES

S30 COAT A PHOTORESIST ON THE SECOND METAL LAYER, PERFORM PATTERNING TREATMENT TO FORM A FIRST PHOTORESIST LAYER AND A SECOND PHOTORE SIST LAYER, THE FIRST PHOTORESIST LAYER COMPRISING A FIRST-ORDER PHOTORESIST LAYER, A SECOND-ORDER PHOTORESIST LAYER AND A THIRD-ORDER PHOTORESIST LAYER, THE THICKNESS OF THE SECOND-ORDER PHOTORESIST LAYER BEING GREATER THAN THAT OF THE FIRST-ORDER PHOTORESIST LAYER, THE THICKNESS OF THE THIRD-ORDER PHOTORESIST LAYER BEING GREATER THAN THAT OF THE SECOND-ORDER PHOTORESIST LAYER, THE FIRST-ORDER PHOTORE SIST LAYER BEING PROVIDED AT THE MIDDLE OF THE FIRST PHOTORESIST LAYER AND FORMING A CHANNEL, THE THICKNESS OF THE SECOND PHOTORESIST LAYER BEING GREATER THAN THAT OF THE SECOND-ORDER PHOTORESIST LAYER

S40 ETCH THE SECOND METAL LAYER, THE ACTIVE LAYER, AND THE GATE INSULATING LAYER NOT COVERED BY THE FIRST PHOTORESIST LAYER AND THE SECOND PHOTORESIST LAYER OUTSIDE THE CHANNEL TO EXPOSE THE HARD SUBSTRATE

S50 PERFORM ASHING TREATMENT ON THE FIRST PHOTORESIST LAYER AND THE SECOND PHOTORESIST LAYER TO REMOVE THE FIRST-ORDER PHOTORESIST LAYER, AND PERFORM ETCHING TO FORM A SOURCE ELECTRODE AND A DRAIN ELECTRODE

S60 PERFORM ASHING TREATMENT ON THE SECOND-ORDER PHOTORESIST LAYER, THE THIRD-ORDER PHOTORESIST LAYER AND THE SECOND PHOTORESIST LAYER TO REMOVE THE SECOND-ORDER PHOTORESIST LAYER, AND THEN ENTIRELY DEPOSIT A PASSIVATION PROTECTIVE LAYER

S70 PEEL OFF THE THIRD-ORDER PHOTORESIST LAYER AND THE SECOND PHOTORESIST LAYER, DEPOSIT A TRANSPARENT CONDUCTIVE LAYER, AND PERFORM PATTERNING TREATMENT TO FORM A PIXEL ELECTRODE AND A COMMON ELECTRODE

图 1

(57) **Abstract:** A method for preparing a TFT array substrate, comprising: forming a gate and gate scan lines on a hard substrate; continuing to sequentially deposit a gate insulating layer, an active layer and a second metal layer; forming a first photoresist layer and a second photoresist layer on the second metal layer, the first photoresist layer comprising a first-order photoresist layer, a second-order photoresist layer and a third-order photoresist layer with increasing thickness, the first-order photoresist layer being provided at the middle of the first photoresist layer and forming a channel; performing ashing treatment to remove the first-order photoresist layer, and

WO 2019/196191 A1

[见续页]

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

performing etching to form a source electrode and a drain electrode; performing ashing treatment to remove the second-order photoresist layer, and then depositing a passivation protective layer; and peeling off the third-order photoresist layer and the second photoresist layer, and depositing a pixel electrode and a common electrode.

(57) 摘要：一种TFT阵列基板的制备方法，包括：在一硬质基板上形成栅极和栅极扫描线；继续依次沉积栅极绝缘层、有源层和第二金属层；在该第二金属层上形成第一光阻层和第二光阻层，该第一光阻层包括厚度递增的第一阶光阻层、第二阶光阻层和第三阶光阻层，第一阶光阻层设于第一光阻层的中部并形成一沟道；灰化处理以去除第一阶光阻层，并经刻蚀形成源极和漏极；灰化处理以去除第二阶光阻层，然后沉积钝化保护层；剥离第三阶光阻层和第二光阻层，并沉积形成像素电极和公共电极。

一种 TFT 阵列基板的制备方法及 TFT 阵列基板、显示面板

本申请要求 2018 年 4 月 13 日提交中国专利局的，申请号为 201810333074.5，发明名称为“一种 TFT 阵列基板的制备方法及 TFT 阵列基板、显示面板”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及柔性显示器技术领域，特别是涉及一种 TFT 阵列基板及其制备方法、显示面板。

背景技术

目前，薄膜晶体管液晶显示器（Thin Film Transistor Liquid Crystal Display，TFT-LCD）已成为主流显示器之一。TFT-LCD 上的每个液晶像素点都是由集成在像素点后面的薄膜晶体管（Thin Film Transistor，TFT）来驱动，从而可以做到高速度、高亮度、高对比度显示屏幕信息。TFT-LCD 的制作大致可分为 TFT 阵列（Array）工序、液晶单元工序、液晶模块工序三类；其中，TFT 阵列工序对液晶面板的显示性能存在重要影响，TFT 阵列工序对面板制备成本的影响尤为突出。

在制备 TFT 阵列基板的 TFT 阵列工序中，如半导体集成电路板使用光罩（mask）的多次的光刻程序是不可欠缺的。TFT 阵列基板的制备工艺经历了从 7 道光罩工艺到目前的 5 或 4 道光罩工艺的发展过程；并且，5 或 4 道光罩工艺仍是当今 TFT 阵列基板制备的主流工艺。其中，在原有 5 道光罩工艺基础上，利用灰色调光刻技术，将有源层和漏极的光刻合并为一道光罩，形成日趋成熟的 4 道光罩工艺。然而，随着显示面板市场对 TFT 阵列基板的需求量日益增长，对 TFT 阵列基板产能效率的要求也日趋严格。因此，有必要开发一种工艺流程显著简化，设备产能和利用率大幅提高的 TFT 阵列基板的制备工艺。

发明内容

有鉴于此，本发明实施例提供一种 TFT 阵列基板的制备方法，所述制备方法采用 3 mask 制备工艺，可显著简化工艺流程，大幅提高设备产能和利用率。

第一方面，本发明实施例提供了一种 TFT 阵列基板的制备方法，包括:

提供一硬质基板，在所述硬质基板上沉积第一金属层，图案化处理形成栅极和栅极扫描

线;

在所述栅极和栅极扫描线上依次沉积栅极绝缘层、有源层和第二金属层;

在所述第二金属层上涂布光阻材料，图案化处理形成第一光阻层和第二光阻层，所述第一光阻层包括第一阶光阻层、第二阶光阻层和第三阶光阻层，所述第二阶光阻层的厚度大于所述第一阶光阻层，所述第三阶光阻层的厚度大于所述第二阶光阻层，所述第一阶光阻层设于所述第一光阻层的中部并形成一沟道，所述第二光阻层的厚度大于所述第二阶光阻层;

对所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层、所述有源层和所述栅极绝缘层进行刻蚀以使所述硬质基板暴露;

对所述第一光阻层和所述第二光阻层进行灰化处理，去除所述第一阶光阻层，并经刻蚀形成源极和漏极;

对所述第二阶光阻层、所述第三阶光阻层和所述第二光阻层进行灰化处理，去除所述第二阶光阻层，然后整体沉积钝化保护层;

剥离所述第三阶光阻层和所述第二光阻层，并沉积透明导电层，图案化处理后形成像素电极和公共电极。

可选地，所述有源层包括依次在所述栅极绝缘层上的第一非晶硅膜和第二非晶硅膜，所述第一非晶硅膜置于所述栅极绝缘层与所述第二非晶硅膜之间。

可选地，所述第一非晶硅膜的材质包括无定形硅; 所述第二非晶硅膜的材质包括杂质离子掺杂的无定形硅。

可选地，所述经刻蚀形成源极和漏极的过程包括刻蚀所述第一阶光阻层覆盖的所述第二金属层和刻蚀所述第二非晶硅膜。

可选地，所述对所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层进行刻蚀后，所述第二光阻层覆盖的所述第二金属层形成数据线层。

可选地，所述栅极扫描线和所述数据线层间通过所述公共电极桥接。

可选地，所述透明导电层的材质包括铟锡氧化物（ITO）、铟锌氧化物（IZO）、铝锌氧化物(AZO)和铟镓锌氧化物（IGZO）中的一种或多种。

可选地，所述钝化保护层的材质包括氮化硅（SiN_x）和氧化硅（SiO_x）中的一种或多种。

本发明第一方面所述的 TFT 阵列基板的制备方法，采用 3 mask 制备工艺，极大地简化工艺流程，大幅提高设备产能和利用率，降低生产成本，可用于大规模工业化生产。由所述 TFT 阵列基板的制备方法制备得到的 TFT 阵列基板性能优越，结构稳定。

第二方面，本发明提供了一种如本发明第一方面所述的 TFT 阵列基板，该 TFT 阵列基板包括硬质基板，层叠在所述硬质基板上的栅极、栅极扫描线，以及依次层叠在所述栅极和栅

极扫描线上的栅极绝缘层、有源层、源极、漏极、数据线层、钝化保护层、像素电极和公共电极。其中所述漏极的一端上覆盖有像素电极，所述栅极扫描线与所述数据线层的之间设有栅极绝缘层和有源层，所述栅极扫描线与所述数据线层分别与所述公共电极连接。本发明第二方面所述的 TFT 阵列基板可以很方便实现通过公共电极搭接使栅极扫描线和数据线层导通，有利于后续外围线路布局设计。

第三方面，本发明还提供了一种显示面板，包括本发明第一方面所述的制备方法制备的 TFT 阵列基板。所述显示面板还包括彩膜基板、液晶层和背光模组等。

本发明的优点将会在下面的说明书中部分阐明，一部分根据说明书是显而易见的，或者可以通过本发明实施例的实施而获知。

附图说明

图 1 为本发明一实施例提供的 TFT 阵列基板的制备方法的工艺流程图；

图 2 为本发明一实施例提供的 TFT 阵列基板的制备方法的 S10 步骤的横截面示意图；

图 3 为本发明一实施例提供的 TFT 阵列基板的制备方法的 S20 步骤的横截面示意图；

图 4 为本发明一实施例提供的 TFT 阵列基板的制备方法的 S30 步骤的横截面示意图；

图 5 为本发明一实施例提供的 TFT 阵列基板的制备方法的 S40 步骤的横截面示意图；

图 6 为本发明一实施例提供的 TFT 阵列基板的制备方法的 S50 步骤的部分示意图；

图 7 为本发明一实施例提供的 TFT 阵列基板的制备方法的 S50 步骤的另一部分示意图；

图 8 为本发明一实施例提供的 TFT 阵列基板的制备方法的 S60 步骤的部分示意图；

图 9 为本发明一实施例提供的 TFT 阵列基板的制备方法的 S60 步骤的另一部分示意图；

图 10 为本发明一实施例提供的 TFT 阵列基板的制备方法的 S70 步骤的部分示意图；

图 11 为本发明一实施例提供的 TFT 阵列基板的制备方法的 S70 步骤的部分示意图。

图 12 为本发明另一实施例提供的 TFT 阵列基板的制备方法的 240 步骤的部分示意图。

具体实施方式

以下所述是本发明实施例的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明实施例原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也视为本发明实施例的保护范围。

本申请说明书、权利要求书和附图中出现的术语“包括”和“具有”以及它们任何变形，意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元，而是可选地还包括没有列出的步骤或单元，或可选地还

包括对于这些过程、方法、产品或设备固有的其它步骤或单元。此外，术语“第一”、“第二”和“第三”等是用于区别不同的对象，而并非用于描述特定的顺序。

请参阅图 1，本发明提供了一种 TFT 阵列基板的制备方法，包括:

S10、提供一硬质基板，在所述硬质基板上沉积第一金属层，图案化处理形成栅极和栅极扫描线;

S20、在所述栅极和栅极扫描线上依次沉积栅极绝缘层、有源层和第二金属层;

S30、在所述第二金属层上涂布光阻，图案化处理形成第一光阻层和第二光阻层，所述第一光阻层包括第一阶光阻层、第二阶光阻层和第三阶光阻层，所述第二阶光阻层的厚度大于所述第一阶光阻层，所述第三阶光阻层的厚度大于所述第二阶光阻层，所述第一阶光阻层设于所述第一光阻层的中部并形成一沟道，所述第二光阻层的厚度大于所述第二阶光阻层;

S40、对所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层、所述有源层和所述栅极绝缘层进行刻蚀以使所述硬质基板暴露;

S50、对所述第一光阻层和所述第二光阻层进行灰化处理，去除所述第一阶光阻层，并经刻蚀形成源极和漏极;

S60、对所述第一光阻层和所述第二光阻层进行灰化处理，去除所述第二阶光阻层，然后整体沉积钝化保护层;

S70、剥离所述第三阶光阻层和所述第二光阻层，并沉积透明导电层，图案化处理后形成像素电极和公共电极。

具体地，S10 中，如图 2 所示，提供一硬质基板 10，采用物理气相沉积(PVD)在所述硬质基板上沉积一层第一金属层（M1）（未画出），使用第一道光罩工序，经涂胶、曝光、显影、刻蚀（Etch）、去胶等操作图案化形成栅极(Gate)21 和栅极扫描线 22。所述硬质基板可设为显示区（Ative Area（AA）区）和非显示区（非 AA 区），所述栅极位于 AA 区内，而栅极扫描线位于非 AA 区内。本实施方法中，所述硬质基板的材质包括玻璃基板、硅片、金属或其他硬质薄膜。所述硬质基板具有较高的光通透性。所述第一金属层的材质包括铜(Cu)、铝(Al)、钕(Nd)、铬(Cr)、钼(Mo)、钛(Ti)和银(Ag)中的一种或多种。具体地，所述第一金属层的材质可以为铜，或银等。所述第一金属层的材质还可以为铜铝合金、铜钼合金、铜钛合金或银钼合金等。所述第一金属层具有较低的电阻，良好的导电性能，并且具有坚韧耐弯折等特性。相应地，所述栅极 21 和所述栅极扫描线 22 具有很高的导电性能。可选地，所述刻蚀形成的图形（如栅极 21 和栅极扫描线 22）的断面为一斜坡面（如梯形形状），以减少跨断现象，并可以有效避免后续沉积的其他薄膜层发生断线或断裂。可选地，所述第一金属层的沉积方法还包括磁控溅射、化学气相沉积（CVD）等。所述刻蚀包括湿法刻蚀（或称湿刻蚀）或干法

刻蚀。其中，所述 S10 中还包括清洗、检测等工艺，本实施方式中不做过多限定。

本实施方式中，所述栅极 21 或栅极扫描线 22 的厚度、形状可根据产品及工艺要求进行限定。优选地，所述栅极 21 和/栅极扫描线 22 的表面可以增设一层抗氧化、抗腐蚀层，提高产品的实用性能，延长产品的使用寿命。进一步地，所述第一金属层图案化处理后形成栅极和栅极扫描线之外，还包括形成存储电容的第一电极。

如图 3 所示，在 S20 中，将在上述 S10 中得到的包含栅极 21 和栅极扫描线 22 的硬质基板 10 的整个表面上沉积并形成栅极绝缘层 30，所述栅极绝缘层 30 完全覆盖所述栅极 21 和栅极扫描线 22 并延伸至所述硬质基板 10 整个表面，然后在栅极绝缘层 30 上继续沉积有源层 40 和第二金属层（M2）50。可选地，所述沉积方法包括磁控溅射、化学气相沉积法和物理气相沉积中的一种或多种。优选地，采用化学气相沉积法在所述包含栅极 21 和栅极绝缘层 22 的硬质基板 10 上连续沉积栅极绝缘层 30 和所述有源层 50；采用物理气相沉积法沉积第二金属层 50。本实施方式中，所述栅极绝缘层 30 的材质包括氮化硅(SiN_x)和氧化硅(SiO_x)中的一种或多种。所述和氧化硅(SiO_x)包括一氧化硅（SiO）、二氧化硅（SiO_2）或其他价态的氧化硅。所述栅极绝缘层 30 的材质还可以由其他无机材料制备而成。由 SiN_x、SiO_x 或其他无机材料制备而成的栅极绝缘层可对栅极 21 或栅极扫描线 22 起到保护和绝缘的作用。第二金属层 50 的材质包括铜、铝、钕、铬、钼、钛和银中的一种或多种。可选地，所述第二金属层 50 的材质可以为铜，或为银，或为钛等。所述第二金属层 50 的材质还可以为铜铝合金、铝钕合金、铜钼合金、铜钛合金或银钼合金等。所述第二金属层 50 与所述第一金属层的材质可以相同也可以不同。通过连续依次沉积栅极绝缘层 30、有源层 40 和第二金属层 50，使上述三层结构可以形成良好的层间接触，降低界面态密度，提高产品质量。

本实施方式中，所述有源层 40 包括依次层叠在所述栅极绝缘层 30 上的第一非晶硅膜和第二非晶硅膜。所述第一非晶硅膜置于所述栅极绝缘层与所述第二非晶硅膜之间。所述第一非晶硅膜的材质包括无定形硅(a-Si)；所述第二非晶硅膜的材质包括杂质离子掺杂的无定形硅(n+a-Si)。进一步地，可选地，所述无定形硅包括氢化非晶硅；所述杂质离子掺杂的无定形硅包括磷掺杂非晶硅。本实施方式中，所述第一非晶硅膜作为半导体层；所述第二非晶硅膜可作为欧姆接触层，用于降低源极和/或漏极与第一非晶硅膜之间的接触电阻，提升产品性能。

如图 4 所示，在 S30 中，采用第二道光罩工序，在 S20 中得到的包含第二金属层的硬质基板的整个表面上沉积光阻材料，利用三灰阶光罩，经涂胶、曝光、显影、刻蚀、去胶流程，图案化形成第一光阻层 61 和第二光阻层 62，所述第一光阻层 61 具有三种以上的厚度大小变化，包括第一阶光阻层 611、第二阶光阻层 612 和第三阶光阻层 613。其中，第一阶光阻层 611、第二阶光阻层 612 和第三阶光阻层 613 的厚度依次递增，即第二阶光阻层 612 的厚度大

于所述第一阶光阻层 611，所述第三阶光阻层 613 的厚度大于所述第二阶光阻层 612。所述第一阶光阻层 611 设于所述第一光阻层 61 的中部，形成类似“凹”型的沟道。本实施方式中，所述第一阶光阻层 611 置于所述第二阶光阻层 612 的中部；处于中部的第一阶光阻层 611 由于厚度最小，因此结构上构成一凹槽并形成沟道（见图 4 中的虚线圈内）。可选地，所述第一阶光阻层 611 也可以置于所述第二阶光阻层 612 和第三阶光阻层 613 之间。本实施方式中，与第一光阻层 61 间隔设置的第二光阻层 62 的厚度大于所述第二阶光阻层 612。可选地，所述第二光阻层的厚度等于第三阶光阻层的厚度。所述第二光阻层 62 可以置于所述栅极扫描线 22 上面，并层叠在第二金属层 50 表面上。

如图 5 所示，在 S40 中，对上述包含第一光阻层 61 和第二光阻层 62 的硬质基板上未被第一光阻层 61 和第二光阻层 62 的覆盖的区域继续刻蚀，包括对未被第一光阻层 61 和第二光阻层 62 覆盖保护的第二金属层 50 进行刻蚀，并继续对所述第二金属层 50 下面暴露的有源层 40 和栅极绝缘层 30 依次进行刻蚀以暴露所述硬质基板 10。其中，所述第一光阻层 61 包括第一阶光阻层 611、第二阶光阻层 612 和第三阶光阻层 613。所述第二金属层 50 经刻蚀后得到包括电极层 51 和数据线层 52。所述有源层 40 经刻蚀后得到包括第一有源层 41 和第二有源层 42。所述栅极绝缘层 30 经刻蚀后的得到包括第一栅极绝缘层 31 和第二栅极绝缘层 32。可选地，本实施方式中，采用湿刻蚀工艺，利用湿刻蚀试剂对未被光阻材料覆盖（包括第一光阻层 61 和第二光阻层 62）的第二金属层 50（见图 4）进行刻蚀；采用干法刻蚀对暴露的有源层 40 和栅极绝缘层 30 进行刻蚀（见图 4）。所述湿刻蚀工艺具有选择性好、重复性好、成本低和生产效率高等优点。所述干法刻蚀的各项异性好，可以高保真的转移光刻图形。本实施方式中，在采用湿刻蚀工艺对所述第二金属层 50 进行刻蚀过程中，由于湿刻蚀试剂会部分渗透，因此，所述经刻蚀后得到的电极层 51 的截面宽度（平行于硬质基板 10 方向）小于所述第一光阻层 61；所述数据线层 52 的截面宽度小于所述第二光阻层 62 的截面宽度。

在 S50 中，一并参见图 5 和图 6，对上述包含第一光阻层 61 和第二光阻层 62 的硬质基板 10 进行灰化处理，去除第一阶光阻层 611；其中，第一光阻层 61 和第二光阻层 62 都减少第一阶光阻层 611 的厚度，然后采用湿刻蚀工艺对暴露的电极层 51 进行刻蚀使所述第一有源层 41 暴露，并得到源极 511 和漏极 512。参见图 7，继续采用干法刻蚀工艺继续对第一有源层 41 进行部分刻蚀，以形成导电沟道 a（如图 7 中虚线圈所示）。所述第一有源层 41 包括依次层叠在所述第一栅极绝缘层 31 上第一非晶硅膜和第二非晶硅膜。所述第一非晶硅膜和第二非晶硅膜已在上述 S20 中进行描述，本实施方式中不再赘述。所述部分刻蚀是指刻蚀掉所述导电沟道 a 中第一有源层 41 中的第二非晶硅膜，保留第一有源层 41 的第一非晶硅膜。而与源极 511 和漏极 512 接触的第一有源层 41 的区域还保留有第二非晶硅膜。因此，源极 511 和

漏极 512 与第一有源层 41 之间可以形成欧姆接触，以提高最终产品的性能。

本实施方式中，第一光阻层 61 去掉第一阶光阻层后剩下第二阶光阻层 612 和第三阶光阻层 613。其中，第二阶光阻层 612 因中部设置的第一阶光阻层被灰化掉，形成了分为两个部分。由于是对整个硬质基板表面的光阻材料进行部分灰化处理，因此，第二阶光阻层 612、第三阶光阻层 613 和第二光阻层 62 都统一减少此次灰化处理操作中灰化的第一阶光阻层的厚度；而原来的第一阶光阻层也因减去自身厚度而被完全去除并暴露出其下方的电极层 51。本实施方式中，所述第一光阻层和第二光阻层是由光阻材料图案化形成。所述光阻材料包括有机光阻材料。具体地，所述光阻材料包括树脂、感光剂、溶剂。所述光阻材料还包括其他材料，本实施方式中不做过多限定。

所述 S60 中，由于上述 S50 步骤中，包含源极 511 和漏极 512 的硬质基板 10 表面剩余的第二阶光阻层 612、第三阶光阻层 613 和第二光阻层 62 都已同时减少了第一阶光阻层的厚度，此次步骤中，继续对上述的第二阶光阻层 612、第三阶光阻层 613 和第二光阻层 62 进行灰化处理，以去除第二阶光阻层 612，同时第三阶光阻层 613 和第二光阻层 62 再次减小第二阶光阻层 612 的厚度，如图 8 所示。剩下的第三阶光阻层 613 虽然再次减少了厚度，但还局部覆盖在所述漏极 512 的表面；所述第二光阻层 62 同样因为厚度大于第二阶光阻层 612，在这次灰化处理后依然覆盖在所述数据线层 52 的表面。本步骤中，所述整体沉积钝化保护层包括，如图 9 所示，在整个硬质基板的含有已沉积了各层结构（包括栅极绝缘层、有源层等）的一侧表面上继续沉积并形成一钝化保护层 70。由于经过上述 S10-S50 步骤后的所述硬质基板 10 表面并不平整，存在一定的结构差异，因此，从图 9 所示的截面示意图中可以看出所述钝化保护层 70 包括四个部分，分别为第一钝化保护层 71，第二钝化保护层 72，第三钝化保护层 73 和第四钝化保护层 74。所述第一钝化保护层 71 覆盖的区域包括源极 511、漏极 512、第三阶光阻层 61 和部分暴露在外的第一有源层 41，以及暴露在外第一栅极绝缘层 31、第一有源层 41 和源极 511 的一侧侧面。本实施方式中，所述漏极可以部分覆盖有第三阶光阻层，也可全部覆盖有第三阶光阻层，当所述漏极表面部分覆盖有第三阶光阻层时，所述漏极表面未被第三阶光阻层覆盖的区域可直接覆盖有钝化保护层（如第一钝化保护层）。所述第二钝化保护层 72 和第四钝化保护层 74 覆盖在所述栅极扫描线 22 两侧的暴露的硬质基板 10 表面。所述第三钝化保护层 73 覆盖在所述第二光阻层 62 的表面。所述钝化保护层的材质包括氮化硅（SiN_x）和一氧化硅（SiO）和二氧化硅（SiO_2）中的一种或多种。所述钝化保护层可以起到保护薄膜晶体管、数据线层和栅极扫描线的作用，具有一定的阻氧气和水汽作用，且具有绝缘作用。

在 S70 中，剥离剩余第三阶光阻层 613 和第二光阻层 62，如图 10 所示，其中当所述第

三阶光阻层 613 和第二光阻层表面的 62 被剥离的同时，覆盖在所述第三阶光阻层上的部分第一钝化保护层和覆盖在所述第二光阻层上的第三钝化保护层一并被去除，原来所述第一钝化保护层 71（见图 9）变成新的地钝化保护层 711，且部分暴出露漏极 512。然后在清洗干燥后，采用物理气相沉积透明导电材料以形成透明导电层，并使用第三道光罩工艺，经涂胶、曝光、显影、刻蚀、去胶的过程，图案化形成像素电极 81 和公共电极 82，参见图 11。所述像素电极 81 与所述漏极 512 存在直接接触连接区域，所述漏极 512 的一端上覆盖有像素电极，相比于通过过孔方式与漏极相连的情况，可以从根本上避免像素电极断线问题，有利于提高产品的良品率，同时还简化工艺；采用剥离第三阶光阻层的方式实现漏极的暴露，进而方便沉积并制备透明导电层。所述像素电极 81 在覆盖暴露在外的漏极 512 的同时还一直延伸至部分覆盖所述钝化保护层 711 和第二钝化保护层 72；所述像素电极还起到保护漏极 512 及第一有源层 41 等的作用，防止空气中的氧气或水汽对其的侵蚀。所述公共电极 82 覆盖所述数据线层 52、第二有源层 42 和第二栅极绝缘层 31。当所述栅极扫描线 22 的截面宽度大小大于所述第二栅极绝缘层 31 的宽度大小，所述栅极扫描线 22 部分暴露出来时，所述公共电极 82 还可以延伸并覆盖所述暴露出来的栅极扫描线 22，并可以实现栅极扫描线 22 与数据线层 52 的桥接，有利于后续显示面板的线路排布。参见图 5，通过使所述第二光阻层的截面宽度 L 小于所述栅极扫描线绝缘线截面宽度 H，可以在后续的刻蚀工艺中更为方便的实现栅极扫描线与公共电极实现相连。所述公共电极 82 也可以防止金属电极（如数据线层 52、栅极扫描线 22 等）直接暴露在大气下氧化，具有一定的保护的作用。本实施方式中，所述栅极扫描线 22 和所述数据线层 52 之间设有第二栅极绝缘层 32 和第二有源层 42。

所述 S70 中还包含其他清洗、或退火过程，本实施方式中不进行过多限定。其中，所述透明导电层的材质包括铟锡氧化物、铟锌氧化物、铝锌氧化物和铟镓锌氧化物中的一种或多种。可选地，所述沉积方法还包括磁控溅射和化学沉积法等。

本实施方式中，所述覆盖在外侧的透明导电层还可以作为存储电容的第二电极，与所述第一金属层图案化形成的所述第一电极构成存储电容的上下电极，所述第一电极和所述第二电极之间的可设有钝化保护层。

所述 TFT 阵列基板的制备方法中，还包括清洗、退火或检测操作，本实施方式中不做过多限定，所述 S10-S70 步骤过程中的具体实验参数，本实施方式中也不做过多限定。所述 S10-S70 步骤过程中共使用了三次光罩工艺，极大地简化工艺流程，大幅提高设备产能和利用率，降低单位成本；且本实施方式所述制备方法工艺简单，可实现大规模工业化生产。

本实施方式中，还提供了一种 TFT 阵列基板的制备方法，包括：

S210、提供一硬质基板，在所述硬质基板上沉积第一金属层，图案化处理形成栅极和栅

极扫描线;

S220、在所述栅极和栅极扫描线上依次沉积栅极绝缘层、有源层和第二金属层;

S230、在所述第二金属层上涂布光阻，图案化处理形成第一光阻层和第二光阻层，所述第一光阻层包括第一阶光阻层、第二阶光阻层和第三阶光阻层，所述第二阶光阻层的厚度大于所述第一阶光阻层，所述第三阶光阻层的厚度大于所述第二阶光阻层，所述第一阶光阻层设于所述第一光阻层的中部并形成一沟道，所述第二光阻层的厚度大于所述第二阶光阻层;

S240、对所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层进行刻蚀以使所述有源层暴露，并对所述第一光阻层和所述第二光阻层进行灰化处理，去除所述第一阶光阻层;

S250、对所述沟道外侧的暴露的所述有源层、所述栅极绝缘层进行刻蚀以使所述硬质基板暴露，并经刻蚀形成源极和漏极;

S260、对所述第一光阻层和所述第二光阻层进行灰化处理，去除所述第二阶光阻层，然后整体沉积钝化保护层;

S270、剥离所述第三阶光阻层和所述第二光阻层，并沉积透明导电层，图案化处理后形成像素电极和公共电极。

本实施方式与上一个实施方式的差别在于，所述 S240 中，本实施方式中第一次对所述第一光阻层和第二光阻层进行灰化处理以去除第一阶光阻层的操作的先后顺序存在差异。本实施方式中，所述对所述第一光阻层和所述第二光阻层进行灰化处理的操作在所述对所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层进行刻蚀的操作之后。如图 12 所示，在刻蚀完所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层后，然后进行第一光阻层和第二光阻层进行灰化处理以去除第一阶光阻层。接下来刻蚀所述沟道外侧暴露的有源层 40 和栅极绝缘层 30，然后刻蚀所述沟道中因灰化处理去除的第一阶光阻层 611 而暴露的第二金属层（具体地为电极层 51），并继续刻蚀以形成源极 511 和漏极 512。本实施方式的其他步骤中的限定此处不再赘述。

进一步可选地，所述对所述第一光阻层和所述第二光阻层进行灰化处理的操作还可以在所述对所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层、有源层进行刻蚀的操作之后。

如图 11 所示，本实施方式还提供了一种 TFT 阵列基板，所述 TFT 阵列基板包括硬质基板 10，层叠在所述硬质基板 10 上的栅极 21、栅极扫描线 22，以及依次层叠在所述栅极 21 和栅极扫描线 22 上的栅极绝缘层 31、有源层（包括第一有源层 41 和第二有源层 42）、源极 511、漏极 512、数据线层 52、钝化保护层 711、像素电极 81 和公共电极 82。其中所述漏极

512 的一端上覆盖有像素电极 81，所述栅极扫描线 22 与所述数据线层 52 的之间设有第二栅极绝缘层 32 和第二有源层 42，所述栅极扫描线 22 与所述数据线层 52 分别与所述公共电极 82 连接。

需要说明的是，根据上述说明书的揭示和阐述，本发明所属领域的技术人员还可以对上述实施方式进行变更和修改。因此，本发明并不局限于上面揭示和描述的具体实施方式，对本发明的一些等同修改和变更也应当在本发明的权利要求的保护范围之内。此外，尽管本说明书中使用了一些特定的术语，但这些术语只是为了方便说明，并不对本发明构成任何限制。

权 利 要 求

1、一种 TFT 阵列基板的制备方法，其中，包括:

提供一硬质基板，在所述硬质基板上沉积第一金属层，图案化处理形成栅极和栅极扫描线;

在所述栅极和栅极扫描线上依次沉积栅极绝缘层、有源层和第二金属层;

在所述第二金属层上涂布光阻材料，图案化处理形成第一光阻层和第二光阻层，所述第一光阻层包括第一阶光阻层、第二阶光阻层和第三阶光阻层，所述第二阶光阻层的厚度大于所述第一阶光阻层的厚度，所述第三阶光阻层的厚度大于所述第二阶光阻层的厚度，所述第一阶光阻层设于所述第一光阻层的中部并形成一沟道，所述第二光阻层的厚度大于所述第二阶光阻层的厚度;

对所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层、所述有源层和所述栅极绝缘层进行刻蚀以使所述硬质基板暴露;

对所述第一光阻层和所述第二光阻层进行灰化处理，去除所述第一阶光阻层，并经刻蚀形成源极和漏极;

对所述第二阶光阻层、所述第三阶光阻层和所述第二光阻层进行灰化处理，去除所述第二阶光阻层，然后整体沉积钝化保护层;

剥离所述第三阶光阻层和所述第二光阻层，并沉积透明导电层，图案化处理后形成像素电极和公共电极。

2、如权利要求 1 所述的制备方法，其中，所述有源层包括依次层叠在所述栅极绝缘层上的第一非晶硅膜和第二非晶硅膜，所述第一非晶硅膜置于所述栅极绝缘层与所述第二非晶硅膜之间。

3、如权利要求 2 所述的制备方法，其中，所述第一非晶硅膜的材质包括无定形硅; 所述第二非晶硅膜的材质包括杂质离子掺杂的无定形硅。

4、如权利要求 2 所述的制备方法，其中，所述经刻蚀形成源极和漏极的过程包括刻蚀所述第一阶光阻层覆盖的所述第二金属层和刻蚀所述第二非晶硅膜。

5、如权利要求 1 所述的制备方法，其中，所述对所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层进行刻蚀后，所述第二光阻层覆盖的所述第二金属层形成数据线层。

6、如权利要求 5 所述的制备方法，其中，所述栅极扫描线和所述数据线层间通过所述公共电极桥接。

7、如权利要求 1 所述的制备方法，其中，所述透明导电层的材质包括铟锡氧化物、铟锌氧化物、铝锌氧化物和铟镓锌氧化物中的一种或多种。

8、如权利要求 1 所述的制备方法，其中，所述钝化保护层的材质包括氮化硅和氧化硅中的一种或多种。

9、如权利要求 1 所述的制备方法，其中，所述第一金属层的材质包括铜、铝、钕、铬、钼、钛和银中的一种或多种。

10、如权利要求 1 所述的制备方法，其中，所述第二金属层的材质包括铜、铝、钕、铬、钼、钛和银中的一种或多种。

11、如权利要求 1 所述的制备方法，其中，所述第一金属层图案化处理后还形成用于存储电容的第一电极。

12、一种如权利要求 1 所述的制备方法制备得到的 TFT 阵列基板。

13、如权利要求 12 所述的 TFT 阵列基板，其中，所述有源层包括依次层叠在所述栅极绝缘层上的第一非晶硅膜和第二非晶硅膜，所述第一非晶硅膜置于所述栅极绝缘层与所述第二非晶硅膜之间。

14、如权利要求 13 所述的 TFT 阵列基板，其中，所述第一非晶硅膜的材质包括无定形硅；所述第二非晶硅膜的材质包括杂质离子掺杂的无定形硅。

15、如权利要求 13 所述的 TFT 阵列基板，其中，所述经刻蚀形成源极和漏极的过程包括刻蚀所述第一阶光阻层覆盖的所述第二金属层和刻蚀所述第二非晶硅膜。

16、如权利要求 12 所述的 TFT 阵列基板，其中，所述对所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层进行刻蚀后，所述第二光阻层覆盖的所述第二金属层形成数据线层。

17、如权利要求 16 所述的 TFT 阵列基板，其中，所述栅极扫描线和所述数据线层间通过所述公共电极桥接。

18、如权利要求 12 所述的 TFT 阵列基板，其中，所述透明导电层的材质包括铟锡氧化物、铟锌氧化物、铝锌氧化物和铟镓锌氧化物中的一种或多种。

19、如权利要求 12 所述的 TFT 阵列基板，其中，所述钝化保护层的材质包括氮化硅和氧化硅中的一种或多种。

20、一种显示面板，其中，所述显示面板包括如权利要求 1 所述制备方法制备的 TFT 阵列基板。

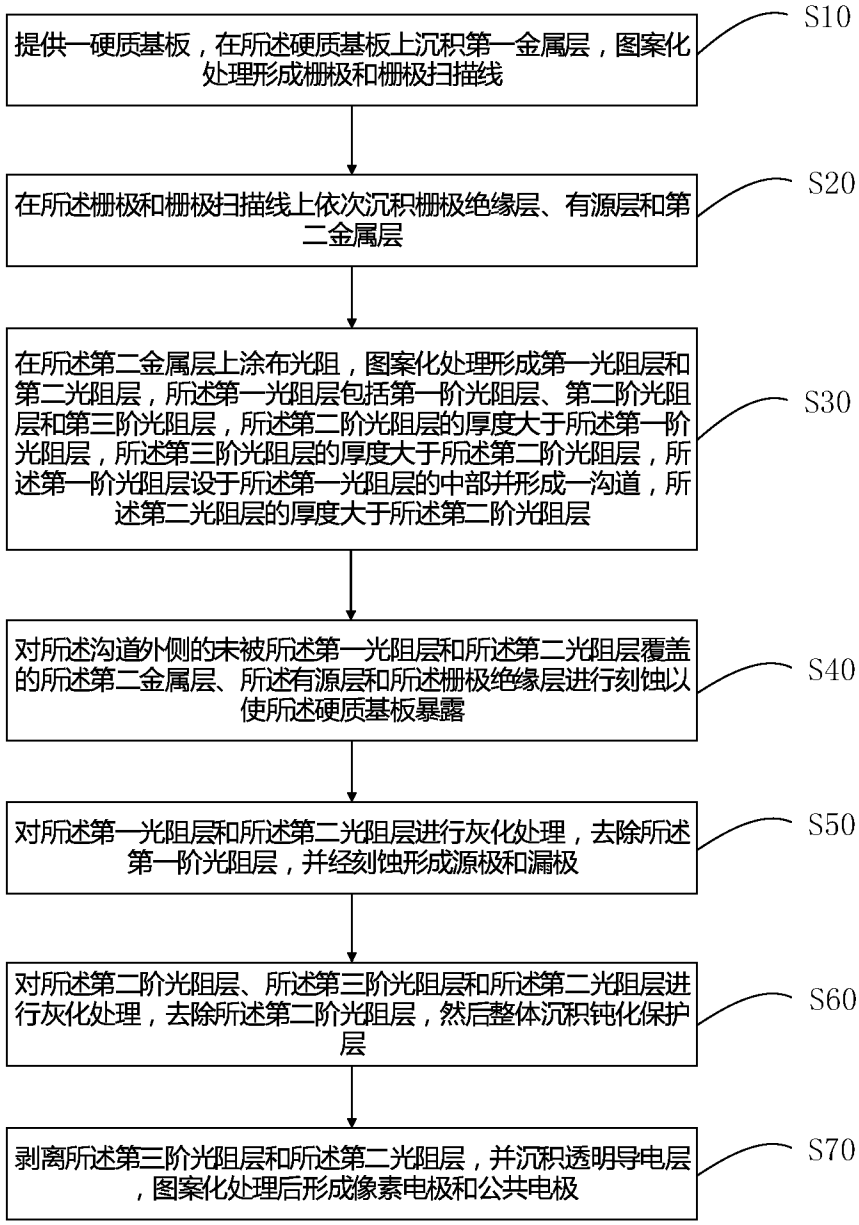

提供一硬质基板，在所述硬质基板上沉积第一金属层，图案化处理形成栅极和栅极扫描线
S10
在所述栅极和栅极扫描线上依次沉积栅极绝缘层、有源层和第二金属层
S20
在所述第二金属层上涂布光阻，图案化处理形成第一光阻层和第二光阻层，所述第一光阻层包括第一阶光阻层、第二阶光阻层和第三阶光阻层，所述第二阶光阻层的厚度大于所述第一阶光阻层，所述第三阶光阻层的厚度大于所述第二阶光阻层，所述第一阶光阻层设于所述第一光阻层的中部并形成一沟道，所述第二光阻层的厚度大于所述第二阶光阻层
S30
对所述沟道外侧的未被所述第一光阻层和所述第二光阻层覆盖的所述第二金属层、所述有源层和所述栅极绝缘层进行刻蚀以使所述硬质基板暴露
S40
对所述第一光阻层和所述第二光阻层进行灰化处理，去除所述第一阶光阻层，并经刻蚀形成源极和漏极
S50
对所述第二阶光阻层、所述第三阶光阻层和所述第二光阻层进行灰化处理，去除所述第二阶光阻层，然后整体沉积钝化保护层
S60
剥离所述第三阶光阻层和所述第二光阻层，并沉积透明导电层，图案化处理后形成像素电极和公共电极
S70

图 1

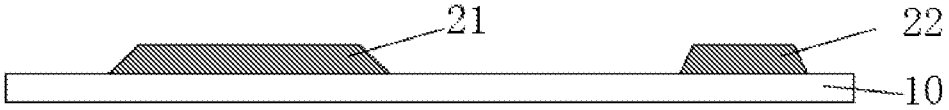


图 2

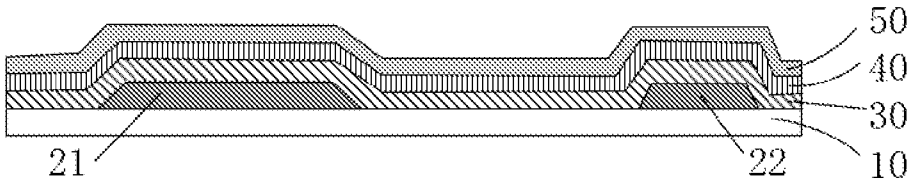


图 3

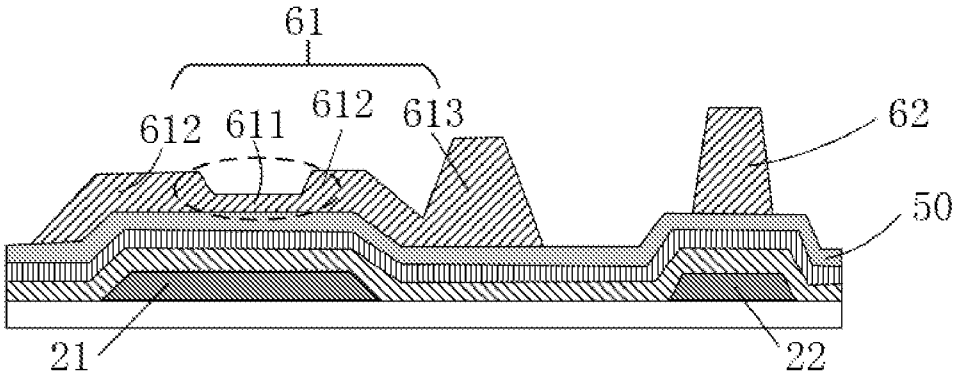


图 4

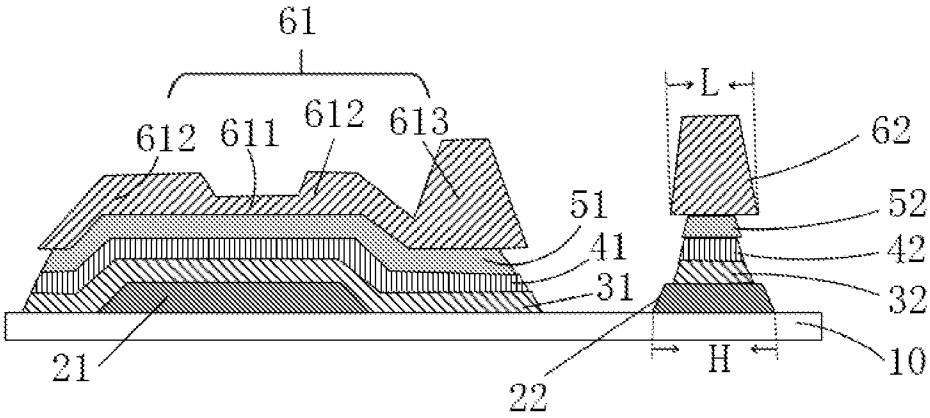

61
612
611
612
613
L
62
51
52
41
42
31
32
21
22
H
10

图 5

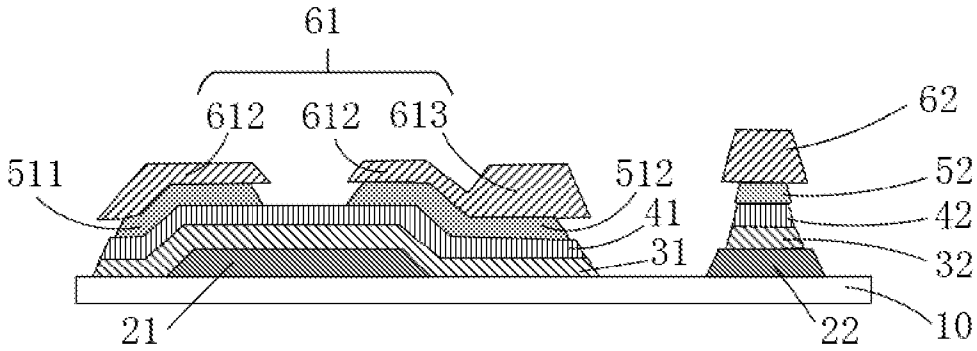

61
612
612
613
62
511
512
52
41
42
31
32
21
22
10

图 6

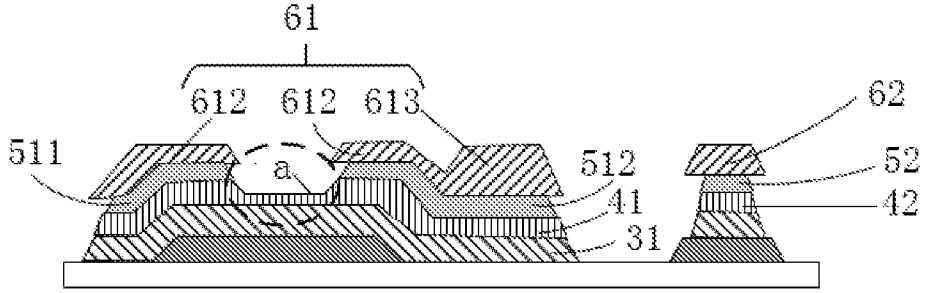

61
612
612
613
62
511
a
512
52
41
42
31

图 7

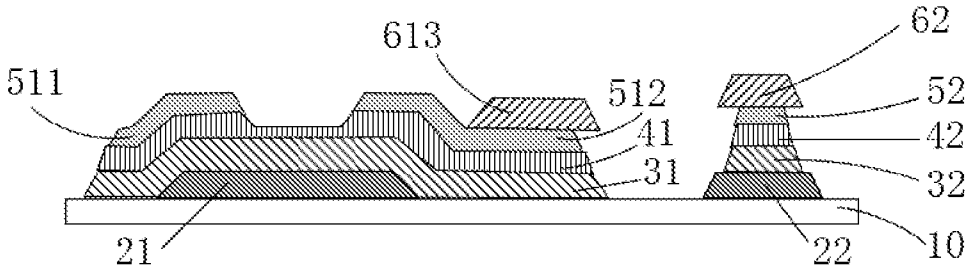

613
62
511
512
52
41
42
31
32
21
22
10

图 8

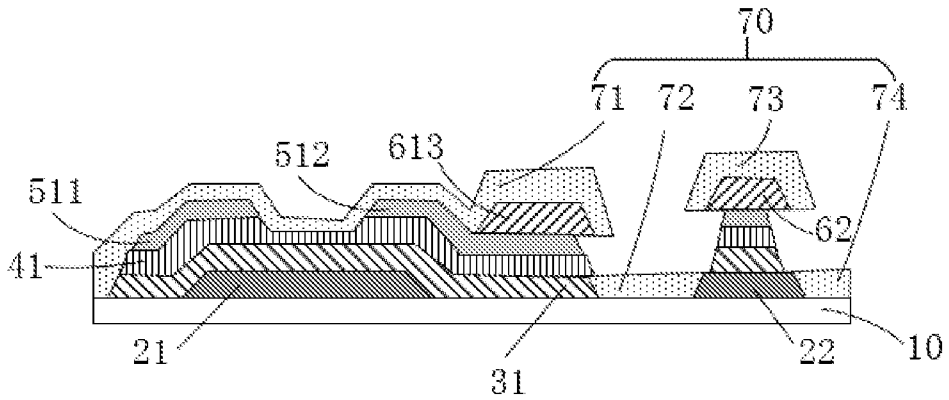

70
71
72
73
74
512
613
511
62
41
21
31
22
10

图 9

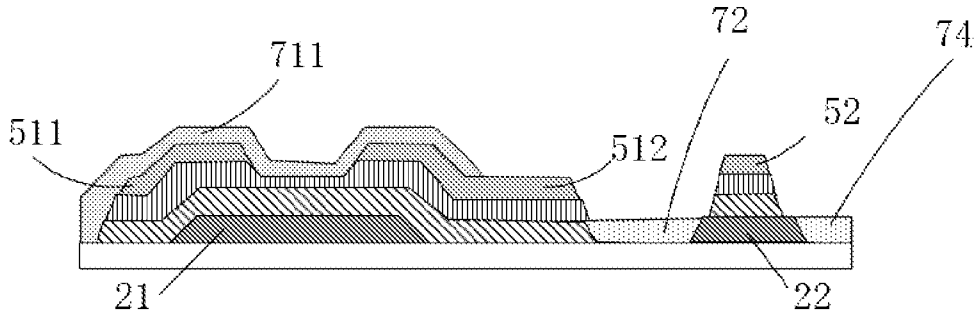

72
74
711
511
52
512
21
22

图 10

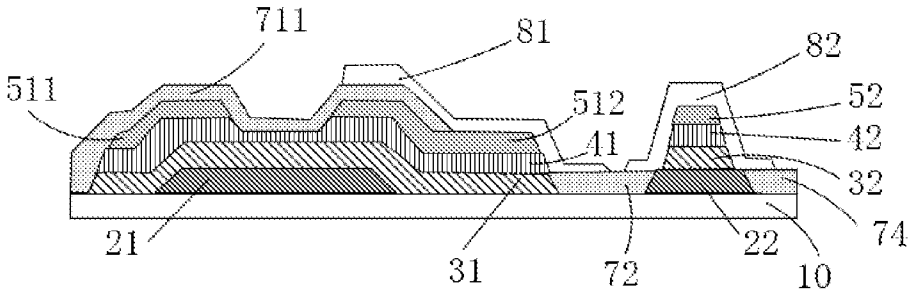

711
81
82
511
512
52
41
42
32
74
21
31
72
22
10

图 11

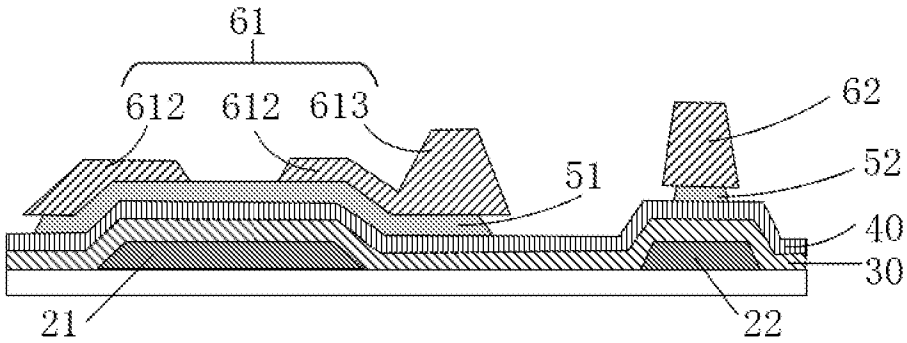

61
612
612
613
62
51
52
40
30
21
22

图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/090650

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/84(2006.01)i; H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21; H01L27

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; DWPI; SIPOABS; USTXT: 阵列基板, 光阻, 光刻胶, 光致抗蚀, 图案, 图谱, 图形, 厚度, 灰化, 剥离, TFT, photoresist, photosensitive, pattern, thickness, ash, peel, remove

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2003232456 A1 (CHUNG-HSIEN YANG ET AL.) 18 December 2003 (2003-12-18) entire document	1-20
A	CN 101325181 A (AU OPTRONICS CORPORATION) 17 December 2008 (2008-12-17) entire document	1-20
A	CN 101097928 A (SAMSUNG ELECTRONICS CO., LTD.) 02 January 2008 (2008-01-02) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 November 2018	**06 December 2018**

Name and mailing address of the ISA/CN	Authorized officer
State Intellectual Property Office of the P. R. China (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/090650

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2003232456 A1	18 December 2003	US 6987311 B2	17 January 2006
		JP 4612279 B2	12 January 2011
		JP 2003347555 A	05 December 2003
		TW I261135 B	01 September 2006
CN 101325181 A	17 December 2008	CN 101325181 B	09 June 2010
CN 101097928 A	02 January 2008	US 2008042133 A1	21 February 2008
		JP 2008015510 A	24 January 2008
		EP 1873833 A1	02 January 2008
		JP 5395336 B2	22 January 2014
		KR 20080001847 A	04 January 2008
		CN 101097928 B	10 October 2012
		TW 200827891 A	01 July 2008
		KR 101201972 B1	15 November 2012

国际检索报告

国际申请号
PCT/CN2018/090650

A. 主题的分类

H01L 21/84(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21; H01L27

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;CNTXT;CNKI;DWPI;SIPOABS;USTXT：阵列基板，光阻，光刻胶，光致抗蚀，图案，图谱，图形，厚度，灰化，剥离，TFT，photoresist，photosensitive，pattern，thickness，ash，peel，remove

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2003232456 A1 (CHUNG-HSIEN YANG 等) 2003年 12月 18日 (2003-12-18) 全文	1-20
A	CN 101325181 A (友达光电股份有限公司) 2008年 12月 17日 (2008-12-17) 全文	1-20
A	CN 101097928 A (三星电子株式会社) 2008年 1月 2日 (2008-01-02) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2018年 11月 21日	2018年 12月 6日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 陈袁园 电话号码 (86-512)88995665

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/090650

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
US	2003232456	A1	2003年 12月 18日	US	6987311	B2	2006年 1月 17日
				JP	4612279	B2	2011年 1月 12日
				JP	2003347555	A	2003年 12月 5日
				TW	I261135	B	2006年 9月 1日
CN	101325181	A	2008年 12月 17日	CN	101325181	B	2010年 6月 9日
CN	101097928	A	2008年 1月 2日	US	2008042133	A1	2008年 2月 21日
				JP	2008015510	A	2008年 1月 24日
				EP	1873833	A1	2008年 1月 2日
				JP	5395336	B2	2014年 1月 22日
				KR	20080001847	A	2008年 1月 4日
				CN	101097928	B	2012年 10月 10日
				TW	200827891	A	2008年 7月 1日
				KR	101201972	B1	2012年 11月 15日