

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/15 (2006.01)



[12] 发明专利说明书

专利号 ZL 02143452.2

[45] 授权公告日 2007 年 2 月 28 日

[11] 授权公告号 CN 1302482C

[22] 申请日 2002.9.26 [21] 申请号 02143452.2

[30] 优先权

[32] 2002. 1. 15 [33] JP [31] 6424/02

[73] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 大谷顺

[56] 参考文献

US5523974A 1996. 6. 4

CN1327238A 2001. 12. 19

US6256237B1 2001. 7. 3

审查员 赵小宁

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘宗杰 叶恺东

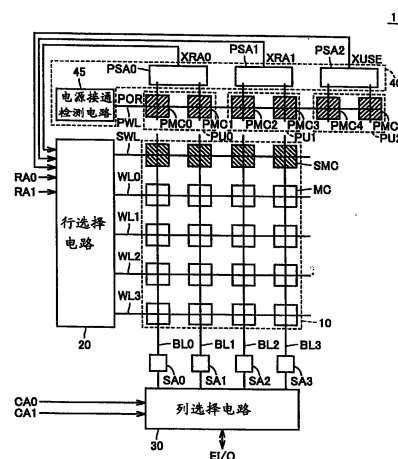
权利要求书 3 页 说明书 19 页 附图 13 页

[54] 发明名称

具有冗长修复功能的薄膜磁性体存储装置

[57] 摘要

与存储器阵列(10)相邻地配置的编程组件(PU0~PU2)分别各存储置换修复所需要的冗长信息的1位。在通常的数据读出动作之前,从编程组件中读出的冗长信息锁存到行选择电路(20)内。行选择电路(20)根据由冗长信息表示的不良行地址与输入的行地址(RA0, RA1)的一致判断有选择地激活与正规存储单元对应的字线(WL0~WL3)和备用字线(SWL)中的1条字线。



1. 一种薄膜磁性体存储装置，其特征在于：具有多个正规存储单元和用于置换修复上述多个正规存储单元中的缺陷存储单元的多个备用存储单元配置成矩阵状的存储器阵列、分别用于存储上述置换修复所使用的冗长信息的1位的多个编程组件、用于在数据读出动作进行之前从上述多个编程组件中读出上述冗长信息的编程信息读出部和根据由上述编程信息读出部读出的上述冗长信息和输入的地址信号控制对上述多个正规存储单元和上述多个备用存储单元的访问的选择电路，上述各编程组件分别由结构与上述正规存储单元和上述备用存储单元相同的2个编程单元构成，上述2个编程单元分别存储不同电平的数据作为冗长信息。

2. 按权利要求1所述的薄膜磁性体存储装置，其特征在于：上述编程信息读出部包括用于检测电源接通的电源接通检测电路和分别与上述多个编程组件对应地设置的分别响应上述电源接通而用于读出对应的编程组件存储的信息的多个编程信息读出组件。

3. 按权利要求2所述的薄膜磁性体存储装置，其特征在于：上述各编程单元具有串联连接的电阻随磁写入的存储数据的电平而变化的磁阻元件和响应上述电源接通而导通的访问元件，上述各编程信息读出组件包括分别通过对应的2个编程单元与指定的固定电压连接的第1和第2节点、用于向上述第1和第2节点分别供给指定电流的电流供给部和放大上述第1和第2电压差用于生成与上述对应的编程组件存储的信息相应的电压的读出放大器。

4. 按权利要求1所述的薄膜磁性体存储装置，其特征在于：上述多个备用存储单元配置为构成1个以上的备用存储单元行，上述编程单元配置为构成1个以上的编程存储单元行，上述薄膜磁性体存储装置进而具有对上述正规存储单元的各行设置的字线、对上述备用存储单元的各行设置的备用字线和对上述编程存储单元各行设置的至少在上述数据读出动作之前的指定期间激活的编程字线，上述正规存储单元具有串联连接的电阻随磁写入的存储数据的电平而变化的磁阻元件和响应对应的字线的激活而导通的访问元件，上述备用存储单元具有串联连接的与上述正规存储单元相同的磁阻元件和响应对应的备用字线的激活而导通的访问元件，上述编程单元具有串联连接的与上

述正规存储单元相同的磁阻元件和响应对应的编程字线的激活而导通的访问元件，上述选择电路根据上述地址信号和上述冗长信息控制上述多个字线和上述备用字线的激活。

5. 按权利要求4所述的薄膜磁性体存储装置，其特征在于：上述编程信息读出部包括用于检测电源接通的电源接通检测电路，上述编程字线响应上述电源接通在上述指定期间激活，上述选择电路包括用于在电源接通期间中保持从上述多个编程组件中读出的上述冗长信息的锁存电路。

6. 按权利要求1所述的薄膜磁性体存储装置，其特征在于：上述编程信息读出部包括用于检测电源接通的电源接通检测电路和响应上述电源接通检测电路的输出而用于在上述电源接通之后的指定期间从上述多个编程单元中读出上述冗长信息的编程信息读出组件，上述选择电路包括用于在电源接通期间中保持从上述多个编程组件中读出的上述冗长信息的锁存电路。

7. 一种薄膜磁性体存储装置，其特征在于：具有多个正规存储单元和用于置换修复上述多个正规存储单元中的缺陷存储单元的多个备用存储单元以及用于存储上述置换修复所使用的冗长信息的多个编程单元配置成矩阵状的存储器阵列、由上述多个正规存储单元和上述多个备用存储单元以及上述多个编程单元所共有的数据线、用于通过上述数据线从上述多个正规存储单元和上述多个备用存储单元以及上述多个编程单元中读出数据的数据读出电路和包括在数据读出动作进行之前保持由上述数据读出电路从上述多个编程单元中读出的上述冗长信息的锁存电路的选择电路，上述选择电路根据地址信号和上述锁存电路保持的上述冗长信息控制对上述多个正规存储单元和上述多个备用存储单元的访问。

8. 按权利要求7所述的薄膜磁性体存储装置，其特征在于：上述多个正规存储单元、上述多个备用存储单元和上述多个编程单元配置成共有存储单元列，用以分别构成多个正规存储单元行、1个以上的备用存储单元行和1个以上的编程存储单元行，上述薄膜磁性体存储装置进而具有对上述正规存储单元各行设置的字线、对上述备用存储单元各行设置的备用字线和对上述编程单元各行设置的在上述数据读出动作之前的指定期间激活的编程字线，上述数据线对上述存储

单元各列而设置，上述选择电路在上述指定期间通过上述数据线接收上述冗长信息，同时在数据读出动作时根据上述地址信号和上述冗长信息控制上述多个字线和上述多个备用字线的激活。

具有冗长修复功能的薄膜磁性体存储装置

技术领域

本发明涉及薄膜磁性体存储装置，特别是具有用于修复缺陷存储单元的冗长结构的薄膜磁性体存储装置。

背景技术

作为以低功耗可以进行非易失性的数据存储的存储装置，引人注目的是M R A M (Magnetic Random Access Memory) 设备。M R A M 设备是使用在半导体集成电路上形成的多个薄膜磁性体进行非易失性的数据存储而对各个薄膜磁性体可以随机访问的存储装置。

特别是近年来已发表了通过将利用磁隧道结 (M T J : Magnetic Tunnel Junction) 的薄膜磁性体作为存储单元使用而M R A M 设备的性能飞速进步的信息。

图 1 1 是表示具有磁隧道结部的存储单元 (以下，简单地称为「M T J 存储单元」) 的结构的概念图。

参见图 1 1，M T J 存储单元具有电阻随存储数据电平而变化的隧道磁阻元件 T M R 和在数据读出时用于形成通过隧道磁阻元件 T M R 的读出电流 I_s 的路径的访问元件 A T R。访问元件 A T R，典型的是由场效应晶体管形成的，所以，下面，也将访问元件称为访问晶体管 A T R。访问晶体管 A T R 连接在隧道磁阻元件 T M R 与固定电压 (接地电压 V_{ss}) 之间。

图 1 2 是说明从 M T J 存储单元中进行的数据读出的概念图。

参见图 1 2，隧道磁阻元件 T M R 包括具有固定的一定的磁化方向的强磁性体层 (以下，简单地称为「固定磁化层」) F L 和磁化为与外部的外加磁场相应的方向的强磁性体层 (以下，简单地称为「自由磁化层」) V L。在固定磁化层 F L 与自由磁化层 V L 之间，设置由绝缘体膜形成的隧道势垒 (隧道膜) T B。自由磁化层 V L 根据写入的存储数据的电平磁化为与固定磁化层 F L 相同的方向或与固定磁化层 F L 相反的方向。由固定磁化层 F L、隧道势垒 T B 和自由磁化层 V L 形成磁隧道结。

在数据读出时，访问晶体管 A T R 随字线 W L 的激活而导通。这

样，便可使读出电流 I_s 流过位线 B_L ~ 隧道磁阻元件 TMR ~ 访问晶体管 ATR ~ 接地电压 V_{ss} 的电流路径。

隧道磁阻元件 TMR 的电阻根据固定磁化层 FL 和自由磁化层 VL 的磁化方向的相对关系而变化。具体而言，在固定磁化层 FL 的磁化方向与自由磁化层 VL 的磁化方向相同（平行）时，隧道磁阻元件的电阻比两者的磁化方向相反（反平行）时小。

因此，如果使自由磁化层 VL 根据存储数据磁化为上述 2 种方向中的某一方向，则在隧道磁阻元件 TMR 中由于读出电流 I_s 而发生的电压变化就随存储数据电平而异。因此，如果在例如将位线 B_L 预充电到一定电压之后使读出电流 I_s 流过隧道磁阻元件 TMR ，通过检测位线 B_L 的电压，便可读出 MTJ 存储单元的存储数据。

图 1 3 是说明对 MTJ 存储单元的数据写入动作的概念图。

参见图 1 3，在数据写入时，字线 WL 非激活，访问晶体管 ATR 截止。在该状态下，用于将自由磁化层 VL 磁化为与写入数据相应的方向的数据写入电流分别流过写入数字线 WDL 和位线 B_L 。自由磁化层 VL 的磁化方向由分别流过写入数字线 WDL 和位线 B_L 的数据写入电流决定。

图 1 4 是说明对 MTJ 存储单元进行数据写入时的数据写入电流与隧道磁阻元件的磁化方向的关系的概念图。

参见图 1 4，横轴 $H(EA)$ 表示在隧道磁阻元件 TMR 内的自由磁化层 VL 中加到易磁化轴 (EA : Easy Axis) 方向的磁场。另一方面，纵轴 $H(HA)$ 表示在自由磁化层 VL 中作用到难磁化轴 (HA : Hard Axis) 方向的磁场。磁场 $H(EA)$ 和 $H(HA)$ 分别与由分别流过位线 B_L 和写入数字线 WDL 的电流产生的 2 个磁场中的 1 个对应。

在 MTJ 存储单元中，固定磁化层 FL 的固定的磁化方向沿自由磁化层 VL 的易磁化轴，自由磁化层 VL 根据存储数据的电平（“1”和“0”）沿易磁化轴方向磁化为与固定磁化层 FL 平行（相同）或反平行（相反）的方向。下面，在本说明书中，分别用 R_{max} 、 R_{min} （其中， $R_{max} > R_{min}$ ）表示分别与自由磁化层 VL 的 2 种磁化方向对应的隧道磁阻元件 TMR 的电阻。 MTJ 存储单元与这样的自由磁化层 VL 的 2 种磁化方向对应，可以存储 1 位的数据

(“1”和“0”)。

自由磁化层V L的磁化方向仅在外加的磁场H (E A)和H (H A)之和达到图中所示的星形特性线的外侧的区域时可以重新改写。即,在外加的数据写入磁场是与星形特性线的内侧的区域相当的强度时,自由磁化层V L的磁化方向不变化。

如星形特性线所示的那样,通过给自由磁化层V L施加难磁化轴方向的磁场,可以降低改变沿易磁化轴的磁化方向所需要的磁化阈值。

如图1 4的例那样,在设计了数据写入时的工作点时,在作为数据写入对象的MTJ存储单元中,设计为易磁化轴方向的数据写入磁场的强度成为 H_{WR} 。即,为了得到该数据写入磁场 H_{WR} ,设计流过位线BL或写入数字线WDL的数据写入电流的值。通常,数据写入磁场 H_{WR} 用磁化方向的切换所需要的开关磁场 H_{SW} 与余量 ΔH 之和表示。即, $H_{WR} = H_{SW} + \Delta H$ 。

为了改写MTJ存储单元的存储数据即隧道磁阻元件TMR的磁化方向,必须使指定电平以上的数据写入电流流过写入数字线WDL和位线BL。这样,隧道磁阻元件TMR中的自由磁化层V L就根据沿易磁化轴(E A)的数据写入磁场的方向磁化为与固定磁化层FL平行或相反(反平行)的方向。一旦写入隧道磁阻元件TMR的磁化方向即MTJ存储单元的存储数据在执行心的数据写入之前非易失地保持着。

通常,在存储设备中,为了提高制造合格率,除了根据地址信号有选择地可以访问的多个正规存储单元外,还具有用于修复发生了缺陷的正规存储单元(以下,称为「缺陷存储单元」)的冗长结构。

图1 5是表示具有冗长结构的先有的MRAM设备的结构的概略框图。在图1 5中,代表性地表示出了这样的MRAM设备中的与数据读出关联的结构。

参见图1 5,先有的MRAM设备具有多个正规存储单元MC和用于修复缺陷存储单元的备用存储单元SMC配置成矩阵状的存储器阵列MA、行选择电路RDC和列选择电路CDC。

在存储器阵列MA中,多个备用存储单元SMC配置为构成备用行。在图1 5中,作为一例,表示出了配置成4行×4列的正规存储

单元MC和配置成1行×4列的备用存储单元SMC。与这些备用存储单元的行和正规存储单元的行分别对应地配置了备用字线SWL和字线WL0~WL3。即，在图15所示的MRAM设备中，按包含缺陷存储单元的不良存储单元行单位利用备用行进行置换修复。

另一方面，备用存储单元SMC和正规存储单元MC配置为共有存储单元列。分别与存储单元列对应地配置位线BL0~BL3。分别与位线BL0~BL3对应地设置读出放大器SA0~SA3。读出放大器SA0~SA3放大分别在位线BL0~BL3上传输的数据。

行选择电路RDC将包含表示有无缺陷存储单元即表示与是否需要使用备用行的信息和用于特定不良存储单元行的信息的冗长信息存储到内部，根据这些冗导通状态长信息和输入的行地址RA0和RA1执行行选择。

列选择电路CDC根据输入的列地址CA0和CA1执行列选择，将从位线BL0~BL3中的与选择列对应的1条位线中读出的数据向用于在与外部间进行数据收发的外部I/O(EI/O)输出。

图16是表示行选择电路RDC的结构的电路图。

参见图16，行选择电路RDC包含构成备用译码器SD和正规行译码器的行选择门RLG0~RLG3。

备用译码器SD具有用于非易失地存储冗长修复使用的信息的熔断器元件FS0~FS2。熔断器元件FS0和FS1分别存储用于表示不良存储单元行的行地址RA0和RA1的电平。熔断器元件FS2存储表示是否需要使用备用行的信息。

熔断器FS0~FS2分别通过激光输入等引起的熔断器元件的切断（熔断）而执行编程。即，各熔断器元件FS可以根据是熔断状态（切断状态）和非熔断状态（导通状态）中的某一种状态而非易失地保持1位的信息。

备用译码器SD具有用于将与熔断器元件FS0的状态相应的电压锁存在节点Ng0的锁存电路LT0、用于将与熔断器元件FS1的状态相应的电压锁存在节点Ng1的锁存电路LT1和用于将节点Ng0和节点Ng1提升到电源电压Vcc的晶体管100。在锁存电路LT0和LT1中，将节点Ng0和节点Ng1作为输入侧的反

相器的驱动力设计为大于晶体管 100 的驱动力。

备用译码器 SD 包括分别设置在分别传输行地址 RA0 和 / RA0 (RA0 的反相电平) 的节点与节点 Ns0 之间的晶体管门 101 及 102 和分别设置在分别传输行地址 RA1 和 / RA1 (RA1 的反相电平) 的节点与节点 Ns1 之间的晶体管门 103 及 104。晶体管门 101 ~ 104 由例如 N 沟道 MOS 晶体管构成。

备用译码器 SD 进而包括连接在电源电压 Vcc 与节点 Ns2 之间的 P 沟道 MOS 晶体管 105 和串联连接在节点 Ns2 与接地电压 Vss 之间的 N 沟道 MOS 晶体管 106、107 及 108。

晶体管 105 的栅极与接地电压 Vss 连接。晶体管 106 的栅极与静电 Ns0 连接, 晶体管 107 的栅极与静电 Ns1 连接。晶体管 108 的栅极通过熔断器元件 FS2 与电源电压 Vcc 连接。反相器 109 根据静电 Ns2 的电压的反相电平驱动备用字线 SWL。

下面, 说明备用译码器 SD 的动作。

在正规存储单元中不存在缺陷存储单元时, 即不使用备用行时, 熔断器元件 FS2 就熔断, 成为切断状态。在该状态下, 晶体管 108 总是设定为截止状态, 所以, 静电 Ns2 的电压固定为电源电压 Vcc (高电平)。结果, 备用字线 SWL 维持为非激活状态 (接地电压 Vss : 低电平)。

以下, 在本说明书中, 将数据、信号和信号线等的与作为 2 值的电压电平的“1”对应的高电压电平 (例如电源电压 Vcc) 和与“0”对应的低电压电平 (例如接地电压 Vss) 简单地分别称为「高电平」和「低电平」。

另一方面, 为了缺陷存储单元的置换修复而使用备用行时, 将熔断器元件 FS2 维持为导通状态, 同时, 由熔断器 FS0 和 FS1 决定表示不良存储单元行的行地址 RA0 和 RA1 的电平。

在熔断器元件 FS0 为切断状态时, 节点 Ng0 由晶体管 100 设定为电源电压 Vcc (高电平)。与此相应地, 晶体管门 101 导通, 而晶体管门 102 截止。因此, 晶体管 106 在行地址 RA0 = “1”时导通, 在行地址 RA0 = “0”时截止。

与此相反, 在熔断器元件 FS0 为导通状态时, 节点 Ng0 设定为低电平 (接地电压 Vss)。与此相应地, 晶体管门 102 导通,

而晶体管门 1 0 1 截止。因此，晶体管 1 0 6 在行地址 $RA0 = "0"$ 时导通，在行地址 $RA0 = "1"$ 时截止。

这样，晶体管 1 0 6 在熔断器元件 $FS0$ 为切断状态时而 $RA0 = "1"$ （高电平）时导通，在熔断器元件 $FS0$ 为导通状态时而行地址 $RA0 = "0"$ （低电平）时导通。即，与熔断器元件 $FS0$ 执行的状态对应地可以使晶体管 1 0 6 根据行地址 $RA0$ 的指定电平而导通。

对于行地址 $RA1$ ，熔断器元件 $FS1$ 、锁存电路 $LT1$ 、晶体管门 1 0 3 及 1 0 4 和晶体管 1 0 7 与和行地址 $RA0$ 对应的的熔断器元件 $FS0$ 、锁存电路 $LT0$ 、晶体管门 1 0 1 及 1 0 2 和晶体管 1 0 6 一样进行设置。

因此，晶体管 1 0 7 与熔断器元件 $FS1$ 执行的状态对应地根据行地址 $RA1$ 的指定电平而导通。

这样，通过在与不良存储单元行对应的行地址 $RA0$ 为“1”时使熔断器元件 $FS0$ 成为切断状态而在行地址 $RA0$ 为“0”时使熔断器元件 $FS0$ 成为导通状态，可以使表示不良存储单元行的行地址 $RA0$ 执行编程。同样，利用熔断器元件 $FS1$ 可以使与不良存储单元行对应的行地址 $RA1$ 执行编程。

通过采用这样的结构，备用译码器 SD 在熔断器元件 $FS2$ 不熔断而为导通状态并且由熔断器元件 $FS0$ 和 $FS1$ 执行的不良存储单元行的行地址与输入的行地址 $RA0$ 和 $RA1$ 一致时将备用字线 SWL 驱动激活为高电平。

分别与正规存储单元行对应的字线 $WL0 \sim WL3$ 的激活，分别由行选择门 $RLG0 \sim RLG3$ 进行控制。

行选择门 $RLG0$ 根据行地址 $/RA0$ ， $/RA1$ 、和节点 $Ns2$ 的电压电平的 AND 逻辑运算结果控制字线 $WL0$ 的激活。因此，字线 $WL0$ 在节点 $Ns2$ 为低电平（即，备用字线 SWL 为非激活状态）并且 $RA0 = "0"$ 和 $RA1 = "0"$ 时激活为高电平。

同样，行选择门 $RLG1$ 根据行地址 $/RA0$ ， $/RA1$ 、和节点 $Ns2$ 的电压电平的 AND 逻辑运算结果控制字线 $WL1$ 的激活。因此，字线 $WL1$ 在备用字线 SWL 为非激活状态并且 $RA0 = "0"$ 和 $RA1 = "1"$ 时激活为高电平。

行选择门 R L G 2 根据行地址 / R A 0 , / R A 1、和节点 N s 2 的电压电平的 A N D 逻辑运算结果控制字线 W L 2 的激活。因此, 字线 W L 2 在备用字线 S W L 为非激活状态并且 R A 0 = “1” 和 R A 1 = “0” 时激活为高电平。

行选择门 R L G 3 根据行地址 / R A 0 , / R A 1、和节点 N s 2 的电压电平的 A N D 逻辑运算结果控制字线 W L 3 的激活。因此, 字线 W L 3 在备用字线 S W L 为非激活状态并且 R A 0 = “1” 和 R A 1 = “1” 时激活为高电平。

通过采用这样的结构, 在备用字线 S W L 激活时, 字线 W L 0 ~ W L 3 就成为低电平。另一方面, 在备用字线 S W L 为非激活状态时, 与行地址 R A 0 和 R A 1 的组合相应地有选择地激活字线 W L 0 ~ W L 3 中的 1 条字线。

这样, 在图 1 5 所示的 M R A M 设备中, 可以利用由备用存储单元 S M C 构成的备用行置换修复正规存储单元中的缺陷存储单元。

这样, 在先有的 M R A M 设备中, 为了实现冗长结构, 必须设置通过激光输入等而切断(熔断)的熔断器元件。这样, 就需要激光微调装置等特别的机器和处理工序, 所以, 编程处理所需要的时间和成本将增大。另外, 熔断器元件具有比较大的面积, 所以, 将招致 M R A M 设备的面积增加。此外, 由于伴有激光照射等外部输入引起的物理的破坏, 所以, 对其他所需要的电路也将造成损害, 从而设备全体的动作可靠性将接地。

发明内容

本发明的目的旨在提供使用与数据存储所使用的正规存储单元相同的磁性体存储元件可以处理冗长修复所需要的信息的薄膜磁性体存储装置的结构。

本发明是薄膜磁性体存储装置, 包括存储器阵列、多个编程组件、编程信息读出部和选择电路。在存储器阵列中, 多个正规存储单元和用于置换修复多个正规存储单元中的缺陷存储单元的多个备用存储单元配置成矩阵状。多个编程组件存储置换修复所使用的冗长信息的 1 位。编程信息读出部在数据读出动作执行之前从多个编程单元中读出冗长信息。选择电路根据由编程信息读出部读出的冗长信息和输入的地址信号控制对多个正规存储单元和多个备用存储单元的访问。各编

程组件分别由结构与正规存储单元和备用存储单元相同的2个编程单元构成，该2个编程单元分别存储不同电平的数据作为冗长信息。

因此，本发明的主要优点是不设置熔断器元件，具有与正规存储单元和备用存储单元相同的结构，使用由小面积形成的编程单元就可以非易失地存储冗长信息。结果，对冗长信息的编程也不伴有特别的处理工序、专用的机器和物理的破坏，从而可以和通常的数据写入一样进行磁写入。结果，就不会招致处理时间和处理成本的增大，此外，没有影响设备全体的动作可靠性的危险性，从而可以处理冗长信息。

编程信息读出部包括用于检测电源接通的电源接通检测电路和响应电源接通检测电路的输出在电源接通后的指定期间中用于从多个编程电源中读出冗长信息的编程信息读出单元。选择电路包括用于在电源接通期间中保持从多个编程单元中读出的冗长信息的锁存电路。

这样，仅在电源接通之后比较短的期间中使数据读出电流通过编程单元，便可得到冗长信息，所以，可以抑制编程单元的故障发生，提高动作的可靠性。

按照本发明的其他形式，包括存储器阵列、数据线、数据读出电路和选择电路。在存储器阵列中，多个正规存储单元、用于置换修复多个正规存储单元中的缺陷存储单元的多个备用存储单元和用于存储置换修复所使用的冗长信息的多个编程单元配置成矩阵状。数据线由多个正规存储单元、多个备用存储单元和多个编程单元所共有。数据读出电路通过数据线从多个正规存储单元、多个备用存储单元和多个编程单元中读出数据。选择电路包括在数据读出动作执行之前保持由数据读出电路从多个编程组件中读出的冗长信息的锁存电路。选择电路根据地址信号和锁存电路保持的冗长信息控制对多个正规存储单元和多个备用存储单元的访问。

在这样的薄膜磁性体存储装置中，不设置熔断器元件，具有与正规存储单元和备用存储单元相同的结构，使用由小面积形成的编程单元可以非易失地存储冗长信息。此外，由于不需要特别设置从编程单元中进行冗长信息读出专用的电路，所以，可以减小电路面积。另外，仅在电源接通之后比较短的期间内使数据读出电流通过编程单元，就可以得到冗长信息，所以，可以抑制编程单元的故障发生，从而可以提高动作的可靠性。

附图说明：

图 1 是表示本发明实施例 1 的 MRAM 设备的结构的框图。

图 2 A 和图 2 B 是说明图 1 所示的电源接通检测电路的动作的概念图。

图 3 是表示图 1 所示的编程读出放大器的结构的电路图。

图 4 是表示图 1 所示的行选择电路的结构的电路图。

图 5 是表示图 1 所示的列选择电路的结构的电路图。

图 6 是说明实施例 1 的 MRAM 设备的动作的动作波形图。

图 7 是表示本发明实施例 2 的 MRAM 设备的结构的框图。

图 8 是表示实施例 2 的行选择电路的结构的电路图。

图 9 是表示实施例 2 的列选择电路的结构的电路图。

图 10 是说明实施例 2 的 MRAM 设备的动作的动作波形图。

图 11 是表示 MTJ 存储单元的结构的概念图。

图 12 是说明从 MTJ 存储单元中进行的数据读出的概念图。

图 13 是说明对 MTJ 存储单元的数据写入动作的概念图。

图 14 是说明对 MTJ 存储单元进行数据写入时的数据写入电流与隧道磁阻元件的磁化方向的关系的概念图。

图 15 是表示具有冗长结构的先有的 MRAM 设备的结构的概略框图。

图 16 是图 15 所示的行选择电路的电路结构图。

发明的具体实施方式

下面，参照附图详细说明本发明的实施例。以下，图中的相同符号表示相同或相当的部分。

实施例 1.

图 1 是表示本发明实施例 1 的 MRAM 设备 1 的结构的框图。在图 1 中，代表性地表示 MRAM 设备中包含冗长结构的与数据读出动作关联的电路群。

参见图 1，实施例 1 的 MRAM 设备 1 具有存储器阵列 10、行选择电路 20、列选择电路 30、由与存储器阵列 10 相邻地配置的编程单元 PMC 构成的编程组件 PU0 ~ PU2 和用于从编程组件中读出数据的编程信息读出部 40。

存储器阵列 10 包括配置成矩阵状的多个正规存储单元MC和备用存储单元SMC。备用存储单元SMC配置为构成备用行。即，正规存储单元MC和备用存储单元SMC设置为共有存储单元列。

在图1中，和图15所示的结构一样，表示出了配置成4行×4列的正规存储单元MC和配置成1行×4列的备用存储单元SMC。但是，在本发明的应用中，正规存储单元MC和备用存储单元SMC的配置个数不特别限定，可以是任意的。

分别与正规存储单元行对应地配置字线WL0~WL3，与备用行对应地设置备用字线SWL。此外，分别与存储单元列对应地配置位线BL0~BL3。位线BL0~BL3在对应的存储单元列中由正规存储单元MC和备用存储单元SMC所共有。分别与位线BL0~BL3对应地设置的读出放大器SA0~SA3放大位线BL0~BL3中的对应的1条位线的电压，生成读出数据。

编程组件PU0~PU2分别由2个编程单元构成。编程组件PU0具有编程单元PMC0和PMC1，编程组件PU1具有编程单元PMC2和PMC3，编程组件PU2具有编程单元PMC4和PMC5。以下，统称编程单元时，简单地标记为编程单元PMC。各编程组件存储1位的信息。构成各编程组件PU的2个编程单元PMC存储不同的电平的数据。

编程单元PMC配置为构成编程单元行，与编程单元行对应地设置编程字线PWL。图1中表示的是编程单元PMC配置成1行×6列的结构例，但是，在本发明的应用中，编程单元PMC的配置个数不特别限定，可以采用任意的个数。例如，也可以将编程单元PMC配置为构成多个编程单元行。

正规存储单元MC、备用存储单元SMC和编程单元PMC分别具有与图11所示的相同的结构。即，在正规存储单元MC中，访问晶体管ATR的栅极与对应的字线WL连接，在备用存储单元SMC中，访问晶体管ATR的栅极与备用字线SWL连接，在编程单元PMC中，访问晶体管ATR的栅极与编程字线PWL连接。

编程信息读出部40具有电源接通检测电路45和分别与编程组件PU0~PU1对应地设置的编程读出放大器PSA0~PSA2。

参见图2A，电源接通检测电路45响应供给MRAM设备1的

外部电源电压 $E_{xt. Vcc}$ ，生成电源接通复位信号 POR 。电源接通复位信号 POR 向编程字线 PWL 传输。

参见图 2 B，电源接通复位信号 POR 在与响应电源接通而上升的外部电源电压 $E_{xt. Vcc}$ 超过指定的电压 V_t 的时刻相当的时刻 t_p 激活为高电平。这样，电源接通检测电路 45 至少在数据读出动作之前可以将编程字线 PWL 激活为高电平。

图 3 是表示编程读出放大器 $PSA0 \sim PSA2$ 的结构的电路图。编程读出放大器 $PSA0 \sim PSA2$ 具有相同的结构，所以，代表性地说明编程读出放大器 $PSA0$ 的结构。

参见图 3，编程读出放大器 $PSA0$ 与编程单元 $PMC0$ 和 $PMC1$ 对应地设置。编程读出放大器 $PSA0$ 具有用于向节点 $N0$ 和 $N1$ 供给一定电流 I_c 的电流供给部 70、在节点 $N0$ 和接地电压 V_{ss} 之间与编程单元 $PMC0$ 串联连接的 N 沟道 MOS 晶体管 73 和在节点 $N1$ 和接地电压 V_{ss} 之间与编程单元 $PMC1$ 串联连接的 N 沟道 MOS 晶体管 74。电流供给部 70 具有分别与节点 $N0$ 和 $N1$ 对应地设置的电流源 71 和 72。

如前所述，各编程单元 PMC 具有与正规存储单元 MC 和备用存储单元 SMC 相同的结构。例如，编程单元 $PMC0$ 具有在节点 $N0$ 和接地电压 V_{ss} 之间串联连接的隧道磁阻元件 $TMR0$ 和访问晶体管 $ATR0$ 。同样，编程单元 $PMC1$ 具有在节点 $N1$ 和接地电压 V_{ss} 之间串联连接的隧道磁阻元件 $TMR1$ 和访问晶体管 $ATR1$ 。

编程单元 $PMC0$ 和 $PMC1$ 分别存储不同的电平（“1”，“0”）的数据。即，隧道磁阻元件 $TMR0$ 和 $TMR1$ 的电阻各设定为 R_{max} 和 R_{min} 中的一方。

编程单元 $PMC0$ 和 $PMC1$ 内的访问晶体管 $ATR0$ 和 $ATR1$ 响应编程字线 PWL 的激活即电源接通复位信号 POR 的激活而导通。

这样，响应电源接通复位信号 POR 的激活而在节点 $N0$ 和 $N1$ 之间发生隧道磁阻元件 $TMR0$ 和 $TMR1$ 的电阻差即与存储数据电平的不同对应的极性的电压差。

编程读出放大器 $PSA0$ 进而具有用于放大节点 $N0$ 和 $N1$ 间的电压差而生成编程信号 $XRA0$ 的读出放大器 75。例如，在编程单

元PMC 0和PMC 1分别存储“1”和“0”时，编程信号XRA 0设定为“1”（高电平），在编程单元PMC 0和PMC 1分别存储“0”和“1”时，就设定为“0”（低电平）。这样，各编程组件就利用分别存储不同的电平的2个编程单元PMC存储1位信息。

再次参见图1，编程组件PU 0～PU 2分别存储与图16所示的熔断器元件FS 0～FS 2相同的1位信息。编程读出放大器PSA 0～PSA 2根据对应的编程组件分别存储的1位信息分别生成编程信号XRA 0、XRA 1和XUSE。

因此，编程信号XRA 0和XRA 1表示用于表示不良存储单元行的行地址RA 0和RA 1的电平，编程信号XUSE表示作为冗长结构而配置的备用行是使用状态/非使用状态中的哪一种状态。也将使用编程单元（编程组件）存储的置换修复使用的这些信息总称为「冗长信息」。

行选择电路20从编程信息读出部40接收编程信号XRA 0、XRA 1、XUSE和行地址RA 0和RA 1，有选择地激活字线WL 0～WL 3和备用字线SWL中的1条字线。

参见图4，行选择电路20包括用于根据冗长信息进行地址判断的备用译码器50和与正规行译码器相当的行选择门RLG 0～RLG 3。

备用译码器50从图16所示的先有的备用译码器SD中省略了熔断器元件FS 0～FS 2的配置，而与接收编程信号XRA 0、XRA 1、XUSE的输入的结构相当。

即，备用译码器50包括用于分别锁存编程信号XRA 0和XRA 1的锁存电路51及52、由N沟道MOS晶体管构成的晶体管门53～56和在电源电压Vcc与接地电压Vss之间串联连接的P沟道MOS晶体管57及N沟道MOS晶体管58～60。

此外，备用译码器50包括用于使与晶体管57和58的连接节点相当的节点Nc的电压电平反相的反相器61和用于锁存编程信号XUSE的锁存电路62。备用字线SWL驱动为与反相器61的输出相应的电压。锁存电路51、52和62在电源接通中分别保持编程信号XRA 0、XRA 1和XUSE。

锁存电路51和52将响应电源接通复位信号POR的激活而生

成的编程信号XRA0和XRA1的反相电平分别保持在节点Na和Nb。

晶体管门53在节点Na的电压为高电平时导通，将行地址/RA0向晶体管58的栅极传输。晶体管门54与晶体管门53相辅地导通，在导通状态时将行地址RA0向晶体管58的栅极传输。因此，晶体管58在编程信号XRA0和行地址RA0的电平一致时导通。

同样，晶体管门55在节点Nb为高电平时导通，将行地址/RA1向晶体管59的栅极传输。晶体管门56与晶体管门55相辅地导通，在导通状态时将行地址RA1向晶体管59的栅极传输。因此，晶体管59在编程信号XRA1和行地址RA1的电平一致时导通。

锁存电路62将晶体管60的栅极电压维持在锁存的编程信号XUSE的电平。因此，晶体管60在编程信号XUSE设定为“1”（高电平）时导通，而在编程信号XUSE设定为“0”（低电平）时截止。

因此，在备用行的不使用状态时编程信号XUSE设定为“0”（低电平），所以，晶体管60固定地截止，不论行地址RA0、RA1如何，备用字线SWL都维持为非激活状态（低电平）。

另一方面，在编程信号XUSE设定为“1”（高电平）的备用行的使用状态时，表示不良存储单元行的编程信号XRA0和XRA1分别与输入的行地址RA0和RA1一致时，备用字线SWL激活为高电平。但是，在两者不一致时，即输入的行地址RA0、RA1未选择不良存储单元行时，备用字线SWL就是非激活状态（低电平）。这样，备用译码器就进行输入的行地址与由冗长信息表示的不良行地址是否一致的判断。

行选择门RLG0~RLG3具有与图16所示的行选择门RLG0~RLG3相同的结构，在备用字线SWL为非激活状态时，根据行地址RA0和RA1有选择地激活字线WL0~WL3的1条字线。另一方面，在备用字线SWL已激活时，字线WL0~WL3都成为非激活状态（低电平）。

因此，备用译码器50备用行由编程信号XUSE设定为使用状

态并且编程信号XRA0和XRA1与行地址RA0和RA1一致时，就将备用字线SWL激活为高电平。在除此以外的情况时，备用字线SWL维持为低电平。

再次参见图1，位线BL0~BL3分别由行选择电路20有选择地激活，读出与字线WL0~WL3中的1条或与备用字线SWL对应的正规存储单元MC和备用存储单元SMC的某一个的存储数据对应的电压。读出放大器SA0~SA3放大位线BL0~BL3的电压，生成读出数据。

参见图5，列选择电路30具有分别设置在与外部I/O（EI/O）连接的节点No和位线BL0~BL3之间的列选择开关31~34。列选择开关31~34分别由例如N沟道MOS晶体管构成。列选择开关31~34的通/断分别与列选择线CSL0~CSL3相应地设定。

列选择电路30进而具有分别用于控制列选择线CSL0~CSL3的激活的流通选择门CSG0~CSG3。列选择门CSG0~CSG3根据列地址CA0和CA1控制列选择线CSL0~CSL3的激活。例如，在流通地址CA0=“0”并且CA1=“0”时，列选择线CSL0由列选择门CSG0激活为高电平。因此，这时，读出到位线BL0上的数据向外部I/O（EI/O）传输。这样，4条列选择线CSL0~CSL3中的1条就根据2个列地址CA0、CA1的电平的组合（4种）而激活为高电平。

参见图6，在时刻t0，对MRAM设备1接通电源，开始进行初始动作。响应外部电源电压Ext.Vcc的上升而电源接通复位信号POR激活为高电平。响应电源接通复位信号POR的激活，从由编程单元PMC构成的编程组件PU中进行冗长信息读出，生成编程信号XUSE、XRA0和XRA1。

在图6中，作为一例，表示了编程信号XUSE、XRA0、XRA1分别为“1”（高电平）的情况。这时，将备用行设定为使用状态（XUSE=“1”），行地址RA0=RA1=“1”作为不良行地址进行处理。在备用译码器50中，节点Na和Nb的电压电平根据生成的编程信号XRA0和XRA1的电平分别保持为低电

平。

这样，在数据读出动作进行之前的初始动作时，读出编程组件存储的冗长信息，由锁存电路保持在备用译码器 50 内。与此相应地，在时刻 t_s 以后，设备成为可以使用的状态，从而可以进行通常的数据读出。

在图 6 中，表示了初始动作之也维持电源接通复位信号的激活即编程字线 PWL 的激活的动作例，但是，也可以将编程字线 PWL 的激活期间限定为初始动作内的指定期间。这时，由设置在备用译码器 50 内的锁存电路保持编程信号 XUSE、XRA0 和 XRA1 的电平。换言之，如图 6 所示，在电源接通期间中，在维持编程字线 PWL 的激活的动作状态下，在备用译码器 50 内也可以省略锁存电路的配置。但是，如果配置了锁存电路，仅在电源接通之后比较短的期间中使数据读出电流通过编程单元，便可得到冗长信息，所以，可以抑制编程单元的故障发生，从而可以提高动作的可靠性。通过缩短在编程单元中的电流通过期间，可以提高编程单元的动作的可靠性。

在时刻 t_s 以后，在设定为输入的行地址 $RA0 = RA1 = "0"$ 的期间（时刻 $t_s \sim t_1$ ），由于行地址 RA0 和 RA1 分别与编程信号 XRA0 和 XRA1（不良行地址）不一致，所以，节点 Nc 的电压设定为高电平。因此，备用字线 SWL 设定为非激活状态（低电平），与正规存储单元对应的字线 WL0 有选择地激活为高电平。

其次，在时刻 t_1 ，行地址发生变化，设定为 $RA0 = "1"$ 和 $RA1 = "0"$ 。这时，行地址 RA0 和 RA1 与编程信号 XRA0 和 XRA1（不良行地址）也完全不一致。因此，节点 Nc 维持为高电平，备用字线 SWL 维持非激活状态（低电平）。此外，响应行地址的变化，取代字线 WL0，WL1 有选择地激活（高电平）。

此外，在时刻 t_2 ，行地址进而发生变化，设定为 $RA0 = RA1 = "1"$ 。在该状态下，行地址 RA0 和 RA1 与编程信号 XRA0 和 XRA1（不良行地址）完全一致。即，选择不良存储单元行。这时，节点 Nc 的电压从高电平变化为低电平。

与此相应地，备用字线 SWL 激活为高电平，字线 WL0 ~ WL3 非激活，保持低电平。这样，在指示了对不良存储单元行的访问时，取代不良存储单元行，对备用行进行访问。结果，便可置换修

复缺陷存储单元，从而可以执行正常的读出动作。

按照实施例1的结构，不设置熔断器元件，具有与正规存储单元和备用存储单元相同的结构，使用由小面积形成的编程单元PMC，就可以非易失地存储置换修复所使用的冗长信息。

这样，对于冗长信息的编程，不需要特别的处理工序和专用的机器，不伴有物理的破坏也可以和通常的数据写入一样进行磁写入。因此，不会招致处理时间和处理成本的增大，此外，没有影响设备全体的动作的可靠性的危险性，可以处理冗长信息。

此外，每2个分别存储不同电平的数据的编程单元PMC构成存储1位的信息的编程组件PU，所以，如图3所示，可以简化用于从编程组件PU中读出信息的编程读出放大器PSA的结构。

实施例2.

在图7中，代表性地表示出了实施例2的MRAM设备2中与包含冗长结构的数据读出动作关联的电路群。

参见图7，在实施例2的结构中，编程单元PMC配置为在存储器阵列10内共有正规存储单元MC和备用存储单元SMC以及存储单元列。此外，各编程单元PMC非易失地存储构成冗长信息的1位信息。

例如，编程信号XRA0、XRA1和XUSE分别使用编程单元PMC0~PMC2进行存储。冗长信息通过与通常数据向正规存储单元中写入时相同的数据写入动作写入编程单元PMC。

即，在存储器阵列10中，和实施例1一样，设置了配置成4行×4列的正规存储单元MC、配置成1行×4列的备用存储单元SMC和配置成1行×4列的编程单元PMC（PMC0~PMC3）。即，在存储器阵列10全体中，具有相同结构的备用存储单元SMC、存储单元MC和编程单元PMC配置成6行×4列。

在实施例1的结构中，分别与由备用存储单元SMC、正规存储单元MC和编程单元PMC所共有的存储单元列对应地分别配置位线BL0~BL3和读出放大器SA1~SA3，即，从编程单元PMC中进行的数据读出与备用存储单元SMC和正规存储单元MC一样，与实施例1的结构不同，由位线BL0~BL3和读出放大器SA0~

S A 3 进行。这样,就不必配置用于从编程单元 P M C 中进行数据读出的专用电路,所以,可以简化电路结构。

M R A M 设备 2 与 M R A M 设备 1 比较,不同的地方在于进而具有行选择电路 2 5 和列选择电路 3 5,取代了行选择电路 2 0 和列选择电路 3 0。关于 M R A M 设备 2 的其他方面,与实施例 1 的 M R A M 设备 1 相同,所以,不重复详细的说明。

图 8 是表示实施例 2 的行选择电路 2 5 的结构的电路图。

参见图 8,行选择电路 2 5 包括备用译码器 8 0 和与正规行译码器相当的行选择门 R L G # 0 ~ R L G # 3。

备用译码器 8 0 与图 4 所示的备用译码器 5 0 的结构相比,不同的地方在于,进而具有用于控制编程信号 X R A 0 向锁存电路 5 1 的传输的晶体管门 8 1、用于控制编程信号 X R A 1 向锁存电路 5 2 的传输的晶体管门 8 2、将控制信号 S W L B 反相的反相器 8 3、用于驱动备用字线 S W L 的电压的逻辑门 8 4 和用于控制编程信号 X U S E 向锁存电路 6 2 的传输的晶体管门 8 5。此外,还配置了用于根据控制信号 S W L B 驱动编程字线 P W L 的信号缓冲器 9 0。

控制信号 S W L B 至少在通常的数据读出动作执行之前为了读出编程单元 P M C 的存储数据即冗长信息而在指定期间激活为高电平。在控制信号 S W L B 的激活期间,编程字线 P W L 激活为高电平。与此相应地,图 7 所示的编程单元 P M C 0 ~ P M C 3 的存储数据分别读出到位线 B L 0 ~ B L 3 上。

参见图 9,实施例 2 的列选择电路 3 5 与图 5 所示的实施例 1 的列选择电路 3 0 相比,不同的地方在于,进而配置了分别用于传输编程信号 X R A 0、X R A 1 还 X U S E 的编程信号线 S L 0 ~ S L 2。其他部分的结构还动作与列选择电路 3 0 相同,所以,不重复详细的说明。

编程信号线 S L 0 ~ S L 2 是为了将位线 B L 0 ~ B L 2 上的数据向行选择电路 2 5 传输而配置的。通过采用这样的结构,进行和通常的数据读出相同的动作便可读出编程单元存储的冗长信息。在进行通常动作之前,根据编程单元 P M C 的存储数据(冗长信息)而生成的编程信号 X R A 0、X R A 1 和 X U S E 从列选择电路 3 5 向行选择电路 2 5 传输。

再次参见图 8，晶体管门 8 1 响应控制信号 S W L B 的激活而将列选择电路 3 5 的编程信号 X R A 0 向锁存电路 5 1 传输。同样，晶体管门 8 2 和 8 5 将列选择电路 3 5 的编程信号 X R A 1 和 X U S E 分别向锁存电路 5 2 和 6 2 传输。这样，晶体管 5 8、5 9、6 0 的栅极电压和节点 N c 的电压就设定为与实施例 1 相同。

逻辑门 8 4 根据由反相器 8 3 反相后的控制信号 S W L B 和反相器 6 1 的输出驱动备用字线 S W L。因此，在控制信号 S W L B 的激活期间即编程单元 P M C 的数据读出期间，备用字线 S W L 维持为非激活状态。另外，在编程单元 P M C 的数据读出期间以外，根据节点 N c 的电压电平与实施例 1 一样地控制备用字线 S W L 的激活。

构成正规行译码器的行选择门 R L G # 0 ~ R L G # 3 对于实施例 1 的行选择门 R L G 0 ~ R L G 3 的输出进而在与反相器 8 3 的输出之间分别进行 A N D 逻辑运算，控制字线 W L 0 ~ W L 3 的激活。

即，在编程单元的数据读出期间（控制信号 S W L B = 高电平），字线 W L 0 ~ W L 3 固定为非激活状态。另一方面，在编程单元的数据读出期间以外（控制信号 S W L B = 低电平），字线 W L 0 ~ W L 3 的激活控制为与实施例 1 一样。

参见图 1 0，在时刻 t 0，对 M R A M 设备 1 接通电源，开始进行初始动作时，作为初始动作的一环，为了进行编程电源的数据读出即冗长信息的读出，控制信号 S W L B 在指定期间激活为高电平。与此相应地，编程字线 P W L 在指定期间也激活为高电平。例如，使用图 2 所示的电源接通检测电路 4 5，在触发了电源接通检测电路的指定期间中，可以将控制信号 S W L B 激活。

响应编程字线 P W L 的激活，进行编程单元 P M C 的冗长信息读出，表示编程信号 X R A 0、X R A 1 和 X U S E 的电平的数据分别读出到位线 B L 0 ~ B L 2 上。在图 1 0 中，编程信号 X R A 0、X R A 1 和 X U S E 分别设定为“1”（高电平）。

在编程单元的数据读出期间，传输到行选择电路 2 5 中的编程信号 X R A 0、X R A 1 和 X U S E 分别由锁存电路 5 1、5 2 和 6 2 保持。与此相应地，节点 N a 和 N b 设定为低电平。另外，备用行由编程信号 X U S E 设定为使用状态。这样，晶体管 6 0 的栅极维持为高电平，从而晶体管 6 0 固定为导通状态。

这样，在完成编程单元的冗长信息读出之后，读出的冗长信息由锁存电路保持在备用译码器80内。于是，在时刻 t_s 以后，设备就成为可以使用的状态，从而可以进行通常的数据读出。

在时刻 t_s 以后，在输入的行地址设定为 $RA0 = RA1 = "0"$ 的期间（时刻 $t_s \sim t_1$ ），和图6一样，备用字线SWL设定为非激活状态（低电平），与正规存储单元对应的字线WL0有选择地激活为高电平。

其次，在时刻 t_1 ，行地址发生变化，设定为 $RA0 = "1"$ 和 $RA1 = "0"$ 。这时，行地址 $RA0$ 和 $RA1$ 与编程信号 $XRA0$ 和 $XRA1$ 的电平也完全不一致，所以，备用字线SWL维持非激活（低电平）。此外，响应行地址的变化，WL1取代字线WL0有选择地激活（高电平）。

此外，在时刻 t_2 ，行地址进而变化，设定为 $RA0 = RA1 = "1"$ 。在该状态，选择了不良存储单元行，所以，备用字线SWL激活为高电平，字线WL0~WL3为低电平，保持非激活状态。因此，与实施例1一样，可以用备用行置换修复包含缺陷存储单元的不良存储单元行，从而可以进行正常的读出动作。

此外，按照实施例2的结构，可以就编程单元PMC配置到存储器阵列10内，共有正规存储单元MC和备用存储单元SMC和相同的位线BL0~BL3以及读出放大器SA0~SA3。这样，就不必特别设置从编程单元进行的冗长信息读出专用的读出放大器，所以，可以减小电路面积。

在本实施例中，代表性地表示了设置备用行而以存储单元行单位进行冗长置换的结构，但是，在利用备用列的以存储单元列单位进行的冗长置换或利用备用数据线以数据线块单位进行的冗长置换中也可以利用同样的结构进行冗长信息的存储、读出和根据冗长信息进行地址判断。

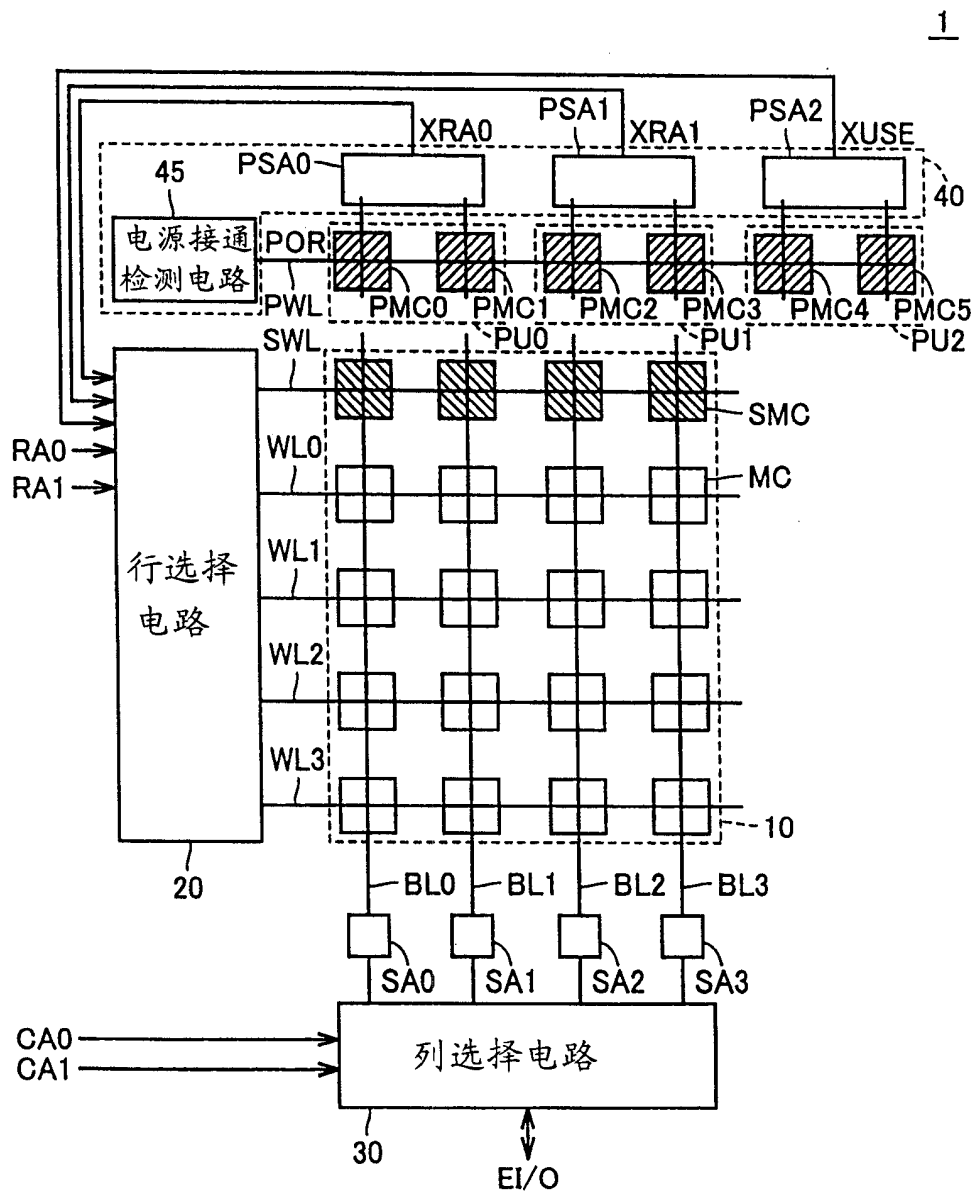


图 1

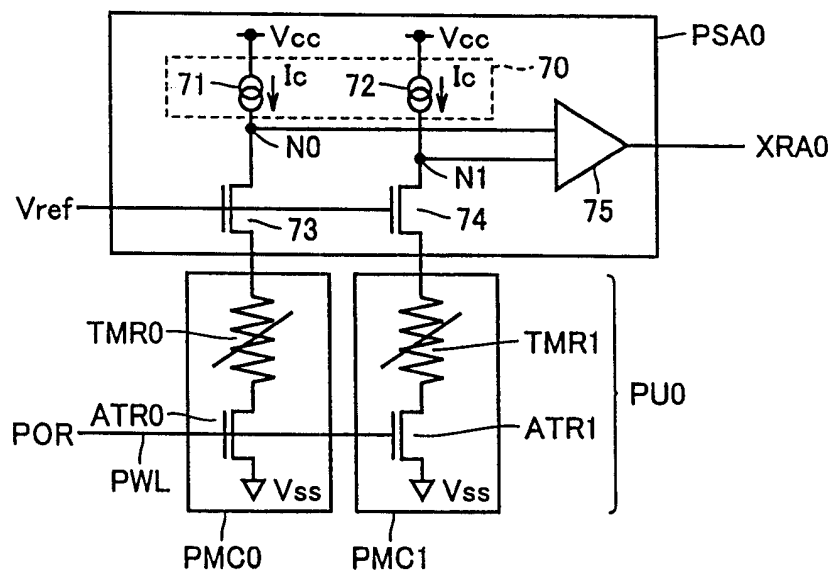
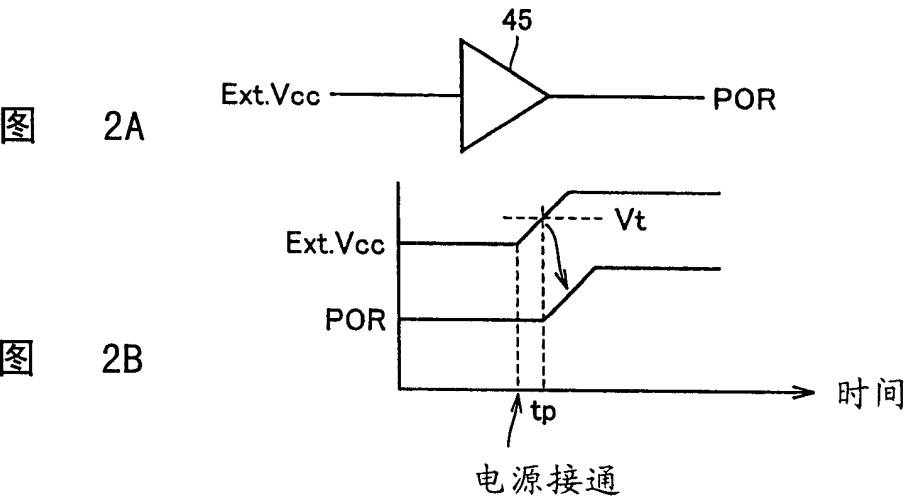


图 3

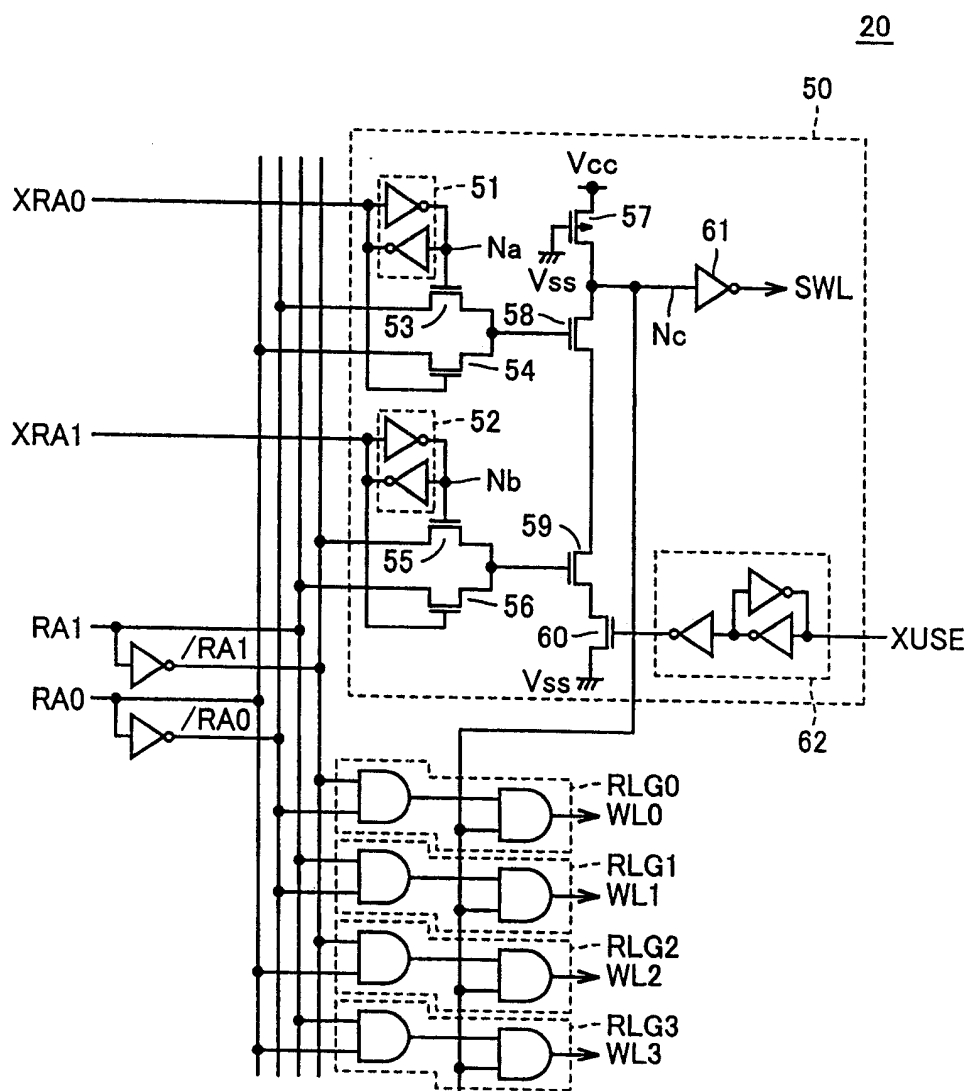


图 4

30

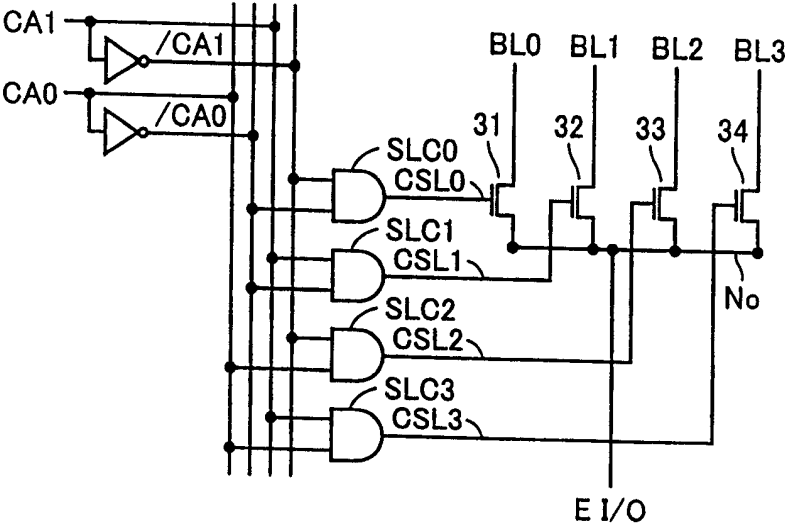


图 5

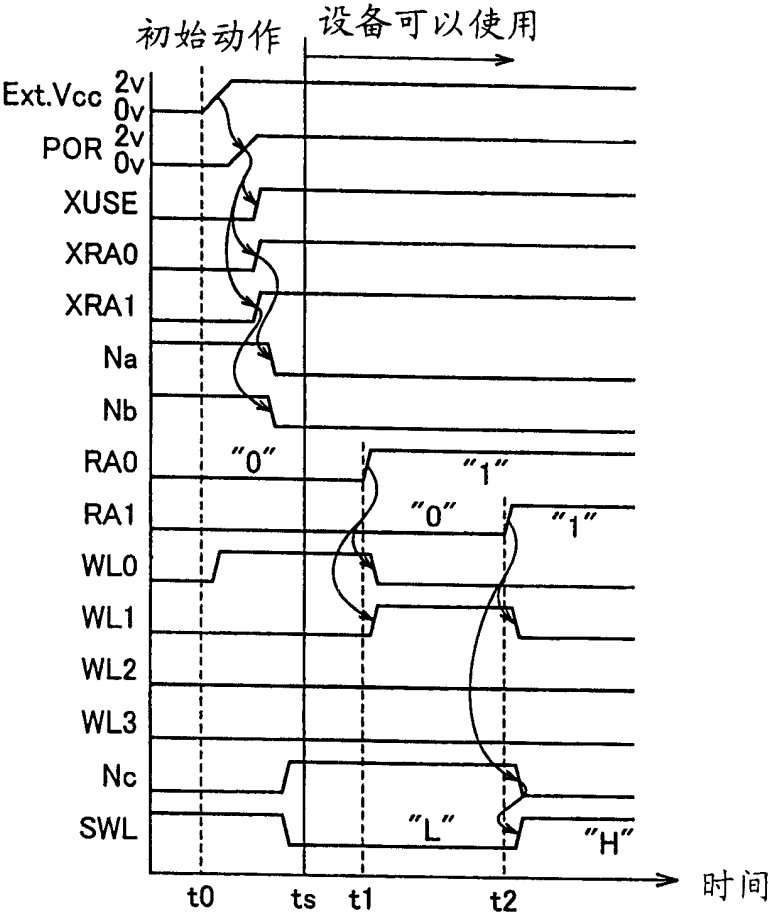


图 6

2

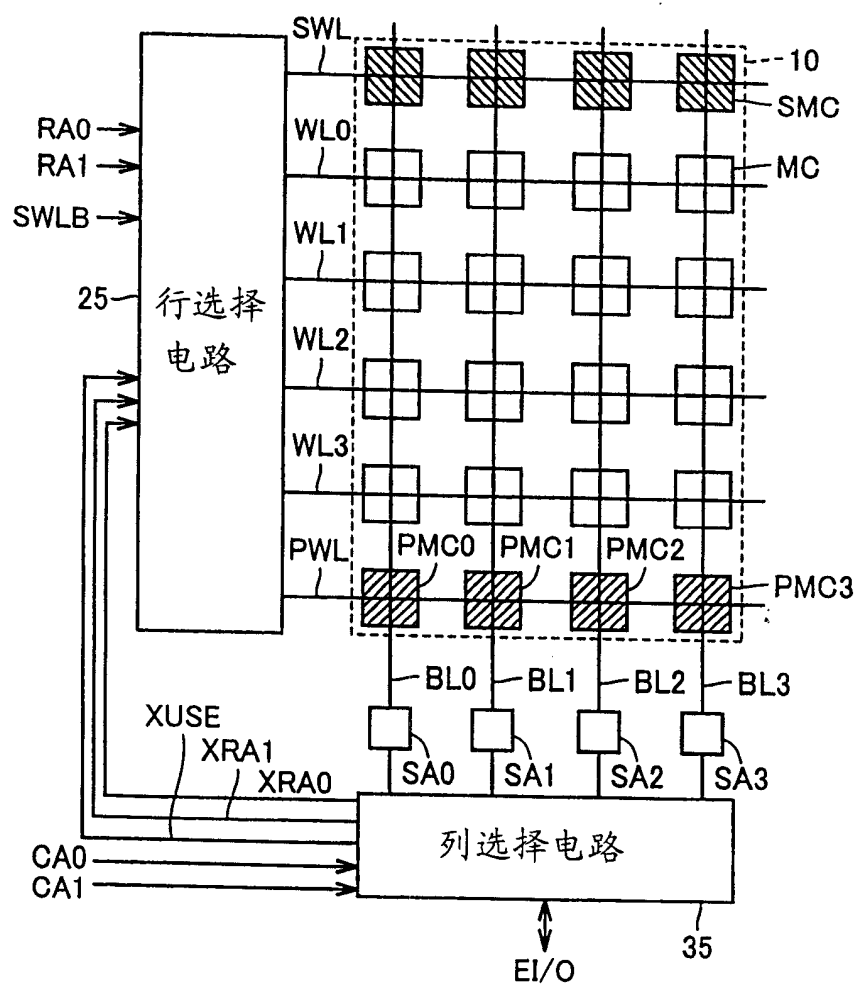


图 7

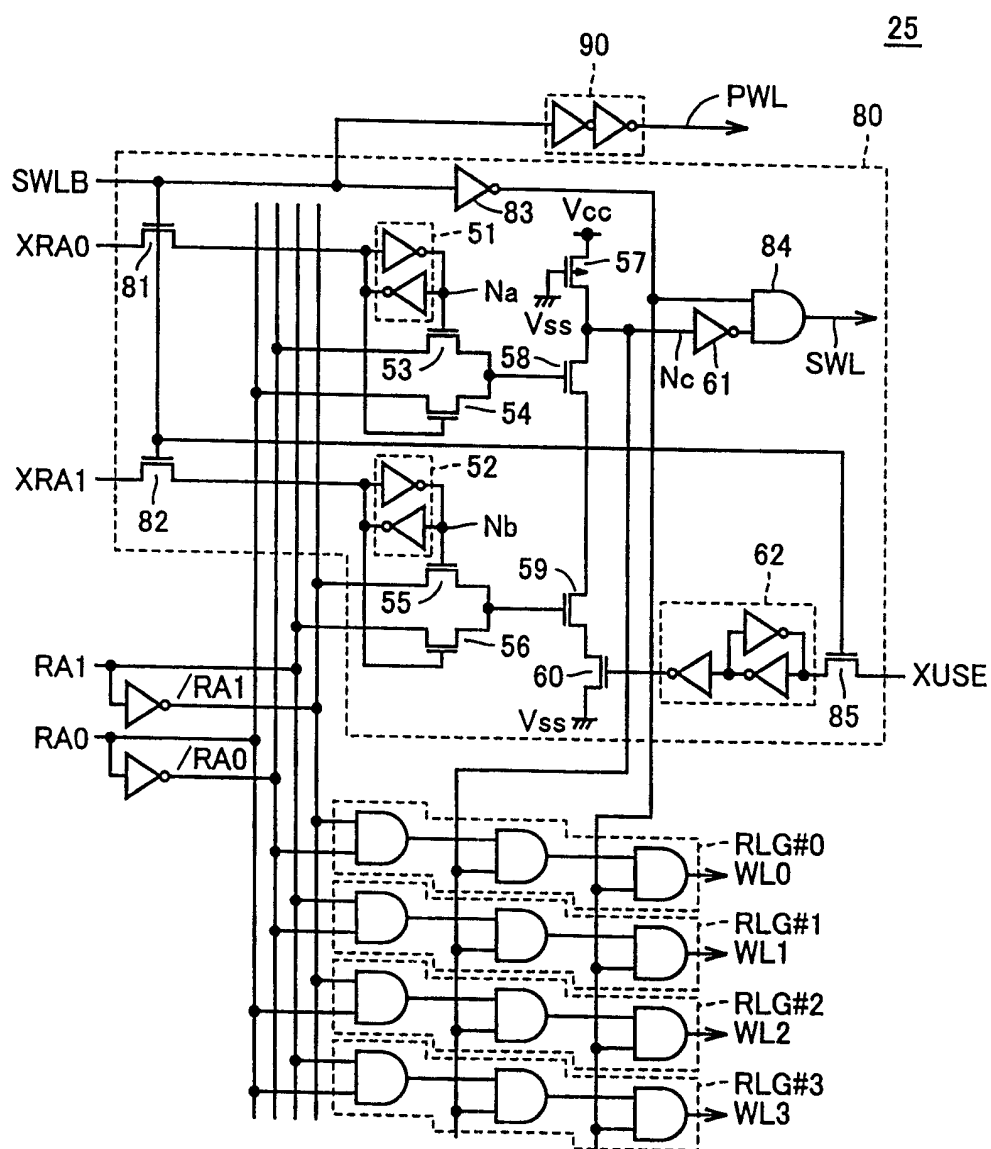


图 8

35

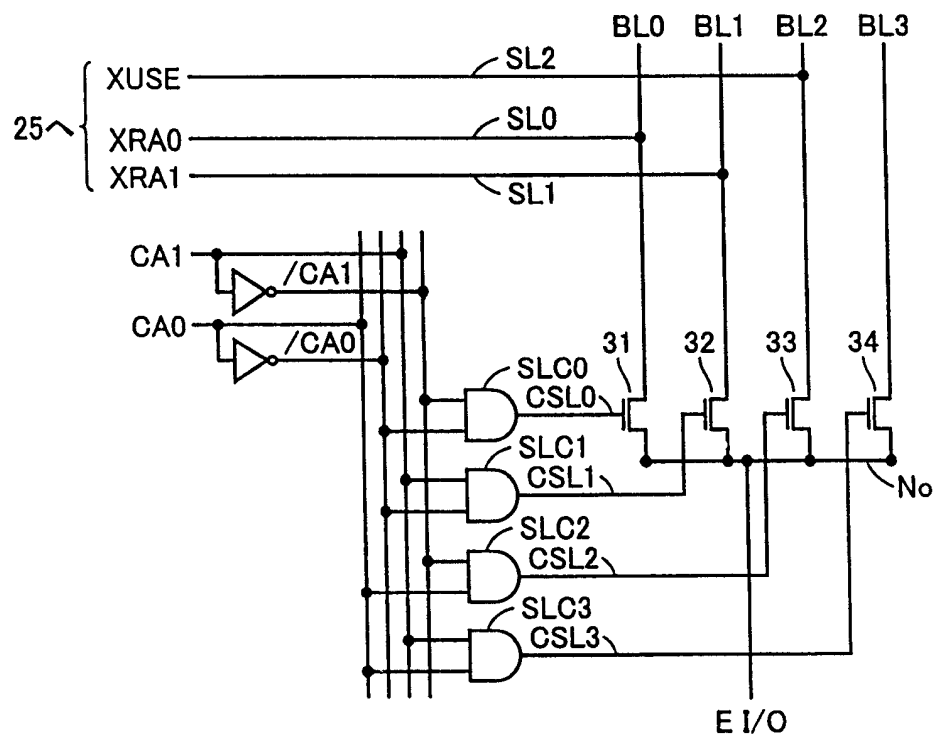


图 9

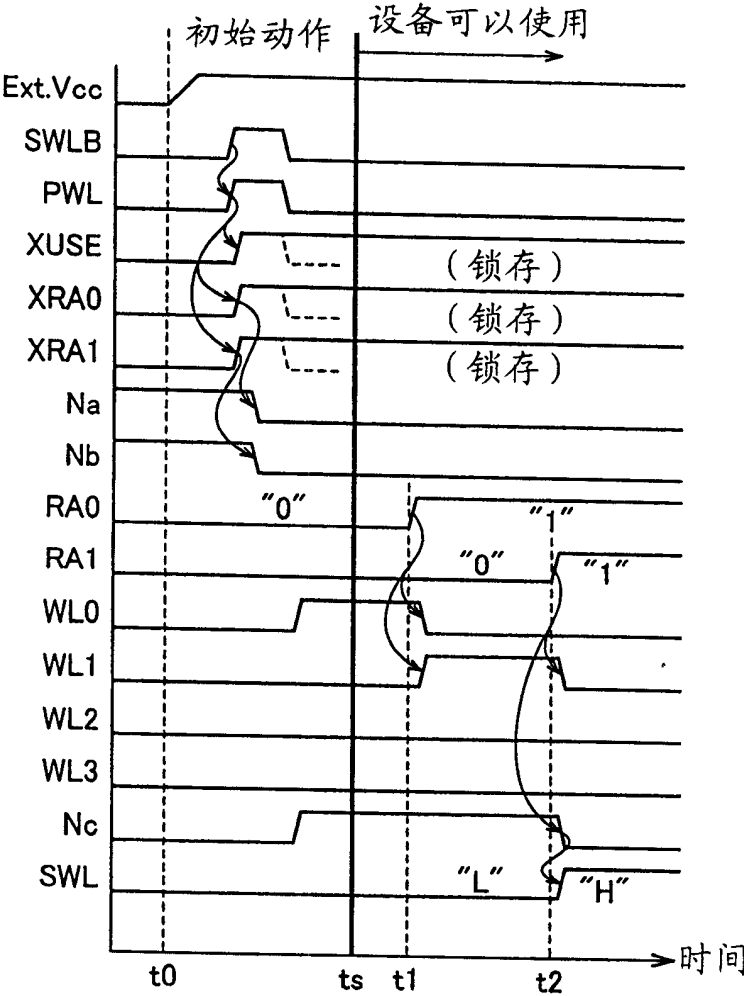


图 10

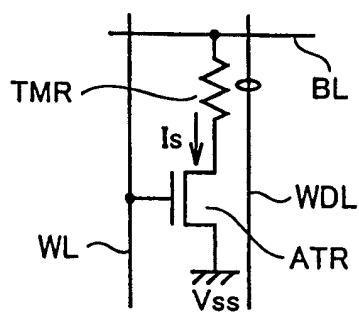


图 11

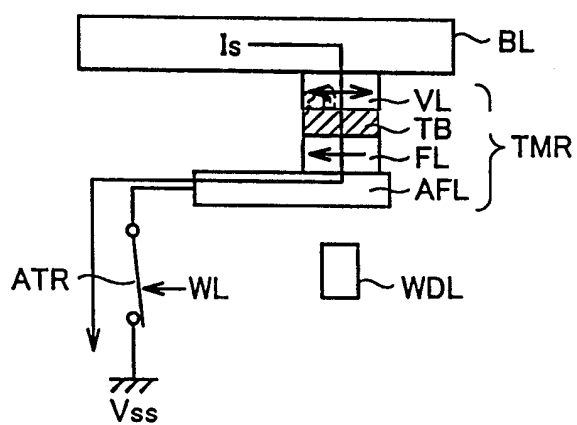


图 12

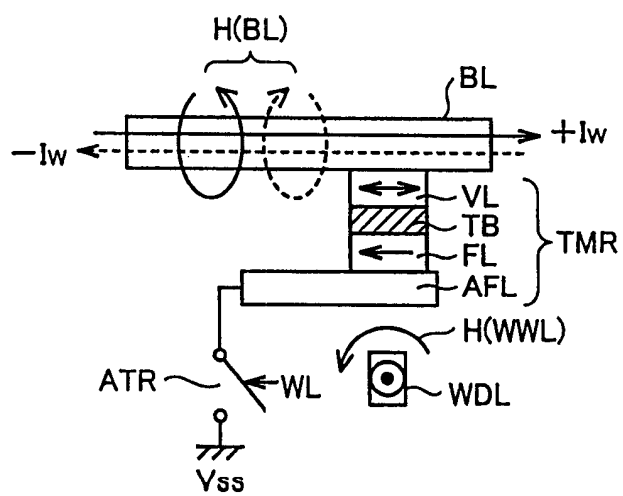


图 13

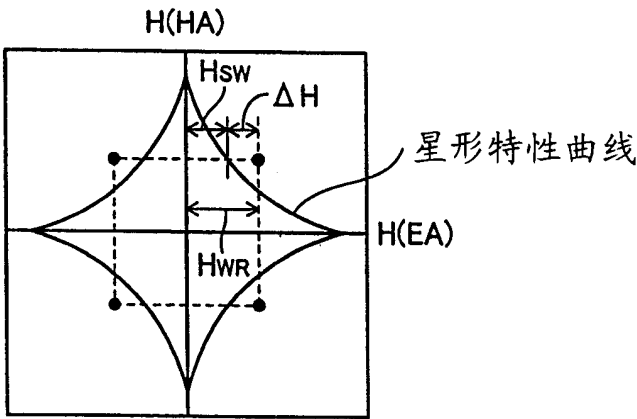


图 14

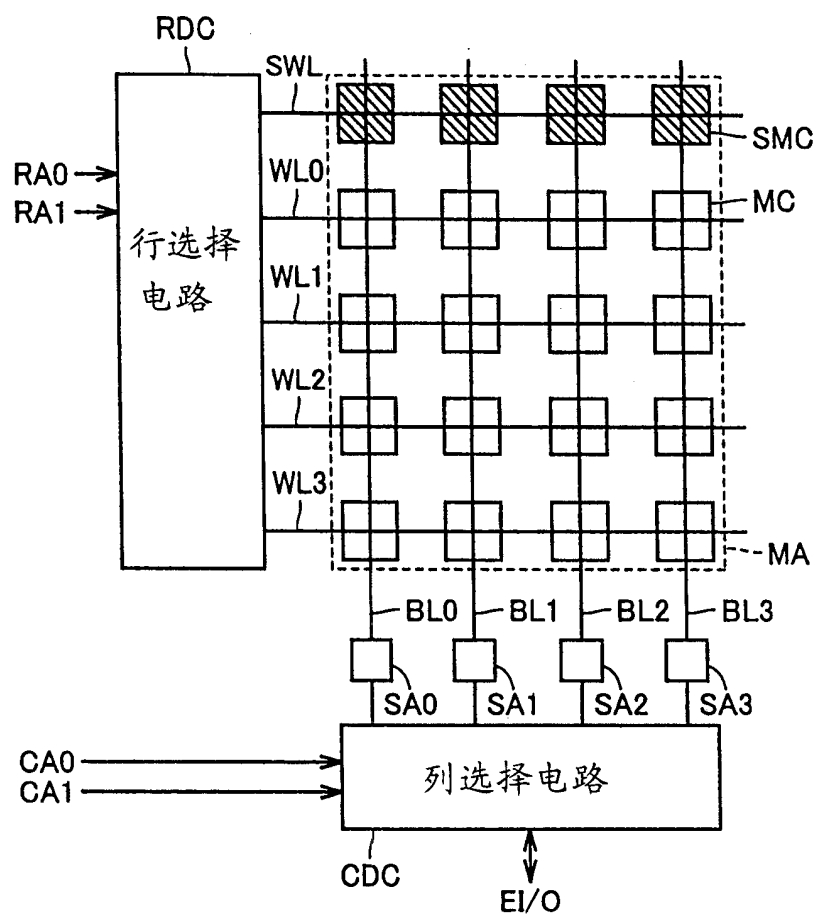


图 15

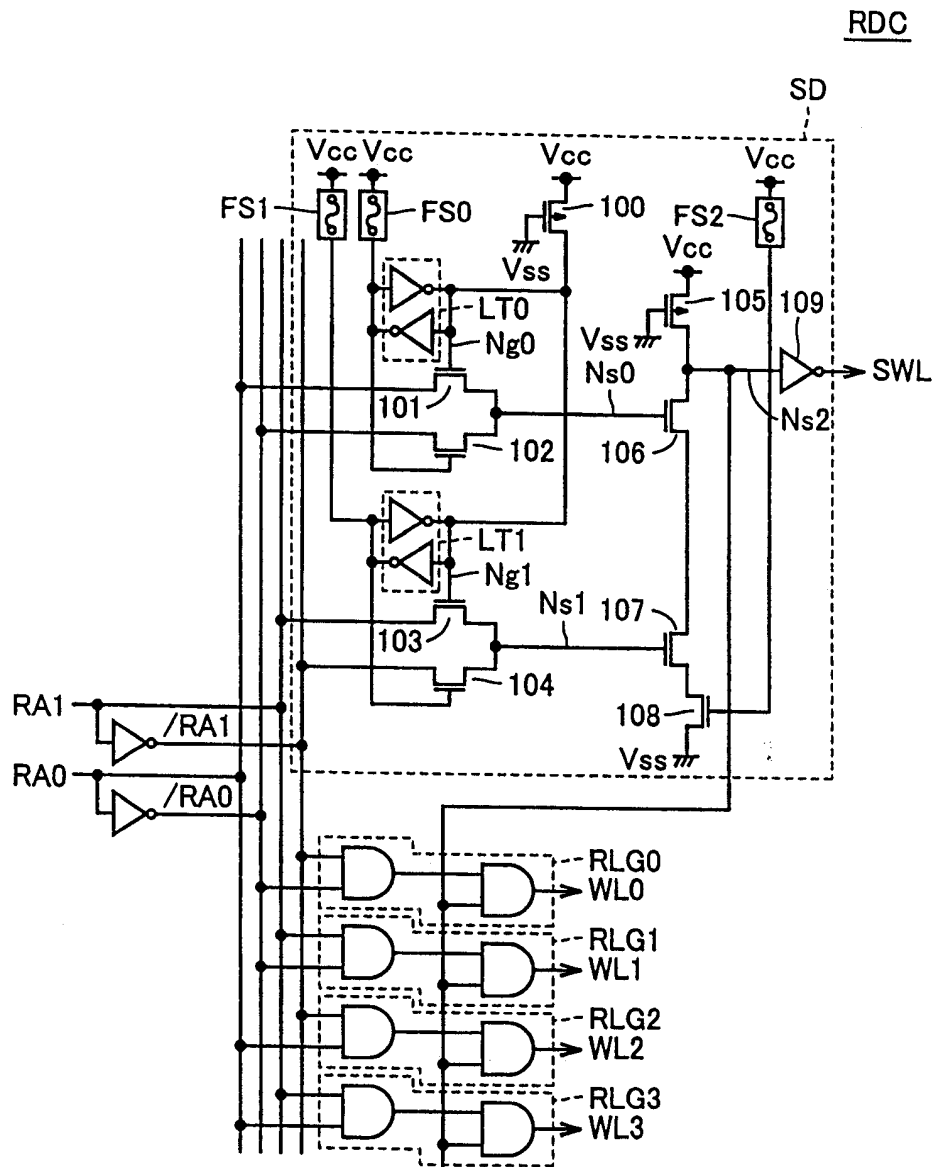


图 16