

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4635504号  
(P4635504)

(45) 発行日 平成23年2月23日 (2011.2.23)

(24) 登録日 平成22年12月3日 (2010.12.3)

(51) Int.Cl. F I  
H O 2 M 3 / 0 7 ( 2 0 0 6 . 0 1 ) H O 2 M 3 / 0 7

請求項の数 8 (全 35 頁)

(21) 出願番号	特願2004-220137 (P2004-220137)	(73) 特許権者	000003193 凸版印刷株式会社 東京都台東区台東1丁目5番1号
(22) 出願日	平成16年7月28日 (2004.7.28)	(74) 代理人	100064908 弁理士 志賀 正武
(65) 公開番号	特開2006-42521 (P2006-42521A)	(74) 代理人	100108578 弁理士 高橋 詔男
(43) 公開日	平成18年2月9日 (2006.2.9)	(74) 代理人	100089037 弁理士 渡邊 隆
審査請求日	平成19年6月22日 (2007.6.22)	(74) 代理人	100101465 弁理士 青山 正和
		(74) 代理人	100094400 弁理士 鈴木 三義
		(74) 代理人	100108453 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 昇圧回路

(57) 【特許請求の範囲】

【請求項1】

n を 3 以上 の 整 数 と し て 、  
出力端と、第 1 ~ 第 ( n - 1 ) の 昇 圧 回 路 部 と を 備 え た 昇 圧 回 路 であ っ て 、  
前 記 第 i ( i = 1 ~ n - 1 ) の 昇 圧 回 路 部 は 、  
第 i ( i = 1 ~ n - 1 ) の 充 電 用 P 型 電 界 効 果 ト ラ ン ジ ス タ と 、  
一 端 が 前 記 第 i ( i = 1 ~ n - 1 ) の 充 電 用 P 型 電 界 効 果 ト ラ ン ジ ス タ の ド レ イ ン に 接 続 さ れ た 第 i ( i = 1 ~ n - 1 ) の キ ャ パ シ タ と 、  
電 源 端 子 が 前 記 第 i ( i = 1 ~ n - 1 ) の キ ャ パ シ タ の 一 端 に 接 続 さ れ 、 出 力 部 が 前 記 第 i ( i = 1 ~ n - 1 ) の 充 電 用 P 型 電 界 効 果 ト ラ ン ジ ス タ の ゲ ー ト に 接 続 さ れ た 第 i ( i = 1 ~ n - 1 ) の イ ン バ ー タ 回 路 と 、

を 有 し 、

前 記 第 1 、 3 、 ・ ・ の キ ャ パ シ タ の 他 端 に は H i g h レ ベ ル と L o w レ ベ ル を 交 互 に 繰 り 返 す パ ル ス 信 号 が 供 給 さ れ 、

前 記 第 2 、 4 、 ・ ・ の キ ャ パ シ タ の 他 端 に は 前 記 パ ル ス 信 号 の 反 転 信 号 が 供 給 さ れ 、

前 記 第 1 の イ ン バ ー タ 回 路 の 入 力 部 に は 前 記 パ ル ス 信 号 の 反 転 信 号 が 供 給 さ れ 、

前 記 第 2 、 3 、 4 、 ・ ・ の イ ン バ ー タ 回 路 の 入 力 部 に は 前 記 第 1 、 2 、 3 、 ・ ・ の 昇 圧 回 路 部 の 第 1 、 2 、 3 、 ・ ・ の イ ン バ ー タ 回 路 の 出 力 が 接 続 さ れ 、

前 記 第 1 の 充 電 用 P 型 電 界 効 果 ト ラ ン ジ ス タ の ソ ー ス に は 電 源 電 圧 が 接 続 さ れ 、

前 記 第 2 、 3 、 ・ ・ の 充 電 用 P 型 電 界 効 果 ト ラ ン ジ ス タ の ソ ー ス に は 前 記 第 1 、 2 、

10

20

・・・のインバータ回路の出力部が接続され、

前記 (  $n - 1$  ) のインバータ回路の出力部は前記出力端に接続されていることを特徴とする昇圧回路。

【請求項 2】

$n$  を 3 以上の整数として、

出力端と、第 1 ~ 第 (  $n - 1$  ) の昇圧回路部とを備えた昇圧回路であって、

前記第  $i$  (  $i = 1 \sim n - 1$  ) の昇圧回路部は、

第  $i$  (  $i = 1 \sim n - 1$  ) の充電用 P 型電界効果トランジスタと、

一端が前記第  $i$  (  $i = 1 \sim n - 1$  ) の充電用 P 型電界効果トランジスタのドレインに接続された第  $i$  (  $i = 1 \sim n - 1$  ) のキャパシタと、

電源端子が前記第  $i$  (  $i = 1 \sim n - 1$  ) のキャパシタの一端に接続され、出力部が前記第  $i$  (  $i = 1 \sim n - 1$  ) の充電用 P 型電界効果トランジスタのゲートに接続された第  $i$  (  $i = 1 \sim n - 1$  ) のインバータ回路と、

を有し、

前記第 1、3、・・・のキャパシタの他端には High レベルと Low レベルを交互に繰り返すパルス信号が供給され、

前記第 2、4、・・・のキャパシタの他端には前記パルス信号の反転信号が供給され、

前記第 1 のインバータ回路の入力部には前記パルス信号の反転信号が供給され、

前記第 2、3、4、・・・のインバータ回路の入力部には前記第 1、2、3、・・・の昇圧回路部の第 1、2、3、・・・のインバータ回路の出力が接続され、

前記第 1 の充電用 P 型電界効果トランジスタのソースには電源電圧が接続され、

前記第 2、3、・・・の充電用 P 型電界効果トランジスタのソースには前記第 1、2、

・・・のキャパシタの一端が接続され、

前記 (  $n - 1$  ) のインバータ回路の出力部は前記出力端に接続されていることを特徴とする昇圧回路。

【請求項 3】

各前記インバータ回路は、

前記電源端子と、

該電源端子にソースが接続された P 型電界効果トランジスタと、

ドレインが該 P 型電界効果トランジスタのドレインに接続され、ソースが接地された N 型電界効果トランジスタと、

前記 P 型電界効果トランジスタのゲートと前記 N 型電界効果トランジスタのゲートとの接続点である前記入力部と、

前記 P 型電界効果トランジスタのドレインと前記 N 型電界効果トランジスタのドレインとの接続点である前記出力部と、

を有することを特徴とする請求項 1 または請求項 2 の何れか 1 項に記載の昇圧回路。

【請求項 4】

キャパシタと、前記キャパシタの一端に接続され該キャパシタを充電する充電用 P 型電界効果トランジスタと、出力部が前記充電用 P 型電界効果トランジスタのゲートに接続され、電源電圧が前記充電用 P 型電界効果トランジスタを介して供給されるインバータ回路と、を備えた昇圧回路部を少なくとも 2 つ以上有し、前段の昇圧回路部の前記インバータ回路の出力を次段の昇圧回路部の前記インバータ回路の入力とする昇圧回路であって、

各昇圧回路部の前記キャパシタは、

前記キャパシタの他端に L レベルの信号が供給された際、前記キャパシタは充電され、

前記キャパシタの前記他端に H レベルの信号が供給された際、当該 H レベルの信号により前記キャパシタの前記一端の電圧が昇圧され、次段の昇圧回路部の前記キャパシタを該昇圧回路部の前記充電用 P 型電界効果トランジスタを介して充電することを特徴とする昇圧回路。

【請求項 5】

第 1 ~ 第  $m$  (  $m \geq 2$  の自然数 ) の昇圧回路部と、

第 1 のパルス信号発生回路と、  
 第 2 のパルス信号発生回路と、  
 出力端と、  
 を備えた昇圧回路であって、  
 前記第  $j$  ( $j = 1 \sim m$ ) の昇圧回路部は、  
 昇圧回路部の入力部にドレインが接続され、昇圧回路部の出力部にソースが接続された  
 第  $j$  ( $j = 1 \sim m$ ) の主転送用 N 型電界効果トランジスタと、  
 昇圧回路部の入力部にドレインが接続され、昇圧回路部の出力部にゲートが接続され、  
 前記第  $j$  ( $j = 1 \sim m$ ) の主転送用 N 型電界効果トランジスタのゲートにソースが接続さ  
 れた第  $j$  ( $j = 1 \sim m$ ) の補助転送用 N 型電界効果トランジスタと、  
 一端が前記第  $j$  ( $j = 1 \sim m$ ) の主転送用 N 型電界効果トランジスタのソースに接続さ  
 れた第  $j$  ( $j = 1 \sim m$ ) の第 1 キャパシタと、  
 一端が前記第  $j$  ( $j = 1 \sim m$ ) の主転送用 N 型電界効果トランジスタのゲートに接続さ  
 れた第  $j$  ( $j = 1 \sim m$ ) の第 2 キャパシタと、  
 を有し、  
 前記第 1 の昇圧回路部の入力部は電源電圧に接続され、  
 前記第 2、3、4、・・・の昇圧回路部の入力部は前記第 1、2、3、・・・の昇圧回路部  
 の出力部に接続され、  
 前記第 1、3、・・・の第 1 キャパシタの他端には第 1 副パルス信号が供給され、  
 前記第 2、4、・・・の第 1 キャパシタの他端には第 2 副パルス信号が供給され、  
 前記第 2、4、・・・の第 2 キャパシタの他端には第 3 副パルス信号が供給され、  
 前記第 1、3、・・・の第 2 キャパシタの他端には第 4 副パルス信号が供給され、  
 前記第 1 のパルス信号発生回路は、  
  $p$  を 3 以上の整数として、出力端と、第 1 ~ 第 ( $p - 1$ ) の昇圧回路部とを備え、  
 前記第  $i$  ( $i = 1 \sim p - 1$ ) の昇圧回路部は、ソースが電源電圧に接続された第  $i$  ( $i$   
 $= 1 \sim p - 1$ ) の充電用 P 型電界効果トランジスタと、  
 一端が前記第  $i$  ( $i = 1 \sim p - 1$ ) の充電用 P 型電界効果トランジスタのドレインに接  
 続された第  $i$  ( $i = 1 \sim p - 1$ ) のキャパシタと、  
 電源端子が前記第  $i$  ( $i = 1 \sim p - 1$ ) のキャパシタの一端に接続され、他端に H i g h  
 レベルと L o w レベルを交互に繰り返すパルス信号の反転信号が入力され、出力部が前  
 記第  $i$  ( $i = 1 \sim p - 1$ ) の充電用 P 型電界効果トランジスタのゲートに接続された第  $i$   
 ( $i = 1 \sim p - 1$ ) のインバータ回路と、を有し、  
 前記第 1 のキャパシタの他端には前記パルス信号が供給され、  
 前記第 2、3、・・・、( $p - 1$ ) のキャパシタの他端は前記第 1、2、・・・、( $p -$   
 2) のインバータ回路の出力部が接続され、  
 前記第 ( $p - 1$ ) のインバータ回路の出力部は前記出力端に接続されている第 3 の昇圧  
 回路、  
 請求項 1 記載の  $n = p$  とした第 1 の昇圧回路、  
 又は請求項 2 記載の  $n = p$  とした第 2 の昇圧回路  
 のうちのいずれか一の昇圧回路であって、H i g h レベルと L o w レベルを交互に繰  
 返すパルス信号として第 3 主パルス信号が入力され、波高値が前記電源電圧の  $p$  倍である  
 前記第 3 副パルス信号を出力し、  
 前記第 2 のパルス信号発生回路は、前記第 1 の昇圧回路、前記第 2 の昇圧回路、又は前  
 記第 3 の昇圧回路のうちのいずれか一の昇圧回路であって、H i g h レベルと L o w レ  
 ベルを交互に繰り返すパルス信号として第 4 主パルス信号が入力され、波高値が前記電源電  
 圧の  $p$  倍である前記第 4 副パルス信号を出力し、  
 前記第 1 副パルス信号は、波高値が前記電源電圧の  $q$  ( $q$  は、 $1 < q < p$  である整数)  
 倍である信号であり、  
 前記第 2 副パルス信号は、波高値が前記電源電圧の  $q$  倍である信号であり、  
 さらに、

10

20

30

40

50

前記第  $m$  の昇圧回路部の出力部にドレイン及びゲートが接続され、前記出力端にソースが接続された第  $(m + 1)$  の主転送用  $N$  型電界効果トランジスタと、  
を有することを特徴とする昇圧回路。

【請求項 6】

第 1 ~ 第  $m$  ( $m \geq 2$  の自然数) の昇圧回路部と、  
第 1 のパルス信号発生回路と、  
第 2 のパルス信号発生回路と、  
出力端と、  
を備えた昇圧回路であって、  
前記第  $j$  ( $j = 1 \sim m$ ) の昇圧回路部は、  
昇圧回路部の入力部にドレインが接続され、昇圧回路部の出力部にソースが接続された第  $j$  ( $j = 1 \sim m$ ) の主転送用  $N$  型電界効果トランジスタと、  
昇圧回路部の入力部にドレインが接続され、昇圧回路部の出力部にゲートが接続され、前記第  $j$  ( $j = 1 \sim m$ ) の主転送用  $N$  型電界効果トランジスタのゲートにソースが接続された第  $j$  ( $j = 1 \sim m$ ) の補助転送用  $N$  型電界効果トランジスタと、  
一端が前記第  $j$  ( $j = 1 \sim m$ ) の主転送用  $N$  型電界効果トランジスタのソースに接続された第  $j$  ( $j = 1 \sim m$ ) の第 1 キャパシタと、  
一端が前記第  $j$  ( $j = 1 \sim m$ ) の主転送用  $N$  型電界効果トランジスタのゲートに接続された第  $j$  ( $j = 1 \sim m$ ) の第 2 キャパシタと、  
を有し、  
前記第 1 の昇圧回路部の入力部は電源電圧に接続され、  
前記第 2、3、4、... の昇圧回路部の入力部は前記第 1、2、3、... の昇圧回路部の出力部に接続され、  
前記第 1、3、... の第 1 キャパシタの他端には第 1 副パルス信号が供給され、  
前記第 2、4、... の第 1 キャパシタの他端には第 2 副パルス信号が供給され、  
前記第 2、4、... の第 2 キャパシタの他端には第 3 副パルス信号が供給され、  
前記第 1、3、... の第 2 キャパシタの他端には第 4 副パルス信号が供給され、  
前記第 1 のパルス信号発生回路は、  
  $p$  を 3 以上の整数として、出力端と、第 1 ~ 第  $(p - 1)$  の昇圧回路部とを備え、  
前記第  $i$  ( $i = 1 \sim p - 1$ ) の昇圧回路部は、ソースが電源電圧に接続された第  $i$  ( $i = 1 \sim p - 1$ ) の充電用  $P$  型電界効果トランジスタと、  
一端が前記第  $i$  ( $i = 1 \sim p - 1$ ) の充電用  $P$  型電界効果トランジスタのドレインに接続された第  $i$  ( $i = 1 \sim p - 1$ ) のキャパシタと、  
電源端子が前記第  $i$  ( $i = 1 \sim p - 1$ ) のキャパシタの一端に接続され、他端に High レベルと Low レベルを交互に繰り返すパルス信号の反転信号が入力され、出力部が前記第  $i$  ( $i = 1 \sim p - 1$ ) の充電用  $P$  型電界効果トランジスタのゲートに接続された第  $i$  ( $i = 1 \sim p - 1$ ) のインバータ回路と、を有し、  
前記第 1 のキャパシタの他端には前記パルス信号が供給され、  
前記第 2、3、...、 $(p - 1)$  のキャパシタの他端は前記第 1、2、...、 $(p - 2)$  のインバータ回路の出力部が接続され、  
前記第  $(p - 1)$  のインバータ回路の出力部は前記出力端に接続されている第 3 の昇圧回路、  
請求項 1 記載の  $n = p$  とした第 1 の昇圧回路、  
又は請求項 2 記載の  $n = p$  とした第 2 の昇圧回路  
のうちのいずれか一の昇圧回路であって、High レベルと Low レベルを交互に繰り返すパルス信号として第 3 主パルス信号が入力され、波高値が前記電源電圧の  $p$  倍である前記第 3 副パルス信号を出力し、  
前記第 2 のパルス信号発生回路は、前記第 1 の昇圧回路、前記第 2 の昇圧回路、又は前記第 3 の昇圧回路のうちのいずれか一の昇圧回路であって、High レベルと Low レベルを交互に繰り返すパルス信号として第 4 主パルス信号が入力され、波高値が前記電源電

圧の  $p$  倍である前記第 4 副パルス信号を出力し、

前記第 1 副パルス信号は、波高値が前記電源電圧の  $q$  ( $q$  は、 $1 < q < p$  である整数) 倍である信号であり、

前記第 2 副パルス信号は、波高値が前記電源電圧の  $q$  倍である信号であり、  
さらに、

前記第  $m$  の昇圧回路部の出力部にドレインが接続され、前記出力端にソースが接続された第  $(m + 1)$  の主転送用  $N$  型電界効果トランジスタと、

前記第  $m$  の昇圧回路部の出力部にドレインが接続され、前記出力端にゲートが接続され、前記第  $(m + 1)$  の主転送用  $N$  型電界効果トランジスタのゲートにソースが接続された第  $(m + 1)$  の補助転送用  $N$  型電界効果トランジスタと、

一端が前記第  $(m + 1)$  の主転送用  $N$  型電界効果トランジスタのゲートに接続され、他端に前記第 4 副パルス信号が供給されるキャパシタと、

を有することを特徴とする昇圧回路。

【請求項 7】

前記第 1 副パルス信号は  $H$  レベルの期間が  $L$  レベルの期間より長い信号であり、

前記第 2 副パルス信号は、前記第 1 副パルス信号と逆位相の関係にある信号であり、

前記第 3 副パルス信号は  $L$  レベルの期間が  $H$  レベルの期間より長い信号であって、前記第 2 副パルス信号が  $L$  レベルにある期間、該期間より短い期間  $H$  レベルである信号であり、

前記第 4 副パルス信号は、前記第 3 副パルス信号と逆位相の関係にある信号である、  
ことを特徴とする請求項 5 または請求項 6 の何れか 1 項に記載の昇圧回路。

【請求項 8】

$q$  を 3 以上の整数として、

第 3 のパルス信号発生回路と、

第 4 のパルス信号発生回路と、を更に備え、

前記第 3 のパルス信号発生回路は、

$q$  を 3 以上の整数として、出力端と、第 1 ~ 第  $(q - 1)$  の昇圧回路部とを備え、

前記第  $i$  ( $i = 1 \sim q - 1$ ) の昇圧回路部は、ソースが電源電圧に接続された第  $i$  ( $i = 1 \sim q - 1$ ) の充電用  $P$  型電界効果トランジスタと、

一端が前記第  $i$  ( $i = 1 \sim q - 1$ ) の充電用  $P$  型電界効果トランジスタのドレインに接続された第  $i$  ( $i = 1 \sim q - 1$ ) のキャパシタと、

電源端子が前記第  $i$  ( $i = 1 \sim q - 1$ ) のキャパシタの一端に接続され、他端に  $H i g h$  レベルと  $L o w$  レベルを交互に繰り返すパルス信号の反転信号が入力され、出力部が前記第  $i$  ( $i = 1 \sim q - 1$ ) の充電用  $P$  型電界効果トランジスタのゲートに接続された第  $i$  ( $i = 1 \sim q - 1$ ) のインバータ回路と、を有し、

前記第 1 のキャパシタの他端には前記パルス信号が供給され、

前記第 2、3、 $\dots$ 、 $(q - 1)$  のキャパシタの他端は前記第 1、2、 $\dots$ 、 $(q - 2)$  のインバータ回路の出力部が接続され、

前記第  $(q - 1)$  のインバータ回路の出力部は前記出力端に接続されている第 3 の昇圧回路、

請求項 1 記載の  $n = q$  とした第 1 の昇圧回路、

又は請求項 2 記載の  $n = q$  とした第 2 の昇圧回路

のうちのいずれか一の昇圧回路であって、 $H i g h$  レベルと  $L o w$  レベルを交互に繰り返すパルス信号として第 1 主パルス信号が入力され、波高値が前記電源電圧の  $q$  倍である前記第 1 副パルス信号を出力し、

前記第 4 のパルス信号発生回路は、前記第 1 の昇圧回路、前記第 2 の昇圧回路、又は前記第 3 の昇圧回路のうちのいずれか一の昇圧回路であって、 $H i g h$  レベルと  $L o w$  レベルを交互に繰り返すパルス信号として第 2 主パルス信号が入力され、波高値が前記電源電圧の  $q$  倍である前記第 2 副パルス信号を出力する、

ことを特徴とする請求項 5 から請求項 7 の何れか 1 項に記載の昇圧回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、波高値（振幅）を増大したパルス電圧を生成する昇圧回路に関する。

## 【背景技術】

## 【0002】

近年のLSI（Large-Scale Integration：大規模集積回路）においては、回路内部において3V、5V、10Vというように多電源が要求される場合が多い。従来、このような多電源が要求される場合、LSI外部において複数の電源を生成してLSIへ供給するようになっていた。しかし、最近では、LSIへ供給する電源は単一電源で、LSI内部において多電源を生成することが要求されるようになった。さらに、近年は、持ち運びが便利なモバイル機器で、バッテリー駆動の要求が強く、低電圧化の要求がより強くなってきている。

10

## 【0003】

従来から、LSI内部において、外部から供給される電源電圧 $V_{cc}$ より高い電圧を生成する回路として、チャージポンプ回路が用いられている。チャージポンプ回路として、2相クロック駆動のチャージポンプ回路（例えば、特許文献1参照。）や4相クロック駆動のチャージポンプ回路（例えば、特許文献2参照。）がある。

## 【0004】

従来から用いられている4相クロック駆動のチャージポンプ回路の回路構成について図15を参照しつつ説明する。図15は従来の4相クロック駆動のチャージポンプ回路の構成を示す回路図である。ただし、クロック電圧 $PH1 \sim PH4$ は、波高値（振幅）が $V_{cc}$ の周期性のあるパルスであり、クロック電圧 $PH1 \sim PH4$ は図15の関係にある。なお、本明細書において、HighレベルをHレベルと略し、LowレベルをLレベルと略す。

20

## 【0005】

主転送用トランジスタとして、 $(n+1)$ 個のN型電界効果トランジスタ（以下、Nchトランジスタという。） $T11 \sim T1(n+1)$ があり、電源電圧 $V_{cc}$ の入力側から順に、Nchトランジスタ $T11, T12, T13, \dots, T1(n-1), T1n, T1(n+1)$ が直列接続されている。つまり、電源電圧 $V_{cc}$ が入力される入力端INに、Nchトランジスタ $T11$ のドレインが接続されている。Nchトランジスタ $T1i$ （ $i: 1 \sim n$ ）のソースに、次段のNchトランジスタ $T1(i+1)$ のドレインが接続されている。Nchトランジスタ $T1(n+1)$ のソースに出力端OUTが接続されている。

30

Nchトランジスタ $T1i$ （ $i = 1 \sim n$ ）のゲートにはキャパシタ $C_{mi}$ の一端が接続されている。

Nchトランジスタ $T1(n+1)$ のゲートは自身のドレインに接続されている、つまり、Nchトランジスタ $T1(n+1)$ はダイオード接続されている。

なお、本明細書において、Nchトランジスタ $T1i$ （ $i = 1 \sim n+1$ ）の閾値を $V_{th1i}$ と記載する。

40

## 【0006】

主ポンプ用キャパシタとして、 $n$ 個のキャパシタ $C1 \sim Cn$ がある。キャパシタ $Ci$ （ $i = 1 \sim n$ ）の一端はNchトランジスタ $T1i$ のドレインとNchトランジスタ $T1(i+1)$ のソース間のノード $n_i$ に接続されている。キャパシタ $Ci$ （ $i: 1 \sim n$ の奇数）の他端にはクロック電圧 $PH1$ が供給され、キャパシタ $Ci$ （ $i: 1 \sim n$ の偶数）の他端にはクロック電圧 $PH2$ が供給される。

## 【0007】

Nchトランジスタ $T11 \sim T1n$ に対応して設けられた $n$ 個のNchトランジスタ $T21 \sim T2n$ があり、本明細書において、適宜、補助転送用トランジスタという。

Nchトランジスタ $T21$ のドレインには入力端INが接続されている。Nchトラン

50

ジスタ  $T_{2i}$  ( $i = 2 \sim n$ ) のドレインにはノード  $n(i-1)$  が接続されている。

$Nch$  トランジスタ  $T_{2i}$  ( $i = 1 \sim n$ ) のソースはノード  $k_i$  に接続されて、 $Nch$  トランジスタ  $T_{1i}$  ( $i = 1 \sim n$ ) のゲートにつながっている。

$Nch$  トランジスタ  $T_{2i}$  ( $i = 1 \sim n$ ) のゲートはノード  $n_i$  に接続されて、キャパシタ  $C_i$  につながっている。

【0008】

$Nch$  トランジスタ  $T_{11} \sim T_{1n}$  に対応して設けられた  $n$  個のキャパシタ  $C_{m1} \sim C_{mn}$  があり、本明細書において、適宜、補助ポンプ用キャパシタという。

キャパシタ  $C_{mi}$  ( $i = 1 \sim n$ ) の一端は  $Nch$  トランジスタ  $T_{1i}$  のゲートに接続されている。キャパシタ  $C_{mi}$  ( $i : 1 \sim n$  の奇数) の他端にはクロック電圧  $PH_4$  が供給され、キャパシタ  $C_{mi}$  ( $i : 1 \sim n$  の偶数) の他端にはクロック電圧  $PH_3$  が供給される。

10

【0009】

次に、図15に回路構成を示した従来の4相クロック駆動のチャージポンプ回路の動作について図16を参照しつつ説明する。図16は図15のチャージポンプ回路の動作を説明するための波形図である。

【0010】

クロック電圧  $PH_1$  がHレベルになると、キャパシタ  $C_1$  を通じて  $Nch$  トランジスタ  $T_{21}$  のゲート電圧が高くなり、 $Nch$  トランジスタ  $T_{11}$  のゲート電圧(ノード  $k_1$  の電位)が高くなる。その後、クロック電圧  $PH_1$  がLレベルとなった後、クロック電圧  $PH_4$  がHレベルとなると、キャパシタ  $C_{m1}$  を通じて  $Nch$  トランジスタ  $T_{11}$  のゲート電圧(ノード  $k_1$  の電位)がさらに高くなる。 $Nch$  トランジスタ  $T_{11}$  のゲート電圧が入力端  $IN$  の電位より閾値  $V_{th11}$  以上高くなると、 $Nch$  トランジスタ  $T_{11}$  は三極間動作になり、入力端  $T_{11}$  に入力された電源電圧  $V_{cc}$  は、閾値  $V_{th11}$  分の電圧ドロップすることなく、 $Nch$  トランジスタ  $T_{11}$  を通ってノード  $n_1$  へ転送される。

20

【0011】

その後、クロック電圧  $PH_2$  がHレベルのときに、クロック電圧  $PH_1$  がHレベルとなると、ノード  $n_1$  の電位がそれに応じて高くなり、キャパシタ  $C_2$  を通じて  $Nch$  トランジスタ  $T_{22}$  のゲート電圧が高くなっているため  $Nch$  トランジスタ  $T_{12}$  のゲート電圧(ノード  $k_2$  の電位)も高くなる。

30

その後、クロック電圧  $PH_2$  がLレベルとなって、さらに、クロック電圧  $PH_3$  がHレベルとなると、キャパシタ  $C_{m2}$  を通じて  $Nch$  トランジスタ  $T_{12}$  のゲート電圧(ノード  $k_2$  の電位)がさらに高くなる。 $Nch$  トランジスタ  $T_{12}$  のゲート電圧がノード  $n_1$  の電位より閾値  $V_{th12}$  以上高くなると、 $Nch$  トランジスタ  $T_{12}$  は三極間動作になり、ノード  $n_1$  の電位は、閾値  $V_{th12}$  分の電圧ドロップすることなく、 $Nch$  トランジスタ  $T_{12}$  を通ってノード  $n_2$  へ転送される。

その後、クロック電圧  $PH_3$  がLレベルとなると、クロック電圧  $PH_3$  による電位の持ち上げがなくなるので、 $Nch$  トランジスタ  $T_{12}$  のゲート電圧(ノード  $k_2$  の電位)が下がる。

その後、クロック電圧  $PH_2$  がHレベルとなり、さらに、クロック電圧  $PH_1$  がLレベルとなると、ノード  $n_1$  の電位がそれに応じて下がり、キャパシタ  $C_2$  を通じて  $Nch$  トランジスタ  $T_{22}$  のゲート電圧が高くなっているため  $Nch$  トランジスタ  $T_{12}$  のゲート電圧(ノード  $k_2$  の電位)が下がる。

40

【0012】

ノード  $n_1$  の電位がノード  $n_2$  へ転送された後、クロック電圧  $PH_1$  がHレベルのときに、クロック電圧  $PH_2$  がHレベルとなると、ノード  $n_2$  の電位がそれに応じて高くなり、キャパシタ  $C_3$  を通じて  $Nch$  トランジスタ  $T_{23}$  のゲート電圧が高くなっているため  $Nch$  トランジスタ  $T_{13}$  のゲート電圧(ノード  $k_3$  の電位)が高くなる。

その後、クロック電圧  $PH_1$  がLレベルとなって、さらに、クロック電圧  $PH_4$  がHレベルとなると、キャパシタ  $C_{m3}$  を通じて  $Nch$  トランジスタ  $T_{13}$  のゲート電圧(ノード  $k_3$  の電位)がさらに高くなり、 $Nch$  トランジスタ  $T_{13}$  は三極間動作になり、ノード  $n_2$  の電位より閾値  $V_{th13}$  以上高くなると、 $Nch$  トランジスタ  $T_{13}$  は三極間動作になり、ノード  $n_2$  の電位は、閾値  $V_{th13}$  分の電圧ドロップすることなく、 $Nch$  トランジスタ  $T_{13}$  を通ってノード  $n_3$  へ転送される。

50

ド k 3 の電位) がさらに高くなる。N c h トランジスタ T 1 3 のゲート電圧がノード n 2 の電位より閾値 V t h 1 3 以上高くなると、N c h トランジスタ T 1 3 は三極間動作になり、ノード n 2 の電位は、閾値 V t h 1 3 分の電圧ドロップすることなく、N c h トランジスタ T 1 3 を通ってノード n 3 へ転送される。

その後、クロック電圧 P H 4 が L レベルとなると、クロック電圧 P H 4 による電位の持ち上げがなくなるので、N c h トランジスタ T 1 3 のゲート電圧 ( ノード k 3 の電位 ) が下がる。

その後、クロック電圧 P H 1 が H レベルとなり、さらに、クロック電圧 P H 2 が L レベルとなると、ノード n 2 の電位がそれに応じて下がり、キャパシタ C 3 を通じて N c h トランジスタ T 2 3 のゲート電圧が高くなっているので N c h トランジスタ T 1 3 のゲート電圧 ( ノード k 3 の電位 ) が下がる。

10

#### 【 0 0 1 3 】

各段で上述したような転送動作が行われて、電源電圧 V c c が、昇圧されながら、ノード n n へ転送される。そして、最終段の N c h トランジスタ T 1 ( n + 1 ) はダイオード接続されているので、クロック電圧 P H 2 が H レベルのときに、ノード n n から閾値 V t h 1 ( n + 1 ) 分低い電位が出力端 O U T へ転送される。

#### 【 0 0 1 4 】

図 1 5 の従来のチャージポンプ回路において、出力電圧 V o u t は、

$$V_{out} = V_{cc} + (V_{cc} \times 1 - V_{th11}) + (V_{cc} \times 2 - V_{th12}) + \dots + (V_{cc} \times n - V_{th1n}) - V_{th1(n+1)}$$

20

となる。

但し、 $i$  ( $i = 1 \sim n$ ) は主ポンプ用キャパシタ ( キャパシタ C 1 ~ C n ) でポンプするときの効率であり、ポンプ効率  $i$  は、

$$i = C_i / (C_i + C_{mi})$$

である。

#### 【 0 0 1 5 】

なお、N c h トランジスタのバックゲート依存性は、バックゲート電圧 V B が高いほど閾値 V t h が高くなり、閾値 V t h の値は ( ルート V B ) に比例する。例えば、バックゲート電圧 V B が 0 V ( V B = 0 ) のときの閾値 V t h の値を 0 . 7 V ( V t h = 0 . 7 ) とすると、バックゲート電圧 V B が 1 . 1 V ( V B = 1 . 1 ) のときの閾値 V t h の値はほぼ 1 . 5 V ( V t h = 1 . 5 ) となる。

30

#### 【 0 0 1 6 】

ここで、従来のチャージポンプ回路は、上述したように、N c h トランジスタ T 1 1 ~ 1 n の閾値 V t h 1 1 ~ V t h 1 n 分の電圧ドロップがないので、出力電圧 V o u t は、

$$V_{out} = V_{cc} + V_{cc} \times 1 + V_{cc} \times 2 + \dots + V_{cc} \times n - V_{th1(n+1)}$$

となる。

【特許文献 1】特開 2 0 0 2 - 2 0 8 2 9 0 号公報

【特許文献 2】特開 2 0 0 3 - 2 3 4 4 0 8 号公報

【発明の開示】

40

【発明が解決しようとする課題】

#### 【 0 0 1 7 】

既に述べたように、電源電圧 V c c の低電圧化の要求があり、電源電圧 V c c が低電圧化されると、クロック電圧 P H 3 , P H 4 の波高値 ( 振幅 ) も低下するので、補助ポンプ用キャパシタの容量 ( キャパシタ C m 1 ~ C m n の容量 ) を大きくする必要が出てきた。

#### 【 0 0 1 8 】

ところが、補助ポンプ用キャパシタの容量が大きくなると、主ポンプ用キャパシタ ( キャパシタ C 1 ~ C n ) でポンプするときのポンプ効率 が下がるので、チャージポンプ回路の面積が大きくなってしまいうという問題がある。

#### 【 0 0 1 9 】

50

この問題を解決する一つ的手段として、補助ポンプ用キャパシタに供給するパルス電圧の波高値（振幅）を昇圧回路を利用して大きくし、これによって、主ポンプ用キャパシタの容量に対する補助ポンプ用キャパシタの容量の比を小さくすることを可能にし、ポンプ効率を上げる方法が考えられる。

【 0 0 2 0 】

そこで、本発明は、素子数の少ない簡単な構成の昇圧回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 1 】

請求項 1 に記載の昇圧回路は、出力端と、ソースが電源電圧に接続された充電用 P 型電界効果トランジスタと、一端が前記充電用 P 型電界効果トランジスタのドレインに接続され、他端に High レベルと Low レベルを交互に繰り返すパルス信号が供給されるキャパシタと、入力部に前記パルス信号の反転信号が入力され、電源端子が前記キャパシタの一端に接続され、出力部が前記出力端に接続された第 1 のインバータ回路と、入力部に前記パルス信号の反転信号が入力され、電源端子が前記キャパシタの一端に接続され、出力部が前記充電用 P 型電界効果トランジスタのゲートに接続された第 2 のインバータ回路と、を備えたことを特徴とする。

10

【 0 0 2 2 】

請求項 2 に記載の昇圧回路は、出力端と、ソースが電源電圧に接続された充電用 P 型電界効果トランジスタと、一端が前記充電用 P 型電界効果トランジスタのドレインに接続され、他端に High レベルと Low レベルを交互に繰り返すパルス信号が供給されるキャパシタと、入力部に前記パルス信号の反転信号が入力され、電源端子が前記キャパシタの一端に接続され、出力部が前記出力端に接続されるとともに前記充電用 P 型電界効果トランジスタのゲートに接続されたインバータ回路と、を備えたことを特徴とする。

20

【 0 0 2 3 】

請求項 3 に記載の昇圧回路は、出力端と第 1 の昇圧回路部と第 2 の昇圧回路部とを備えた昇圧回路であって、前記第 1 の昇圧回路部は、ソースが電源電圧に接続された第 1 の充電用 P 型電界効果トランジスタと、一端が前記第 1 の充電用 P 型電界効果トランジスタのドレインに接続され、他端に High レベルと Low レベルを交互に繰り返すパルス信号が供給される第 1 のキャパシタと、入力部に前記パルス信号の反転信号が入力され、電源端子が前記第 1 のキャパシタの一端に接続され、出力部が前記第 1 の充電用 P 型電界効果トランジスタのゲートに接続された第 1 のインバータ回路と、を有し、前記第 2 の昇圧回路部は、ソースが前記第 1 の昇圧回路部の前記第 1 のインバータ回路の出力部に接続された第 2 の充電用 P 型電界効果トランジスタと、一端が前記第 2 の充電用 P 型電界効果トランジスタのドレインに接続され、他端に前記パルス信号の反転信号が供給される第 2 のキャパシタと、入力部に前記第 1 の昇圧回路部の前記第 1 のインバータ回路の出力部に接続され、電源端子が前記第 2 のキャパシタの一端に接続され、出力部が前記出力端に接続されるとともに前記第 2 の充電用 P 型電界効果トランジスタのゲートに接続された第 2 のインバータ回路と、を有することを特徴とする。

30

【 0 0 2 4 】

請求項 4 に記載の昇圧回路は、出力端と、第 1 ~ 第 ( n - 1 ) の昇圧回路部とを備えた昇圧回路であって、前記第 i ( i = 1 ~ n - 1 ) の昇圧回路部は、第 i ( i = 1 ~ n - 1 ) の充電用 P 型電界効果トランジスタと、一端が前記第 i ( i = 1 ~ n - 1 ) の充電用 P 型電界効果トランジスタのドレインに接続された第 i ( i = 1 ~ n - 1 ) のキャパシタと、電源端子が前記第 i ( i = 1 ~ n - 1 ) のキャパシタの一端に接続され、出力部が前記第 i ( i = 1 ~ n - 1 ) の充電用 P 型電界効果トランジスタのゲートに接続された第 i ( i = 1 ~ n - 1 ) のインバータ回路と、を有し、前記第 1、3、・・・のキャパシタの他端には High レベルと Low レベルを交互に繰り返すパルス信号が供給され、前記第 2、4、・・・のキャパシタの他端には前記パルス信号の反転信号が供給され、前記第 1 のインバータ回路の入力部には前記パルス信号の反転信号が供給され、前記第 2、3、4、・・・

40

50

のインバータ回路の入力部には前記第 1、2、3、・・・の昇圧回路部の第 1、2、3、・・・のインバータ回路の出力が接続され、前記第 1 の充電用 P 型電界効果トランジスタのソースには電源電圧が接続され、前記第 2、3、・・・の充電用 P 型電界効果トランジスタのソースには前記第 1、2、・・・のインバータ回路の出力部が接続され、前記 (n - 1) のインバータ回路の出力部は前記出力端に接続されていることを特徴とする。

【0025】

請求項 5 に記載の昇圧回路は、出力端と第 1 の昇圧回路部と第 2 の昇圧回路部とを備えた昇圧回路であって、前記第 1 の昇圧回路部は、ソースが電源電圧に接続された第 1 の充電用 P 型電界効果トランジスタと、一端が前記第 1 の充電用 P 型電界効果トランジスタのドレインに接続され、他端に High レベルと Low レベルを交互に繰り返すパルス信号が供給される第 1 のキャパシタと、入力部に前記パルス信号の反転信号が入力され、電源端子が前記第 1 のキャパシタの一端に接続され、出力部が前記第 1 の充電用 P 型電界効果トランジスタのゲートに接続された第 1 のインバータ回路と、を有し、前記第 2 の昇圧回路部は、ソースが前記第 1 の昇圧回路部の前記第 1 のキャパシタの一端に接続された第 2 の充電用 P 型電界効果トランジスタと、一端が前記第 2 の充電用 P 型電界効果トランジスタのドレインに接続され、他端に前記パルス信号の反転信号が供給される第 2 のキャパシタと、入力部に前記第 1 の昇圧回路部の前記第 1 のインバータ回路の出力部に接続され、電源端子が前記第 2 のキャパシタの一端に接続され、出力部が前記出力端に接続されるとともに前記第 2 の充電用 P 型電界効果トランジスタのゲートに接続された第 2 のインバータ回路と、を有することを特徴とする。

【0026】

請求項 6 に記載の昇圧回路は、出力端と、第 1 ~ 第 (n - 1) の昇圧回路部とを備えた昇圧回路であって、前記第 i (i = 1 ~ n - 1) の昇圧回路部は、第 i (i = 1 ~ n - 1) の充電用 P 型電界効果トランジスタと、一端が前記第 i (i = 1 ~ n - 1) の充電用 P 型電界効果トランジスタのドレインに接続された第 i (i = 1 ~ n - 1) のキャパシタと、電源端子が前記第 i (i = 1 ~ n - 1) のキャパシタの一端に接続され、出力部が前記第 i (i = 1 ~ n - 1) の充電用 P 型電界効果トランジスタのゲートに接続された第 i (i = 1 ~ n - 1) のインバータ回路と、を有し、前記第 1、3、・・・のキャパシタの他端には High レベルと Low レベルを交互に繰り返すパルス信号が供給され、前記第 2、4、・・・のキャパシタの他端には前記パルス信号の反転信号が供給され、前記第 1 のインバータ回路の入力部には前記パルス信号の反転信号が供給され、前記第 2、3、4、・・・のインバータ回路の入力部には前記第 1、2、3、・・・の昇圧回路部の第 1、2、3、・・・のインバータ回路の出力が接続され、前記第 1 の充電用 P 型電界効果トランジスタのソースには電源電圧が接続され、前記第 2、3、・・・の充電用 P 型電界効果トランジスタのソースには前記第 1、2、・・・のキャパシタの一端が接続され、前記 (n - 1) のインバータ回路の出力部は前記出力端に接続されていることを特徴とする。

【0027】

請求項 7 に記載の昇圧回路は、出力端と、第 1 の昇圧回路部と、第 2 の昇圧回路部とを備えた昇圧回路であって、前記第 1 の昇圧回路部は、ソースが電源電圧に接続された第 1 の充電用 P 型電界効果トランジスタと、一端が前記第 1 の充電用 P 型電界効果トランジスタのドレインに接続され、他端に High レベルと Low レベルを交互に繰り返すパルス信号が供給される第 1 のキャパシタと、入力部に前記パルス信号の反転信号が入力され、電源端子が前記第 1 のキャパシタの一端に接続され、出力部が前記第 1 の充電用 P 型電界効果トランジスタのゲートに接続された第 1 のインバータ回路と、を有し、前記第 2 の昇圧回路部は、ソースが電源電圧に接続された第 2 の充電用 P 型電界効果トランジスタと、一端が前記第 2 の充電用 P 型電界効果トランジスタのドレインに接続され、他端が前記第 1 のインバータ回路の出力部に接続された第 2 のキャパシタと、入力部に前記パルス信号の反転信号が入力され、電源端子が前記第 2 のキャパシタの一端に接続され、出力部が前記出力端に接続されるとともに前記第 2 の充電用 P 型電界効果トランジスタのゲートに接続された第 2 のインバータ回路と、を有することを特徴とする。

## 【 0 0 2 8 】

請求項 8 に記載の昇圧回路は、出力端と、第 1 ~ 第 ( n - 1 ) の昇圧回路部とを備えた昇圧回路であって、前記第 i ( i = 1 ~ n - 1 ) の昇圧回路部は、ソースが電源電圧に接続された第 i ( i = 1 ~ n - 1 ) の充電用 P 型電界効果トランジスタと、一端が前記第 i ( i = 1 ~ n - 1 ) の充電用 P 型電界効果トランジスタのドレインに接続された第 i ( i = 1 ~ n - 1 ) のキャパシタと、電源端子が前記第 i ( i = 1 ~ n - 1 ) のキャパシタの一端に接続され、他端に H i g h レベルと L o w レベルを交互に繰り返すパルス信号の反転信号が入力され、出力部が前記第 i ( i = 1 ~ n - 1 ) の充電用 P 型電界効果トランジスタのゲートに接続された第 i ( i = 1 ~ n - 1 ) のインバータ回路と、を有し、前記第 1 のキャパシタの他端には前記パルス信号が供給され、前記第 2、3、・・・、( n - 1 ) のキャパシタの他端は前記第 1、2、・・・、( n - 2 ) のインバータ回路の出力部が接続され、前記第 ( n - 1 ) のインバータ回路の出力部は前記出力端に接続されていることを特徴とする。

10

## 【 0 0 2 9 】

請求項 9 に記載の昇圧回路は、各前記インバータ回路は、前記電源端子と、該電源端子にソースが接続された P 型電界効果トランジスタと、ドレインが該 P 型電界効果トランジスタのドレインに接続され、ソースが接地された N 型電界効果トランジスタと、前記 P 型電界効果トランジスタのゲートと前記 N 型電界効果トランジスタのゲートとの接続点である前記入力部と、前記 P 型電界効果トランジスタのドレインと前記 N 型電界効果トランジスタのドレインとの接続点である前記出力部と、を有することを特徴とする。

20

## 【 0 0 3 0 】

請求項 1 0 に記載の昇圧回路は、出力端と、ソースが電源電圧に接続され、基盤がドレインに接続された充電用 P 型電界効果トランジスタと、一端が前記充電用 P 型電界効果トランジスタのドレインに接続され、他端に H i g h レベルと L o w レベルを交互に繰り返すパルス信号が供給されるキャパシタと、ソースが前記キャパシタの一端に接続され、ゲートに前記パルス信号の反転信号が入力され、ドレインが前記出力端に接続され、基盤が自身のソースに接続されたインバータ用 P 型電界効果トランジスタと、ソースが接地され、ゲートに前記パルス信号の反転信号が入力され、ドレインが前記出力端に接続されたインバータ用 N 型電界効果トランジスタと、を備え、前記インバータ用 P 型電界効果トランジスタのドレインと前記インバータ用 N 型電界効果トランジスタのドレインとの接続点が前記充電用 P 型電界効果トランジスタのゲートに接続されていることを特徴とする。

30

## 【 0 0 3 1 】

請求項 1 1 に記載の昇圧回路は、キャパシタを有する少なくとも 2 つ以上の昇圧回路部を有する昇圧回路であって、各昇圧回路部のキャパシタは、一端に他端に L レベルの信号が供給されているときに充電用の電圧が印加されて充電され、他端に H レベルの信号が供給されているとき当該 H レベルの信号により一端の電圧を高くして次段の昇圧回路部の充電用の電圧として使用することを特徴とする。

## 【 0 0 3 2 】

請求項 1 2 に記載の昇圧回路は、キャパシタを有する少なくとも 2 つ以上の昇圧回路部を有する昇圧回路であって、各昇圧回路部のキャパシタは、一端に他端に L レベルの信号が供給されているときに充電用の電圧が印加されて充電され、他端に H レベルの信号が供給されているとき当該 H レベルの信号により一端の電圧を高くして次段の昇圧回路部のキャパシタの他端に供給して H レベルの信号として使用することを特徴とする。

40

## 【 発明の効果 】

## 【 0 0 3 3 】

請求項 1 から請求項 8、1 0 から 1 2 によれば、少ない素子数の簡単な回路構成で昇圧回路を実現することができ、素子数が少ないため昇圧回路が必要とする面積を小さくすることができる。

## 【 0 0 3 4 】

請求項 9 によれば、昇圧回路に利用するインバータ回路の 1 形態を提供することができ

50

る。

【発明を実施するための最良の形態】

【0035】

以下、本発明の好適な実施の形態について図面を参照しつつ説明する。

【0036】

<昇圧回路(1)>

以下、本発明の第1の実施の形態における2倍昇圧回路について図1を参照しつつ説明する。図1は本実施の形態における2倍昇圧回路の構成を示す回路図である。なお、使用するクロック信号CLKの波高値(振幅)をVccとし、この反転信号CLKrが入力端INに入力される。

10

ソースに電源電圧Vccが入力される、充電用のP型電界効果トランジスタ(以下、Pchトランジスタという。)PTR13がある。PchトランジスタPTR13の基盤(N-Well)はPchトランジスタPTR13のドレインに接続される。一端がPchトランジスタPTR13のドレインに接続され、他端がインバータ回路INV13の出力端に接続されたキャパシタC11がある。このキャパシタC11の他端にはクロック信号CLK(クロック信号CLKの反転信号CLKrがインバータ回路INV13で反転されて得られるクロック信号CLK)が供給される。

【0037】

インバータ回路INV11があり、インバータ回路INV11には、PchトランジスタPTR11とNchトランジスタNTR11とが含まれている。

20

PchトランジスタPTR11の基盤(N-Well)はPchトランジスタPTR11のソースに接続される。

PchトランジスタPTR11のゲートとNchトランジスタNTR11のゲートとが接続されており、その接続点(インバータ回路INV11の入力部)にクロック信号CLKの反転信号CLKrが入力される。

PchトランジスタPTR11のドレインとNchトランジスタNTR11のドレインとが接続されており、その接続点(インバータ回路INV11の出力部)が2倍昇圧回路の出力端OUTに接続されている。

PchトランジスタPTR11のソース、つまり、インバータ回路INV11の電源端子はキャパシタC11の一端に接続されている。

30

NchトランジスタNTR11のソースは接地されている。

【0038】

インバータ回路INV12があり、インバータ回路INV12には、PchトランジスタPTR12とNchトランジスタNTR12とが含まれている。

PchトランジスタPTR12の基盤(N-Well)はPchトランジスタPTR12のソースに接続される。

PchトランジスタPTR12のゲートとNchトランジスタNTR12のゲートとが接続されており、その接続点(インバータ回路INV12の入力部)にクロック信号CLKの反転信号CLKrが入力される。

PchトランジスタPTR12のドレインとNchトランジスタNTR12のドレインとが接続されており、その接続点(インバータ回路INV12の出力部)はPchトランジスタPTR13のゲートに接続されている。

40

PchトランジスタPTR12のソース、つまり、インバータ回路INV12の電源端子はキャパシタC11の一端に接続されている。

NchトランジスタNTR12のソースは接地されている。

【0039】

次に、図1を参照しつつ回路構成を説明した本実施の形態における2倍昇圧回路の動作について図2を参照しつつ説明する。図2は図1の昇圧回路の動作を説明するための波形図である。

クロック信号CLKがLレベルのとき、つまりその反転信号CLKrがHレベルのとき

50

、NchトランジスタNTR11のゲートおよびPchトランジスタPTR11のゲートにHレベルが入力されるので、NchトランジスタNTR11側がONし、出力端OUTへ接地レベル、つまりLレベルが出力される。

このとき、NchトランジスタNTR12のゲートおよびPchトランジスタPTR12のゲートにHレベルが入力されるので、NchトランジスタNTR12側がONし、PchトランジスタPTR13のゲートに接地レベル、つまりLレベルが入力され、PchトランジスタPTR11がONし、PchトランジスタPTR13を通して、電源電圧Vccでキャパシタ11が充電され、Vcc分の電荷量が蓄えられる(図2参照)。

【0040】

その後、クロック信号CLKがHレベル、つまりその反転信号CLKrがLレベルとなると、NchトランジスタNTR12のゲートおよびPchトランジスタPTR12のゲートにLレベルが入力されるので、PchトランジスタPTR12側がONし、PchトランジスタPTR13のゲートにHレベルが入力され、PchトランジスタPTR13がOFFする。

また、反転信号CLKrがLレベルのとき、NchトランジスタNTR11のゲートおよびPchトランジスタPTR11のゲートにLレベルが入力されるので、NchトランジスタNTR11がOFFし、PchトランジスタPTR11がONする。

このとき、インバータ回路INV13の出力がLレベルからHレベルになっているので、キャパシタC11にVccレベルの電圧が供給されて、ノードNV2の電位はほぼ $2 \times Vcc$ となっており、このほぼ $2 \times Vcc$ レベルの信号がPchトランジスタPTR11を

【0041】

以上のように、本実施の形態によれば、素子数の少ない簡単な構成で、クロック信号CLKの波高値(振幅)を2倍に昇圧し、波高値(振幅)が $2 \times Vcc$ のクロック信号を出力する2倍昇圧回路を実現することができる。そして、2倍昇圧回路の素子数が少ないため2倍昇圧回路に必要な面積が小さいという利点がある。

【0042】

<昇圧回路(2)>

以下、本発明の第2の実施の形態における2倍昇圧回路について図3を参照しつつ説明する。図3は本実施の形態における2倍昇圧回路の構成を示す回路図である。なお、使用するクロック信号CLKの波高値(振幅)をVccとし、クロック信号CLKが入力端IN21に、クロック信号CLKの反転信号CLKrが入力端IN22に入力される。

ソースに電源電圧Vccが入力される、充電用のPchトランジスタPTR22がある。PchトランジスタPTR22の基盤(N-Well)はPchトランジスタPTR22のドレインに接続される。一端がPchトランジスタPTR22のドレインに接続され、他端が入力端IN21に接続されたキャパシタC21がある。

【0043】

インバータ回路INV21があり、インバータ回路INV21には、PchトランジスタPTR21とNchトランジスタNTR21とが含まれている。

PchトランジスタPTR21の基盤(N-Well)はPchトランジスタPTR21のソースに接続される。

PchトランジスタPTR21のゲートとNchトランジスタNTR21のゲートとが接続されており、その接続点(インバータ回路INV21の入力部)に入力端IN22が接続される。

PchトランジスタPTR21のドレインとNchトランジスタNTR21のドレインとが接続されており、その接続点(インバータ回路INV21の出力部)に2倍昇圧回路の出力端OUTが接続されているとともに、接続点はPchトランジスタPTR22のゲートにも接続されている。

PchトランジスタPTR21のソース、つまり、インバータ回路INV21の電源端子はキャパシタC21の一端に接続されている。

10

20

30

40

50

NchトランジスタNTR21のソースは接地されている。

【0044】

ここで、図3を参照しつつ回路構成を説明した本実施の形態における2倍昇圧回路の動作について説明する。

クロック信号CLKがLレベルのとき、つまりその反転信号CLKrはHレベルのとき、NchトランジスタNTR21のゲートおよびPchトランジスタPTR21のゲートにHレベルが入力されるので、NchトランジスタNTR21側がONし、出力端OUTへ接地レベル、つまりLレベルが出力される。このとき、Pchトランジスタ22のゲートに接地レベル、つまりLレベルが入力され、PchトランジスタPTR22がONし、PchトランジスタPTR22を通して、電源電圧VccでキャパシタC21が充電され、Vcc分の電荷量が蓄えられる。

10

【0045】

その後、クロック信号CLKがHレベル、つまりその反転信号CLKrがLレベルとなると、NchトランジスタNTR21のゲートおよびPchトランジスタPTR21のゲートにLレベルが入力されるので、NchトランジスタNTR21がOFFし、PchトランジスタPTR21がONし、出力VoutがほぼVccレベルに充電されるため、PchトランジスタPTR22のゲートにHレベルが入力され、PchトランジスタPTR22がOFFする。

このとき、キャパシタC21にVccレベルの電圧が供給されているため、ノードNV2の電位はほぼ $2 \times Vcc$ となっており、このほぼ $2 \times Vcc$ レベルの信号がPchトランジスタPTR21を通過して出力端OUTへ出力される。

20

【0046】

以上のように、本実施の形態によれば、素子数の少ない簡単な構成で、クロック信号CLKの波高値(振幅)を2倍に昇圧し、波高値(振幅)が2倍になったクロック信号を出力する2倍昇圧回路を実現することができる。そして、第2の実施の形態の2倍昇圧回路は第1の実施の形態の2倍昇圧回路より素子数がさらに少なくなっているため2倍昇圧回路に必要な面積がより小さくなるという利点がある。

【0047】

<昇圧回路(3)>

以下、本発明の第3の実施の形態における3倍昇圧回路について図4を参照しつつ説明する。図4は本実施の形態における3倍昇圧回路の構成を示す回路図である。なお、使用するクロック信号CLKの波高値(振幅)をVccとし、クロック信号CLKが入力端IN31に、クロック信号CLKの反転信号CLKrが入力端IN32, 33に入力される。

30

ソースに電源電圧Vccが入力される、充電用のPchトランジスタPTR32がある。PchトランジスタPTR32の基盤(N-Well)はPchトランジスタPTR32のドレインに接続される。一端がPchトランジスタPTR32のドレインに接続され、他端が入力端IN31に接続されたキャパシタC31がある。

【0048】

インバータ回路INV31があり、インバータ回路INV31には、PchトランジスタPTR31とNchトランジスタNTR31とが含まれている。

40

PchトランジスタPTR31の基盤(N-Well)はPchトランジスタPTR31のソースに接続される。

PchトランジスタPTR31のゲートとNchトランジスタNTR31のゲートとが接続されており、その接続点(インバータ回路INV31の入力部)に入力端IN32が接続される。

PchトランジスタPTR31のドレインとNchトランジスタNTR31のドレインとが接続されており、その接続点(インバータ回路INV31の出力部)にPchトランジスタPTR34のソースが接続されているとともに、接続点はPchトランジスタPTR32のゲートにも接続されている。

50

PchトランジスタPTR31のソース、つまり、インバータ回路INV31の電源端子はキャパシタC31の一端に接続されている。

NchトランジスタNTR31のソースは接地されている。

PchトランジスタPTR32、キャパシタC31、インバータ回路INV31で、入力されるクロック信号CLKを $2 \times V_{cc}$ の波高値（振幅）のクロック信号に昇圧する昇圧回路が構成されており、1段目の昇圧回路部と呼ぶ。

【0049】

ソースが1段目の昇圧回路部のインバータ回路INV31の出力部に接続された、充電用のPchトランジスタPTR34がある。PchトランジスタPTR34の基盤（N-Well）はPchトランジスタPTR34のソースに接続される。一端がPchトランジスタPTR34のドレインに接続され、他端が入力端IN33に接続されたキャパシタC32がある。

10

【0050】

インバータ回路INV33があり、インバータ回路INV33には、PchトランジスタPTR33とNchトランジスタNTR33とが含まれている。

PchトランジスタPTR33の基盤（N-Well）はPchトランジスタPTR33のソースに接続される。

PchトランジスタPTR33のゲートとNchトランジスタNTR33のゲートとが接続されており、その接続点（インバータ回路INV33の入力部）に1段目の昇圧回路部のインバータ回路INV31の出力部が接続される。

20

PchトランジスタPTR33のドレインとNchトランジスタNTR33のドレインとが接続されており、その接続点（インバータ回路INV33の出力部）に3倍昇圧回路の出力端OUTが接続されているとともに、接続点はPchトランジスタPTR34のゲートにも接続されている。

PchトランジスタPTR33のソース、つまり、インバータ回路INV33の電源端子はキャパシタC32の一端に接続されている。

NchトランジスタNTR33のソースは接地されている。

PchトランジスタPTR34、キャパシタC32、インバータ回路INV33で、1段目の昇圧回路部で得られる波高値（振幅）が $2 \times V_{cc}$ のクロック信号を $3 \times V_{cc}$ の波高値（振幅）のクロック信号に昇圧する昇圧回路部が構成されており、2段目の昇圧回路部と呼ぶ。

30

【0051】

次に、図4を参照しつつ回路構成を説明した本実施の形態における3倍昇圧回路の動作について図5を参照しつつ説明する。図5は図4の昇圧回路の動作を説明するための波形図である。

クロック信号CLKがLレベルのとき、つまりその反転信号CLKrがHレベルのとき、NchトランジスタNTR31のゲートおよびPchトランジスタPTR31のゲートにHレベルが入力されるので、NchトランジスタNTR31側がONして、インバータ回路INV31の出力は接地レベル、つまりLレベルとなり、接地レベルの信号がPchトランジスタPTR34のソースおよびインバータ回路INV33の入力部へ出力される。このとき、PchトランジスタPTR32のゲートに接地レベル、つまりLレベルが入力されるので、PchトランジスタPTR32がONして、PchトランジスタPTR32を通して、電源電圧 $V_{cc}$ でキャパシタC31が充電され、 $V_{cc}$ 分の電荷量が蓄えられる（図5参照）。

40

【0052】

その後、クロック信号CLKがHレベル、つまりその反転信号CLKrがLレベルとなると、NchトランジスタNTR31のゲートおよびPchトランジスタPTR31のゲートにLレベルが入力されるので、PchトランジスタPTR31側がONして、PchトランジスタPTR32のゲートにHレベルが入力され、PchトランジスタPTR32がOFFする。

50

このとき、キャパシタC31にVccレベルの電圧が供給されているため、ノードNV2の電位はほぼ $2 \times V_{cc}$ となっており、このほぼ $2 \times V_{cc}$ レベルの信号がPchトランジスタPTR31を通過して次段の昇圧回路部（2段目の昇圧回路部）のPchトランジスタPTR34のソースおよびインバータ回路INV33の入力部へ出力される（図5参照）。

【0053】

つまり、1段目の昇圧回路部は、2段目の昇圧回路部のNchトランジスタPTR34のソースへ、クロック信号CLKがLレベルのときに接地レベルの信号を出力し、クロック信号CLKがHレベルのときに $2 \times V_{cc}$ レベルの信号を出力する。

【0054】

クロック信号CLKがHレベルのとき、即ちインバータ回路INV31の出力部がHレベルのとき、NchトランジスタNTR33のゲートおよびPchトランジスタPTR33のゲートにHレベルが入力されるので、NchトランジスタNTR33側がONして、接地レベル、つまりLレベルが3倍昇圧回路の出力端OUTへ出力される。このとき、PchトランジスタPTR34のゲートに接地レベル、つまりLレベルが入力されるので、PchトランジスタPTR34がONして、PchトランジスタPTR34を通して、1段目の昇圧回路部から入力されている $2 \times V_{cc}$ でキャパシタ32が充電され、 $2 \times V_{cc}$ 分の電荷量が蓄えられる（図5参照）。

【0055】

その後、クロック信号CLKがLレベルとなると、インバータ回路INV31の出力がLレベルになり、NchトランジスタNTR33のゲートおよびPchトランジスタPTR33のゲートにLレベルが入力されるので、PchトランジスタPTR33側がONして、PchトランジスタPTR34のゲートにHレベルが入力され、PchトランジスタPTR34がOFFする。

このとき、キャパシタC32にVccレベルの電圧が供給されているため、ノードNV3の電位はほぼ $3 \times V_{cc}$ となっており、このほぼ $3 \times V_{cc}$ レベルの信号がPchトランジスタPTR33を通過して出力端OUTへ出力される（図5参照）。

【0056】

以上のように、本実施の形態によれば、素子数の少ない簡単な構成で、クロック信号CLKの波高値（振幅）を3倍に昇圧し、波高値（振幅）が3倍になったクロック信号を出力する3倍昇圧回路を実現することができる。そして、3倍昇圧回路の素子数が少ないため3倍昇圧回路に必要な面積が小さいという利点がある。

【0057】

<昇圧回路(4)>

以下、本発明の第4の実施の形態におけるn倍昇圧回路について図6を参照しつつ説明する。図6は本実施の形態におけるn倍昇圧回路の構成を示す回路図である。なお、使用されるクロック信号CLKの波高値（振幅）をVccとする。

図6のn倍昇圧回路は、図4の第3の実施の形態における3倍昇圧回路を応用したものであり、図4の1段目の昇圧回路部、2段目の昇圧回路部、1段目の昇圧回路部、・・・と接続することによって構成される。

【0058】

図中の昇圧回路A1, A3, ..., A(n-2)は図4の1段目の昇圧回路部（PchトランジスタPTR32, キャパシタC31, インバータ回路INV31よりなる回路部）により構成されている。ただし、昇圧回路A1のPchトランジスタPTR32のソースには電源電圧Vccが接続され、他の昇圧回路A3, ..., A(n-2)のPchトランジスタPTR32のソースには1段前の昇圧回路A2, ..., A(n-3)のインバータ回路INV33の出力部（PchトランジスタPTR33のドレインとNchトランジスタNTR33のドレインとの接続点）が接続されている。また、昇圧回路A1のインバータ回路INV31の入力部にはクロック信号CLKの反転信号CLKrが入力され、他の昇圧回路A3, ..., A(n-2)のインバータ回路INV31の入力部には1

10

20

30

40

50

段前の昇圧回路  $A_2, \dots, A_{(n-3)}$  のインバータ回路  $INV_{33}$  の出力部が接続されている。なお、図4の場合と同様、キャパシタ  $C_{31}$  側にクロック信号  $CLK$  が入力される。

【0059】

図中の昇圧回路  $A_2, A_4, \dots, A_{(n-1)}$  は図4の2段目の昇圧回路部 (Pchトランジスタ  $PTR_{34}$ , キャパシタ  $C_{32}$ , インバータ回路  $INV_{33}$  よりなる回路部) により構成されている。ただし、昇圧回路  $A_2, A_4, \dots, A_{(n-1)}$  のPchトランジスタ  $PTR_{34}$  のソースおよびインバータ回路  $INV_{33}$  の入力部には1段前の昇圧回路  $A_1, A_3, \dots, A_{(n-3)}$  のインバータ回路  $INV_{31}$  の出力部 (Pchトランジスタ  $PTR_{31}$  のドレインとNchトランジスタ  $NTR_{31}$  のドレインとの接続点) が接続されている。昇圧回路  $A_{(n-1)}$  のインバータ回路  $INV_{33}$  の出力部から出力されるクロック信号が  $n$  倍昇圧回路の出力となる。なお、図4の場合と同様、キャパシタ  $C_{32}$  側にクロック信号  $CLK$  の反転信号  $CLK_r$  が入力される。

10

【0060】

この構成では、昇圧回路  $A_1$  から波高値 (振幅) が  $2 \times V_{cc}$  のクロック信号が昇圧回路  $A_2$  のPchトランジスタ  $PTR_{34}$  へ出力され、昇圧回路  $A_2$  から波高値 (振幅) が  $3 \times V_{cc}$  のクロック信号が昇圧回路  $A_3$  のPchトランジスタ  $PTR_{32}$  へ出力される。昇圧回路  $A_3$  から波高値 (振幅) が  $4 \times V_{cc}$  のクロック信号が昇圧回路  $A_4$  のPchトランジスタ  $PTR_{34}$  へ出力される。順次行われることによって、昇圧回路  $A_{(n-1)}$  から波高値 (振幅) が  $n \times V_{cc}$  のクロック信号が出力され、 $n$  倍昇圧回路から波高値 (振幅) が  $n \times V_{cc}$  のクロック信号が出力される。

20

【0061】

以上のように、本実施の形態によれば、素子数の少ない簡単な構成で、クロック信号  $CLK$  の波高値 (振幅) を  $n$  倍に昇圧し、波高値 (振幅) が  $n$  倍になったクロック信号を出力する  $n$  倍昇圧回路を実現することができる。そして、 $n$  倍昇圧回路の素子数が少ないため  $n$  倍昇圧回路に必要な面積が小さいという利点がある。

【0062】

<昇圧回路 (5)>

以下、本発明の第5の実施の形態における3倍昇圧回路について図7を参照しつつ説明する。図7は本実施の形態における3倍昇圧回路の構成を示す回路図である。なお、使用するクロック信号  $CLK$  の波高値 (振幅) を  $V_{cc}$  とし、クロック信号  $CLK$  が入力端  $IN_{31a}$  に、クロック信号  $CLK$  の反転信号  $CLK_r$  が入力端  $IN_{32a}, 33a$  に入力される。

30

ソースに電源電圧  $V_{cc}$  が入力される、充電用のPchトランジスタ  $PTR_{32a}$  がある。Pchトランジスタ  $PTR_{32a}$  の基盤 (N-Well) はPchトランジスタ  $PTR_{32a}$  のドレインに接続される。一端がPchトランジスタ  $PTR_{32a}$  のドレインに接続され、他端が入力端  $IN_{31a}$  に接続されたキャパシタ  $C_{31a}$  がある。

【0063】

インバータ回路  $INV_{31a}$  があり、インバータ回路  $INV_{31a}$  には、Pchトランジスタ  $PTR_{31a}$  とNchトランジスタ  $NTR_{31a}$  とが含まれている。

40

Pchトランジスタ  $PTR_{31a}$  の基盤 (N-Well) はPchトランジスタ  $PTR_{31a}$  のソースに接続される。

Pchトランジスタ  $PTR_{31a}$  のゲートとNchトランジスタ  $NTR_{31a}$  のゲートとが接続されており、その接続点 (インバータ回路  $INV_{31a}$  の入力部) に入力端  $IN_{32a}$  が接続される。

Pchトランジスタ  $PTR_{31a}$  のドレインとNchトランジスタ  $NTR_{31a}$  のドレインとが接続されており、その接続点 (インバータ回路  $INV_{31a}$  の出力部) はPchトランジスタ  $PTR_{32a}$  のゲートに接続されている。

Pchトランジスタ  $PTR_{31a}$  のソース、つまり、インバータ回路  $INV_{31a}$  の電源端子はキャパシタ  $C_{31a}$  の一端に接続されている。

50

N c hトランジスタN T R 3 1 aのソースは接地されている。

P c hトランジスタP T R 3 2 a、キャパシタC 3 1 a、インバータ回路I N V 3 1 aで、入力されるクロック信号C L Kを $2 \times V c c$ の波高値（振幅）のクロック信号に昇圧する昇圧回路が構成されており、1段目の昇圧回路部と呼ぶ。

【0064】

ソースが1段目の昇圧回路部の充電用のP c hトランジスタP T R 3 2 aのドレイン（キャパシタC 3 1 aの一端）に接続された、充電用のP c hトランジスタP T R 3 4 aがある。P c hトランジスタP T R 3 4 aの基盤（N - W e l l）はP c hトランジスタP T R 3 4 aのドレインに接続される。一端がP c hトランジスタP T R 3 4 aのドレインに接続され、他端が入力端I N 3 3 aに接続されたキャパシタC 3 2 aがある。

10

【0065】

インバータ回路I N V 3 3 aがあり、インバータ回路I N V 3 3 aには、P c hトランジスタP T R 3 3 aとN c hトランジスタN T R 3 3 aとが含まれている。

P c hトランジスタP T R 3 3 aの基盤（N - W e l l）はP c hトランジスタP T R 3 3 aのソースに接続される。

P c hトランジスタP T R 3 3 aのゲートとN c hトランジスタN T R 3 3 aのゲートとが接続されており、その接続点（インバータ回路I N V 3 3 aの入力部）には1段目の昇圧回路部のインバータ回路I N V 3 1 aの出力部が接続される。

P c hトランジスタP T R 3 3 aのドレインとN c hトランジスタN T R 3 3 aのドレインとが接続されており、その接続点（インバータ回路I N V 3 3 aの出力部）に3倍昇圧回路の出力端O U Tが接続されているとともに、接続点はP c hトランジスタP T R 3 4 aのゲートにも接続されている。

20

P c hトランジスタP T R 3 3 aのソース、つまり、インバータ回路I N V 3 3 aの電源端子はキャパシタC 3 2 aの一端に接続されている。

N c hトランジスタN T R 3 3 aのソースは接地されている。

P c hトランジスタP T R 3 4 a、キャパシタC 3 2 a、インバータ回路I N V 3 3 aで、1段目の昇圧回路部で得られる波高値（振幅）が $2 \times V c c$ のクロック信号を $3 \times V c c$ の波高値（振幅）のクロック信号に昇圧する昇圧回路部が構成されており、2段目の昇圧回路部と呼ぶ。

【0066】

ここで、図7を参照しつつ回路構成を説明した本実施の形態における3倍昇圧回路の動作について説明する。

30

クロック信号C L KがLレベルのとき、つまりその反転信号C L K rがHレベルのとき、N c hトランジスタN T R 3 1 aのゲートおよびP c hトランジスタP T R 3 1 aのゲートにHレベルが入力されるので、N c hトランジスタN T R 3 1 a側がONして、インバータ回路I N V 3 1 aの出力は接地レベル、つまりLレベルとなり、接地レベルの信号がインバータ回路I N V 3 3 aの入力部へ出力される。このとき、P c hトランジスタP T R 3 2 aのゲートに接地レベル、つまりLレベルが入力されるので、P c hトランジスタP T R 3 2 aがONし、P c hトランジスタP T R 3 2 aを通して、電源電圧V c cでキャパシタC 3 1 aが充電され、V c c分の電荷量が蓄えられる。

40

【0067】

その後、クロック信号C L KがHレベル、つまりその反転信号C L K rがLレベルとなると、N c hトランジスタN T R 3 1 aのゲートおよびP c hトランジスタP T R 3 1 aのゲートにLレベルが入力されるので、P c hトランジスタP T R 3 1 a側がONし、P c hトランジスタP T R 3 2 aのゲートにHレベルが入力され、P c hトランジスタP T R 3 2 aがOFFする。

このとき、キャパシタC 3 1 aにV c cレベルの電圧が供給されているため、ノードN V 2の電位はほぼ $2 \times V c c$ となっており、このほぼ $2 \times V c c$ レベルの信号が次段の昇圧回路部（2段目の昇圧回路部）のP c hトランジスタP T R 3 4 aのソースへ出力される。

50

## 【0068】

つまり、1段目の昇圧回路部は、2段目の昇圧回路部のPchトランジスタPTR34aのソースへ、クロック信号CLKがLレベルのときにVccレベルの信号を出力し、クロック信号CLKがHレベルのときに2×Vccレベルの信号を出力する。また、インバータ回路INV33aへ、クロック信号CLKがLレベルのときLレベルの信号を出力し、クロック信号CLKがHレベルのとき、2×Vccレベルの信号を出力する。

## 【0069】

クロック信号CLKがHレベルのとき、NchトランジスタNTR33aのゲートおよびPchトランジスタPTR33aのゲートには1段目の昇圧回路部のインバータ回路INV31aの出力である2×Vccレベルが入力されるので、NchトランジスタNTR33a側がONし、且つPchトランジスタPTR33aは完全にOFFするため、接地レベル、つまりLレベルが3倍昇圧回路の出力端OUTへ出力される。このとき、Pchトランジスタ34aのゲートに接地レベル、つまりLレベルが入力されるので、PchトランジスタPTR34aがオンして、PchトランジスタPTR34aを通して、1段目の昇圧回路部から入力されている2×Vccでキャパシタ32aが充電され、2×Vcc分の電荷量が蓄えられる。

## 【0070】

その後、クロック信号CLKがLレベルとなると、NchトランジスタNTR33aのゲートおよびPchトランジスタPTR33aのゲートにインバータ回路INV31aの出力であるLレベルが入力されるので、PchトランジスタPTR33a側がONして、PchトランジスタPTR34aのゲートに2×Vccレベルが入力され、PchトランジスタPTR34aがOFFする。

このとき、キャパシタC32aにVccレベルの電圧が供給されているため、ノードNV3の電位はほぼ3×Vccとなっており、このほぼ3×Vccレベルの信号がPchトランジスタPTR33aを通過して出力端OUTへ出力される。

## 【0071】

以上のように、本実施の形態によれば、素子数の少ない簡単な構成で、クロック信号CLKの波高値（振幅）を3倍に昇圧し、波高値（振幅）が3倍になったクロック信号を出力する3倍昇圧回路を実現することができる。そして、3倍昇圧回路の素子数が少ないため3倍昇圧回路に必要な面積が小さいという利点がある。

## 【0072】

<昇圧回路(6)>

以下、本発明の第6の実施の形態におけるn倍昇圧回路について図8を参照しつつ説明する。図8は本実施の形態におけるn倍昇圧回路の構成を示す回路図である。なお、使用されるクロック信号CLKの波高値（振幅）をVccとする。

図8のn倍昇圧回路は、図7の第5の実施の形態における3倍昇圧回路を応用したものであり、図7の1段目の昇圧回路部、2段目の昇圧回路部、1段目の昇圧回路部、・・・と接続することによって構成される。

## 【0073】

図中の昇圧回路A1a, A3a, ..., A(n-2)aは図7の1段目の昇圧回路部(PchトランジスタPTR32a, キャパシタC31a, インバータ回路INV31aよりなる回路部)により構成されている。ただし、昇圧回路A1aのPchトランジスタPTR32aのソースには電源電圧Vccが接続され、他の昇圧回路A3a, ..., A(n-2)aのPchトランジスタPTR32aのソースには1段前の昇圧回路A2a, ..., A(n-3)aのPchトランジスタPTR34aのドレイン(キャパシタC32aの一端)が接続され、且つ、インバータ回路INV31aの入力部には、同じく1段前の昇圧回路A2a, ..., A(n-3)aのインバータ回路INV33aの出力部(PchトランジスタPTR33aのドレインとNchトランジスタNTR33aのドレインとの接続点)が接続されている。なお、図7の場合と同様、キャパシタC31a側にクロック信号CLKが入力される。

## 【0074】

図中の昇圧回路A2a, A4a, …, A(n-1)aは図7の2段目の昇圧回路部(PchトランジスタPTR34a, キャパシタC32a, インバータ回路INV33aよりなる回路部)により構成されている。ただし、昇圧回路A2a, A4a, …, A(n-1)aのPchトランジスタPTR34aのソースには1段前の昇圧回路A1a, A3a, …, A(n-2)aのPchトランジスタPTR32aのドレイン(キャパシタC31aの一端)が接続され、且つ、インバータ回路INV33aの入力部には、同じく1段前の昇圧回路A2a, …, A(n-2)aのインバータ回路INV31aの出力部(PchトランジスタPTR31aのドレインとNchトランジスタNTR31aのドレインとの接続点)が接続されている。昇圧回路A(n-1)aのインバータ回路INV33aの出力部から出力されるクロック信号がn倍昇圧回路の出力となる。なお、図7の場合と同様、キャパシタC32a側にクロック信号CLKの反転信号CLKrが入力される。

10

## 【0075】

この構成では、昇圧回路A1aから波高値(振幅)が $2 \times V_{cc}$ のクロック信号が昇圧回路A2aのPchトランジスタPTR34aへ出力され、昇圧回路A2aから波高値(振幅)が $3 \times V_{cc}$ のクロック信号が昇圧回路A3aのPchトランジスタPTR32aへ出力される。昇圧回路A3aから波高値(振幅)が $4 \times V_{cc}$ のクロック信号が昇圧回路A4aのPchトランジスタPTR34へ出力される。順次行われることによって、昇圧回路A(n-1)から波高値(振幅)が $n \times V_{cc}$ のクロック信号が出力され、n倍昇圧回路から波高値(振幅)が $n \times V_{cc}$ のクロック信号が出力される。

20

## 【0076】

以上のように、本実施の形態によれば、素子数の少ない簡単な構成で、クロック信号CLKの波高値(振幅)をn倍に昇圧し、波高値(振幅)がn倍になったクロック信号を出力するn倍昇圧回路を実現することができる。そして、n倍昇圧回路の素子数が少ないためn倍昇圧回路に必要な面積が小さいという利点がある。

## 【0077】

<昇圧回路(7)>

以下、本発明の第7の実施の形態における3倍昇圧回路について図9を参照しつつ説明する。図9は本実施の形態における3倍昇圧回路の構成を示す回路図である。なお、使用するクロック信号CLKの波高値(振幅)を $V_{cc}$ とし、クロック信号CLKが入力端IN51に、クロック信号CLKの反転信号CLKrが入力端IN52, IN53に入力される。

30

ソースに電源電圧 $V_{cc}$ が入力される、充電用のPchトランジスタPTR52がある。PchトランジスタPTR52の基盤(N-Well)はPchトランジスタPTR52のドレインに接続される。一端がPchトランジスタPTR52のドレインに接続され、他端が入力端IN51に接続されたキャパシタC41がある。

## 【0078】

インバータ回路INV51があり、インバータ回路INV51には、PchトランジスタPTR51とNchトランジスタNTR51とが含まれている。

40

PchトランジスタPTR51の基盤(N-Well)はPchトランジスタPTR51のソースに接続される。

PchトランジスタPTR51のゲートとNchトランジスタNTR51のゲートとが接続されており、その接続点(インバータ回路INV51の入力部)に入力端IN52が接続される。

PchトランジスタPTR51のドレインとNchトランジスタNTR51のドレインとが接続されており、その接続点(インバータ回路INV51の出力部)に次段のキャパシタC42が接続されているとともに、接続点はPchトランジスタPTR52のゲートにも接続されている。

PchトランジスタPTR51のソース、つまり、インバータ回路INV51の電源端

50

子はキャパシタC41の一端に接続されている。

NchトランジスタNTR51のソースは接地されている。

PchトランジスタPTR52、キャパシタC41、インバータ回路INV51で、入力されるクロック信号CLKを $2 \times V_{cc}$ の波高値(振幅)のクロック信号に昇圧する昇圧回路が構成されており、1段目の昇圧回路部と呼ぶ。

【0079】

ソースに電源電圧 $V_{cc}$ が入力される、充電用のPchトランジスタPTR54がある。PchトランジスタPTR54の基盤(N-Well)はPchトランジスタPTR54のドレインに接続される。一端がPchトランジスタPTR54のドレインに接続され、他端が1段目の昇圧回路のインバータ回路INV51の出力部(PchトランジスタPTR51のドレインとNchトランジスタNTR51のドレインの接続点)に接続されたキャパシタC42がある。

10

【0080】

インバータ回路INV53があり、インバータ回路INV53には、PchトランジスタPTR53とNchトランジスタNTR53とが含まれている。

PchトランジスタPTR53の基盤(N-Well)はPchトランジスタPTR53のソースに接続される。

PchトランジスタPTR53のゲートとNchトランジスタNTR53のゲートとが接続されており、その接続点(インバータ回路INV53の入力部)に入力端IN53が接続される。

20

PchトランジスタPTR53のドレインとNchトランジスタNTR53のドレインとが接続されており、その接続点(インバータ回路INV53の出力部)に3倍昇圧回路の出力端OUTが接続されているとともに、接続点はPchトランジスタPTR54のゲートにも接続されている。

PchトランジスタPTR53のソース、つまり、インバータ回路INV53の電源端子はキャパシタC42の一端に接続されている。

NchトランジスタNTR53のソースは接地されている。

PchトランジスタPTR54、キャパシタC42、インバータ回路INV53で、1段目の昇圧回路部で得られる波高値(振幅)が $2 \times V_{cc}$ のクロック信号を $3 \times V_{cc}$ の波高値(振幅)のクロック信号に昇圧する昇圧回路部が構成されており、2段目の昇圧回路部と呼ぶ。

30

【0081】

ここで、図9を参照しつつ回路構成を説明した本実施の形態における3倍昇圧回路の動作について説明する。

クロック信号CLKがLレベルのとき、つまりその反転信号CLKrがHレベルのとき、NchトランジスタNTR51のゲートおよびPchトランジスタPTR51のゲートにHレベルが入力されるので、NchトランジスタNTR51側がONし、インバータ回路INV51の出力は接地レベル、つまりLレベルとなり、接地レベルの信号がキャパシタC42へ出力される。このとき、PchトランジスタPTR52のゲートに接地レベル、つまりLレベルが入力されるので、PchトランジスタPTR52がONし、PchトランジスタPTR52を通して、電源電圧 $V_{cc}$ でキャパシタ41が充電され、 $V_{cc}$ 分の電荷量が蓄えられる。

40

同じ期間で、2段目の昇圧回路部でも、NchトランジスタNTR53のゲートおよびPchトランジスタPTR53のゲートにHレベルが入力されるので、NchトランジスタNTR53側がONし、インバータ回路INV53の出力は接地レベル、つまりLレベルとなり、接地レベルの信号が出力端OUTへ出力される。このとき、PchトランジスタPTR54のゲートに接地レベル、つまりLレベルが入力されるので、PchトランジスタPTR54がONし、PchトランジスタPTR54を通して、電源電圧 $V_{cc}$ でキャパシタC42が充電され、 $V_{cc}$ 分の電荷量が蓄えられる。

【0082】

50

その後、クロック信号CLKがHレベル、つまりその反転信号CLKrがLレベルとなると、NchトランジスタNTR51のゲートおよびPchトランジスタPTR51のゲートにLレベルが入力されるので、PchトランジスタPTR51側がONし、PchトランジスタPTR52のゲートにHレベルが入力され、PchトランジスタPTR52がOFFする。

このとき、キャパシタC51にVccレベルの電圧が供給されているため、ノードNV2の電位はほぼ $2 \times Vcc$ となっており、このほぼ $2 \times Vcc$ レベルの信号がPchトランジスタPTR51を通過して次段の昇圧回路部（2段目の昇圧回路部）のキャパシタC42の他端へ出力される。

同じ期間で、2段目の昇圧回路部でも、NchトランジスタNTR53のゲートおよびPchトランジスタPTR53のゲートにLレベルが入力されるので、PchトランジスタPTR53側がONし、PchトランジスタPTR54のゲートにHレベルが入力され、PchトランジスタPTR54がOFFする。

このとき、キャパシタC42にほぼ $2 \times Vcc$ レベルの電圧が供給されているため、ノードNV3の電位はほぼ $3 \times Vcc$ となっており、このほぼ $3 \times Vcc$ レベルの信号がPchトランジスタPTR53を通過して3倍昇圧回路の出力端OUTへ出力される。

【0083】

以上のように、本実施の形態によれば、素子数の少ない簡単な構成で、クロック信号CLKの波高値（振幅）を3倍に昇圧し、波高値（振幅）が3倍になったクロック信号を出力する3倍昇圧回路を実現することができる。そして、3倍昇圧回路の素子数が少ないため3倍昇圧回路に必要な面積が小さいという利点がある。さらに、1クロックで波高値（振幅）が3倍のクロック信号に昇圧する構成のため、短時間で波高値（振幅）が3倍のクロック信号を得ることができるという利点もある。

【0084】

<昇圧回路(8)>

以下、本発明の第8の実施の形態におけるn倍昇圧回路について図10を参照しつつ説明する。図10は本実施の形態におけるn倍昇圧回路の構成を示す回路図である。なお、使用されるクロック信号CLKの波高値（振幅）をVccとする。

図10のn倍昇圧回路は、図9の3倍昇圧回路を応用したものであり、図9の1段目の昇圧回路部、2段目の昇圧回路部、2段目の昇圧回路部、2段目の昇圧回路部、・・・と接続することによって構成される。

【0085】

図中の昇圧回路B1は図9の1段目の昇圧回路部（PchトランジスタPTR52，キャパシタC41，インバータ回路INV51よりなる回路部）により構成されている。ただし、昇圧回路B1のPchトランジスタPTR52のソースには電源電圧Vccが接続されている。なお、図9の場合と同様、キャパシタC41側にクロック信号CLKが入力される。

【0086】

図中の昇圧回路B2～B(n-1)は図9の2段目の昇圧回路部（PchトランジスタPTR54，キャパシタC42，インバータ回路INV53よりなる回路部）により構成されている。ただし、昇圧回路B2～B(n-1)のキャパシタC42の他端には1段前の昇圧回路B1～B(n-2)のインバータ回路INV51、或いは、インバータ回路INV53の出力部（PchトランジスタPTR51のドレインとNchトランジスタNTR51のドレインとの接続点、或いは、PchトランジスタPTR53のドレインとNchトランジスタNTR53のドレインとの接続点）が接続されている。また、昇圧回路B(n-1)のインバータ回路INV53の出力部（PchトランジスタPTR53のドレインとNchトランジスタNTR53のドレインとの接続点）から出力されるクロック信号がn倍昇圧回路の出力となる。

【0087】

昇圧回路B1から出力される信号の波高値（振幅）は $2 \times Vcc$ となり、昇圧回路B2

から出力される信号の波高値（振幅）は  $3 \times V_{cc}$  となり、他の昇圧回路  $B_3 \sim B_{(n-1)}$  でも昇圧されて、昇圧回路  $B_{(n-1)}$  から出力される信号の波高値（振幅）は  $n \times V_{cc}$  となる。

図9の3倍昇圧回路と同様の仕組みによって、クロック信号  $CLK$  は、1クロックで、 $n \times V_{cc}$  の信号に昇圧されて、 $n$ 倍昇圧回路から波高値（振幅）が  $n \times V_{cc}$  のクロック信号が出力される。

#### 【0088】

以上のように、本実施の形態によれば、素子数の少ない簡単な構成で、クロック信号  $CLK$  の波高値（振幅）を  $n$  倍に昇圧し、波高値（振幅）が  $n$  倍になったクロック信号を出力する  $n$  倍昇圧回路を実現することができる。そして、 $n$  倍昇圧回路の素子数が少ないため  $n$  倍昇圧回路に必要な面積が小さいという利点がある。さらに、1クロックで波高値（振幅）が  $n$  倍のクロック信号に昇圧する構成のため、短時間で波高値（振幅）が  $n$  倍のクロック信号を得ることができるという利点もある。

#### 【0089】

上述した図1、図3、図4、図7、図9の昇圧回路については、特に、図1のPchトランジスタ  $PTR_{11}$ 、 $PTR_{12}$ 、 $PTR_{13}$ 、図3のPchトランジスタ  $PTR_{21}$ 、 $PTR_{22}$ 、図4のPchトランジスタ  $PTR_{31}$ 、 $PTR_{32}$ 、 $PTR_{33}$ 、 $PTR_{34}$ 、図7のPchトランジスタ  $PTR_{31a}$ 、 $PTR_{32a}$ 、 $PTR_{33a}$ 、 $PTR_{34a}$ 、図9のPchトランジスタ  $PTR_{51}$ 、 $PTR_{52}$ 、 $PTR_{53}$ 、 $PTR_{54}$  の基盤電位（N-Well電位）の取り方が重要である。

通常のPchトランジスタでは、基盤電位は常にチップ内の最高電位にしておく必要がある。なぜなら、基盤電位（N-Well電位）が順方向になると、トランジスタとしての動作ができなくなるからである。

従って、注意が必要となるのは、充電用のPchトランジスタ（Pchトランジスタ  $PTR_{13}$ 、 $PTR_{22}$ 、 $PTR_{32}$ 、 $PTR_{34}$ 、 $PTR_{32a}$ 、 $PTR_{34a}$ 、 $PTR_{52}$ 、 $PTR_{54}$ ）の基盤電位（N-Well電位）は中間ノード（ノード  $NV_2$ 、 $NV_3$ ）に接続されており、反転信号  $CLK_r$  がHレベルに立ち上がって、充電用のPchトランジスタを介して  $V_{cc}$  で中間ノードを充電するときは一瞬の間、充電用のPchトランジスタの基盤電位（N-Well電位）が順バイアスになる可能性があるため、中間ノードの立下り波形がなるべくゆるく下がるように設定すること、および、充電用のPchトランジスタのレイアウトは、他のPchトランジスタとWellを分離孤立させて、順方向のバイアス電位になってもラッチアップが起こしにくいように工夫することが好ましい。

#### 【0090】

以下、上述した本発明の各実施の形態の昇圧回路（2倍昇圧回路、3倍昇圧回路、 $n$ 倍昇圧回路）を適用した4相クロック駆動のチャージポンプ回路について図面を参照しつつ説明する。

#### 【0091】

<チャージポンプ回路（1）>

以下、本発明の2倍昇圧回路を利用した4相クロック駆動のチャージポンプ回路について図11および図12を参照しつつ説明する。図11は4相クロック駆動のチャージポンプ回路の構成を示す回路図である。図12は図11のチャージポンプ回路の動作を説明するための波形図である。

ただし、図11のチャージポンプ回路において、図15の従来のチャージポンプ回路と同様の役割の素子については同様の符号を付している。また、図11の補助ポンプ用キャパシタの符号を、図15と異なる符号  $Cs_1 \sim Cs_n$  を使用しているが、役割としては同じである。

また、図11のチャージポンプ回路の基本的な動作は、図15の従来の4相クロック駆動のチャージポンプ回路と同様であり、その説明が適用できるため、その詳細な説明は省略する。

## 【 0 0 9 2 】

図 1 1 のチャージポンプ回路には、図 1 5 のチャージポンプ回路には存在しない、クロック電圧 P H 4 の波高値（振幅）を 2 倍にする 2 倍昇圧回路 1 4 が、チャージポンプ回路にクロック電圧 P H 4 を入力する入力端とキャパシタ C s i（i：1～n の奇数）の他端との間に挿入されている。

これにより、図 1 5 のチャージポンプ回路では、クロック電圧 P H 4 がそのままキャパシタ C m i（i：1～n の奇数）に供給されるのに対して、図 1 1 のチャージポンプ回路では、クロック電圧 P H 4 を 2 倍昇圧回路 1 4 を通すことによって得られる波高値（振幅）が  $2 \times V_{cc}$  のクロック電圧 P H 4 a がキャパシタ C s i（i：1～n の奇数）に供給されるようになっている。

10

したがって、図 1 1 のチャージポンプ回路は、図 1 5 のチャージポンプ回路より転送時の N c h トランジスタ T 1 i（i：1～n の奇数）のゲート電圧の値が大きくなる。

## 【 0 0 9 3 】

また、図 1 1 のチャージポンプ回路には、図 1 5 のチャージポンプ回路には存在しない、クロック電圧 P H 3 の波高値（振幅）を 2 倍にする 2 倍昇圧回路 1 3 が、チャージポンプ回路にクロック電圧 P H 3 を入力する入力端とキャパシタ C s i（i：1～n の偶数）の他端との間に挿入されている。

これにより、図 1 5 のチャージポンプ回路では、クロック電圧 P H 3 がそのままキャパシタ C m i（i：1～n の偶数）に供給されるのに対して、図 1 1 のチャージポンプ回路では、クロック電圧 P H 3 を 2 倍昇圧回路 1 3 を通すことによって得られる波高値（振幅）が  $2 \times V_{cc}$  の得られるクロック電圧 P H 3 a がキャパシタ C s i（i：1～n の偶数）に供給されるようになっている。

20

したがって、図 1 1 のチャージポンプ回路は、図 1 5 のチャージポンプ回路より転送時の N c h トランジスタ T 1 i（i：1～n の偶数）のゲート電圧の値が大きくなる。

## 【 0 0 9 4 】

つまり、図 1 2 と図 1 6 に示すように、転送時の N c h トランジスタ n i（i = 1～n）のゲート電圧の更なる持ち上げが、図 1 5 のチャージポンプ回路では  $V_{cc}$  により行われるのに対して、図 1 1 のチャージポンプ回路では  $2 \times V_{cc}$  により行われる。

## 【 0 0 9 5 】

図 1 1 のチャージポンプ回路の出力電圧 V o u t は、図 1 5 のチャージポンプ回路と同じく、N c h トランジスタ T 1 1～T 1 n での閾値 V t h 1 n 分の電圧ドロップがないことから、

30

$$V_{out} = V_{cc} + V_{cc} \times 1 + V_{cc} \times 2 + \dots + V_{cc} \times n - V_{th1}(n+1)$$

となる。

但し、 $i$ （i = 1～n）は主ポンプ用キャパシタ（キャパシタ C 1～C n）でポンプするときの効率であり、ポンプ効率  $\eta_i$  は、

$$\eta_i = C_i / (C_i + C_{s_i})$$

である。

## 【 0 0 9 6 】

40

上述したように、2 倍昇圧回路 1 4 でクロック電圧 P H 4 を 2 倍に昇圧して得られるクロック電圧 P H 4 a がキャパシタ C s i（i：1～n の奇数）に供給され、2 倍昇圧回路 1 3 でクロック電圧 P H 3 を 2 倍に昇圧して得られるクロック電圧 P H 3 a がキャパシタ C s i（i：1～n の偶数）に供給される。このため、図 1 1 のキャパシタ C s 1～C s n の容量を、図 1 5 のチャージポンプ回路のキャパシタ C m 1～C m n の容量に比べ小さくすることができる。

この結果、図 1 5 のチャージポンプ回路のポンプ効率  $\eta_i$ （i = 1～n）より、図 1 1 のチャージポンプ回路のポンプ効率  $\eta_i$ （i = 1～n）を高くすることができる。

したがって、図 1 1 のチャージポンプ回路では、図 1 5 のチャージポンプ回路と同じ出力電圧を得るために必要な段数を少なくすることができ、チャージポンプ回路全体の面積

50

を小さくすることができる。

【0097】

ここで、図11のチャージポンプ回路と図15のチャージポンプ回路とでほぼ同じ出力電圧 $V_{out}$ を得るために、図11のチャージポンプ回路の段数が図15のチャージポンプ回路の段数より少なくなる一例を示す。

図11のチャージポンプ回路において、電源電圧 $V_{cc}$ を1.5V、キャパシタ $C_i$  ( $i = 1 \sim n$ )の容量とキャパシタ $C_{mi}$ の容量との比を10:2、Nchトランジスタ $T_1(n+1)$ にかかっているバックゲート電圧を1.1V、 $n$ を9とする。

ポンプ効率  $\eta_i$  ( $i = 1 \sim n$ )は0.83となり、Nchトランジスタ $T_1(n+1)$ の閾値 $V_{th1}(n+1)$ は1.5V(「背景技術」の欄参照)となる。

これらを図15のチャージポンプ回路において示した上記の式に代入すると、図15のチャージポンプ回路の出力電圧 $V_{out}$ は、11.2Vとなる。

【0098】

図11のチャージポンプ回路では、2倍昇圧回路14, 13でクロック電圧 $PH_4$ ,  $PH_3$ を2倍に昇圧して得られるクロック電圧 $PH_{4a}$ ,  $PH_{3a}$ が対応するキャパシタ $C_{s1} \sim C_{sn}$ に供給されている。また、電荷量を $Q$ 、容量を $C$ 、極板間の電圧を $V$ とすると、 $Q = C \times V$ の関係がある。これらより、図11では、キャパシタ $C_i$  ( $i = 1 \sim n$ )の容量とキャパシタ $C_{si}$ の容量との比を10:1とすることができる。

そして、図11のチャージポンプ回路において、電源電圧 $V_{cc}$ を1.5V、キャパシタ $C_i$  ( $i = 1 \sim n$ )の容量とキャパシタ $C_{si}$ の容量との比を10:1、Nchトランジスタ $T_1(n+1)$ にかかっているバックゲート電圧を1.1V、 $n$ を8とする。

ポンプ効率  $\eta_i$  ( $i = 1 \sim n$ )は0.91となり、Nchトランジスタ $T_1(n+1)$ の閾値 $V_{th1}(n+1)$ は1.5V(「背景技術」の欄参照)となる。

これらを図11のチャージポンプ回路において示した上記の式に代入すると、図11のチャージポンプ回路の出力電圧 $V_{out}$ は、10.9Vとなる。

【0099】

つまり、出力電圧 $V_{out}$ を11Vにするためには、図15のチャージポンプ回路では9段必要であるのに対して、図11のチャージポンプ回路では1段少ない8段でよくなる。

【0100】

上述した本発明の2倍昇圧回路を利用することによって、図11のチャージポンプ回路では、転送時(例えばノード $n_1$ の電位をノード $n_2$ に転送する時)におけるNchトランジスタ $T_{11} \sim T_{1n}$ のゲート電圧が図15のチャージポンプ回路におけるゲート電圧より高くなるので、転送に必要な時間を短くすることができる。

【0101】

なお、図11のチャージポンプ回路は本発明の2倍昇圧回路13, 14を図15のチャージポンプ回路に適用した形態であるが、本発明の3倍昇圧回路や $n$ 倍昇圧回路を図15のチャージポンプ回路に適用するような形態も考えられる。

【0102】

<チャージポンプ回路(2)>

以下、本発明の2倍昇圧回路を利用した他の4相クロック駆動のチャージポンプ回路について図13を参照しつつ説明する。図13は4相クロック駆動のチャージポンプ回路の構成を示す回路図である。

ただし、図13のチャージポンプ回路において、図11、図15のチャージポンプ回路と同様の役割の素子については同様の符号を付している。

【0103】

図13のチャージポンプ回路は、図11のチャージポンプ回路と同様に、2倍昇圧回路14が、チャージポンプ回路にクロック電圧 $PH_4$ を入力する入力端とキャパシタ $C_{si}$  ( $i: 1 \sim n$ の奇数)の他端との間に挿入され、2倍昇圧回路13が、チャージポンプ回路にクロック電圧 $PH_3$ を入力する入力端とキャパシタ $C_{si}$  ( $i: 1 \sim n$ の偶数)の他

10

20

30

40

50

端との間に挿入されている。

また、2倍昇圧回路14は、クロック電圧PH4を入力する入力端と後述するキャパシタCpの他端との間に挿入されている。

【0104】

図13のチャージポンプ回路は、図11のチャージポンプ回路に、その最終出力段のNchトランジスタT1(n+1)で閾値Vth1(n+1)分の電圧ドロップをなくするための構成を付加したものである。

【0105】

つまり、ドレインがノードnnに接続され、ソースがNchトランジスタT1(n+1)のゲートに接続され、ゲートがNchトランジスタT1(n+1)のソースに接続されるように、補助転送用トランジスタとしてのNchトランジスタT2(n+1)を挿入する。

10

また、一端がNchトランジスタT1(n+1)のゲートに接続され、他端が2倍昇圧回路14に接続されるように、キャパシタCpを挿入する。ただし、NchトランジスタT1(n+1)、T2(n+1)、キャパシタCpで構成される補助ポンプは主ポンプ用のキャパシタCi(i=1~n)に相当するものがないので、ポンプ効果が少ないことから、キャパシタCpとしてキャパシタCs1~Csnの容量より大きい容量のキャパシタを使用することが好ましい。

【0106】

図13のチャージポンプ回路の動作は、入力端INに入力された電源電圧Vccがノードnnに転送されるまでは、図11のチャージポンプ回路と同様であり、ここでは、ノードnnの電位が出力端OUTへ転送されるとき動作を説明する。

20

クロック電圧PH2がHレベルとなると、NchトランジスタT2(n+1)のゲートは出力端OUTに接続されているので、NchトランジスタT1(n+1)のゲート電圧(ノードk(n+1)の電位)は出力電圧Vout-閾値Vth2(n+1)に充電される。その後、クロック電圧PH4がHレベルとなると、キャパシタCpを通じてNchトランジスタT1(n+1)のゲート電圧(ノードk(n+1)の電位)がさらに高くなる。NchトランジスタT1(n+1)のゲート電圧がノードnnの電位より閾値Vth1(n+1)以上高くなると、NchトランジスタT1(n+1)は三極間動作になり、ノードnnの電位は、閾値Vth1(n+1)分の電圧ドロップすることなく、NchトランジスタT1(n+1)を通過して出力端OUTへ転送される。

30

【0107】

図13のチャージポンプ回路の出力電圧Voutは、図11のチャージポンプ回路でのNchトランジスタT1(n+1)での閾値Vth1(n+1)分の電圧ドロップがないことから、

$$V_{out} = V_{cc} + V_{cc} \times \frac{1}{2} + V_{cc} \times \frac{1}{4} + \dots + V_{cc} \times \frac{1}{n}$$

となる。

【0108】

上述したように、最終出力段でのNchトランジスタT1(n+1)での閾値Vth1(n+1)分の電圧ドロップがなくなるため、図11のチャージポンプ回路と同じ出力電圧を得るために必要な段数を減らすことができ、チャージポンプ回路の面積を小さくすることができる。

40

【0109】

ここで、図13のチャージポンプ回路と図11のチャージポンプ回路とでほぼ同じ出力電圧Voutを得るために、図13のチャージポンプ回路の段数が図11のチャージポンプ回路の段数より少なくなる一例を示す。

図11のチャージポンプ回路において、電源電圧Vccを1.5V、キャパシタCi(i=1~n)の容量とキャパシタCsiの容量との比を10:1、NchトランジスタT1(n+1)にかかっているバックゲート電圧を11V、nを8とする場合、上記の「チャージポンプ回路(1)」において示したように、出力電圧Voutは、10.9Vとな

50

る。

【0110】

図13のチャージポンプ回路において、電源電圧 $V_{cc}$ を1.5V、キャパシタ $C_i$  ( $i = 1 \sim n$ )の容量とキャパシタ $C_{si}$ の容量との比を10:1、 $n$ を7とする。この場合、ポンプ効率  $\eta_i$  ( $i = 1 \sim n$ )は0.91となる。

これらを図13のチャージポンプ回路において示した上記の式に代入すると、図13のチャージポンプ回路の出力電圧 $V_{out}$ は、11.1Vとなる。

【0111】

つまり、出力電圧 $V_{out}$ を11Vにするためには、図11のチャージポンプ回路では8段必要であるのに対して、図13のチャージポンプ回路では1段少ない7段でよくなる

10

【0112】

上述したようにNchトランジスタのバックゲート依存性は、バックゲート電圧 $V_B$ が高いほど閾値 $V_{th}$ が高くなり、閾値 $V_{th}$ の値は(ルート $V_B$ )に比例する。このため、電源電圧 $V_{cc}$ の更なる低電圧化が進めば、図11のチャージポンプ回路では最終出力段のNchトランジスタ $T_1(n+1)$ での転送ができなくなって動作不能になってしまう恐れがある。しかしながら、図13のチャージポンプ回路では、最終出力段の転送時におけるNchトランジスタ $T_1(n+1)$ のゲート電圧が、キャパシタ $C_p$ を通じて高くする構成となっているため、電源電圧 $V_{cc}$ の低電圧化が更に進んでも、最終出力段のNchトランジスタ $T_1(n+1)$ で転送に必要なゲート電圧を確保でき、チャージポンプ回路が動作不能になることを回避することができる。

20

【0113】

<チャージポンプ回路(3)>

以下、本発明の2倍昇圧回路および3倍昇圧回路を利用した4相クロック駆動のチャージポンプ回路について図14を参照しつつ説明する。図14は4相クロック駆動のチャージポンプ回路の構成を示す回路図である。

ただし、図14のチャージポンプ回路において、図11、図13、図15のチャージポンプ回路と同様の役割の素子については同様の符号を付している。

なお、図14の4相クロック駆動のチャージポンプ回路の基本的な動作は、クロック電圧 $PH_1 \sim PH_4$ を昇圧する点を除けば、入力端INからノードnnまでの転送については図15のチャージポンプ回路と同様であり、また、ノードnnから出力端OUTへの転送については図13のチャージポンプ回路と同様である。

30

【0114】

図14のチャージポンプ回路には、図13のチャージポンプ回路にある2倍昇圧回路14の代わりに、クロック電圧 $PH_4$ の波高値(振幅)を3倍にする3倍昇圧回路34が、チャージポンプ回路にクロック電圧 $PH_4$ を入力する入力端とキャパシタ $C_{si}$  ( $i : 1 \sim n$ の奇数)およびキャパシタ $C_p$ の他端との間に挿入されている。

これにより、図13のチャージポンプ回路では、クロック電圧 $PH_4$ を2倍昇圧回路14を通すことによって得られる波高値(振幅)が $2 \times V_{cc}$ のクロック電圧 $PH_{4a}$ がキャパシタ $C_{si}$  ( $i : 1 \sim n$ の奇数)に供給されるのに対して、図14のチャージポンプ回路では、クロック電圧 $PH_4$ を3倍昇圧回路34を通すことによって得られる波高値(振幅)が $3 \times V_{cc}$ のクロック電圧 $PH_{4b}$ がキャパシタ $C_{si}$  ( $i : 1 \sim n$ の奇数)およびキャパシタ $C_p$ に供給されるようになっている。

40

したがって、図14のチャージポンプ回路は、図13のチャージポンプ回路より転送時のNchトランジスタ $T_{1i}$  ( $i : 1 \sim n$ の奇数)のゲート電圧の値が大きくなる。

【0115】

図14のチャージポンプ回路には、図13のチャージポンプ回路にある2倍昇圧回路13の代わりに、クロック電圧 $PH_3$ の波高値(振幅)を3倍にする3倍昇圧回路33が、チャージポンプ回路にクロック電圧 $PH_3$ を入力する入力端とキャパシタ $C_{si}$  ( $i : 1 \sim n$ の偶数)の他端との間に挿入されている。

50

これにより、図13のチャージポンプ回路では、クロック電圧PH3を2倍昇圧回路13を通すことによって得られる波高値(振幅)が $2 \times V_{cc}$ のクロック電圧PH3aがキャパシタ $C_{si}$ ( $i: 1 \sim n$ の偶数)に供給されるのに対して、図14のチャージポンプ回路では、クロック電圧PH3を3倍昇圧回路33を通すことによって得られる波高値(振幅)が $3 \times V_{cc}$ のクロック電圧PH3bがキャパシタ $C_{si}$ ( $i: 1 \sim n$ の偶数)に供給されるようになっている。

したがって、図14のチャージポンプ回路は、図13のチャージポンプ回路より転送時のNcトランジスタ $T_{1i}$ ( $i: 1 \sim n$ の偶数)のゲート電圧の値が大きくなる。

【0116】

図14のチャージポンプ回路には、図13のチャージポンプ回路などには存在しない、クロック電圧PH1の波高値(振幅)を2倍にする2倍昇圧回路31が、チャージポンプ回路にクロック電圧PH1を入力する入力端とキャパシタ $C_i$ ( $i: 1 \sim n$ の奇数)の他端との間に挿入されている。

10

これにより、図13のチャージポンプ回路では、クロック電圧PH1がそのままキャパシタ $C_i$ ( $i: 1 \sim n$ の奇数)に供給されるのに対して、図14のチャージポンプ回路では、クロック電圧PH1を2倍昇圧回路31を通すことによって得られる波高値(振幅)が $2 \times V_{cc}$ のクロック電圧PH1bがキャパシタ $C_i$ ( $i: 1 \sim n$ の奇数)に供給されるようになっている。

したがって、図14のチャージポンプ回路は、図13のチャージポンプ回路より転送時のノード $n_i$ ( $i: 1 \sim n$ の奇数)の電位の値が大きくなる。

20

【0117】

図14のチャージポンプ回路には、図13のチャージポンプ回路などには存在しない、クロック電圧PH2の波高値(振幅)を2倍にする2倍昇圧回路32が、チャージポンプ回路にクロック電圧PH2を入力する入力端とキャパシタ $C_i$ ( $i: 1 \sim n$ の偶数)の他端との間に挿入されている。

これにより、図13のチャージポンプ回路では、クロック電圧PH2がそのままキャパシタ $C_i$ ( $i: 1 \sim n$ の偶数)に供給されるのに対して、図14のチャージポンプ回路では、クロック電圧PH2を2倍昇圧回路32を通すことによって得られる波高値(振幅)が $2 \times V_{cc}$ のクロック電圧PH2bがキャパシタ $C_i$ ( $i: 1 \sim n$ の偶数)に供給されるようになっている。

30

したがって、図14のチャージポンプ回路は、図13のチャージポンプ回路より転送時のノード $n_i$ ( $i: 1 \sim n$ の偶数)の電位の値が大きくなる。

【0118】

図14のチャージポンプ回路の出力電圧 $V_{out}$ は、転送時にノード $n_i$ ( $i = 1 \sim n$ )の電位を2倍昇圧回路31, 32で昇圧したクロック電圧PH1b, PH2bで持ち上げており、その効率を $\eta_i$ ( $i = 1 \sim n$ )とすると、

$$V_{out} = V_{cc} + (2 \times V_{cc} \times \eta_1 \times (1 - V_{th11})) + (2 \times V_{cc} \times \eta_2 \times (2 - V_{th12})) + \dots + (2 \times V_{cc} \times \eta_n \times (n - V_{th1n})) - V_{th1(n+1)}$$

であり、図14のチャージポンプ回路では上述したようにNcトランジスタ $T_{1i}$ ( $i = 1 \sim n + 1$ )の閾値 $V_{th1i}$ 分の電圧ドロップがないので、出力電圧 $V_{out}$ は、

40

$$V_{out} = V_{cc} + 2 \times V_{cc} \times \eta_1 \times 1 + 2 \times V_{cc} \times \eta_2 \times 2 + \dots + 2 \times V_{cc} \times \eta_n \times n$$

となる。

【0119】

上述したように、クロック電圧PH1, PH2を2倍昇圧回路31, 32で波高値(振幅)を $2 \times V_{cc}$ にしたPH1b, PH2bによってノード $n_i$ ( $i = 1 \sim n$ )の電位を高くする構成となっているため、図13のチャージポンプ回路と同じ出力電圧を得るために必要な段数を減らすことができ、チャージポンプ回路の面積を小さくすることができる。

50

## 【0120】

ここで、図14のチャージポンプ回路と図13のチャージポンプ回路とでほぼ同じ出力電圧 $V_{out}$ を得るために、図14のチャージポンプ回路の段数が図13のチャージポンプ回路の段数より少なくなる一例を示す。

図13のチャージポンプ回路において、電源電圧 $V_{cc}$ を1.5V、キャパシタ $C_i$  ( $i = 1 \sim n$ )の容量とキャパシタ $C_{s_i}$ の容量との比を10:1、 $n$ を7とする場合、上記の「チャージポンプ回路(2)」において示したように、出力電圧 $V_{out}$ は、11.1Vとなる。

## 【0121】

図14のチャージポンプ回路において、電源電圧 $V_{cc}$ を1.5V、キャパシタ $C_i$  ( $i = 1 \sim n$ )の容量とキャパシタ $C_{s_i}$ の容量との比を10:1、効率 $\eta_i$  ( $i = 1 \sim n$ )を0.9、 $n$ を6とする。この場合、ポンプ効率 $\eta_i$  ( $i = 1 \sim n$ )は0.91となる。

これらを図14のチャージポンプ回路において示した上記の式に代入すると、図14のチャージポンプ回路の出力電圧 $V_{out}$ は、10.8Vとなる。

## 【0122】

つまり、出力電圧 $V_{out}$ を11Vにするためには、図13のチャージポンプ回路では7段必要であるのに対して、図14のチャージポンプ回路では1段少ない6段でよくなる。

## 【0123】

なお、図14のチャージポンプ回路は本発明の2倍昇圧回路31, 32、3倍昇圧回路33, 34を図13のチャージポンプ回路に適用した形態であるが、パルス電圧 $PH_3$ ,  $PH_4$ の波高値(振幅)を $B$  ( $B$ は2以上の整数)倍にするために本発明の2倍昇圧回路、3倍昇圧回路、 $n$ 倍昇圧回路を適用し、パルス電圧 $PH_1$ ,  $PH_2$ の波高値(振幅)を $C$  ( $C$ は3以上の整数であって、 $B$ より大きい値)倍にするために本発明の3倍昇圧回路、 $n$ 倍昇圧回路を適用する形態も考えられる。特に、 $C$ の値が $(B + 1)$ になるように、本発明の2倍昇圧回路、3倍昇圧回路、 $n$ 倍昇圧回路を適用する形態が考えられる。

## 【0124】

以上、本発明の好適な実施の形態について説明したが、本発明は上述の実施の形態に限られるものではなく、特許請求の範囲に記載した限りにおいて様々な設計変更が可能なものである。

## 【図面の簡単な説明】

## 【0125】

【図1】第1の実施の形態における2倍昇圧回路の回路構成を示す回路図。

【図2】図1の2倍昇圧回路の動作を説明するための波形図。

【図3】第2の実施の形態における2倍昇圧回路の回路構成を示す回路図。

【図4】第3の実施の形態における3倍昇圧回路の回路構成を示す回路図。

【図5】図4の3倍昇圧回路の動作を説明するための波形図。

【図6】第4の実施の形態における $n$ 倍昇圧回路の回路構成を示す回路図。

【図7】第5の実施の形態における3倍昇圧回路の回路構成を示す回路図。

【図8】第6の実施の形態における $n$ 倍昇圧回路の回路構成を示す回路図。

【図9】第7の実施の形態における3倍昇圧回路の回路構成を示す回路図。

【図10】第8の実施の形態における $n$ 倍昇圧回路の回路構成を示す回路図。

【図11】本発明の2倍昇圧回路を利用した4相クロック駆動チャージポンプ回路の構成を示す回路図。

【図12】図10のチャージポンプ回路の動作を説明するための波形図。

【図13】本発明の2倍昇圧回路を利用した他の4相クロック駆動チャージポンプ回路の構成を示す回路図。

【図14】本発明の2倍昇圧回路および3倍昇圧回路を利用した4相クロック駆動チャージポンプ回路の構成を示す回路図。

10

20

30

40

50

【図15】従来の4相クロック駆動のチャージポンプ回路の構成を示す回路図。

【図16】図13のチャージポンプ回路の動作を説明するための波形図。

【符号の説明】

【0126】

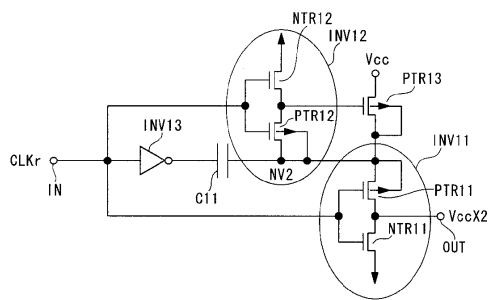
INV21 インバータ回路

PTR22 P型電界効果トランジスタ(充電用)

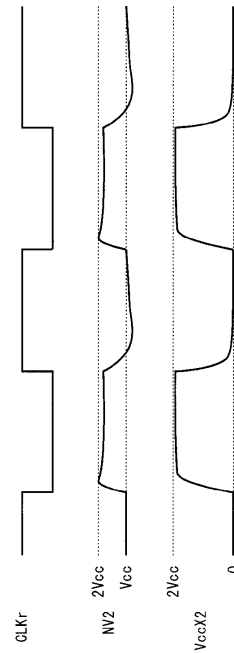
C21 キャパシタ

OUT 出力端

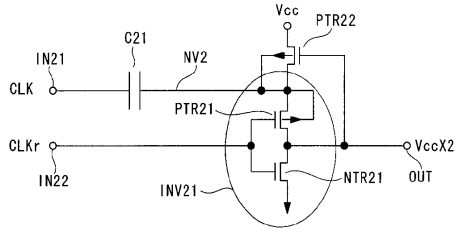
【図1】



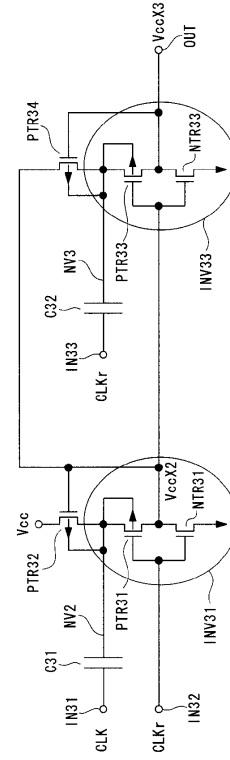
【図2】



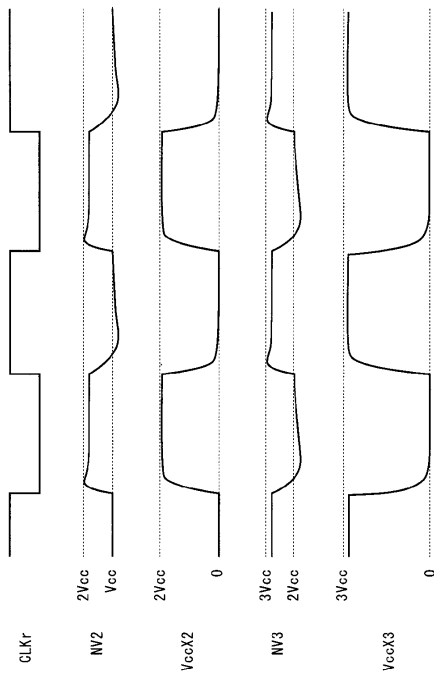
【図3】



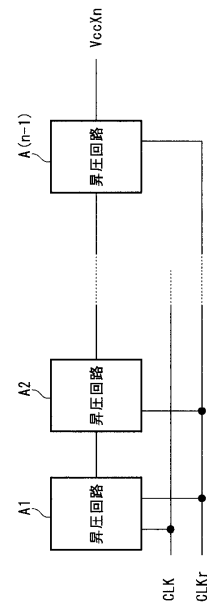
【図4】



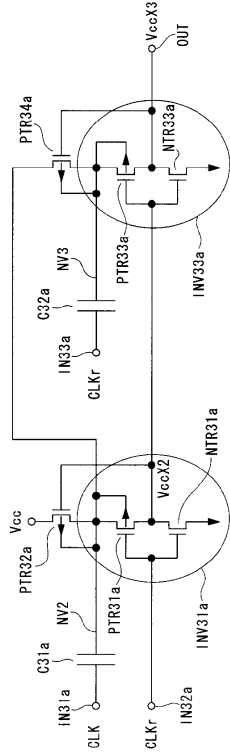
【図5】



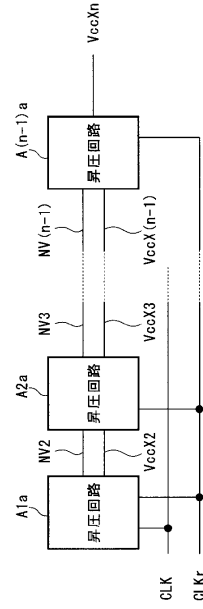
【図6】



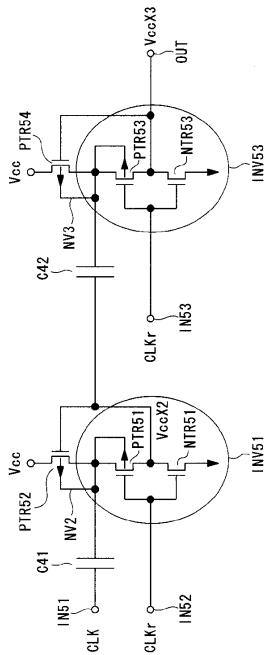
【 図 7 】



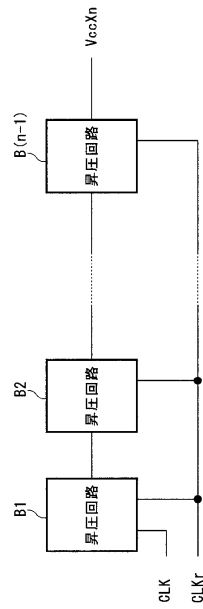
【 図 8 】



【 図 9 】

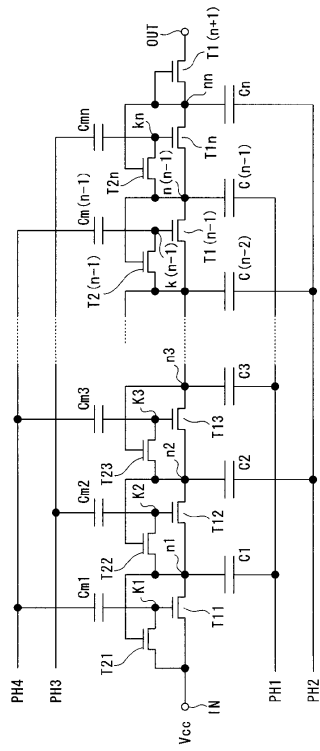


【 図 10 】

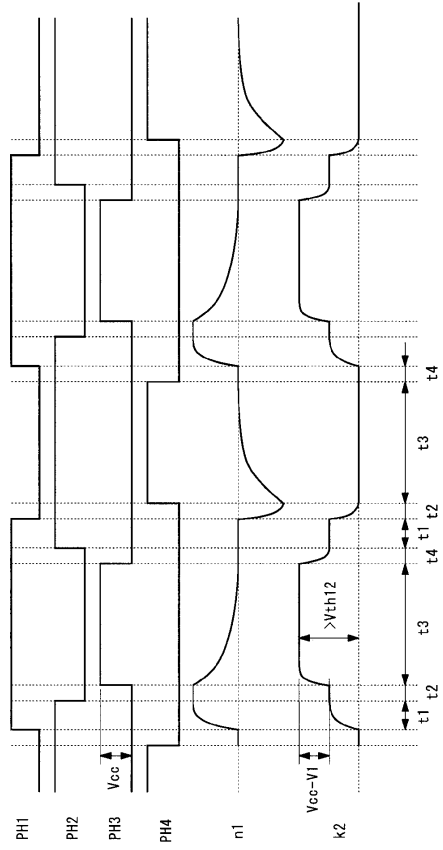




【 図 15 】



【 図 16 】



---

フロントページの続き

- (72)発明者 浅野 正通  
東京都台東区台東1丁目5番1号 凸版印刷株式会社内
- (72)発明者 陳 曉翔  
東京都台東区台東1丁目5番1号 凸版印刷株式会社内
- (72)発明者 的場 伸次  
東京都台東区台東1丁目5番1号 凸版印刷株式会社内

審査官 安池 一貴

- (56)参考文献 特開2000-324805(JP,A)  
特開平05-189970(JP,A)  
特開平08-139282(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H02M 3/07