

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成26年12月18日(2014.12.18)

【公表番号】特表2014-528628(P2014-528628A)

【公表日】平成26年10月27日(2014.10.27)

【年通号数】公開・登録公報2014-059

【出願番号】特願2014-535966(P2014-535966)

【国際特許分類】

G 06 T 1/20 (2006.01)

【F I】

G 06 T 1/20 C

【手続補正書】

【提出日】平成26年10月20日(2014.10.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

パイプライン中に配列された複数の画像処理モジュールと、  
前記複数のモジュールに対する構成パラメータを受信するための入力と、  
前記構成パラメータを復号化するためのコントローラと、  
前記構成パラメータを前記複数のモジュールに適用し、これにより前記モジュールの画像処理特徴を変更するためのレジスタと、  
を備える、パイプライン型ビデオプリプロセッサ。

【請求項2】

前記パイプラインが、メモリからの画像データを処理するためのメモリパイプラインまたはデジタルカメラからの画像データを処理するためのカメラパイプラインである、請求項1に記載のパイプライン型ビデオプリプロセッサ。

【請求項3】

1つ以上の異なるパイプラインを更に備え、1つ以上の異なるパイプラインが、メモリパイプラインまたはカメラパイプラインである、請求項1に記載のパイプライン型ビデオプリプロセッサ。

【請求項4】

前記入力が、前記構成パラメータを、プロセッサまたは直接メモリアクセス(「DMA」)エンジンから受信するように構成される、請求項1に記載のパイプライン型ビデオプリプロセッサ。

【請求項5】

前記コントローラが、DMAチャネルを介してアクセスされるブロック制御構造を有するメモリ中の、前記構成パラメータをアクセスするように構成された、請求項1に記載のパイプライン型ビデオプリプロセッサ。

【請求項6】

前記ブロック制御構造が、ブロック制御ヘッダおよび1つ以上のブロック制御語を含む、請求項5に記載のパイプライン型ビデオプリプロセッサ。

【請求項7】

前記ブロック制御構造中の前記ブロック制御語のオフセットが、メモリマップドレジスタ(MMR)空間中のアドレスに対応する、請求項6に記載のパイプライン型ビデオプリ

プロセッサ。

【請求項 8】

前記コントローラが、前記パラメータをビデオデータの第1のフレームに適用し、更新された構成パラメータをビデオデータの第2のフレームに適用するように構成された、請求項1に記載のパイプライン型ビデオプリプロセッサ。

【請求項 9】

モジュール中の異なったパイプライン段階が、前記更新された構成パラメータをデータ境界に従って異なった時点で受信するように構成された、請求項1に記載のパイプライン型ビデオプリプロセッサ。

【請求項 10】

パイプライン型ビデオプリプロセッサ中で画像フレームを処理する方法であって、前記パイプライン型ビデオプリプロセッサ中の複数の画像処理モジュールに対する構成パラメータを受信することと、

前記構成パラメータをレジスタに記憶することと、

前記構成パラメータを前記複数の画像処理モジュールに適用し、前記モジュールの画像処理特徴を変更することと、

を含む、前記方法。

【請求項 11】

前記構成パラメータを、プロセッサまたはDMAエンジンから受信することをさらに含む、請求項10に記載の方法。

【請求項 12】

前記モジュールを1つ以上のパイプライン中に配列することを更に含む、請求項10に記載の方法。

【請求項 13】

前記1つ以上のパイプラインが、メモリからの画像データを処理するためのメモリパイプラインまたはデジタルカメラからの画像データを処理するためのカメラパイプラインを含む、請求項12に記載の方法。

【請求項 14】

構成パラメータを受信することが、ブロック制御構造中のメモリから、DMAチャネルを介して構成パラメータを受信することを含む、請求項10に記載の方法。

【請求項 15】

前記ブロック制御構造が、ブロック制御ヘッダおよび1つ以上のブロック制御語を含む、請求項14に記載の方法。

【請求項 16】

前記ブロック制御構造中のブロック制御語のオフセットが、メモリマップドレジスタ(MMR)中のアドレスに対応する、請求項15に記載の方法。

【請求項 17】

前記構成パラメータをビデオデータの第1のフレームに適用し、更新された構成パラメータをビデオデータの第2のフレームに適用することを更に含む、請求項10に記載の方法。

【請求項 18】

モジュール中の異なったパイプライン段階が、前記更新された構成パラメータを、データ境界に従って異なった時点で受信する、請求項17に記載の方法。

【請求項 19】

パイプライン型ビデオプリプロセッサを備えるデジタル信号プロセッサであって、前記パイプライン型ビデオプリプロセッサが、

パイプライン中に配列された複数の画像処理モジュールと、

前記複数のモジュールに対する構成パラメータを受信するための入力ポートと、

前記構成パラメータを復号化するためのコントローラと、

前記構成パラメータを前記複数のモジュールに適用し、これにより前記モジュールの画

像処理特徴を変更するためのレジスタと、  
を備える、デジタル信号プロセッサ。

【請求項 20】

前記パイプラインが、メモリからの画像データを処理するためのメモリパイプラインまたはデジタルカメラからの画像データを処理するためのカメラパイプラインである、請求項19に記載のデジタル信号プロセッサ。