

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 2 月 24 日 (24.02.2005)

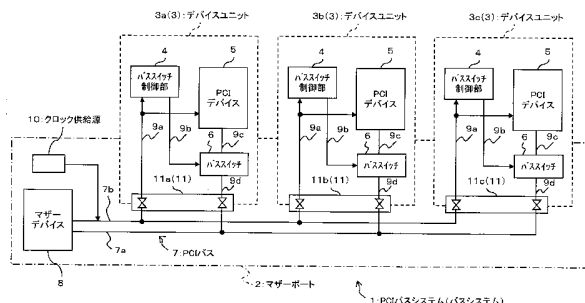
PCT

(10) 国際公開番号
WO 2005/017761 A1

- (51) 国際特許分類: **G06F 13/42, 3/00** (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/011837 (75) 発明者/出願人 (米国についてのみ): 西宮 亮平
(22) 国際出願日: 2004 年 8 月 18 日 (18.08.2004) (NISHIMIYA, Ryohei) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
(25) 国際出願の言語: 日本語 (74) 代理人: 真田 有 (SANADA, Tamotsu); 〒1800004 東京都武蔵野市吉祥寺本町 1 丁目 1 0 番 3 1 号 吉祥寺広瀬ビル 5 階 Tokyo (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2003-294845 2003 年 8 月 19 日 (19.08.2003) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, / 続葉有 /

(54) Title: BUS SYSTEM DESIGNING METHOD, BUS SYSTEM, AND DEVICE UNIT

(54) 発明の名称: バスシステム設計方法, バスシステムおよびデバイスユニット



- 10. CLOCK SOURCE
- 9. MOTHER DEVICE
- 7. PCI BUS
- 2. MOTHER BOARD
- 1. PCI BUS SYSTEM (BUS SYSTEM)
- 3a. (3) DEVICE UNIT
- 3b. (3) DEVICE UNIT
- 3c. (3) DEVICE UNIT
- 4. BUS SWITCH CONTROL PART
- 5. PCI DEVICE
- 6. BUS SWITCH

(57) Abstract: There are included a noise propagation calculating step of calculating, based on the period of a timing signal, a signal propagation delay in a device unit, signal propagation delays in a timing signal bus and in a data bus, and based on a setup time in a device unit or device connected to the data bus, a timing at which noise caused by an active connection of the device unit to the data bus propagates to another device unit or device connected to the data bus; and a connection timing calculating step of calculating, based on the timing calculated in the noise propagation calculating step, a timing of connection of the device unit to the data bus. This arrangement ensures that even in a case of performing an active connection of a device unit, another device unit or device connected to the same data bus will not be affected by noise.

(57) 要約: タイミング信号の周期と、デバイスユニットにおける信号伝搬遅延と、タイミング信号バスおよびデータバスにおける信号伝搬遅延と、データバスに接続されたデバイスユニットもしくはデバイスにおけるセットアップタイムとに基づいて、データバスにデバイスユニットを活性接続することによって生じるノイズが、データバスに接続された他のデバイスユニットもしくはデバイスへ伝搬するタイミングを算出するノイズ伝搬計算ステップと、このノイズ伝搬計算ステップにおいて算出したタイミ

/ 続葉有 /



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ングに基づいて、デバイスユニットとデータベースとの接続タイミングを算出する接続タイミング算出ステップとをそなえるように構成することにより、デバイスユニットの活性接続を行なっても、同一のデータベースに接続された他のデバイスユニットやデバイスにノイズの影響がないようにする。

明 細 書

バスシステム設計方法、バスシステムおよびデバイスユニット

技術分野

- [0001] 本発明は、例えばストレージシステムにおいて用いられているPCIバスのように、同一バスに対して複数のデバイスユニットを接続可能なバスシステムに関し、又、当該バスシステムの設計に用いて好適なバスシステム設計方法並びにデバイスユニットに関する。

背景技術

- [0002] 例えば、複数のディスクユニット(磁気ディスク装置、物理デバイス)をそなえ、サーバ(ホスト)からのアクセスに応じて、サーバからのデータをこれらのディスクユニットに書き込んだり、サーバから要求されたデータをディスクユニットから読み出して転送したりするストレージ装置においては、ファイバチャネルインターフェースバスを介してサーバとのインターフェース(データ転送)を制御するホストインターフェースモジュールがそなえられている。
- [0003] このホストインターフェースモジュールは、PCIバス(インターフェースバス)を介してPCIブリッジモジュールに接続され、同じくPCIバスを介してPCIブリッジモジュールに接続されたディスクインターフェースモジュールや管理モジュール等との間でデータ転送を行なうようになっている。

ホストインターフェースモジュールは、プリント基板上にCPUやメモリ等を配設することによって構成されたユニットとして構成されており、このように構成されたホストインターフェースモジュールを、PCIバスが形成されたマザーボード上に取り付ける(挿入する)ことにより、ホストインターフェースモジュールを構成するデバイスがPCIバスにデータ通信可能に接続されるようになっている。そして、必要数のインターフェースモジュールをマザーボードに取り付けることにより、必要数のホストインターフェースモジュールをそなえたストレージ装置を容易に構成することができるようになっている。

- [0004] さて、マザーボード(PCIバス)が活性状態(通電状態)のままでホストインターフェースモジュールを取り付ける(活性挿入、活性接続)と、この接続(挿入)によってPCIバ

ス上にノイズが生じ、PCIバス上に接続された他のホストインターフェースモジュールやマザーボードを構成する種々のデバイスに影響を与え、これらの他のデバイスの誤動作等の原因になる。

一般に、このような、ホストインターフェースモジュールの活性挿入による影響を防止するために、ホストインターフェースモジュールの取り付けを行なう際にはPCIバスのバス動作を停止させている。又、例えば、特開平7-253834号公報(下記特許文献1)には、活性挿抜時にモジュールが故障したり誤作動したりすることを防止するために、活性挿抜時に一部のスイッチの接続又は切り離しを行なうことによりノイズの伝搬を抑止するモジュール挿抜制御装置が開示されている。

[0005] しかしながら、ホストインターフェースモジュールを挿入するためにPCIバスのバス動作を停止(非活性化)させると、この停止中にはPCIバスを介したデータ転送を行なうことができずデータの転送効率が低下するという課題がある。又、ホストインターフェースモジュールがPCIバスに挿入されたか否かの監視や、PCIバスを停止させるための各種の制御が必要になるので、系の制御が繁雑になるとともにシステムの設計の効率が低下するという課題もある。

[0006] また、活性挿抜(活性接続)を行なうために専用の制御装置をそなえる場合には、この制御装置をそなえることにより、装置の製造コストが上昇したり装置が大型化したりするという課題もある。

本発明は、このような課題に鑑み創案されたもので、デバイスユニットの活性接続を行なっても、同一のデータバスに接続された他のデバイスユニットやデバイスにノイズの影響がないバスシステムおよびデバイスユニット並びに当該バスシステムの設計方法を提供することを目的とする。

特許文献1:特開平7-253834号公報(第3-4頁、第1図、第2図)

発明の開示

[0007] 上記の目的を達成するために、本発明のバスシステム設計方法は、複数のデバイスユニットとこのデバイスユニットを接続可能に構成されたデータバスとデバイスユニットにタイミング信号バスを介してタイミング信号を供給可能なタイミング信号供給源とデバイスユニットとデータバスとの間における信号の接続/切断状態を切替可能に

構成されたバススイッチとこのバススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえたバスシステムの設計方法であって、タイミング信号の周期と、デバイスユニットにおける信号伝搬遅延と、タイミング信号バスおよびデータバスにおける信号伝搬遅延と、データバスに接続されたデバイスユニットもしくはデバイスにおけるセットアップタイムとに基づいて、データバスにデバイスユニットを活性接続することによって生じるノイズが、データバスに接続されたそのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスへ伝搬するタイミングを算出するノイズ伝搬計算ステップと、ノイズ伝搬計算ステップにおいて算出したタイミングに基づいて、デバイスユニットとデータバスとの接続タイミングを算出する接続タイミング算出ステップとをそなえることを特徴としている。

[0008] なお、接続タイミング算出ステップにおいて、デバイスユニットとタイミング信号バスとが接続されてからデバイスユニットとデータバスとをバススイッチが接続させるまでの遅延時間を算出することにより、デバイスユニットとデータバスとの接続タイミングを算出してもよい。

また、ノイズ伝搬計算ステップにおいて、タイミング信号の周期 T と、タイミング信号供給源からバススイッチ制御部までのスキュー a と、バススイッチ制御部においてタイミング信号が入力されてからバススイッチに対してデバイスユニットとデータバスとを接続するための接続制御信号が出力されるまでの制御用遅延時間 b と、バススイッチ制御部とバススイッチとの間における信号伝搬遅延時間 c と、バススイッチの動作遅延時間 d と、ノイズのパルス幅(時間) e と、デバイスユニットおよびデータバスにおけるノイズの伝搬遅延時間 f と、タイミング信号供給源からそのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスまでのスキュー g と、バスシステムにおけるセットアップタイム S とに基づいて、ノイズがそのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスに到達してからセットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + b + c + d + e + f) - S$ }を、ノイズの伝搬タイミングとして算出し、接続タイミング算出ステップにおいて、タイミングマージン M が0以上となるようなバススイッチの制御用遅延時間 b を算出してもよい。

[0009] さらに、本発明のデバイスシステムは、複数のデバイスユニットと、このデバイスユニットを活性接続可能に構成されたデータバスと、デバイスユニットにタイミング信号バスを介してタイミング信号を供給可能なタイミング信号供給源と、デバイスユニットとデータバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと、バススイッチに対してデバイスユニットとデータバスとを接続するための接続制御信号を出力することにより、バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえたバスシステムであって、バススイッチ制御部が、デバイスユニットとタイミング信号バスとが接続され、そのバススイッチ制御部においてタイミング信号が入力されてからバススイッチに対して接続制御信号が出力されるまでの制御用遅延時間 b 経過後にデバイスユニットとデータバスとを接続させるようにバススイッチを制御するものであり、制御用遅延時間 b が、タイミング信号の周期 T と、タイミング信号供給源からバススイッチ制御部までのスキュー a と、制御用遅延時間 b と、バススイッチ制御部とバススイッチとの間における信号伝搬遅延時間 c と、バススイッチの動作遅延時間 d と、データバスにデバイスユニットを活性接続することによって生じるノイズのパルス幅(時間) e と、デバイスユニットおよびデータバスにおけるノイズの伝搬遅延時間 f と、タイミング信号供給源からそのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスまでのスキュー g と、バスシステムにおけるセットアップタイム S とに基づいて、ノイズがそのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスに到達してからセットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + b + c + d + e + f) - S$ }が0以上となるような値であることを特徴としている。

[0010] なお、バススイッチ制御部が、タイミング信号供給源からタイミング信号バスを介して供給されるタイミング信号の位相を変更可能な調整回路をそなえ、この位相変更後のタイミング信号に基づいて、バススイッチに対して接続制御信号を出力してもよい。

また、調整回路がPLL (Phase Locked Loop; 位相ロックループ) 回路であってもよく、又、調整回路がDLL (Delay Locked Loop; 遅延ロックループ) 回路であってもよい。

[0011] また、本発明のデバイスユニットは、データバスとタイミング信号供給源とこのタイミング信号供給源に接続されたタイミング信号バスとをそなえたバスユニットに取り付け

可能なデバイスユニットであって、当該デバイスユニットとデータバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと、このバススイッチに対してデバイスユニットとデータバスとを接続するための接続制御信号を出力することにより、バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえ、このバススイッチ制御部が、デバイスユニットとタイミング信号バスとが接続され、当該バススイッチ制御部においてタイミング信号が入力されてからバススイッチに対して接続制御信号が出力されるまでの制御用遅延時間 b 経過後にデバイスユニットとデータバスとを接続させるようにバススイッチを制御するものであり、制御用遅延時間 b が、タイミング信号の周期 T と、タイミング信号供給源からバススイッチ制御部までのスキュー a と、制御用遅延時間 b と、バススイッチ制御部とバススイッチとの間における信号伝搬遅延時間 c と、バススイッチの動作遅延時間 d と、データバスにデバイスユニットを活性接続することによって生じるノイズのパルス幅(時間) e と、デバイスユニットおよびデータバスにおけるノイズの伝搬遅延時間 f と、タイミング信号供給源からこのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスまでのスキュー g と、バスシステムにおけるセットアップタイム S とに基づいて、ノイズがこのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスに到達してからセットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + b + c + d + e + f) - S$ }が0以上となるような値であることを特徴としている。

[0012] なお、バススイッチ制御部が、タイミング信号供給源からタイミング信号バスを介して供給されるタイミング信号の位相を変更可能な調整回路をそなえ、この位相変更後のタイミング信号に基づいて、バススイッチに対して接続制御信号を出力してもよい。

また、調整回路がPLL (Phase Locked Loop; 位相ロックループ) 回路であってもよく、又、調整回路がDLL (Delay Locked Loop; 遅延ロックループ) 回路であってもよい。

[0013] さらに、本発明のデバイスユニットは、データバスとタイミング信号供給源とこのタイミング信号供給源に接続されたタイミング信号バスとをそなえたバスユニットに取り付け可能なデバイスユニットであって、そのデバイスユニットとデータバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと、タイミング信号供

給源からタイミング信号バスを介して供給されるタイミング信号の位相を変更可能な調整回路をそなえ、その位相変更後のタイミング信号に基づいて、バススイッチに対してデバイスユニットとデータバスとを接続するための接続制御信号を出力することにより、バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえることを特徴としている。

なお、調整回路がPLL (Phase Locked Loop; 位相ロックループ) 回路であつてもよく、又、調整回路がDLL (Delay Locked Loop; 遅延ロックループ) 回路であつてもよい。

[0014] 本発明のバスシステム設計方法、バスシステムおよびデバイスユニットによれば、以下の効果ないし利点がある。

(1) データバス上でデータ通信を行なっている状態でも、そのノイズの影響を考慮することなくデバイスユニットの脱着を行なうことができるので、バスシステムの信頼性を向上させることができる他、利便性が高い。

[0015] (2) デバイスユニットをデータバスに活性接続することによって生じるノイズが、このデータバスに接続された他のデバイスユニットもしくはデータバスに接続されたデバイスに影響を与えることがないので、データバスにおけるデータ転送を停止させることなくデバイスユニットの活性接続を行なうことができるので、データの転送効率を向上させることができる他、デバイスユニットがデータバスに挿入されたか否かの監視や、PCIバスを停止させるための各種の制御が不要であるので、系の制御を簡素化することができ、開発・運用コストを低減することができる。

[0016] (3) バススイッチ制御部が、タイミング信号供給源からタイミング信号バスを介して供給されるタイミング信号の位相を変更可能な調整回路をそなえることにより、制御用遅延時間 b を容易且つ確実に調整・実現することができ、バススイッチの接続タイミングを細かく設定することができる。

(4) デバイスユニットを他のマザーボード等に用いる際においても、そのマザーボードに対する調整回路における最適な位相の変更量を再度算出して、プログラムによって設定することにより、そのマザーボードに対してデバイスユニットを活性挿入(活性接続)しても、その活性接続によって生じるノイズが、そのマザーボード上のデバイスに影響を及ぼすことがなく、汎用性を持たせることができ経済的である。

[0017] (5) デバイスユニットとタイミング信号バスとが接続されてからデバイスユニットとデータバスとをバススイッチが接続させるまでの遅延時間を算出することにより、デバイスユニットとデータバスとの接続タイミングを算出することにより、デバイスユニットとデータバスとの接続タイミングを容易に決定することができる。

(6) タイミング信号の周期 T と、タイミング信号供給源からバススイッチ制御部までのスキュー a と、バススイッチ制御部においてタイミング信号が入力されてからバススイッチに対してデバイスユニットとデータバスとを接続するための接続制御信号が出力されるまでの制御用遅延時間 b と、バススイッチ制御部とバススイッチとの間における信号伝搬遅延時間 c と、バススイッチの動作遅延時間 d と、ノイズのパルス幅(時間) e と、デバイスユニットおよびデータバスにおけるノイズの伝搬遅延時間 f と、タイミング信号供給源からそのデバイスユニット以外のデバイスユニットもしくはデバイスまでのスキュー g と、バスシステムにおけるセットアップタイム S とに基づいて、ノイズがそのデバイスユニット以外のデバイスユニットもしくはデータバスに接続されたデバイスに到達してからセットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + b + c + d + e + f) - S$ }が0以上となるようなバススイッチの制御用遅延時間 b を算出することにより、デバイスユニットとデータバスとの接続タイミングを容易に決定することができる。

発明を実施するための最良の形態

[0018] 以下、図面を参照して本発明の実施の形態を説明する。

本発明の一実施形態としてのバスシステムは、例えば、複数のディスクユニット(磁気ディスク装置、物理デバイス)をそなえ、サーバ(ホスト)からのアクセスに応じて、サーバからのデータをこれらのディスクユニットに書き込んだり、又、サーバから要求されたデータをディスクユニットから読み出して転送したりするストレージ装置等において用いられるPCI(Peripheral Component Interconnect)バスをそなえたPCIシステムであり、データ信号の送受信を行なうためのものである。

[0019] 上述したストレージ装置においては、ファイバチャネルインターフェースバスを介してサーバとのインターフェース(データ転送)を制御するホストインターフェースモジュール(デバイスユニット)がそなえられており、このホストインターフェースモジュールは

、PCIバス等のインターフェースバスを介してPCIブリッジモジュールに接続され、同じくPCIバスを介してPCIブリッジモジュールに接続されたディスクインターフェースモジュールや管理モジュール等との間でデータ転送を行なうことができるようになっている。

[0020] また、ホストインターフェースモジュールは、プリント基板上にCPUやメモリ等を配設することによって構成されたユニットとして構成されており、このようにユニットとして構成されたホストインターフェースモジュールを、PCIバスが形成されたマザーボードに脱着可能に挿入(接続)することにより、ホストインターフェースモジュールを構成するデバイスがPCIバスにデータ通信可能に接続されるようになっていて、これにより所望の仕様を満たすストレージ装置を構成することができるようになっている。

[0021] 以下、本発明の一実施形態としてのバスシステムとして、ホストインターフェースモジュール等のデバイスユニットをマザーボード(バスユニット)に対して複数個取り付け可能に構成されたPCIバスシステムを例に説明する。

図1は本発明の一実施形態としてのバスシステム(PCIバスシステム)の構成を模式的に示す図、図2はその斜視図である。PCIバスシステム1は、図1に示すように、マザーボード(バスユニット)2と複数(図1および図2中では3つ)のデバイスユニット3a, 3b, 3cとをそなえて構成されている。これらのデバイスユニット3a, 3b, 3cは、マザーボード2上に形成された取付スロット11a, 11b, 11cにそれぞれ脱着自在に構成されており、これらの取付スロット11a, 11b, 11cにそれぞれ取り付ける(挿入する)ことにより、マザーボード2のPCIバス7に通信可能に接続されるようになっている。又、デバイスユニット3a, 3b, 3cは、マザーボード2が活性状態においても脱着することができるようになっている。

[0022] なお、以下、マザーボード2が活性している状態(活性状態、通電状態)でデバイスユニット3a, 3b, 3cを取り付ける(接続する)ことを活性挿入又は活性接続という場合もある。又、図2中には3つの取付スロット11が示されているが、これに限定されるものではなく、2以下もしくは4以上の取付スロット11をそなえてもよく、又、デバイスユニット3a, 3b, 3cは、これらのどの取付スロット11に取り付けてもよい。

[0023] マザーボード(バスユニット)2は、プリント基板上にPCIバス7、マザーデバイス8、ク

ロック供給源10および取付スロット11a, 11b, 11cをそなえて構成されている。PCIバス7はデータバス7aとクロックバス(タイミング信号バス)7bとをそなえて構成されている。クロック供給源(タイミング信号供給源)10は、クロックバス7bを介してクロック信号(タイミング信号)を本PCIバスシステム1にそなえられた各デバイスに供給するものである。

- [0024] マザーデバイス8はPCIバス7を介したデータ信号の送受信に関して種々の処理を行なうものであって、データバス7aおよびクロックバス7bに通信可能に接続されており、クロック供給源10から供給されたクロック信号を受信するようになっている。

データバス7aはマザーデバイス8とデバイスユニット3a, 3b, 3cとの間でデータ信号を送受信するためのデータ通路(バス)である。クロックバス7bはクロック供給源10とデバイスユニット3a, 3b, 3cやマザーデバイス8とを接続するバスであって、クロック供給源10から供給されたクロック信号を、取付スロット11a, 11b, 11cを介してデバイスユニット3a, 3b, 3cに供給するものである。又、データバス7aおよびクロックバス7bは、いずれもその途中部分に取付スロット11a, 11b, 11cが形成されており、これらの、取付スロット11a, 11b, 11cを介してデバイスユニット3a, 3b, 3cをそれぞれ接続することができるようになっている。

- [0025] 取付スロット11a, 11b, 11cは、デバイスユニット3a, 3b, 3cをマザーボード2に取り付ける(挿入する)ためのもの(接続部)であり、例えば接続端子をそなえたコネクタ等により構成され、デバイスユニット3a, 3b, 3cが取り付けられた状態で、それぞれ、マザーボード2のクロックバス7bとデバイスユニット3a, 3b, 3cのバス9aとを接続するとともに、マザーボード2のデータバス7aとデバイスユニット3a, 3b, 3cのバス9bとを通信可能に接続するようになっている。なお、これらの取付スロット11a, 11b, 11cは、互いにほぼ同様の構成をそなえており、以下、取付スロットを示す符号としては、複数の取付スロットのうち1つを特定する必要があるときには符号11a, 11b, 11cを用いるが、任意の取付スロットを指すときには符号11を用いる。

- [0026] デバイスユニット3a, 3b, 3cは、前述したようにストレージ装置におけるホストインターフェースモジュールであって、プリント基板上にバススイッチ制御部4, バススイッチ6, PCIデバイス5およびバス9a, 9b, 9c, 9dを配設することによって構成され、マザ

ーボード2に形成された取付スロット11a, 11b, 11cに脱着可能に取り付けることができるようになっている。

- [0027] なお、これらのデバイスユニット3a, 3b, 3cは、互いにほぼ同様の構成をそなえており、以下、デバイスユニットを示す符号としては、複数のデバイスユニットのうち1つを特定する必要があるときには符号3a, 3b, 3cを用いるが、任意のデバイスユニットを指すときには符号3を用いる。

また、以下、本実施形態においては、取付スロット11aにデバイスユニット3aを取り付けるものとし、又、取付スロット11bにデバイスユニット3bを、更に、取付スロット11cにデバイスユニット3cをそれぞれ取り付けるものとする。本実施形態においては、デバイスユニット3a, 3b, 3cは、互いにほぼ同様の構成をそなえているので、取付スロット11aに取り付けるデバイスユニット3をデバイスユニット3aとして特定することができ、同様に、取付スロット11bに取り付けるデバイスユニット3をデバイスユニット3b、取付スロット11cに取り付けるデバイスユニット3をデバイスユニット3cとしてそれぞれ特定することができるのである。

- [0028] なお、デバイスユニット3が、ストレージ装置におけるホストインターフェースモジュールである場合には、これらの各デバイスユニット3は、上述したバススイッチ制御部4、PCIデバイス5、バススイッチ6およびバス9a, 9b, 9c, 9dの他に、メモリやCPU、ファイバーチャネルインターフェースをそなえて構成されているのであるが、図1中においては、便宜上これらのメモリやCPU、ファイバーチャネルインターフェースを図示せず、PCIバス7を用いたデータ信号の送受信に関係する、バススイッチ制御部4、PCIデバイス5、バススイッチ6およびバス9a, 9b, 9c, 9dのみをデバイスユニット3中に示している。

- [0029] デバイスユニット3においては、バススイッチ制御部4とバススイッチ6とがバス9bを介して通信可能に接続されており、又、PCIデバイス5とバススイッチ6とがバス9cを介して通信可能に接続されている。又、デバイスユニット3においては、このデバイスユニット3を取付スロット11を介してマザーボード8に取り付けた際に、マザーボード2に形成されたクロックバス7bにバススイッチ制御部4やPCIデバイス5が通信可能に接続されるようにバス9aが形成されており、同様に、このデバイスユニット3を取付スロ

ット11を介してマザーボード8に取り付けた際に、バススイッチ6がデータバス7aと通信可能に接続されるようにバス9dが形成されている。

[0030] PCIデバイス5は、PCIバス7(データバス7a)を介してマザーボード2や他のデバイスユニット3との間におけるデータ信号の送受信に関する種々の処理を行なうものであつて、クロック供給源10からクロックバス7bおよび取付スロット11を介して供給されたクロック信号がバス9aを介して入力されるようになっており、PCIデバイス5は、このクロック信号に基づいて動作し、バス9c、バススイッチ6、バス9dおよび取付スロット11を介してデータバス7aとの間でデータ信号を入出力するようになっている。

[0031] バススイッチ6は、PCIデバイス5とデータバス7a(取付スロット11)との間にそなえられ、バス9cとバス9dとの接続／切断状態を切り替えることにより、PCIデバイス5とデータバス7aとの間におけるデータ信号の接続／切断状態を切り替えるものである。又、このバススイッチ6は、バススイッチ制御部4による制御(接続命令、開命令等)に従ってその接続／切断状態を切り換えるようになっている。

[0032] バススイッチ制御部4は、バススイッチ6に対してデバイスユニット3とデータバス7aとを接続するための接続命令(接続制御信号)を出力することにより、バススイッチ6の接続／切断動作を制御するものである。このバススイッチ制御部4には、クロック供給源10からクロックバス7bおよび取付スロット11を介して供給されたクロック信号がバス9aを介して入力されるようになっており、バススイッチ制御部4は、このクロック信号に基づいて動作するようになっている。そしてバススイッチ制御部4は、バススイッチ6の接続(開)タイミングを制御することにより、PCIデバイス5を任意のタイミングでデータバス7に接続することができるようになっている。具体的には、バススイッチ制御部4は、デバイスユニット3(バススイッチ制御部4)とクロックバス7bとが接続されてから予め設定された時間b(制御用遅延時間b;詳細は後述)経過後にデバイスユニット5(PCIデバイス5)とデータバス7aとを接続させるようにバススイッチ6を制御するようになっている。なお、バススイッチ制御部4の構成についての詳細は後述する。

[0033] そして、上述の如く構成されたデバイスユニット3を、図2に示すように、マザーボード2に形成された取付スロット11に挿入することにより、デバイスユニット3におけるバス9aの一端がマザーボード2に形成されたクロックバス7bに通信可能に接続されると

ともに、デバイスユニット3におけるバス9dの一端がマザーボード2に形成されたデータバス7aに通信可能に接続されるのである。なお、図2に示す例においては、便宜上、各デバイスユニット3にPCIデバイス5のみを示し、バススイッチ制御部4やバススイッチ6等の他の構成部品は省略している。

[0034] 次に、本発明の一実施形態としてのPCIバスシステム1における、バススイッチ制御部4がバススイッチ6の開制御を行なうための制御用遅延時間bの算出手法(バスシステム設計方法)について説明する。

図3(1)～(7)は本発明の一実施形態としてのPCIバスシステム(バスシステム)1にデバイスユニット3を活性接続した際におけるタイミングチャートを示す図であり、図3(1)はクロック供給源10が出力するクロック(ベースクロック)信号を示す図、図3(2)はバススイッチ制御部4に入力されるクロック信号を示す図、図3(3)はバススイッチ制御部4からバススイッチ6に対する接続命令信号を示す図、図3(4)はバススイッチの接続イネーブル(Out Enable)状態を示す図、図3(5)はデバイスユニット3から発生するノイズを示す図、図3(6)は他のデバイスユニットに伝搬したノイズを示す図、図3(7)は他のデバイスユニットに入力されるクロック信号を示す図である。

[0035] なお、これらの図3(1)～(7)においては、図1に示すPCIバスシステム1においてデバイスユニット3(3a)をマザーボード2の取付スロット11aに活性接続した場合について説明するものである。

本バスシステム設計方法においては、これらの図3(1)～(7)に示すような、クロック供給源10のクロック周期Tと、デバイスユニット3における信号伝搬遅延と、PCIバス7(クロックバス7b、データバス7a)における信号伝搬遅延と、データバス7aに接続されたデバイスユニット3もしくはその他のデバイス(例えばマザーボード2や他のデバイス)におけるセットアップタイムとに基づいて、データバス7aにデバイスユニット3を活性接続することによって生じるノイズが、このデータバス7aに接続されたデバイスユニット3以外のデバイスユニット3もしくはこのデータバス7aに接続された他デバイス(マザーデバイス8等)へ伝搬するタイミングを算出するようになっている(ノイズ伝搬計算ステップ)。

[0036] 例えば、マザーボード2にデバイスユニット3aを挿入・接続することにより、デバイス

ユニット3aのバス9aがクロックバス7bに接続されるとともに、バス9dがデータバス7aに接続される。その後、クロック供給源10からクロック信号が出力されると(図3(1)のA点参照)、そのクロック信号はクロックバス7bおよびバス9aを介して、デバイスユニット3aのバススイッチ制御部4に時間a遅延して到達する(図3(2)のB点参照)。この時間aはクロック供給源10からバススイッチ制御部4までのクロックスキュー(スキュー)aである。

[0037] バススイッチ制御部4は、クロック信号が入力されてから遅延時間(制御用遅延時間)b経過後にバススイッチ6に対して接続命令(開命令)信号(接続制御信号)を出力する(図3(3)のC点参照)。バススイッチ制御部4から出力された接続命令信号がバス9bを介してバススイッチ6に到達するまでに、バス9bにおける伝送遅延によって時間c(信号伝達遅延時間c)を要し、更に、バススイッチ6においては、接続命令信号を受信してからバス9cとバス9dとを接続(Out Enable)状態にするまでに、開動作時間(動作遅延時間)dがかかる(図3(4)のD点参照)。

[0038] そして、バススイッチ6が開状態になるとデバイスユニット3aから所定のパルス幅eのノイズが発生する(図3(5)のE点参照)。なお、本実施形態においては、このノイズが発生している時間eのことをノイズのパルス幅というものとする。

また、このデバイスユニット3aから発生したノイズは、バス9dやデータバス7aにおける伝送遅延によって時間f(ノイズの伝達遅延f)だけ遅れて他のデバイスユニット3b, 3cに伝達する(図3(6)のF点参照)。

[0039] 一方、クロック供給源10から供給されたクロック信号が、マザーボード2に取り付けられた複数のデバイスユニット3の内デバイスユニット3a以外のデバイスユニット3b, 3cに到達するまでに、クロックバス7bにおいて時間gの伝搬遅延(クロックスキュー, スキュー)が生じる(図3(7)のG点参照)。

なお、上述したクロックスキューa, 信号伝達遅延時間c, ノイズのパルス幅e, ノイズの伝達遅延fおよびクロックスキューgはマザーボード2やデバイスユニット3の回路設計やプリント板の構成(例えば、回路長や材質, チップ性能等)によって定まるものであり、バススイッチ6の動作遅延時間dやセットアップタイムSはデバイスユニット3の仕様によって定まるものである。

[0040] さて、デバイスユニット3やマザーデバイス8等において、クロック供給源10から供給されるタイミング信号(クロック信号やデータストロープ信号)に基づいて動作する各種デバイスは、そのクロック信号の立ち上がりエッジもしくは立ち下がりエッジにおいて各処理を行なっているが、一般に、このような各種デバイスにおいては、クロック信号(タイミング信号)に先立ってデータ信号を確保・保持しておく必要があり、一般に、このデータ信号の確定・保持にかかる最小限の時間をセットアップタイム(Setup Time)という。なお、図3(7)においては、このセットアップタイムSに斜線を付して表わしている。

[0041] このようなセットアップタイムは半導体製品毎やバス規格毎に予め規定されており、タイミング信号の立ち上がりエッジもしくは立ち下がりエッジを基準として、セットアップタイム以上前にデータ信号を確定させる必要がある。従って、マザーボード2にデバイスユニット3を活性接続するに際して、そのデバイスユニット3の活性接続によって生じるノイズが、そのデバイスユニット3が接続されるPCIバス7に接続された他のデバイスユニット3やその他のデバイスにおいて、それぞれ、そのセットアップタイムSに重ならないようにすることにより、かかるノイズの影響による不具合を無くすることができる。

[0042] そこで、本発明のバスシステム設計方法においては、先ず、デバイスユニット3の活性接続によって生じるノイズが、デバイスユニット3が接続されるPCIバス7に接続された他のデバイスユニット3やその他のデバイスへ到達時(図3(6)のH点参照)と、そのデバイスユニット3が接続されるPCIバス7に接続された他のデバイスユニット3やその他のデバイスにおけるセットアップタイムの終了時(図3(6)のI点参照)との時間間隔、すなわち、ノイズが活性接続されたデバイスユニット3以外のデバイスユニット3もしくはデバイスに到達してからセットアップ時間が始まるまでの時間を、タイミングマージンMとして算出し(ノイズ伝搬計算ステップ)、このタイミングマージンMが0以上となるような制御用遅延時間bを算出するのである(タイミング算出ステップ)。具体的には、タイミングマージンMを、以下に示す式(1)に基づいて求める。

$$M = (T + g) - (a + b + c + d + e + f) - S \quad \cdots (1)$$

[0043] ただし、aはクロック供給源10からバススイッチ制御部4までのクロックスキュー、cは

、バススイッチ制御部4から出力された接続命令信号がバス9bを介してバススイッチ6に到達するまでに要するバス9bにおけるクロック信号の伝送遅延、dは、バススイッチ6において、接続命令信号を受信してからバス9cとバス9dとを接続(Out Enable)状態にするまでに要する開動作時間(動作遅延時間)、eはノイズのパルス幅(時間)、fは、デバイスユニット3aから発生したノイズが他のデバイスユニット3b, 3cに伝達するまでに、バス9dやデータバス7aにおいて生じる伝送遅延、gはクロック供給源10から供給されたクロック信号が、マザーボード2にそなえられた複数のデバイスユニット3の内デバイスユニット3a以外のデバイスユニット3b, 3cに到達するまでに、クロックバス7bにおいて生じる伝搬遅延であり、活性接続を行なったデバイスユニット3とこのデバイスユニット3以外のデバイスユニット3もしくは同一のデータバス7aに接続された他のデバイスとのクロックスキュー(スキュー)である。

[0044] すなわち、上記(1)式に基づいて求められるタイミングマージンMが0以上となるように、各パラメータ(クロック供給源のクロック周期T, クロック供給源10からバススイッチ6の接続/切断動作を制御可能なバススイッチ制御部4までのクロックスキューa, 制御用遅延時間b, バススイッチ制御部4とバススイッチ6との間における信号伝搬遅延時間c, バススイッチ6の動作遅延時間d, ノイズのパルス幅(時間)e, デバイスユニット3およびデータバス7aにおけるノイズの伝搬遅延時間f, クロック供給源10からそのデバイスユニット3以外のデバイスユニット3もしくはそのデータバス7aに接続された他のデバイスまでのクロックスキューgおよび本PCIバスシステム1におけるセットアップタイムS)を設定すればよい。

[0045] 本実施形態においては、バススイッチ制御部4が、デバイスユニット3(バススイッチ制御部4)とクロックバス7bとが接続されてからデバイスユニット5(PCIデバイス5)とデータバス7aとを接続させるまでの時間b(制御用遅延時間b)を調整・設定することによりタイミングマージンMの設定を行なう。

すなわち、制御用遅延時間bは、上記(1)式に基づいて求められるタイミングマージンMが0以上となるような値として求められる。

[0046] そして、マザーボード2に複数のデバイスユニット3をそれぞれ活性接続可能にするためには、その設計段階において、これらの複数のデバイスユニット3の活性接続に

よってそれぞれ生じる各ノイズが、各デバイスユニット3におけるセットアップタイムに重ならないような制御用遅延時間bをそれぞれ算出する必要がある。

例えば、図1に示すように、マザーボード2に3つのデバイスユニット3a, 3b, 3cを活性接続可能にそなえるPCIバスユニット1を設計するためには、各デバイスユニット3a, 3b, 3cの活性接続によって生じるノイズが互いに影響を及ぼさないようにする必要があり、このために、デバイスユニット3aの活性挿入により生じるノイズが、デバイスユニット3b, 3cのいずれにおいても各セットアップタイムに重ならないようにするとともに、デバイスユニット3bの活性挿入により生じるノイズが、デバイスユニット3a, 3cのいずれにおいても各セットアップタイムに重ならないようにし、更に、デバイスユニット3cの活性挿入により生じるノイズが、デバイスユニット3a, 3bのいずれにおいても各セットアップタイムに重ならないようにすることが重要である。

[0047] すなわち、各デバイスユニット3a, 3b, 3cについて、このような条件を満たす制御用遅延時間bをそれぞれ算出するためには、先ず、デバイスユニット3aを活性接続するためのタイミングマージンM1を以下の式(2)に基づいて求めるとともに、デバイスユニット3bを活性接続するためのタイミングマージンM2を以下の式(3)に基づいて求め、更に、デバイスユニット3cを活性接続するためのタイミングマージンM3を以下の式(4)に基づいて求める。

$$M1 = \min[\{(T + g_{12}) - (a + b + c + d + e + f_{12}) - S\}, \\ \{(T + g_{13}) - (a + b + c + d + e + f_{13}) - S\} \cdots (2)$$

[0048] ただし、以下、式中において既述の符号と同一の符号は同一もしくは略同一の部分を示すものとし、又、式 $\min[a, b]$ は、aとbとのうち小さい方を選択する旨を示すものである。又、 g_{12} はデバイスユニット3aとデバイスユニット3bとのクロックスキューであり、 g_{13} はデバイスユニット3aとデバイスユニット3cとのクロックスキューである。又、 f_{12} はデバイスユニット3aからデバイスユニット3bへのノイズの伝搬時間であり、 f_{13} はデバイスユニット3aからデバイスユニット3cへのノイズの伝搬時間である。

$$M2 = \min[\{(T + g_{21}) - (a + b + c + d + e + f_{21}) - S\}, \\ \{(T + g_{23}) - (a + b + c + d + e + f_{23}) - S\} \cdots (3)$$

[0049] ただし、 g_{21} はデバイスユニット3bとデバイスユニット3aとのクロックスキューであり、本

実施形態においては上記 g_{12} と同一である。又、 g_{23} はデバイスユニット3bとデバイスユニット3cとのクロックスキューである。又、 f_{21} はデバイスユニット3bからデバイスユニット3aへのノイズの伝搬時間であり、本実施形態においては上記 f_{21} と同一である。 f_{23} はデバイスユニット3bからデバイスユニット3cへのノイズの伝搬時間である。

$$M3 = \min[\{(T + g_{31}) - (a + b + c + d + e + f_{31}) - S\}, \\ \{(T + g_{32}) - (a + b + c + d + e + f_{32}) - S\} \cdots (4)]$$

[0050] ただし、 g_{31} はデバイスユニット3cとデバイスユニット3aとのクロックスキューであり、本実施形態においては上記 g_{13} と同一である。又、 g_{32} はデバイスユニット3cとデバイスユニット3bとのクロックスキューであり、本実施形態においては上記 g_{23} と同一である。又、 f_{31} はデバイスユニット3cからデバイスユニット3aへのノイズの伝搬時間であり、本実施形態においては上記 f_{13} と同一である。 f_{32} はデバイスユニット3cからデバイスユニット3bへのノイズの伝搬時間であり、本実施形態においては上記 f_{23} と同一である。

[0051] そして、上記のタイミングマージンM1, M2, M3がいずれも0以上となるような制御用遅延時間bを算出した後、各デバイスユニット3において、バススイッチ制御部4に、デバイスユニット3(バススイッチ制御部4)とクロックバス7bとが接続されてから予め設定された時間b(制御用遅延時間b)経過後にデバイスユニット5(PCIデバイス5)とデータバス7aとを接続させるように設定(設計)する。かかる設定は、例えば、バススイッチ制御部4に遅延回路を持たせたり、バススイッチ制御部4内においてかかる制御用遅延時間bに相当する伝送遅延が生じるような回路長を設計したり、クロック信号のタイミング(位相)を変更することにより実現することができる。

[0052] 本実施形態においては、スイッチ制御部4は、クロック供給源10から供給されるクロック信号の位相を変更することにより、制御用遅延時間bを生成するようになっている。

図4は本発明の一実施形態としてのバスシステム(PCIバスシステム)のバススイッチ制御部4の構成例を示す図である。この図4に示すように、バススイッチ制御部4は、PLL回路41、バススイッチ接続条件判定回路42および出力FF(Flip-Flop)43をそなえて構成されている。

[0053] バススイッチ接続条件判定回路42は、バススイッチ6によるバス9cとバス9dとの接

続を行なうか否かの判定を行なうものであり、本PCIバスシステム1における種々の状態やプログラム等の種々の状況に基づいて、予め設定されたバススイッチ接続条件が満たされているか否かを判断し、バススイッチ接続条件が満たされていると判断した時に、出力FF43に対してON信号を出力するようになっている。

PLL (Phase Locked Loop; 位相ロックループ) 回路41は、クロック供給源10からクロックバス7bを介して供給されるクロック信号の位相を変更可能な調整回路であり、その変更する位相の量をプログラム等によって調整することができるようになっている。

[0054] PLL回路41は、一般に、外部から入力された基準信号と、ループ内の発振器からの出力との位相差が一定になるよう、ループ内発振器にフィードバック制御をかけて発振させるものであるが、本PCIバスシステム1においては、その位相調整機能を用いて、クロック供給源10から供給されるクロック信号の位相を変えることにより、マザーボード2にデバイスユニット3が取り付けられて、バススイッチ制御部4にクロック信号が入力された場合に、バススイッチ制御部4にクロック信号が入力されてから制御用遅延時間b経過後に、デバイスユニット3 (PCIデバイス5) とデータバス7aとを接続させるように、バススイッチ6に対して接続命令 (接続制御信号) を出力するようになっている。

[0055] また、PLL回路41における位相の変更量は最適な値、すなわち、バススイッチ接続条件判定回路42からON信号が出力されている状態において、バススイッチ制御部4にクロック信号が入力されてから、そのバススイッチ制御部4からバススイッチ6に対する接続命令が出力されるまでの時間がbとなるように、出力FF43の内部ディレイ等を考慮して算出され、そのような位相変更を実現するようにPLL回路41の設定が工場出荷時等に行なわれるようになっている。

また、デバイスユニット3を他のマザーボード (バスユニット) に取り付ける場合には、そのマザーボードに対するPLL回路41における最適な位相の変更量を改めて算出し、そのような位相変更を実現するようにPLL回路41の設定をプログラムによって行なう。

[0056] 出力FF43には、PLL回路41からの出力信号とバススイッチ接続条件判定回路42からの出力信号とが入力されるようになっており、又、この出力FF43からの出力信号

は、バススイッチ6(具体的には、バススイッチ6のアウトイネーブル端子)に入力されるようになっている。

そして、出力FF43においては、バススイッチ接続条件判定回路42からON信号が出力されている状態において、例えばPLL回路41から供給される信号の立ち上がりエッジに同期してON信号(接続命令、接続制御信号)が順次出力されるようになっている。

[0057] すなわち、バススイッチ制御部4は、PLL回路41による位相変更後のクロック信号に基づいて、バススイッチ4に対してデバイスユニット3とデータバス7aとを接続するための接続制御信号を出力するのである。

なお、上述した、PLL回路41、バススイッチ接続条件判定回路42および出力FF43としての機能を1つのLSI(Large Scale Integration)上に形成することによりバススイッチ制御部4を構成してもよく、又、これらのPLL回路41、バススイッチ接続条件判定回路42および出力FF43としての機能の一部を別々のチップに実装して構成してもよい。

[0058] 本発明の一実施形態としてのPCIバスシステム(バスシステム)1によれば、上述の如くPCIバスシステム1を設計することにより、マザーボード2に形成された複数の取付スロット11のうち、いずれの取付スロット11にデバイスユニット3を活性挿入(活性接続)しても、その活性接続によって生じるノイズが、PCIバス7上に取り付けられた他のデバイスユニット3に影響を及ぼすことがなく、PCIバスシステム1の信頼性を向上させることができる他、PCIバス7上でデータ通信を行なっている状態でも、そのノイズの影響を考慮することなくデバイスユニット3の脱着を行なうことができるので、利便性が高い。

[0059] また、デバイスユニット3をマザーボード2に接続する際に、マザーボード2を不活性化(電源断等)する必要がなく、データ転送を効率よく行なうことができる。又、デバイスユニット3の接続に際してPCIバスを停止させるための制御が不要であるので、システムを簡素化することができ製造コストや運用コストを低減することができる。

さらに、式(2)〜(4)を用いて示したように、各デバイスユニット3において、そのデバイスユニット3の活性挿入により生じるノイズがそれぞれ他のデバイスユニット3のい

ずれにおいても各セットアップタイムに重ならないように、各デバイスユニット3にそなえられたバススイッチ制御部4について共通の制御用遅延時間bを設定しているので、デバイスユニット3毎に個別の設定を行なう必要がなく、製造コストを低減することができるのと同時に、利便性が向上する。

- [0060] また、各デバイスユニット3が互いにほぼ同様の構成をそなえるとともに、そのバススイッチ制御部4について共通の制御用遅延時間bを設定しているので、各デバイスユニット3をどの取付スロット11に取り付けてもよく利便性が高い。

さらに、バススイッチ制御部4においてクロック信号の位相を変更可能なPLL回路(調整回路)41をそなえることにより、制御用遅延時間bを容易且つ確実に調整・実現することができ、バススイッチ6の接続タイミングを細かく設定することができる。

- [0061] また、デバイスユニット3を他のマザーボード等に用いる際においても、そのマザーボードに対するPLL回路41における最適な位相の変更量を改めて算出し、そのような位相変更を実現するようにPLL回路41の設定をプログラムによって行なうことにより、そのマザーボードに対してデバイスユニット3を活性挿入(活性接続)しても、その活性接続によって生じるノイズが、そのマザーボード上のデバイスに影響を及ぼすことなく、汎用性を持たせることができ経済的である。

なお、上述した実施形態に関わらず、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

- [0062] 例えば、上述した実施形態においては、タイミング信号としてクロック供給源10から供給されるクロック信号を用いているが、これに限定されるものではなく、例えばタイミング信号としてデータストロープ信号を用いてもよい。

また、上述した実施形態においては、図3(3)および図3(4)に示す例において、バススイッチ制御部4から出力される接続命令信号やバススイッチ6におけるイネーブル状態は、立ち下がりエッジを基準にしているが、これに限定されるものではなく、立ち上がりエッジを基準にしてもよい。

- [0063] 同様に、図3(1)、図3(2)、図3(5)～図3(7)に示す例に示す各種の信号は立ち上がりエッジを基準にしているが、これに限定されるものではなく、立ち下がりエッジを基準にしてもよい。

また、上述した実施形態においては、マザーボード2において、マザーデバイス8内部部にクロック供給源(タイミング信号供給源)10がそなえられているが、これに限定されるものではなく、マザーデバイス8の外部にクロックバス供給源10をそなえ、このクロックバス供給源10からクロックバス7bにクロック信号を供給してもよい。

[0064] さらに、図3を用いて説明した上述した実施形態においては、マザーボード2に3つのデバイスユニット3a, 3b, 3cを活性接続可能にそなえるPCIバスユニット1を設計するに際して、各デバイスユニット3a, 3b, 3cの活性接続によって生じるノイズの影響を互いに受けないようにタイミングマージンM1, M2, M3をそれぞれ求めて、制御用遅延時間bを決定しているが、これに限定されるものではなく、デバイスユニット3を活性接続することによって生じるノイズが、PCIバス7に接続された他のデバイスにおけるセットアップタイムに影響を与えない、すなわち、ノイズがそのセットアップタイムに重ならないようにすることも重要である。

[0065] 以下に、PCIバス7に接続された他のデバイスとしてマザーデバイス8を考慮した場合の例を説明する。マザーボード2に3つのデバイスユニット3a, 3b, 3cを活性接続可能にそなえるPCIバスユニット1において、デバイスユニット3a, 3b, 3cをそれぞれ活性接続することによって生じるノイズが、それぞれ他のデバイスユニット3a, 3b, 3cに互いに影響を与えないようにするとともに、これらのノイズがマザーデバイス8にも影響を与えないようにするためには、まず、デバイスユニット3aを活性接続するためのタイミングマージンM1' を以下の式(5)に基づいて求めるとともに、デバイスユニット3bを活性接続するためのタイミングマージンM2' を以下の式(6)に基づいて求め、更に、デバイスユニット3cを活性接続するためのタイミングマージンM3' を以下の式(7)に基づいて求める。

$$M1' = \min \left\{ \begin{aligned} &\{(T + g_{12}) - (a + b + c + d + e + f_{12}) - S\}, \\ &\{(T + g_{13}) - (a + b + c + d + e + f_{13}) - S\}, \\ &\{(T + g_{1m}) - (a + b + c + d + e + f_{1m}) - S\} \cdots (5) \end{aligned} \right.$$

[0066] ただし、以下、式中において既述の符号と同一の符号は同一もしくは略同一の部分を示すものとし、又、式 $\min[a, b, c]$ は、a, bおよびcのうち最も小さいものを選択する旨を示すものである。又、 g_{1m} はデバイスユニット3aとマザーデバイス8とのクロック

スキューであり f_{1m} はデバイスユニット3aからマザーデバイス8へのノイズの伝搬時間である。

$$M2' = \min[\{(T+g_{21})-(a+b+c+d+e+f_{21})-S\}, \\ \{(T+g_{23})-(a+b+c+d+e+f_{23})-S\}, \\ \{(T+g_{2m})-(a+b+c+d+e+f_{2m})-S\} \cdots (6)$$

[0067] ただし、 g_{2m} はデバイスユニット3bとマザーデバイス8とのクロックスキューであり、 f_{2m} はデバイスユニット3bからマザーデバイス8へのノイズの伝搬時間である。

$$M3' = \min[\{(T+g_{31})-(a+b+c+d+e+f_{31})-S\}, \\ \{(T+g_{32})-(a+b+c+d+e+f_{32})-S\}, \\ \{(T+g_{3m})-(a+b+c+d+e+f_{3m})-S\} \cdots (7)$$

[0068] ただし、 g_{3m} はデバイスユニット3cとマザーデバイス8とのクロックスキューであり、 f_{3m} はデバイスユニット3cからマザーデバイス8へのノイズの伝搬時間である。

[0069] そして、上記のタイミングマージン $M1'$ 、 $M2'$ 、 $M3'$ がいずれも0以上となるように、各パラメータ(クロック供給源のクロック周期 T 、クロック供給源10からバススイッチ6の接続/切断動作を制御可能なバススイッチ制御部4までのクロックスキュー a 、制御用遅延時間 b 、バススイッチ制御部4とバススイッチ6との間における信号伝搬遅延時間 c 、バススイッチ6の動作遅延時間 d 、ノイズのパルス幅(時間) e 、デバイスユニット3およびデータバス7aにおけるノイズの伝搬遅延時間 f 、クロック供給源10からそのデバイスユニット3以外のデバイスユニット3もしくはそのデータバス7aに接続された他のデバイスまでのクロックスキュー g および本PCIバスシステム1におけるセットアップタイム S)を設定する。

[0070] これにより、マザーボード2に3つのデバイスユニット3a、3b、3cを活性接続可能にそなえるPCIバスユニット1において、デバイスユニット3a、3b、3cをそれぞれ活性接続することによって生じるノイズが、それぞれ他のデバイスユニット3a、3b、3cやマザーデバイス8に影響を与えないようなPCIバスシステム1を容易に設計することができる。

[0071] また、上述した実施形態においては、バスシステムとしてPCIバスシステムを例として示したが、これに限定されるものではなく、例えば、ISA (Industry Standard

Architecture)バスやNuBus等の他のバスシステムに適用してもよい。

さらに、上述した実施形態においては、PCIバスシステム1が3つのデバイスユニット3a, 3b, 3cをそなえて構成されているが、これに限定されるものではなく、2つ以下、もしくは4つ以上のデバイスユニット3をそなえてもよい。又、これらの複数のデバイスユニット3がそれぞれ異なる構成をそなえてもよい。

[0072] また、上述した実施形態においては、バススイッチ制御部4は、クロック供給源10から供給されるクロック信号のタイミングを変更することにより、制御用遅延時間bを実現するようになっているが、これに限定されるものではなく、例えば、遅延回路をそなえたり、回路張を調整することにより、制御用遅延時間bに相当する伝送遅延が生じさせてもよく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

[0073] さらに、上述した実施形態においては、クロック供給源10からクロックバス7bを介して供給されるクロック信号の位相を変更する調整回路としてPLL回路41をそなえているが、これに限定されるものではなく、DLL(Delay Locked Loop;遅延ロックループ)回路を用いてもよい。

このように、PLL回路41に代えてDLL回路を用いた場合においても、PLL回路41をそなえた場合と同様に、バススイッチ接続条件判定回路42からON信号が出力されている状態において、バススイッチ制御部4にクロック信号が入力されてから、バススイッチ制御部4からバススイッチ6に対する接続命令が出力されるまでの時間がbとなるように、クロック信号の位相の変更量を求め、工場出荷時等において設定・変更する。

[0074] なお、本発明の各実施形態が開示されていれば、本発明のバスシステム設計方法、バスシステムおよびデバイスユニットを当業者によって実施・製造することが可能である。

産業上の利用可能性

[0075] 例えば、PCIバス等のバスシステムにおいて、デバイスユニットを活性接続することによって生じるノイズが他のデバイスユニットや同一バスに接続された他のデバイスに影響を与えることがないようにする工夫を施すことにより、同一バスに対して複数のデバイスユニットの活性接続を実現することができる。

図面の簡単な説明

[0076] [図1]本発明の一実施形態としてのバスシステム(PCIバスシステム)の構成を模式的に示す図である。

[図2]本発明の一実施形態としてのバスシステム(PCIバスシステム)の斜視図である。

[図3](1)～(7)は本発明の一実施形態としてのPCIバスシステム(バスシステム)にデバイスユニットを活性接続した際におけるタイミングチャートを示す図である。

[図4]本発明の一実施形態としてのバスシステム(PCIバスシステム)のバススイッチ制御部の構成例を示す図である。

請求の範囲

- [1] 複数のデバイスユニットと当該デバイスユニットを接続可能に構成されたデータバスと該デバイスユニットにタイミング信号バスを介してタイミング信号を供給可能なタイミング信号供給源と該デバイスユニットと該データバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと当該バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえたバスシステムの設計方法であって、
- 該タイミング信号の周期と、該デバイスユニットにおける信号伝搬遅延と、該タイミング信号バスおよび該データバスにおける信号伝搬遅延と、該データバスに接続された該デバイスユニットもしくはデバイスにおけるセットアップタイムとに基づいて、該データバスに前記デバイスユニットを活性接続することによって生じるノイズが、該データバスに接続された当該デバイスユニット以外のデバイスユニットもしくは該データバスに接続されたデバイスへ伝搬するタイミングを算出するノイズ伝搬計算ステップと、
- 該ノイズ伝搬計算ステップにおいて算出した該タイミングに基づいて、該デバイスユニットと該データバスとの接続タイミングを算出する接続タイミング算出ステップとをそなえることを特徴とする、バスシステム設計方法。
- [2] 該接続タイミング算出ステップにおいて、該デバイスユニットと該タイミング信号バスとが接続されてから該デバイスユニットと該データバスとを該バススイッチが接続させるまでの遅延時間を算出することにより、該デバイスユニットと該データバスとの接続タイミングを算出することを特徴とする、請求の範囲第1項に記載のバスシステム設計方法。
- [3] 該ノイズ伝搬計算ステップにおいて、該タイミング信号の周期 T と、該タイミング信号供給源から該バススイッチ制御部までのスキュー a と、該バススイッチ制御部において該タイミング信号が入力されてから該バススイッチに対して該デバイスユニットと該データバスとを接続するための接続制御信号が出力されるまでの制御用遅延時間 b と、該バススイッチ制御部と該バススイッチとの間における信号伝搬遅延時間 c と、該バススイッチの動作遅延時間 d と、該ノイズのパルス幅(時間) e と、該デバイスユニットおよび該データバスにおける該ノイズの伝搬遅延時間 f と、該タイミング信号供給源から当該デバイスユニット以外のデバイスユニットもしくはデバイスまでのスキュー g と、該バ

システムにおけるセットアップタイム S とに基づいて、該ノイズが当該デバイスユニット以外の前記デバイスユニットもしくは該データバスに接続されたデバイスに到達してから該セットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + b + c + d + e + f) - S$ }を、該ノイズの伝搬タイミングとして算出し、

該接続タイミング算出ステップにおいて、該タイミングマージン M が0以上となるような該制御用遅延時間 b を算出することを特徴とする、請求の範囲第2項に記載のバスシステム設計方法。

[4] 複数のデバイスユニットと、

当該デバイスユニットを接続可能に構成されたデータバスと、

該デバイスユニットにタイミング信号バスを介してタイミング信号を供給可能なタイミング信号供給源と、

該デバイスユニットと該データバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと、

該バススイッチに対して該デバイスユニットと該データバスとを接続するための接続制御信号を出力することにより、該バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえたバスシステムであって、

該バススイッチ制御部が、該デバイスユニットと該タイミング信号バスとが接続され、当該バススイッチ制御部において該タイミング信号が入力されてから該バススイッチに対して該接続制御信号が出力されるまでの制御用遅延時間 b 経過後に該デバイスユニットと該データバスとを接続させるように該バススイッチを制御するものであり、

該制御用遅延時間 b が、該タイミング信号の周期 T と、該タイミング信号供給源から該バススイッチ制御部までのスキュー a と、該制御用遅延時間 b と、該バススイッチ制御部と該バススイッチとの間における信号伝搬遅延時間 c と、該バススイッチの動作遅延時間 d と、該データバスに該デバイスユニットを活性接続することによって生じるノイズのパルス幅(時間) e と、該デバイスユニットおよび該データバスにおける該ノイズの伝搬遅延時間 f と、該タイミング信号供給源から当該デバイスユニット以外のデバイスユニットもしくは該データバスに接続されたデバイスまでのスキュー g と、該バスシステムにおけるセットアップタイム S とに基づいて、該ノイズが当該デバイスユニット以

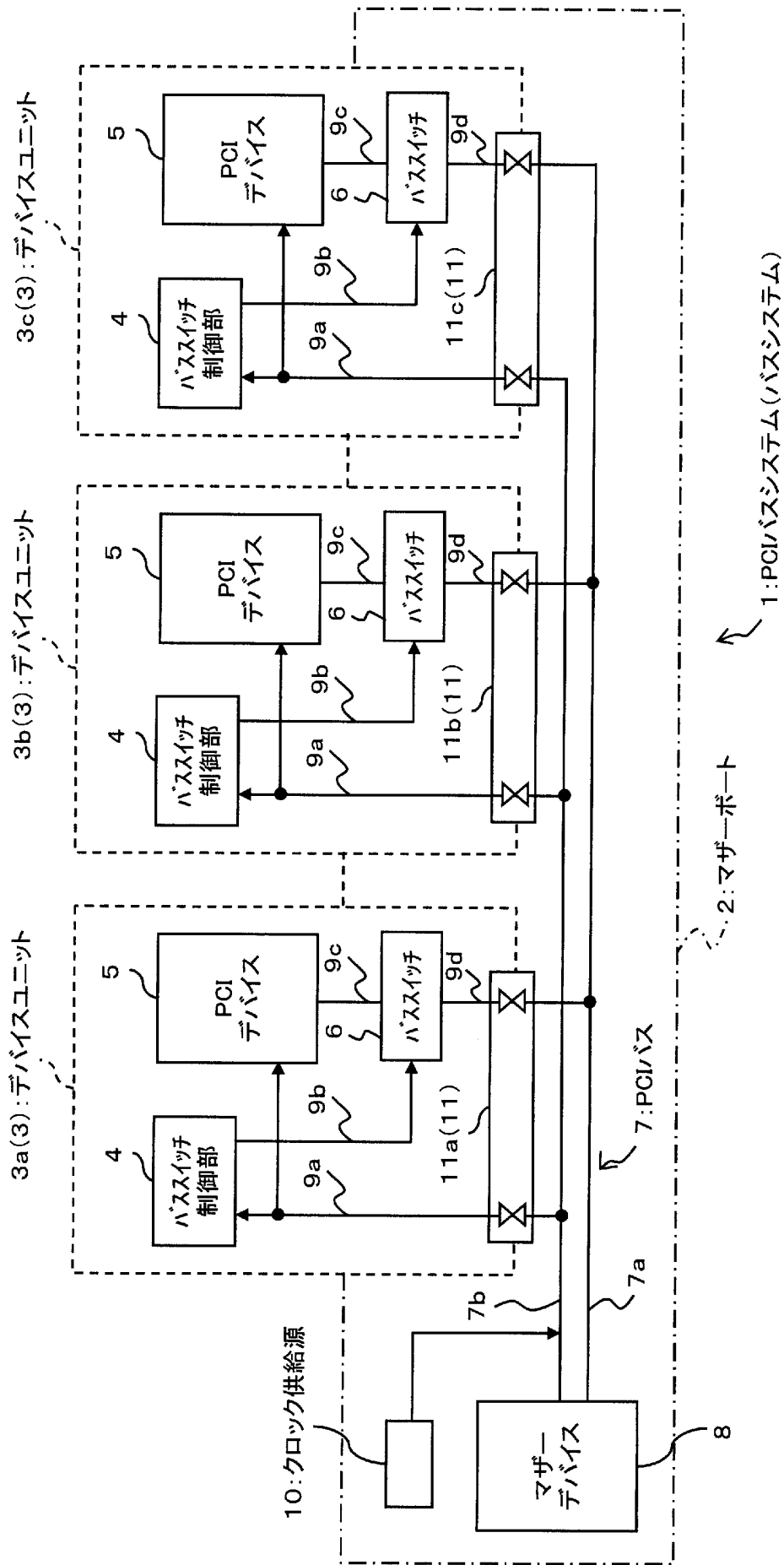
外のデバイスユニットもしくは該データバスに接続されたデバイスに到達してから該セットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + b + c + d + e + f) - S$ }が0以上となるような値であることを特徴とする、バスシステム。

- [5] 該バススイッチ制御部が、該タイミング信号供給源から該タイミング信号バスを介して供給される該タイミング信号の位相を変更可能な調整回路をそなえ、当該位相変更後の該タイミング信号に基づいて、該バススイッチに対して該接続制御信号を出力することを特徴とする、請求の範囲第4項に記載のデバイスユニット。
- [6] 該調整回路がPLL (Phase Locked Loop; 位相ロックループ) 回路であることを特徴とする、請求の範囲第5項に記載のデバイスユニット。
- [7] 該調整回路がDLL (Delay Locked Loop; 遅延ロックループ) 回路であることを特徴とする、請求の範囲第5項に記載のデバイスユニット。
- [8] データバスとタイミング信号供給源と当該タイミング信号供給源に接続されたタイミング信号バスとをそなえたバスユニットに取り付け可能なデバイスユニットであって、
当該デバイスユニットと該データバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと、
該バススイッチに対して該デバイスユニットと該データバスとを接続するための接続制御信号を出力することにより、該バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえ、
該バススイッチ制御部が、該デバイスユニットと該タイミング信号バスとが接続され、当該バススイッチ制御部において該タイミング信号が入力されてから該バススイッチに対して該接続制御信号が出力されるまでの制御用遅延時間 b 経過後に該デバイスユニットと該データバスとを接続させるように該バススイッチを制御するものであり、
該制御用遅延時間 b が、該タイミング信号の周期 T と、該タイミング信号供給源から該バススイッチ制御部までのスキュー a と、該制御用遅延時間 b と、該バススイッチ制御部と該バススイッチとの間における信号伝搬遅延時間 c と、該バススイッチの動作遅延時間 d と、該データバスに当該デバイスユニットを活性接続することによって生じるノイズのパルス幅(時間) e と、該デバイスユニットおよび該データバスにおける該ノイズの伝搬遅延時間 f と、該タイミング信号供給源から当該デバイスユニット以外のデ

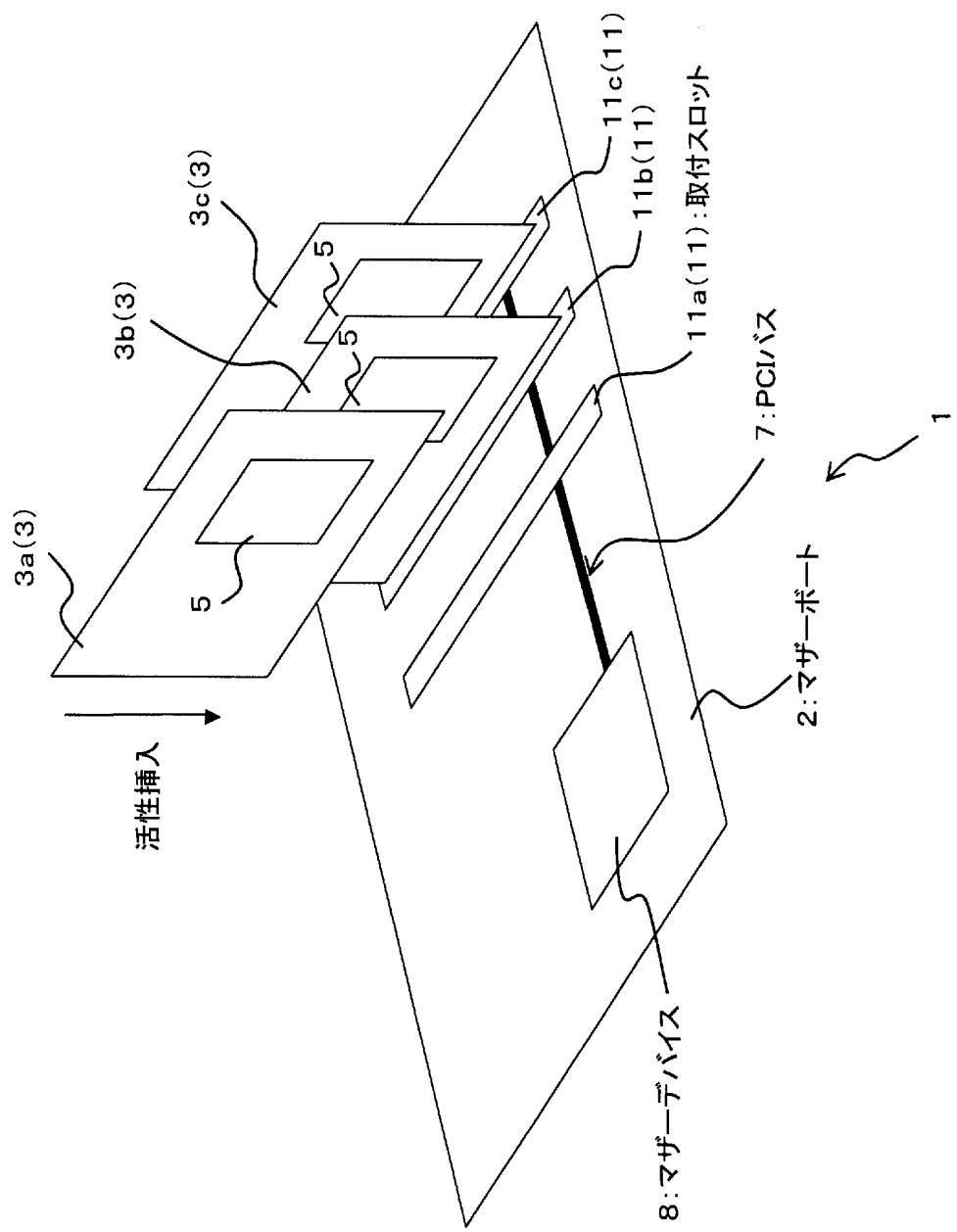
バイスユニットもしくは該データバスに接続されたデバイスまでのスキュー g と、該バスシステムにおけるセットアップタイム S とに基づいて、該ノイズが該データバスに接続された当該デバイスユニット以外のデバイスユニットもしくは該データバスに接続されたデバイスに到達してから該セットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + b + c + d + e + f) - S$ }が0以上となるような値であることを特徴とする、デバイスユニット。

- [9] 該バススイッチ制御部が、該タイミング信号供給源から該タイミング信号バスを介して供給される該タイミング信号の位相を変更可能な調整回路をそなえ、当該位相変更後の該タイミング信号に基づいて、該バススイッチに対して該接続制御信号を出力することを特徴とする、請求の範囲第8項に記載のデバイスユニット。
- [10] 該調整回路がPLL (Phase Locked Loop;位相ロックループ)回路であることを特徴とする、請求の範囲第9項に記載のデバイスユニット。
- [11] 該調整回路がDLL (Delay Locked Loop;遅延ロックループ)回路であることを特徴とする、請求の範囲第9項に記載のデバイスユニット。
- [12] データバスとタイミング信号供給源と当該タイミング信号供給源に接続されたタイミング信号バスとをそなえたバスユニットに取り付け可能なデバイスユニットであって、
当該デバイスユニットと該データバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと、
該タイミング信号供給源から該タイミング信号バスを介して供給される該タイミング信号の位相を変更可能な調整回路をそなえ、当該位相変更後の該タイミング信号に基づいて、該バススイッチに対して該デバイスユニットと該データバスとを接続するための接続制御信号を出力することにより、該バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえることを特徴とする、デバイスユニット。
- [13] 該調整回路がPLL (Phase Locked Loop;位相ロックループ)回路であることを特徴とする、請求の範囲第12項に記載のデバイスユニット。
- [14] 該調整回路がDLL (Delay Locked Loop;遅延ロックループ)回路であることを特徴とする、請求の範囲第12項に記載のデバイスユニット。

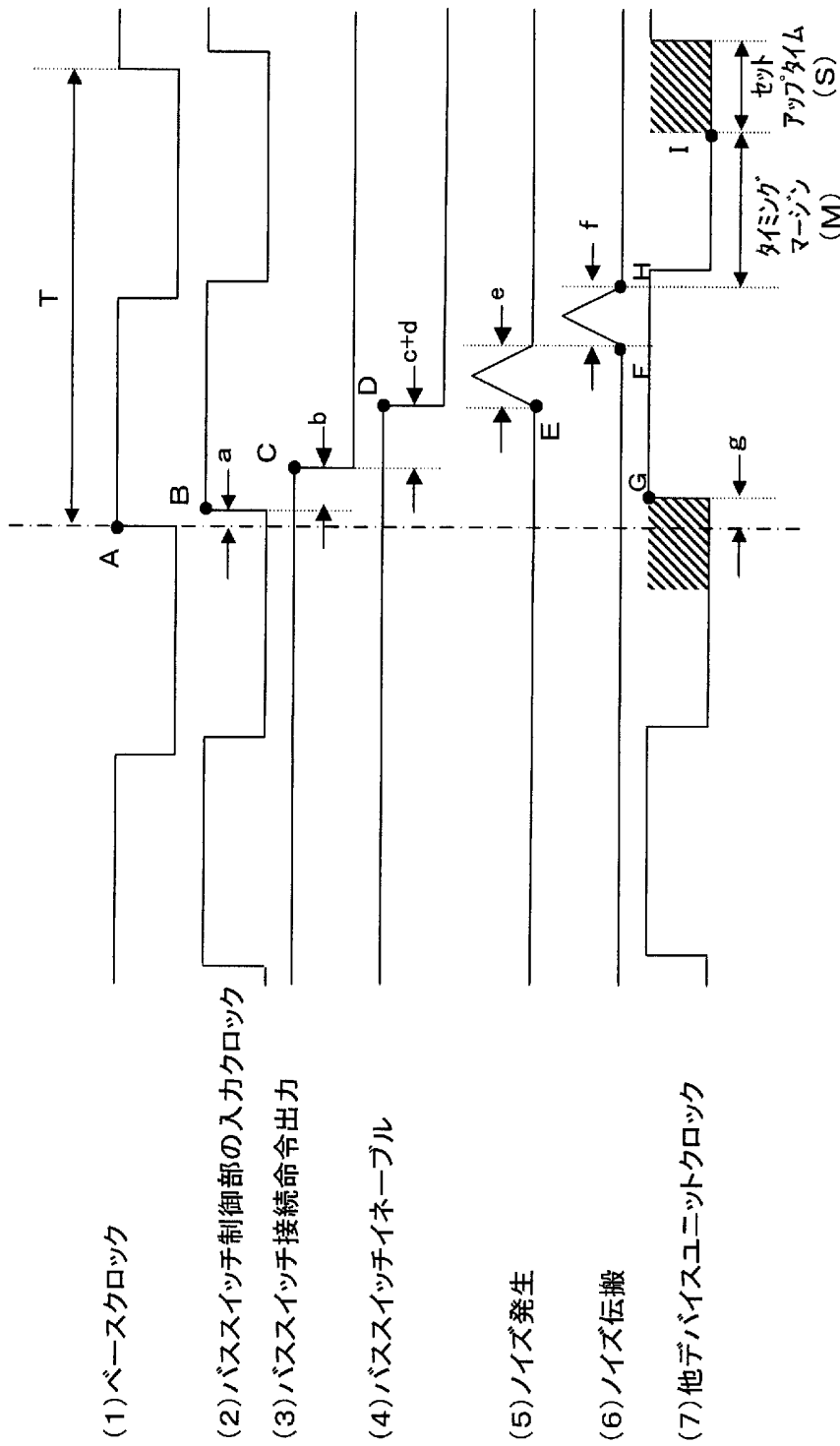
[図1]



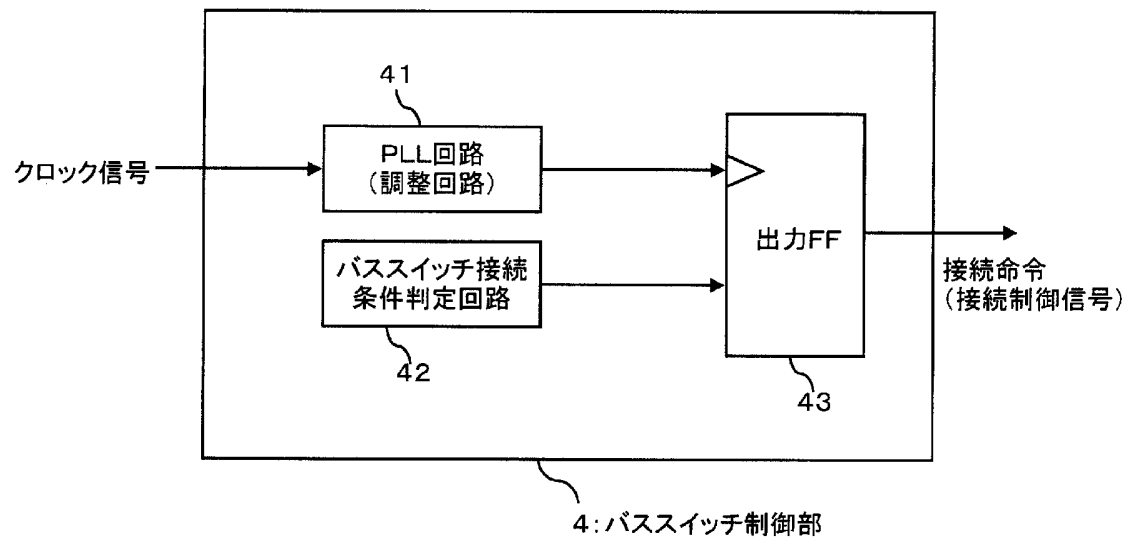
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011837

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F13/42, G06F3/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F13/42, G06F3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9-44280 A (Hitachi, Ltd.), 14 February, 1997 (14.02.97), Abstract, page 9, column 16, lines 16 to 22; page 9, column 16, lines 45 to 48; Fig. 8 (Family: none)	1-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 November, 2004 (16.11.04)

Date of mailing of the international search report
07 December, 2004 (07.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ G06F 13/42, G06F 3/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ G06F 13/42, G06F 3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 9-44280 A (株式会社日立製作所) 1997. 2. 14, 要約, 9頁16欄16行~22行, 9頁 16欄45行~48行, 第8図 (ファミリーなし)	1-14

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

16. 11. 2004

国際調査報告の発送日

07.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

五十嵐 努

5R

3356

電話番号 03-3581-1101 内線 3519