

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96136746

※申請日期：96年10月01日

※IPC分類：G06K 19/07 (2006.01)

G06K 17/00 (2006.01)

H01L 21/822 (2006.01)

H01L 27/04 (2006.01)

一、發明名稱：

(中) 半導體裝置

(英) Semiconductor device

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓名：(中) 齋藤利彥

(英) SAITO, TOSHIHIKO

國籍：(中) 日本

(英) JAPAN

2. 姓名：(中) 鹽野入豐

(英) SHIONOIRI, YUTAKA

國籍：(中) 日本

(英) JAPAN

3. 姓名：(中) 加藤清

(英) KATO, KIYOSHI

國籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96136746

※申請日期：96年10月01日

※IPC分類：G06K 19/07 (2006.01)

G06K 17/00 (2006.01)

H01L 21/822 (2006.01)

H01L 27/04 (2006.01)

一、發明名稱：

(中) 半導體裝置

(英) Semiconductor device

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓名：(中) 齋藤利彥

(英) SAITO, TOSHIHIKO

國籍：(中) 日本

(英) JAPAN

2. 姓名：(中) 鹽野入豐

(英) SHIONOIRI, YUTAKA

國籍：(中) 日本

(英) JAPAN

3. 姓名：(中) 加藤清

(英) KATO, KIYOSHI

國籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

200832232

767864

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.日本 ; 2006/10/02 ; 2006-270234 有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明係關於半導體裝置。特別地，本發明係關於可無接點地傳輸及接收資料且可儲存資料之半導體裝置。

【先前技術】

近年來，工業已受到注意，諸如提供 ID（個人識別碼）給個人物件且因此使物件的資訊（諸如其歷史）清楚且利用該資訊於生產與管理之技術。在此技術中，已促進可無接點地傳輸及接收資料之半導體裝置的發展。特別地，諸如正開始導入商務、市場及類似方面的這些裝置之半導體裝置有處理晶片（亦稱為 RFID（射頻識別晶片））、ID 標籤、IC 標籤、IC 晶片、RF 標籤、無線標籤、電子標籤、及無線晶片）及類似物之半導體裝置。

許多這些半導體裝置包括使用以矽（Si）或類似物形成之半導體基板（以下亦稱為 IC（積體電路）晶片及天線的電路，且 IC 晶片包括記憶電路（以下亦稱為記憶體）、控制電路及類似電路）。

以下將參照圖 16 說明 RFID 的習知實例。於圖 16，RFID700 包括天線部 702，其接收無線電波；整流電路部 703，其整流天線部 702 的輸出；穩壓電路 704，其接收整流電路部 703 的輸出及將操作電壓 VDD 輸出至其它電路；時脈產生電路 705，其產生時脈；邏輯電路 706，其控制另一電路；記憶體 708，其接收自邏輯電路 706 的輸

出及實施資料寫入及讀取；及升壓電路 707，其接收穩壓電路 704 的輸出及時脈產生電路 705 的輸出且供應用於將資料寫入至記憶體 708 之電壓。

除了這些電路外，雖然未繪示，RFID 亦可包括資料調變/解調電路、感測器、介面電路及類似電路。

讀寫器 701 係將資料寫至及讀自未與外界接觸的 RFID700 之裝置。

天線部 702 包括天線及共振電容器。天線部 702 接收傳輸自讀寫器 701 的無線電波，且將此時所獲得的信號 RF_IN 施加至整流電路部 703。整流電路部 703 包括用於整流及平流電容器的二極體。整流電路部 73 使 RF_IN 平流化且產生電壓 VDD0。

天線部 702 接收的功率是取決於天線部 702 與讀寫器 701 之間的距離而定。因此，關掉特定輸出以回應輸入的電壓之穩壓電路 704 包括於 RFID700 內，為了防止邏輯電路及類似電路由於過電壓而損壞，該過電壓在晶片放置非常接近讀寫器時發生。使用穩壓電路 704 的輸出 VDD 作為邏輯電路 706 的操作電力供應電壓，且作為用於記憶體 708 實施讀取操作時之電力供應電壓。當使用此種結構時，無需電池可操作 RFID。

為實施將資料寫至記憶體的操作，需要施加具有比實施讀取時使用的電壓之更高的電位的電壓。作為產生此電壓的方法，通常基於穩壓電路的輸出 VDD 而使用升壓電路來提升電壓之方法。於圖 16，當穩壓電路 704 的輸出

VDD 及時脈產生電路 705 輸出的時脈 CLK 輸入至升壓電路 707 時，獲得高電力供應電位 VDD_HI 作為輸出。使用此 VDD_HI，對記憶體實施寫入。可提供參考案 1（日本專利先行公開案第 2006-180073 號）作為於此 RFID 中使用升壓電路以產生用於寫入資料至記憶體的電壓的實例。

【發明內容】

通常，較佳地將作為穩壓電路的輸出之 VDD 考慮在儘可能地低，使得 RFID 內的電力消耗被抑制且通信範圍被擴充。然而，當 VDD 的電位係低（特別是 2V 或更小），有以下問題，諸如甚至當使用升壓電路來提升電壓時，不可能獲得寫入至記憶體的所需電位，或升壓電路為了獲得需要電位所需之面積增加。

本發明已依照上述考量來製作。本發明的目的用來產生記憶體寫入操作的需要電壓而不會增加電路面積，同時抑制電力消耗。

為了達到以上目的，本發明提供以下機構：

本發明的半導體裝置包括：天線部，其配置來接收來自外部的無線電波；整流電路部，其配置來整流該天線部的輸出，且配置來輸出直流電壓，該整流電路部的該輸出被使用作為第一電力供應電位；穩壓電路，其配置來接收該整流電路部的輸出，且配置來輸出特定電壓，該穩壓電路的該輸出被使用作為第二電力供應電位；及升壓電路，

其配置來接收該整流電路部的該輸出，且配置來升高該第一電力供應電位。

除了以上結構外，本發明的半導體裝置可另包括：提升第一電力供應電位的升壓電路及時脈產生電路。第二電力供應電位輸入至時脈產生電路，且時脈產生電路產生用於升壓電路的時脈。

除了以上結構外，本發明的半導體裝置可另包括位準移位器。第一電力供應電位及時脈產生電路的輸出輸入至該位準移位器，以及該位準移位器放大該時脈產生電路的該輸出且輸出該時脈產生電路的放大輸出作為升壓電路的時脈。

除了以上結構外，本發明的半導體裝置可另包含記憶體，升壓電路的輸出輸入至記憶體作為資料寫入電位，且第二電力供應電位輸入至記憶體作為資料讀取電位。

除了以上結構外，本發明的半導體裝置可另包含記憶體，升壓電路的輸出輸入至記憶體作為資料寫入電位，且第一電力供應電位輸入至記憶體作為資料讀取電位。以及該充電元件儲存電荷。

本發明的半導體裝置包括第一升壓電路；第二升壓電路，其來升高該第一電力供應電位的輸出；及時脈產生電路，該第二電力供應電位輸入至該時脈產生電路，且該時脈產生電路產生用於該第一升壓電路及該第二升壓電路的時脈；及記憶體，其中第一升壓電路的輸出輸入作為資料寫入電位，第二升壓電路的輸出輸入作為資料抹除電位，

及第二電力供應電位輸入作為資料讀取電位。

本發明的半導體裝置可另包括位準移位器，該第一電力供應電位及該時脈產生電路的輸出輸入至該位準移位器。該位準移位器放大該時脈產生電路的該輸出且輸出該時脈產生電路的放大輸出作為該第一升壓電路及該第二升壓電路的時脈。

本發明的半導體裝置可另包括儲存電荷的充電元件。充電元件可以是電容器或次電池。

於本發明的半導體裝置，充電元件可設有切換元件。

於本發明，藉由使用作為不是穩壓電路的一般使用輸出 VDD 而是整流電路部的輸出 $VDD0$ 之升壓電路的輸入電壓， $VDD0$ 係比 VDD 更高的電位，以小電路面積可獲得將資料寫至記憶體所需之高電位。再者，因為使用穩壓電路的輸出 VDD 作為用於其它電路之操作電壓，可抑制電力消耗。

【實施方式】

以下，將參照附圖來詳細說明本發明的實施例模式。然而，本發明未受限於以下說明，及熟習此項技藝者而言將隨時領會到，可對模式及其細節作各種消改而離不開本發明的精神及範圍。因此，本發明不應被解釋為受限於以下實施例模式的說明。注意到，於下述之本發明的結構，相同部件及具有相似功能的部件的重複說明被省略。

(實施例模式 1)

以下將參照附圖說明本發明的第一實施例模式。

圖 1 係顯示已應用本發明的 RFID 之方塊圖。圖 1 中的 RFID100 包括天線部 102，其接收無線電波；整流電路部 103，其整流天線部 102 的輸出；穩壓電路 104，其接收整流電路部 103 的輸出及將操作電壓 VDD 輸出至其它電路；時脈產生電路 105，其產生時脈；邏輯電路 106，其控制另一電路；記憶體 108，其接收自邏輯電路 106 的輸出及實施資料寫入及讀取；及升壓電路 107，其接收整流電路部 103 的輸出及時脈產生電路 105 的輸出且供應用於將資料寫入至記憶體 108 之電壓。

注意到，除了這些電路外，雖然未繪示，RFID100 亦可包括資料調變/解調電路、感測器、介面電路及類似電路。

讀寫器 101 係將資料寫至及讀自未與外界接觸的 RFID100 之裝置。

天線部 102 包括天線及共振電容器。天線部 102 接收傳輸自讀寫器 101 的無線電波，且將所獲得的信號 RF_IN 輸出至整流電路部 103。

整流電路部 103 包括用於整流及平流電容器的二極體。整流電路部 103 使 RF_IN (其為天線部 102 的輸出) 而平流化，且產生電壓 VDD0 (第一電力供應電位)。

穩壓電路 104 的主要目的用來防止邏輯電路 106 及類似電路由於過電壓而受損，過電壓在例如，RFID100 的位

置非常接近讀寫器 101 時而發生。穩壓電路 104 係關掉特定輸出以回應輸入的電壓之穩壓電路。經由穩壓電路，整流電路部 103 的輸出 $VDD0$ 變成具有小於 $VDD0$ 的某一特定值之電壓 VDD (第二電力供應電位)。電壓 VDD 作為用於時脈產生電路 105 及邏輯電路 106 之操作電壓，且被使用於當實施讀取時記憶體 108 中的電力供應電壓。

因為來自穩壓電路 104 的輸出 VDD 作為用於其它電路的操作電壓以抑制電力消耗，較佳地，輸出 VDD 係低電壓。特別地，於此實施例模式的 RFID 的例子，1V 至 3V 適合作為輸出 VDD ，及 1.5V 至 2V 較佳作為輸出 VDD 。

時脈產生電路 105 接收來自穩壓電路 104 的輸出 VDD 且產生時脈信號 CLK 。可使用已知結構作為時脈產生電路 105。例如，可藉由分割接收自天線部 102 的無線電波所產生時脈信號 CLK 。替代地，可使用諸如環形振盪器或 VCO 的振盪電路而產生。

邏輯電路 106 接收來自穩壓電路 104 之輸出 VDD 且控制另一電路。於此實施例模式中，依據控制信號，將資料寫至及讀自記憶體 108 的操作與用於實施這些操作的位址資訊及類似資訊被傳輸至記憶體 108。

升壓電路 107 接收整流電路部 103 的輸出 $VDD0$ 及時脈產生電路 105 的輸出 CLK 。升壓電路 107 使用 CLK 來提升 $VDD0$ 的電壓且輸出高電位 VDD_HI 。較佳地， $VDD0$ 係高電壓。於此實施例模式的 RFID 中，較佳地，

VDD0 等於或大於 3V。

記憶體 108 接收來自邏輯電路 106 的控制信號，且對控制信號所指定的位址來實施特別操作（資料寫入、讀取或類似操作）。資料寫入的例子中，使用來自升壓電路 107 的輸出 VDD_HI 來實施資料寫入。讀取的例子中，使用穩壓電路 104 的輸出 VDD 來實施該操作。

依據此結構，可藉由接收來自讀寫器 101 的信號之 RFID100 及實施控制之邏輯電路 106 諸如將資料寫入記憶體 108 及讀取來自記憶體 108 的資料之操作。

注意到，升壓電路 107 可具有已知結構。例如，諸如圖 2 所示可使用的電路，結合二極體、反相器（inverter）及電容機構（電容器）之電路。

圖 2 係顯示升壓電路的簡要結構實例之方塊圖。於該實例中，一二極體及一電容機構係基本單元，且有九個階段。圖 2 所示的升壓電路包括 10 個串取的二極體 201 至 210 及 10 個電容機構 211 至 220。每一電容機構 211 至 220 的一端係連接至二極體 201 至 210 的一者的輸出部。升壓電路亦包括時脈 CLK 輸入其中之反相器 221 及反相器 221 的輸出輸入其中之反相器 222。奇數階（階 1、3、5、7 及 9）之電容機構的另一端（亦即，電容機構 211、213、215、及 219）係連接至反相器 221 的輸出。偶數階（階 2、4、6 及 8）之電容機構的其它端（亦即，電容機構 212、214、216、及 218）係連接至反相器 222 的輸出。電容機構 220 的一端係連接至二極體 210 的輸出部，而

電容機構 220 的另一端接地。

於具有此種結構之升壓電路，施加至二極體 201 之電壓 V_{in} 被提升在各階係加至其時脈 CLK 的電壓，且自二極體 210 的輸出部輸出作為高電壓 V_{out} 。於圖 2，時脈 CLK 的電位係 VDD。

因此，於此種結構之升壓電路，階愈多，愈高電壓被提升；然而，階愈多，電路的面積愈大。再者，如果輸入的電壓 V_{in} 及時脈 CLK 的電壓係高，甚至可以少量階（亦即，具有小電路面積）所獲得之高電壓。

於此實施例模式中，如圖 1 所示，藉由使用不是穩壓電路 104 的一般使用輸出 VDD 而是整流電路部 103 的輸出 VDD0（其為比 VDD 更高的電位）之升壓電路的輸入電壓 V_{in} ，以小電路面積獲得將資料寫至記憶體所需之高電位 VDD_HI。因為使用穩壓電路 104 的輸出 VDD 作為其它電路的操作電壓，可抑制電力消耗。

注意到，因為配置於圖 2 中升壓電路的最後階之電容機構 220 使輸出的波形平滑，電容機構 220 的電容高於電容機構 211 至 219 的電容。二極體 201 至 210 具有防止累積充電回流至先前階的功能。

至於二極體及電容機構，可分別地使用實施二極體或電容器的功能之任何結構。例如，可藉由將薄膜電晶體的源極或汲極的一端連接至閘極線而形成；及可藉由將薄膜電晶體的源極的端與汲極的端一起連接作為電容機構的一端以及使用閘極線作為電容機構的另一端所形成之電容機

構。

再者，因為圖 1 中的整流電路部 103 的輸出 VDD0 直接輸入至使用於升壓電路的二極體，較佳地，二極體具有比諸如薄膜電晶體（通常使用於邏輯電路）的元件之更高承受電壓。特別地，當使用薄膜電晶體時，其較佳地具有等於或大於 $6\ \mu\text{m}$ 的閘極長度。

當閘極長度增加時，面積增至某一程度；然而，因為升壓電路內的二極體佔有的面積的比例係小，這不是大問題。特別地，二極體面積相對於升壓電路面積的比等於或小於 0.5%。再者，藉由使用本發明可減小提升電壓所需之階數愈大，可減小的面積愈大。

於此實施例模式中，將寫入一次記憶體使用於記憶體 108 係較佳的。例如，可應用熔絲記憶體作為包括於記憶體 108 的記憶體元件，熔絲記憶體於穩定狀態短路而在應用高電壓時斷開，抗熔絲記憶體於穩定狀態斷開且當應用高電壓時短路。可使用已知結構作為記憶體 108 的結構。通常，當將資料寫入記憶體時，需要應用約 10V 或更大的電壓。

（實施例模式 2）

以下將參照附圖說明本發明的第二實施例模式。

圖 3 係解說已應用的本發明的 RFID 之方塊圖。於圖 3，RFID300 包括：天線部 302，其接收無線電波；整流電路部 303，其整流天線部 302 的輸出；穩壓電路 304，

其接收整流電路部 303 的輸出及將操作電壓 VDD 輸出至其它電路；時脈產生電路 305，其產生時脈；位準移位器 306，其接收來自時脈產生電路 305 的輸出及來自整流電路部 303 的輸出，放大時脈產生電路 305 的輸出，且輸出時脈產生電路 305 的放大輸出；邏輯電路 3067，其控制其它電路；記憶體 309，其接收自邏輯電路 307 的輸出及實施資料寫入及讀取；以及升壓電路 308，其接收整流電路部 303 的輸出及位準移位器 306 的輸出且供應用於將資料寫至記憶體 309 之電壓。

注意到，除了這些電路外，雖然未繪示，RFID300 亦可包括資料調變/解調電路、感測器、介面電路及類似電路。

讀寫器 301 係將資料寫至及讀自未與外界接觸的 RFID300 之裝置。

此實施例模式具有實施例模式 1 的結構再加上位準移位器 306。因此，將省略除了位準移位器 306 之結構的部件說明。

位準移位器 306 放大輸出自時脈產生電路 305 的時脈 CLK。特別地，當整流電路部 303 的輸出 VDD0 流入位準移位器 306 而無需通過穩壓電路 304，時脈 CLK 的電位位準自 VDD 的位準上升至 VDD0 的位準。

於升壓電路 308，如使用圖 2 之實施例模式 1 所述，當時脈 CLK 的電壓加至輸入電壓 VDD0 時，電壓提升。因此，因為位準移位器 306 將時脈 CLK 的電壓自 VDD 的

位準提升至 $VDD0$ 的位準，即使以更少階（亦即，具有小電路面積）可獲得高電壓。

因此，於此實施例模式中，如圖 3 所示，藉由使用不是穩壓電路 304 的一般使用輸出 VDD 而是整流電路部 303 的輸出 $VDD0$ （其為比 VDD 更高的電位）之升壓電路的輸入電壓，以及藉由使用位準移位器 306 將升壓電路的 CLK 自 VDD 上升至 $VDD0$ ，以甚至更小的電路面積可獲得將資料寫入記憶體所需之之高電位 VDD_HI 。因為使用穩壓電路 304 的輸出 VDD 作為其它電路的操作電壓，可抑制電力消耗。

注意到，已知結構可使用於位準移位器 306。例如，可使用包括諸如圖 4 所示具有兩種極性的薄膜電晶體之電路。圖 4 係位準移位器的簡要實例，且包括 n-型電晶體 801 及 802 與 p-型電晶體 803 至 806。

如圖 4 所示，n-型電晶體 801 的汲極接地，也 n-型電晶體 801 的源極連接至 p-型電晶體 803 的汲極。P-型電晶體 803 的源極連接至 p-型電晶體 805 的汲極，以及 p-型電晶體 805 的源極連接至 V_HI 端子。

同樣地，n-型電晶體 802 的汲極接地，也 n-型電晶體 802 的源極連接至 p-型電晶體 804 的汲極。P-型電晶體 804 的源極連接至 p-型電晶體 806 的汲極，以及 p-型電晶體 806 的源極連接至 V_HI 端子。

n-型電晶體 801 及 p-型電晶體 803 的閘極連接至輸入端子 $IN1$ ，n-型電晶體 802 及 p-型電晶體 804 的閘極連接

至輸入端子 IN2。p-型電晶體 804 的汲極及 p-型電晶體 805 的閘極連接至輸出端子 OUT1，及 p-型電晶體 803 的汲極及 p-型電晶體 806 的閘極連接至輸出端子 OUT2。

於具有 VDD 的電壓位準之時脈 CLK 以此種結構應用在位準移位器的輸入端子 IN1 及 IN2 之間以及整流電路部 303 的輸出 VDD0 連接至 V_{HI} 端子，當輸入端子 IN1 的電位係 VDD 及輸入端子 IN2 的電位係 0V 時，OUT1 的電位係 VDD0 及 OUT2 的電位係 0V。相反地，當輸入端子 IN2 的電位係 VDD 及輸入端子 IN1 的電位係 0V 時，OUT2 的電位係 VDD0 及 OUT1 的電位係 0V。

因此，以所保持之時脈 CLK 的波形將時脈 CLK 的電壓位準自 VDD 放大至 VDD0。

於位準移位器應用至圖 3 的電路之例子，因為圖 3 中的整流電路部 303 的輸出 VDD0 施加至 802 及 802 與 p-型電晶體 803 至 806，這些電晶體較佳地具有比通常使用於邏輯電路的薄膜電晶體更高的承受電壓。特別地，它們較佳地具有等於或大於 $6\mu\text{m}$ 的閘極長度。

當位準移位器加至該結構時，面積增加至某程度；然而，因為位準移位器的面積相對於升壓電路的面積係小，這不是大問題。特別地，位準移位器面積對升壓電路面積的比等於或小於 0.5%。再者，藉由使用本發明所減小之提升電壓所需之階數愈大，可減小的面積愈大。

(實施例模式 3)

以下將參照附圖說明本發明的第三實施例模式。

圖 5 係顯示已應用的本發明的 RFID 之方塊圖。於圖 5，RFID400 包括：天線部 402，其接收無線電波；整流電路部 403，其整流天線部 402 的輸出；穩壓電路 404，其接收整流電路部 403 的輸出且將操作電壓 VDD 輸出至其它電路；邏輯電路 405，其控制其它電路；以及記憶體 406，其接收自邏輯電路 405 的輸出及實施資料寫入及讀取。

注意到，除了這些電路外，雖然未繪示，RFID400 亦可包括資料調變/解調電路、感測器、介面電路及類似電路。

讀寫器 401 係將資料寫至及讀自未與外界接觸的 RFID400 之裝置。

此實施例模式中，未使用升壓電路。使用整流電路部 403 的輸出 VDD0 作為用於寫至記憶體 406 之電壓而未預先輸入至穩壓電路 404。該等結構的其餘部分相同如實施例模式 1，因此這裡將不說明。

已知結構可使用於記憶體 406。然而，於低於整流電路部 403 的輸出 VDD0 且高於穩壓電路 404 的輸出 VDD 之電壓範圍中，使用如記憶體 406 的記憶元件之材料較佳地為其特性變化（熔絲記憶體的例子中且抗熔絲記憶體的例子短路）之材料。

於此實施例模式中，如圖 5 所示，當未使用升壓電路來將資料寫至記憶體以及使用整流電路部 403 的輸出

VDD0 (其為比穩壓電路 404 的輸出 VDD 更高的電位) 來將資料寫至記憶體時, 以甚至更小的電路面積可實施將資料寫至記憶體。再者, 因為使用穩壓電路 404 的輸出 VDD 作為其它電路的操作電壓, 可抑制電力消耗。

此結構是特佳的, 尤其於當 RFID 更遠離讀取器寫入器時未寫至記憶體的例子或於如果當 RFID 更遠離讀取器寫入器時寫至記憶體不方便的例子。

(實施例模式 4)

以下將參照附圖說明本發明的第四實施例模式。

圖 6 係顯示已應用的本發明的 RFID 之方塊圖。於圖 6, RFID500 包括: 天線部 502, 其接收無線電波; 整流電路部 503, 其整流天線部 502 的輸出; 穩壓電路 504, 其接收整流電路部 503 的輸出且將操作電壓 VDD 輸出至其它電路; 時脈產生電路 505, 其產生時脈; 邏輯電路 506, 其控制其它電路; 記憶體 509, 其接收自邏輯電路 506 的輸出且寫入、讀取並抹除資料; 第一升壓電路 507, 其接收整流電路部 503 的輸出及時脈產生電路 505 的輸出且輸出升壓電路; 及第二升壓電路 508, 其接收第一升壓電路 507 的輸出及時脈產生電路 505 的輸出且進一步將輸出升壓電路至記憶體 509。

注意到, 除了這些電路外, 雖然未繪示, RFID500 亦可包括資料調變/解調電路、感測器、介面電路及類似電路。

讀寫器 501 係將資料寫至及讀自未與外界接觸的 RFID500 之裝置。

此實施例模式具有實施例模式 1 的相同結構，除了其具有兩個升壓電路外；因此，將省略除了升壓電路外之結構的部件說明。

於圖 6 的結構，整流電路部 503 的輸出 VDD0 及時脈產生電路 505 的輸出 CLK 輸入至第一升壓電路 507。第一升壓電路 507 使用 CLK 來提升使用如實施例模式 1 的升壓電路之相同操作的 VDD0 的電壓，且輸出 VDD_HI1。VDD_HI1 輸入至第二升壓電路 508 以及至記憶體 509。

第一升壓電路 507 的輸出 VDD_HI1 及時脈產生電路 505 的輸出 CLK 輸入至第二升壓電路 508。第二升壓電路 508 使用 CLK 以進一步提升使用如實施例模式 1 的升壓電路之相同操作的 VDD_HI1 的電壓。VDD_HI2 輸入至記憶體 509。

於記憶體 509，例如，可使用第一升壓電路 507 的輸出 VDD_HI1 作為用於資料寫入的電壓，及可使用於資料抹除比 VDD_HI1 更高的第二升壓電路 508 的輸出 VDD_HI2，其需要比資料寫入更高的電位。

當使用此種結構時，諸如快閃記憶體之可重寫記憶體可被包括於記憶體 509。結果，包括記憶體之 RFID 更為複雜。注意到，可使用已知可重寫記憶體作為記憶體 509。例如，可使用快沈記憶體、鐵電記憶體或類似記憶體。

於此實施例模式中，如圖 6 所示，使用兩個升壓電路

；使用不是穩壓電路 504 的一般使用輸出 VDD 而是整流電路部 503 的輸出 VDD0（其為比 VDD 更高的電位）作為第一升壓電路的輸入電壓，及第一升壓電路的輸出電壓 VDD_HI1 作為第二升壓電路的輸入電壓。因此，以小電路面積可獲得將資料寫至記憶體及自記憶體抹除至所需之高電位。因為使用穩壓電路 504 的輸出 VDD 作為其它電路的操作電壓，可抑制電力消耗。

注意到，於此實施例模式中，說明使用兩個升壓電路之實例；然而，亦可使用三或更多升壓電路來實施本發明。

（實施例模式 5）

以下將參照附圖說明本發明的第五實施例模式。

圖 7 係解說已應用的本發明的 RFID 之方塊圖。於圖 7，RFID600 包括：天線部 602，其接收無線電波；整流電路部 603，其整流天線部 602 的輸出；穩壓電路 604，其接收整流電路部 603 的輸出及將操作電壓 VDD 輸出至其它電路；時脈產生電路 605，其產生時脈；位準移位器 606，其接收來自時脈產生電路 605 的輸出及來自整流電路部 603 的輸出，放大時脈產生電路 605 的輸出，且輸出時脈產生電路 605 的放大輸出；邏輯電路 607，其控制其它電路；記憶體 610，其接收自邏輯電路 607 的輸出及寫入、讀取並抹除資料；第一升壓電路 608，其接收整流電路部 603 的輸出及位準移位器 606 的輸出，且輸出升壓電

壓；以及第二升壓電路 609，其接收第一升壓電路 608 的輸出及位準移位器 606 的輸出，且將進一步提升電壓輸出至記憶體 610。

注意到，除了這些電路外，雖然未繪示，RFID600 亦可包括資料調變/解調電路、感測器、介面電路及類似電路。

讀寫器 601 係將資料寫至及讀自未與外界接觸的 RFID600 之裝置。

此實施例模式具有實施例模式 4 的結構再加上位準移位器 606。因此，將省略除了位準移位器 606 之結構的部件說明。

位準移位器 606 放大輸出自時脈產生電路 605 的時脈 CLK。特別地，當整流電路部 603 的輸出 VDD0 流入位準移位器 606 而無需通過穩壓電路 604，時脈 CLK 的電位位準自 VDD 的位準增加至 VDD0 的位準。

於升壓電路，如使用圖 2 之實施例模式 1 所述，當時脈 CLK 的電壓加至輸入電壓時，電壓提升。因此，當藉由位準移位器 606 使時脈 CLK 的電壓自 VDD 的位準提升至 VDD0 的位準，即使以更少階（亦即，具有小電路面積）可獲得高電壓。

因此，於此實施例模式中，如圖 7 所示，依據實施例模式 4 的功效，藉由使用位準移位器 606 使升壓電路的 CLK 自 VDD 增加至 VDD0，以甚至更小的電路面積可獲得自記憶體之寫入及抹除資料所需之高電位。再者，因為

使用穩壓電路 604 的輸出 VDD 作為其它電路的操作電壓，可抑制電力消耗。

注意到，至於實施例模式 4，此實施例模式中可使用已知可重寫記憶體作為記憶體 610。

再者，位準移位器 606 的操作細節係相同如實施例模式 2 中讀 4 的細節，因此這裡省略其說明。

(實施例 1)

於此實施例中，參照附圖說明實施例模式的升壓電路的輸出與藉由模擬所實施的習知實例的比較結果。

於該模擬，使用圖 2 所示之升壓電路，且輸入及時脈的電壓被變化。作為習知實例，輸入 V_{in} 的電壓及當時脈 CLK 是 HIGH 時之電壓為 VDD，及當時脈 CLK 是 LOW 之電壓係 0V。作為方法 1，類似於實施例模式 1，輸入 V_{in} 的電壓係 VDD0，當 CLK 是 HIGH 時之電壓為 VDD，與當 CLK 是 LOW 之電壓係 0V。作為方法 2，類似於實施例模式 2，輸入 V_{in} 的電壓及當時脈 CLK 是 HIGH 時之電壓為 VDD0，與當 CLK 是 LOW 之電壓係 0V。

再者，VDD 係 1.7V，VDD0 係 3V，及時脈頻率係 5MHz。電容機構 211 至 219（其為中階電容器）各具有 7pF 的電容，及電容機構 220（其為最後階電容器）具有 40pF 的電容。

於該模擬，51k Ω 、100k Ω 、200k Ω 、300k Ω 、510k Ω 、及 1M Ω 的電阻連接至輸出 V_{out} 作為負載電阻。估算每

一方法之輸出電壓及流經該等電阻的電流。

圖 8 顯示結果。於圖 8，水平軸代表輸出電壓 (V)，而垂直軸代表輸出電流 (μA)。於此圖式，◇ (菱形) 表示習知實例的結果，□ (方形) 表示方法 1 的結果，及△ (三角形) 表示方法 2 的結果。

如圖 8 所見，使用實施例模式 1 的結構之方法 1 顯示其電力供應能力相較於習知實例有約 20% 的改善，及使用實施例模式 2 的結構之方法 2 顯示其電力供應能力有約四倍改善。

接著，使用實施例模式 2 的結構之方法 2 的 RFID；亦即，具有藉由使用 VDD0 作為升壓電路的輸入而增加的電力供應能力之升壓電路且使用位準移位器將輸入至升壓電路自 VDD 放大時脈信號至 VDD0 之 RFID，被實際地製造，且參照圖式說明調查在寫入期間之電力供應能力的量測值的結果。

升壓電路的結構係相同如模擬條件下。中階電容器 (圖 2 中的電容機構 211 至 219) 各具有 7pF 的電容，及最後階電容器 (圖 2 中的電容機構) 具有 40pF 的電容。再者，量測條件亦相同如於模擬：VDD 係 1.7V，VDD0 係 3V。以時脈頻率為 5MHz (相同如於模擬中)、3.84MHz、2.5MHz 及 1MHz 之條件而實施此實驗。三個 RFID 被製造，且為它們每一者實施量測。

關於量測的方法，RFID 的高電力供應電位 VDD_HI 的輸出部被斷開，51k Ω 、100k Ω 、200k Ω 、300k Ω 、

510k Ω 、及 1M Ω 的負載電阻連接至該輸出部，寫入操作被實施，且 VDD_HI 與流經該等電阻的輸出電流 IDD_HI 被量測。

圖 9 顯示結果。於圖 9，水平軸代表輸出電壓 (V)，而垂直軸代表輸出電流 (μA)。於此圖式，由 \diamond (菱形) 表示時脈頻率為 5MHz 的例子之結果； \square (方形) 表示 3.84MHz 的時脈頻率之結果； \triangle (三角形) 表示 2.5MHz 的時脈頻率之結果；及 \times (交叉) 表示 1MHz 的時脈頻率之結果。用於 5MHz 的時脈頻率所獲得之結果幾乎相同如用於模擬所獲得之結果。可見到，獲得用於寫入的足夠電力供應能力。注意到，當時脈頻率降低時，電力供應能力減小。此因為注意在升壓電路內的某一電容機構，當時脈頻率降低時，電容機構的電壓以時間為單位自 GND 變至 VDD0 (或自 VDD0 至 GND) 之次數；因此，結果，推至下一階的充電量減小。

然而，當具有升壓電路之時脈的數量減小時，可減小升壓電路中的電流消耗及產生時脈之電路的電流消耗。因此，依賴寫至記憶體元件所需之電力可適當地決定最適合位準。

因此，如圖 9 所示，確認到使用實施例模式 2 的結構之方法 2 的 RFID 係相似於模擬的結果之結果。亦即，相較於習知實例，觀察到電力供應能力有約四倍改善。

(實施例 2)

於此實施例中，將參照圖 10A 至 10D、11A 至 11D 及 12A 與 12B 說明製造本發明的半導體裝置的方法，該方法包括：使用於實施例模式 1 至 5 之任一電路的薄膜電晶體、記憶體元件、及天線。注意到，使用利用有機材料的一次寫入記憶體作為記憶體元件而說明此實施例；然而，本發明未受限於此，及可使用利用不同結構之記憶體元件。

首先，作為基極之絕緣層 2001 及 2002 形成在基板 2000（圖 10A）上。基板 2000 可以是玻璃基板、石英基板、具有形成在一表面上的絕緣層之金屬或不鏽鋼基板、具有承受此過程的處理溫度之足夠熱阻抗之塑膠基板或類似基板。當使用此種基板 2000 時，沒有其面積或形狀的大限制；因此，當例如使用具有一米或更長的邊之矩形基板作為基板 2000 時，可明顯地改善生產力。諸如此的優點相較於使用圓形矽基板的例子係大利益。再者，當分離層被使用在基板 2000 及絕緣層 2001 之間時，可將具有薄膜電晶體之層轉移至形成有導電膜或類似膜在其上之基板，且因此，可簡化連接至薄膜電晶體的導電膜及轉移至基板上的導電膜之間的連接。

接著，絕緣層 2001 形成作為使用矽氮氧化物的第一層，及絕緣層 2002 形成作為使用矽氧氮化物的第二層。使用已知方法（諸如濺鍍方法或電漿 CVD 方法）形成絕緣層 2001 及 2002 作為包括矽的氧或矽的氮之層。矽的氧係包括矽（Si）及氧（O）之材料，且相當於氧化矽、氧氮化矽、氮氧化矽、及類似物。矽的氮係包括矽及氮（N

) 之材料，且相當於氮化矽、氧氮化矽、氮氧化矽及類似物。作為基極之絕緣層可以是單層或堆疊層。例如，於作為基極的絕緣層具有三層結構之例子，矽氧化層可形成作為第一絕緣層，矽氮氧化層可形成作為第二絕緣層，且矽氧氮化層可形成作為第三絕緣層。替代地，矽氮氧化層可形成作為第一絕緣層，矽氮氧化層可形成作為第二絕緣層，矽氧氮化層可形成作為第三絕緣層。作為基極之絕緣層作用如防止來自基板 2000 的雜質滲透之阻擋膜。

接著，無定形半導體層 2003 (例如，包括無定形矽之層) 形成在絕緣層 2002 (圖 10B)。使用已知方法 (諸如濺鍍方法、LPCVD 方法或電漿 CVD 方法) 形成具有 25 至 200nm (較佳地 30 至 150nm) 的厚度之無定形半導體層 2003。接著，使用已知結晶方法 (諸如雷赦結晶方法、使用 RTA 或退火爐的熱結晶方法、使用促成結晶的金屬元素之熱結晶方法、或雷射結晶方法與使用促成結晶的金屬元素之熱結晶方法結合之方法使無定形半導體層 2003 結晶以形成晶狀半導體層。接著，使所獲得晶狀半導體層圖案化成為想要形狀以形成晶狀半導體層 2004 至 2008。(圖 10C)。

扼要地說明用於晶狀半導體層 2004 至 2008 之製造過程的實例，首先，使用電漿 CVD 方法以形成具有 66nm 的厚度之無定形半導體層。接著，將包括鎳 (其為促成結晶化的金屬元素) 之溶液保持在無定形半導體層，及然後使無定形半導體層受到去氫處理 (在 500°C 達一小時) 且熱

結晶處理（550℃四小時）以形成晶狀半導體層。接著，若需要的話，實施雷射光照射及實施使用光微影術方法的圖案處理，藉由形成晶狀半導體層 2004 至 2008。於使用雷射結晶方法以形成晶狀半導體層之例子，使用連續波或脈衝氣體雷射或固態雷射。使用準分子雷射、YAG 雷射、YVO₄ 雷射、YLF 雷射、YAIO₃ 雷射、玻璃雷射、紅寶石雷射、Ti 藍寶石雷射或類似雷射作為氣體雷射。使用利用諸如摻有 Cr、Nd、Er、Ho、Ce、Co、Ti 或 Tm 的 YAG、YVO₄、YLF、YAIO₃ 的晶體之雷射作為固態雷射。

再者，當使用促成結晶化的金屬元素使晶狀半導體層結晶時，雖然有可於短時間內在低溫實施之結晶及晶體的方向是均勻之優點，亦有因為金屬元素留在晶狀半導體層上，斷開狀態增加及不穩定的特性之缺點。因此，作用如吸氣位置之晶狀半導體層較佳地形成在晶狀半導體層上。因為作為吸氣位置的晶狀半導體層中需要包括諸如磷或氫的雜質元素，較佳地使用濺鍍方法形成晶狀半導體層，晶狀半導體層中可藉由濺鍍方法包括高濃度的氫。接著，實施熱處理（RTA 方法、使用退火爐的熱退火或類似方法）及使金屬元素散佈於無定形半導體層中。接著，移除包括金屬元素之無定形半導體層。因此，可降低包括於晶狀半導體層的金屬元素量或可自晶狀半導體層移除包括於晶狀半導體層之金屬元素。

接著，形成覆蓋晶狀半導體層 2004 至 2008 之閘極絕緣層 2009（圖 10D）。閘極絕緣層 2009 包括矽的氧或矽

的氮，且藉由已知方法（諸如電漿 CVD 方法或濺鍍方法）形成為單層或堆疊層。特別地，包括矽氧化物之層、包括矽氧氮化物之層、或包括矽氮氧化物之層形成為單層，或使用該等層以形成堆疊層。

接著，第一導電層及第二導電層堆疊在閘極絕緣層 2009 上。藉由已知方法（例如，電漿 CVD 方法或濺鍍方法）形成具有 20 至 100nm 的厚度之第一導電層。藉由已知方法形成具有 100 至 400nm 的厚度之第二導電層。使用鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鈮（Nb）及類似元素或包括此種元素作為主成份之合金材料或化合物的任何一者而形成第一導電層及第二導電層。替代地，該等層可以摻有諸如磷的雜質元素之多晶矽所代替的半導體材料予以形成。第一導電層及第二導電層的結合之實例包括鉭氮化物層與鎢（W）層、鎢氮化物層與鎢層、鉬氮化物層與鉬（Mo）層及類似物。鎢及鉬氮化物具有高熱阻抗，因此當使用它們來形成第一導電層及第二導電層時，接再形成之後，可實施用於熱活化的熱處理。再者，於使用三層結構而不是兩層結構的例子，可使用包括鉬層、鋁層及另一鉬層之堆疊結構。

接著，使用光微影術方法來形成抗蝕掩膜，實施用於形成閘極電極及閘極線之蝕刻處理，且形成作用如閘極電極（有時稱為閘極電極層）之導電層 2010 至 2014（圖 11A）。

接著，藉由光微影術方法所形成之抗蝕掩膜，及使用離子摻雜方法或離子植入方法（圖 11B）將 n-型或 p-型雜質區 2015b 至 2019b 及通道形成區 2015a 至 2019a 形成於晶狀半導體層 2004 至 2008。例如，於提供 n-型導電性的例子，可使用屬於週期表的第 15 族之元素作為提供 n-型導電性的雜質元素。例如，使用磷（P）或砷（As）作為雜質元素且加入以形成 n-型雜質區。再者，於提供 p-型導電性的例子，使用光微影術方法形成之抗阻掩膜，以及將提供 p-型導電性的雜質元素（例如，硼（B））加至想要晶狀半導體層以形成 p-型雜質區。

接著，將絕緣層 2020 及 2021 形成以覆蓋閘極絕緣層 2009 及導電層 2010 至 2014（圖 11C）。藉由已知方法（諸如 SOG 方法或液滴排出方法）所形成之絕緣層 2020 及 2021，其使用諸如矽的氧或矽的氮之無機材料；諸如聚醯亞胺、聚醯胺、苯環丁烯、丙烯酸、環氧化物或矽氧烷之有機材料；或類似材料。矽氧烷具有以矽（Si）及氧（O）間的鍵所形成之中樞結構。含有至少氫（例如，鹵素族或芳香族碳化氫）之有機族被使用作為替代物。氟素族亦可被使用作為替代物。替代地，含有至少氫之氟素族及有機族可被使用作為替代物。再者，覆蓋閘極絕緣層及導電層之絕緣層可以是單層或堆疊層。當使用三層結構時，包括氧化矽之層可被形成作為第一層絕緣層，包括樹脂之層可被形成作為第二層絕緣層，及包括氮化矽之層可被形成作為第三層絕緣層。

注意到，在形成絕緣層 2020 及 2021 之前，或在形成絕緣層 2020 及 2021 的一或更多薄膜之後，可實施用於恢復半導體層的結晶性、使給加至半導體層的雜質元素活化、或使半導體層氫化之熱處理。可使用熱退火、雷射退火方法、RTA 方法或類似方法作為熱處理。

然後，蝕刻絕緣層 2020 及 2021 以形成使雜質區 2015b 至 2019b 外露之接觸孔。接著，導電層被形成使得接觸孔被充滿，且被圖案化以形成作用如源極及汲極配線之導電層 2022 至 2032 (圖 11D)。

藉由已知方法 (例如，電漿 CVD 方法或濺鍍方法) 將導電層 2022 至 2032 形成為單層或堆疊層，其使用鈦 (Ti)、鋁 (Al)、或釹 (Nd) 的任一元素或含有上述元素的一者作為主成份之合金材料或化合物。含有鋁作為主成份之合金材料相當於，例如，具有鋁作為主成份且包括鎳之材料、或具有鋁作為主成份且包括鎳及碳與矽的一或二者之合金材料，例如，包括障層、矽化鋁 (Al-Si) 層及另一障層的堆疊層結構；或包括障層、矽化鋁 (Al-Si) 層、氮化鈦層及另一障層的堆疊層結構。注意到，障層相當於以鈦、戴的氮、鉬或鉬的氮形成之薄膜。鋁及矽化鋁具有低電阻且便宜；因此，它們是用於形成導電層 2022 至 2032 之理想材料。再者，當設置上及下障層時，可防止鋁或矽化鋁的小丘的形成。再者，當以鈦 (其為高還原性元素) 形成之障層時，甚至當薄天然氧化膜形成在晶狀半導體層時，天然氧化膜被還原，且因此，可獲得與

晶狀半導體層的良好接觸。

接著，絕緣層 2033 及 2034 形成來覆蓋導電層 2022 至 2032（圖 12A）。藉由已知方法（諸如 SOG 方法或液滴排出方法）將絕緣層 2033 及 2034 形成為單層或堆疊層，其使用無機材料或有機材料。

接著，蝕刻絕緣層 2033 及 2034 以形成使導電層 2023、2025、2026 及 2032 外露之接觸孔。然後，將導電層形成來充填接觸孔。藉由已知方法（例如，電漿 CVD 方法或濺鍍方法）形成導電層，其使用導電材料。接著，將導電層圖案化以形成導電層 2035 至 2038（圖 12A）。注意到，導電層 2035 至 2038 分別相當於包括於記憶體元件之一對導電層的一者。因此，將導電層 2035 至 2038 較佳形成為單層或堆疊層，其使用鈦或含有鈦作為主成份之合金材料或化合物。鈦具有低電阻，其導致記憶體元件的尺寸縮小，且因此可實現高整合性。再者，在用於形成導電層 2035 至 2038 之蝕刻過程中，較佳地實施濕蝕刻，以避免損傷下層中的薄膜電晶體。較佳地，氟化氫（HF）或氫與過氧化氫的混合溶液被使用於蝕刻劑。

然後，將絕緣層形成來覆蓋導電層 2035 至 2038。蝕刻絕緣層以形成使導電層 2035 至 2038 外露的接觸孔，且隔層（絕緣層）2039 至 2043 被形成。藉由已知方法（諸如 SOG 方法或液滴排出方法）將 2039 至 2043 形成作為單層或堆疊層，其使用無機材料或有機材料。將隔層 2039 至 2043 較佳形成具有 0.75 至 3 μ m 的厚度。

接著，將有機化合層 2044 形成以使與導電層 2035 及 2036 接觸（圖 12B）。可使用液滴排出方法、印刷方法、旋塗方法或類似方法來形成有機化合層 2044；然而，特別地藉由使用旋塗方法可改善操作效率。於使用旋塗方法的例子，預先設置掩膜或在將有機化合層形成在整個表面上之後使用光微影術過程或類似方法，能夠選擇性地設置有機化合層。再者，藉由使用液滴排出方法或印刷方法，可改善該材料的使用效率。

接著，導電層 2045 形成以使與有機化合層 2044 接觸。藉由已知方法（例如，電漿 CVD 方法、濺鍍方法、印刷方法或液滴排出方法）可形成導電層 2045。導電層 2045 作用如記憶體元件的陰極，且經由導電層 2037 及導電層 2026 與電路的接地電位連接。

接著，形成作用如天線且與導電層 2038 接觸之導電層 2046（圖 12B）。藉由已知方法（例如，電漿 CVD 方法、濺鍍方法、印刷方法或液滴排出方法）來形成導電層 2046，其使用導電材料。較佳地，將導電層 2046 形成為單層或堆疊層，其使用鋁（Al）、鈦（Ti）、銀（Ag）及銅（Cu）的任一元素或含有上述元素的一者作為主成份之合金材料或化合物。作為特定實例，藉由使用包括銀的糊之網印方法所形成之導電層 2046，且接著將熱處理實施在 50 至 350°C。替代地，由濺鍍方法可形成之鋁層且可使其圖案化以形成導電層 2046。較佳地使用濕蝕刻實施鋁層的圖案化，且接在濕蝕刻之後，較佳地實施 200 至

300°C 的熱處理。

接著，設置作用如保護膜的絕緣層 2047 以覆蓋導電層 2045 及 2046（圖 12B）。可將絕緣層 2047 形成為單層或堆疊層，其使用液滴排出方法、印刷方法、旋塗方法或類似方法。

經由上述過程，可完成藉由堆疊導電層 2035、有機化合層 2044 及導電層 2045 所形成之記憶體元件部；藉由堆疊堆疊導電層 2036、有機化合層 2044 及導電層 2045 所形成之記憶體元件部；及藉由堆疊堆疊導電層 2038 及導電層 2046 所形成之天線。因此，可形成包括主動矩陣記憶體元件、天線、及邏輯電路之半導體裝置。

（實施例 3）

於此實施例中，將參照圖 13 說明藉由結合實施例模式 1 至 5 的任一者與 RF 電池（射頻電池：利用射頻的無接點電池）（其為充電元件）來達到 RFID 的高複雜化之實例。

圖 13 顯示已將實施例模式 1 應用至包括 RF 電池的 RFID 之實例。圖 13 的 RFID1100 包括：天線部 1102，其接收無線電波；整流電路部 1103，其整流天線部 1102 的輸出；穩壓電路 1104，其接收整流電路部 1103 的輸出及將操作電壓 VDD 輸出至其它電路；時脈產生電路 1105，其產生時脈；邏輯電路 1106，其控制另一電路；記憶體 1108，其接收自邏輯電路 1106 的輸出及實施資料寫入及

讀取；及升壓電路 1107，其接收整流電路部 1103 的輸出及時脈產生電路 1105 的輸出，且供應用於將資料寫入至記憶體 1108 之電壓；二極體 1109，升壓電路的輸出輸入二極體 1109 及二極體 1109 防止反向流；及電池電容器 1110，其包括儲存電荷之電容器。將來自二極體 1109 的輸出輸入至電池電容器 1110。

注意到，除了這些電路外，雖然未繪示，RFID1100 亦可包括資料調變/解調電路、感測器、介面電路及類似電路。

讀寫器 1101 係將資料寫至及讀自未與外界接觸的 RFID1100 之裝置。

RF 電池具有諸如可無接點充電目標且容易攜帶之特色。當 RFID 包括 RF 電池時，需要電力供應之記憶體（諸如 SRAM）可被包括於 RFID，且因此可製作更為複雜的 RFID。

於本發明，使用升壓電路的輸出來充電 RFID 電池，以解決諸如習知技術的問題，於習知技術中，當使用穩壓電路的輸出 VDD 來充電 RFID 電池時，因為 VDD 的電壓係低，不能獲得用於充電之足夠電壓。

注意到，雖然在此已說明使用包括電容器的電池電容器 1110 作為 RF 電池之實例，可使用蓄電池來取代電容器。

於此實施例中，使用於 RFID 之的天線部、穩壓電路部及升壓電路亦被使用於 RF 電池。因此，在如讀寫器

1101 正在操作 RFID 的同時，亦可使用讀寫器 1101 作為用於充電電池電容器 1110 的信號傳輸源。

注意到，本發明未受限於此結構，且可將天線部、穩壓電路部及升壓電路的一或數個分成用於 RFID 操作的部分且用於 RF 電池充電的部分。例如，當天線部 1102 分成用於 RFID 操作的天線部分且用於 RF 電池充電的天線部分，可使使用於 RFID 操作之信號頻率不同於使用於 RF 電池充電之信號頻率。於此例中，較佳地，讀寫器 1101 所射出之信號及用於 RF 電池的信號傳輸源所射出之信號係位於不會相互干擾的頻域。

再者，當相同的天線部、穩壓電路部及升壓電路使用於 RFID 操作及 RF 電池充電時，可利用切換元件配置在升壓電路 1107 及用於防止反向流的二極體 1109 之間之結構，且當正在實施寫入操作時，該切換元件被斷開及升壓電路與 RF 電池間的連接被切斷，以及該開關被接通且升壓電路與 RF 電池被連接。於此例中，因為於寫入操作期間不實施充電，於寫入操作期間可防止電壓降低。可將已知結構使用於切換元件。

注意到，雖然於此實施例中說明應用實施例模式 1 的實例，自然地，此實施例的結構未受限於使用實施例模式 1，及亦可應用實施例模式 2 至 5 的任一者。

再者，當應用實施例模式 1、2、4 及 5 的任一者時，取代將升壓電路連接至 RF 電池，可將穩壓電路部的輸出連接至 RF 電池。

(實施例 4)

於此實施例中，將參照圖式說明使用該等實施例模式之半導體裝置的應用。

藉由使用本發明，可形成作用如處理器晶片（亦稱為 RFID（射頻辨識晶片）、ID 標籤、IC 標籤、IC 晶片、RF 標籤、無線標籤、電子標籤、及無線晶片）之半導體裝置。本發明的半導體裝置具有廣泛範圍的用途。例如，可將本發明應用至紙幣、硬幣、票卷、證件、不記名債卷、包裝容器、出版物、記錄媒體、個人物品、運輸機構、飲食件、衣著、保健項目、生活用品、藥物、電子裝置及類似物。

紙幣及硬幣所指的是流通於市場的錢，且包括可於特定區（諸如現金收據、紀念幣及類似物）的錢如相同方式使用的東西。票卷所指的是支票、債卷、約定支付票據及類似物。可將處理器晶片 1200 包括於票卷（圖 14A）。證件所指的是駕照、居民證或類似證。可將處理器晶片 1201 包括於證件（見圖 14B）。個人用品所指的是袋子、眼鏡或類似物。可將處理器晶片 1202 包括於個人用品（見圖 14C）。不記名債卷所指的是郵票、糧票、各種禮卷及類似物。包裝容器所指的是用於餐盒或類似盒的包裝紙、塑膠瓶或類似物。可將處理器晶片 1203 包括於包裝容器（圖 14D）。出版物所指的是書、雜誌或類似物。可將處理器晶片 1204 包括於出版物（見圖 14E）。記錄媒體

所指的是 DVD 軟體、錄影帶、或類似物。可將處理器晶片 1205 包括於記錄媒體（見圖 14F）。運輸機構所指的是船、諸如自行車之輪動車輛或類似物。可將處理器晶片 1206 包括於運輸機構（見圖 14G）。飲食件所指的是食物、飲料或類似物。衣著所指的是衣服、鞋及類似物。保健項目所指的是醫療器具、保健器具或類似物。生活用品所指的是傢俱、照明用品及類似物。藥物所指的是西藥、農用化學物品或類似物。電子裝置所指的是液晶顯示裝置、EL 顯示裝置、電視裝置（例如，電視接收器、平面螢幕電視接收器）、行動電話或類似物。

再者，依據本發明，藉由安裝在印刷電路板上、附接至表面或嵌入將小型化及/或更為複雜的處理器晶片固定至物件。例如，書的例子中，可藉由嵌入書的紙中之處理器晶片固定至書，且於以有機樹脂形成之封裝的例子，可藉由嵌入有機樹脂將處理器晶片固定至封裝，以使當固定至物品時，處理器晶片不會損壞物品的設計。再者，藉由包括本發明的處理器晶片於紙幣、硬幣、票卷、證件或類似物，可提供辨識功能，且利用辨識功能，可防止偽造。再者，藉由包括本發明的半導體裝置於包裝容器、記錄媒體、個人物品、飲食件、衣著、生活用品、電子裝置或類似物，可改善諸如檢驗系統或類似物之系統的效率。

接著，將參照圖式說明已安裝有依據本發明之具有電容器元件的半導體之電子裝置的模式。圖 15 所示的電子裝置係包括殼體 1300 及 1306、面板 1301、外殼 1302、

印刷電路板 1303、控制按鈕 1304、及電池 1305 之行動電話。面板 1301 可拆卸地結合於外殼 1302 中，且外殼 1302 裝配至印刷電路板 1303。外殼 1302 的形狀及尺寸適當地改變以符合結合有面板 1301 的電子裝置。數個封裝半導體裝置安裝在印刷電路板 1303 上。可使用本發明的電容器元件作為此些半導體裝置的一者。安裝在印刷電路板 1303 上之該數個半導體裝置作用如以下任一者：控制器、中央處理單元（CPU）、記憶體、電力供應電路、聲頻處理電路、收發器電路及類似物。

面板 1301 經由連接膜 1308 連接至印刷電路板 1303。面板 1301、外殼 1302、及印刷電路板 1303 與控制按鈕 1304 及電池 1305 容納於殼體 1300 及 1306 內。包括於面板 1301 之像素區 1309 配置成經由設於殼體 1300 的窗孔可見到。

如上述，應用本發明的電容器元件之半導體裝置係小、輕及薄，且因為具有這些特性，可有效地利用半導體裝置的殼體 1300 及 1306 內之有限空間。

注意到，1300 及 1306 被說明為行動電話外觀的形式的一實例，及關於此實施例之電子裝置可依賴其功能及用途而取用各種形式。

本申請書係基於在 2006 年 10 月 2 日向日本專利申請單位申請之日本專利申請案第 2006-270234 號，其整個內容因此併入參考。

【圖式簡單說明】

圖 1 為顯示本發明的實施例模式 1 之方塊圖。

圖 2 為使用於本發明的實施例模式 1 之升壓電路的電路圖。

圖 3 為顯示本發明的實施例模式 2 之方塊圖。

圖 4 為使用於本發明的實施例模式 2 之位準移動器的電路圖。

圖 5 為顯示本發明的實施例模式 3 之方塊圖。

圖 6 為顯示本發明的實施例模式 4 之方塊圖。

圖 7 為顯示本發明的實施例模式 5 之方塊圖。

圖 8 為顯示來自本發明的實施例 1 的模擬結果之曲線圖。

圖 9 為顯示來自本發明的實施例 1 的實驗結果之曲線圖。

圖 10A 至 10D 為顯示本發明的實施例 2 的電路的製造步驟之橫向剖面圖。

圖 11A 至 11D 為顯示本發明的實施例 2 的電路的製造步驟之橫向剖面圖。

圖 12A 及 12B 為顯示本發明的電路的製造步驟之橫向剖面圖。

圖 13 為顯示本發明的實施例 3 的半導體裝置之方塊圖。

圖 14A 至 14G 顯示來自本發明的實施例 4 之本發明的半導體裝置的應用。

圖 15 顯示來自本發明的實施例 4 之本發明的半導體裝置的應用。

圖 16 顯示習知半導體裝置之方塊圖。

【主要元件符號說明】

100：RFID（射頻識別晶片）

101：讀寫器

102：天線部

103：整流電路部

104：穩壓電路

105：時脈產生電路

106：邏輯電路

107：升壓電路

108：記憶體

201 至 210：二極體

211 至 220：電容機構

221：反用換流器

222：反用換流器

300：RFID

301：讀寫器

301：讀寫器

302：天線部

303：整流電路部

304：穩壓電路

305：時脈產生電路

306：位準移位器

- 307 : 邏輯電路
- 308 : 升壓電路
- 309 : 記憶體
- 400 : RFID
- 401 : 讀寫器
- 402 : 天線部
- 403 : 整流電路部
- 404 : 穩壓電路
- 405 : 邏輯電路
- 406 : 記憶體
- 500 : RFID
- 501 : 讀寫器
- 502 : 天線部
- 503 : 整流電路部
- 504 : 穩壓電路
- 505 : 時脈產生電路
- 506 : 邏輯電路
- 507 : 第一升壓電路
- 508 : 第二升壓電路
- 509 : 記憶體
- 600 : RFID
- 601 : 讀寫器
- 602 : 天線部
- 603 : 整流電路部

- 604 : 穩壓電路
- 605 : 時脈產生電路
- 606 : 位準移位器
- 607 : 邏輯電路
- 608 : 第一升壓電路
- 609 : 第二升壓電路
- 610 : 記憶體
- 700 : RFID
- 701 : 讀寫器
- 702 : 天線部
- 703 : 整流電路部
- 704 : 穩壓電路
- 705 : 時脈產生電路
- 706 : 邏輯電路
- 707 : 升壓電路
- 708 : 記憶體
- 801 : n-型電晶體
- 802 : n-型電晶體
- 803 : p-型電晶體
- 804 : p-型電晶體
- 805 : p-型電晶體
- 806 : p-型電晶體
- 1100 : RFID
- 1101 : 讀寫器

- 1102 : 天線部
- 1103 : 整流電路部
- 1104 : 穩壓電路
- 1105 : 時脈產生電路
- 1106 : 邏輯電路
- 1107 : 升壓電路
- 1108 : 記憶體
- 1109 : 二極體
- 1110 : 電池電容器
- 1200 : 處理器晶片
- 1201 : 處理器晶片
- 1202 : 處理器晶片
- 1203 : 處理器晶片
- 1204 : 處理器晶片
- 1205 : 處理器晶片
- 1206 : 處理器晶片
- 1301 : 面板
- 1302 : 外殼
- 1303 : 印刷電路板
- 1304 : 控制按鈕
- 1305 : 電池
- 1306 : 殼體
- 1308 : 連接膜
- 1309 : 像素區

- 2000 : 基板
- 2001 : 絕緣層
- 2002 : 絕緣層
- 2003 : 無定形半導體層
- 2004 : 晶狀半導體層
- 2009 : 閘極絕緣層
- 2010 : 導電層
- 2015a 至 2019a : 通道形成區
- 2015b 至 2019b : 雜質區
- 2020 : 絕緣層
- 2022 : 導電層
- 2033 : 絕緣層
- 2039 : 隔層
- 2044 : 有機化合物層
- 2045 : 導電層
- 2046 : 導電層
- 2047 : 絕緣層

五、中文發明摘要

發明之名稱：半導體裝置

本發明的目的提供一種半導體裝置，該半導體裝置使用小電路面積可獲得將資料寫至記憶體所需之高電位。於本發明，藉由使用不是穩壓電路 104 的習用輸出 VDD 而是整流電路部 103 的輸出 VDD0 作為升壓電路的輸入電壓，輸出 VDD0 係比 VDD 更高的電位，以小電路面積可獲得將資料寫至記憶體所需之高電位。

六、英文發明摘要

發明之名稱： SEMICONDUCTOR DEVICE

An object of the present invention is to provide a semiconductor device which can obtain the high potential necessary for writing data to a memory, using a small circuit area. In the present invention, by using as input voltage of a booster circuit not the conventionally used output VDD of a regulator circuit 104, but rather an output VDD0 of a rectifier circuit portion 103, which is a higher potential than the VDD, the high potential necessary for writing data to a memory can be obtained with a small circuit area.

十、申請專利範圍

1. 一種半導體裝置，包含：

天線部，其配置來接收來自外部的無線電波；

整流電路部，其配置來整流該天線部的輸出，且配置來輸出直流電壓，該整流電路部的該輸出被使用作為第一電力供應電位；

穩壓電路，其配置來接收該整流電路部的輸出，且配置來輸出特定電壓，該穩壓電路的該輸出被使用作為第二電力供應電位；及

升壓電路，其配置來接收該整流電路部的該輸出，且配置來升高該第一電力供應電位。

2. 如申請專利範圍第 1 項之半導體裝置，另包含：

該升壓電路包含：

第一升壓電路，其配置來升高該第一電力供應電位；

第二升壓電路，其配置來升高該第一電力供應電位的輸出；及

時脈產生電路，該第二電力供應電位輸入至該時脈產生電路，且該時脈產生電路配置來產生用於該第一升壓電路及該第二升壓電路的時脈。

3. 如申請專利範圍第 2 項之半導體裝置，另包含位準移位器，該第一電力供應電位及該時脈產生電路的輸出輸入至該位準移位器，以及該位準移位器配置來放大該時脈產生電路的該輸出且配置來輸出該時脈產生電路的放大輸

出作為該第一升壓電路及該第二升壓電路的時脈。

4.如申請專利範圍第 1 至 3 的任一項之半導體裝置，另包含充電元件，該第一電力供應電位輸入至該充電元件以及該充電元件儲存電荷。

5.如申請專利範圍第 1 至 3 的任一項之半導體裝置，另包含充電元件，該升壓電路的輸出輸入至該充電元件以及該充電元件儲存電荷。

6.如申請專利範圍第 2 或 3 項之半導體裝置，另包含充電元件，該第一升壓電路的該輸出或該第二升壓電路的該輸出輸入至該充電元件以及該充電元件儲存電荷。

7.如申請專利範圍第 4 項之半導體裝置，另包含切換元件，該切換元件位於該充電元件及該整流電路部之間。

8.如申請專利範圍第 5 項之半導體裝置，另包含切換元件，該切換元件位於該充電元件及該升壓電路之間。

9.如申請專利範圍第 6 項之半導體裝置，另包含切換元件，該切換元件位於該充電元件及該第一升壓電路或該第二升壓電路之間。

10.如申請專利範圍第 1 至 3 的任一項之半導體裝置，其中該充電元件係電容器。

11.如申請專利範圍第 1 至 3 的任一項之半導體裝置，其中該充電元件係次電池。

12.一種半導體裝置，包含：來自申請專利範圍第 1 至 3 的任一項的半導體裝置。

13.一種半導體裝置，包含：

天線部，其配置來接收來自外部的無線電波；

整流電路部，其配置來整流該天線部的輸出，且配置來輸出直流電壓，該整流電路部的該輸出被使用作為第一電力供應電位；

穩壓電路，其配置來接收該整流電路部的輸出，且配置來輸出特定電壓，該穩壓電路的該輸出被使用作為第二電力供應電位；

升壓電路，其配置來接收該整流電路部的該輸出，且配置來升高該第一電力供應電位；及

記憶體，

其中該升壓電路的輸出輸入至該記憶體作為資料寫入電位，及

其中該第二電力供應電位輸入至該記憶體作為資料讀取電位。

14.如申請專利範圍第 13 項之半導體裝置，另包含：

該升壓電路包含：

第一升壓電路，其配置來升高該第一電力供應電位；

第二升壓電路，其配置來升高該第一電力供應電位的輸出；及

時脈產生電路，該第二電力供應電位輸入至該時脈產生電路，且該時脈產生電路配置來產生用於該第一升壓電路及該第二升壓電路的時脈。

15.如申請專利範圍第 14 項之半導體裝置，另包含位

準移位器，該第一電力供應電位及該時脈產生電路的輸出輸入至該位準移位器，以及該位準移位器配置來放大該時脈產生電路的該輸出且配置來輸出該時脈產生電路的放大輸出作為該第一升壓電路及該第二升壓電路的時脈。

16.如申請專利範圍第 13 至 15 的任一項之半導體裝置，另包含充電元件，該第一電力供應電位輸入至該充電元件以及該充電元件儲存電荷。

17.如申請專利範圍第 13 至 15 的任一項之半導體裝置，另包含充電元件，該升壓電路的輸出輸入至該充電元件以及該充電元件儲存電荷。

18.如申請專利範圍第 14 或 15 項之半導體裝置，另包含充電元件，該第一升壓電路的該輸出或該第二升壓電路的該輸出輸入至該充電元件以及該充電元件儲存電荷。

19.如申請專利範圍第 16 項之半導體裝置，另包含切換元件，該切換元件位於該充電元件及該整流電路部之間。

20.如申請專利範圍第 17 項之半導體裝置，另包含切換元件，該切換元件位於該充電元件及該升壓電路之間。

21.如申請專利範圍第 18 項之半導體裝置，另包含切換元件，該切換元件位於該充電元件及該第一升壓電路或該第二升壓電路之間。

22.如申請專利範圍第 13 至 15 的任一項之半導體裝置，其中該充電元件係電容器。

23.如申請專利範圍第 13 至 15 的任一項之半導體裝

置，其中該充電元件係次電池。

24.一種半導體裝置，包含：來自申請專利範圍第 13 至 15 的任一項的半導體裝置。

25.一種半導體裝置，包含：

天線部，其配置來接收來自外部的無線電波；

整流電路部，其配置來整流該天線部的輸出，且配置來輸出直流電壓，該整流電路部的該輸出被使用作為第一電力供應電位；

穩壓電路，其配置來接收該整流電路部的輸出，且配置來輸出特定電壓，該穩壓電路的該輸出被使用作為第二電力供應電位；

升壓電路，其配置來接收該整流電路部的該輸出，且配置來升高該第一電力供應電位；

記憶體；及

時脈產生電路，該第二電力供應電位輸入至該時脈產生電路以及該時脈產生電路配置來產生該升壓電路的時脈

其中該升壓電路的輸出輸入至該記憶體作為資料寫入電位，及

其中該第二電力供應電位輸入至該記憶體作為資料讀取電位。

26.如申請專利範圍第 25 項之半導體裝置，另包含：

該升壓電路包含：

第一升壓電路，其配置來升高該第一電力供應電

位；及

第二升壓電路，其配置來升高該第一電力供應電位的輸出；及

時脈產生電路，該第二電力供應電位輸入至該時脈產生電路，且該時脈產生電路配置來產生用於該第一升壓電路及該第二升壓電路的時脈。

27.如申請專利範圍第 26 項之半導體裝置，另包含位準移位器，該第一電力供應電位及該時脈產生電路的輸出輸入至該位準移位器，以及該位準移位器配置來放大該時脈產生電路的該輸出且配置來輸出該時脈產生電路的放大輸出作為該第一升壓電路及該第二升壓電路的時脈。

28.如申請專利範圍第 25 至 27 的任一項之半導體裝置，另包含充電元件，該第一電力供應電位輸入至該充電元件以及該充電元件儲存電荷。

29.如申請專利範圍第 25 至 27 的任一項之半導體裝置，另包含充電元件，該升壓電路的輸出輸入至該充電元件以及該充電元件儲存電荷。

30.如申請專利範圍第 26 或 27 項之半導體裝置，另包含充電元件，該第一升壓電路的該輸出或該第二升壓電路的該輸出輸入至該充電元件以及該充電元件儲存電荷。

31.如申請專利範圍第 28 項之半導體裝置，另包含切換元件，該切換元件位於該充電元件及該整流電路部之間。

32.如申請專利範圍第 29 項之半導體裝置，另包含切

換元件，該切換元件位於該充電元件及該升壓電路之間。

33.如申請專利範圍第 30 項之半導體裝置，另包含切換元件，該切換元件位於該充電元件及該第一升壓電路或該第二升壓電路之間。

34.如申請專利範圍第 25 至 27 的任一項之半導體裝置，其中該充電元件係電容器。

35.如申請專利範圍第 25 至 27 的任一項之半導體裝置，其中該充電元件係次電池。

36.一種半導體裝置，包含：來自申請專利範圍第 25 至 27 的任一項的半導體裝置。

37.一種半導體裝置，包含：

天線部，其配置來接收來自外部的無線電波；

整流電路部，其配置來整流該天線部的輸出，且配置來輸出直流電壓，該整流電路部的該輸出被使用作為第一電力供應電位；

穩壓電路，其配置來接收該整流電路部的輸出，且配置來輸出特定電壓；及

記憶體，其配置來接收該整流電路部的該輸出。

38.如申請專利範圍第 37 項之半導體裝置，另包含：邏輯電路，其配置來接收該穩壓電路部的該輸出。

39.一種電子裝置，包含來自申請專利範圍第 37 或 38 項之半導體裝置。

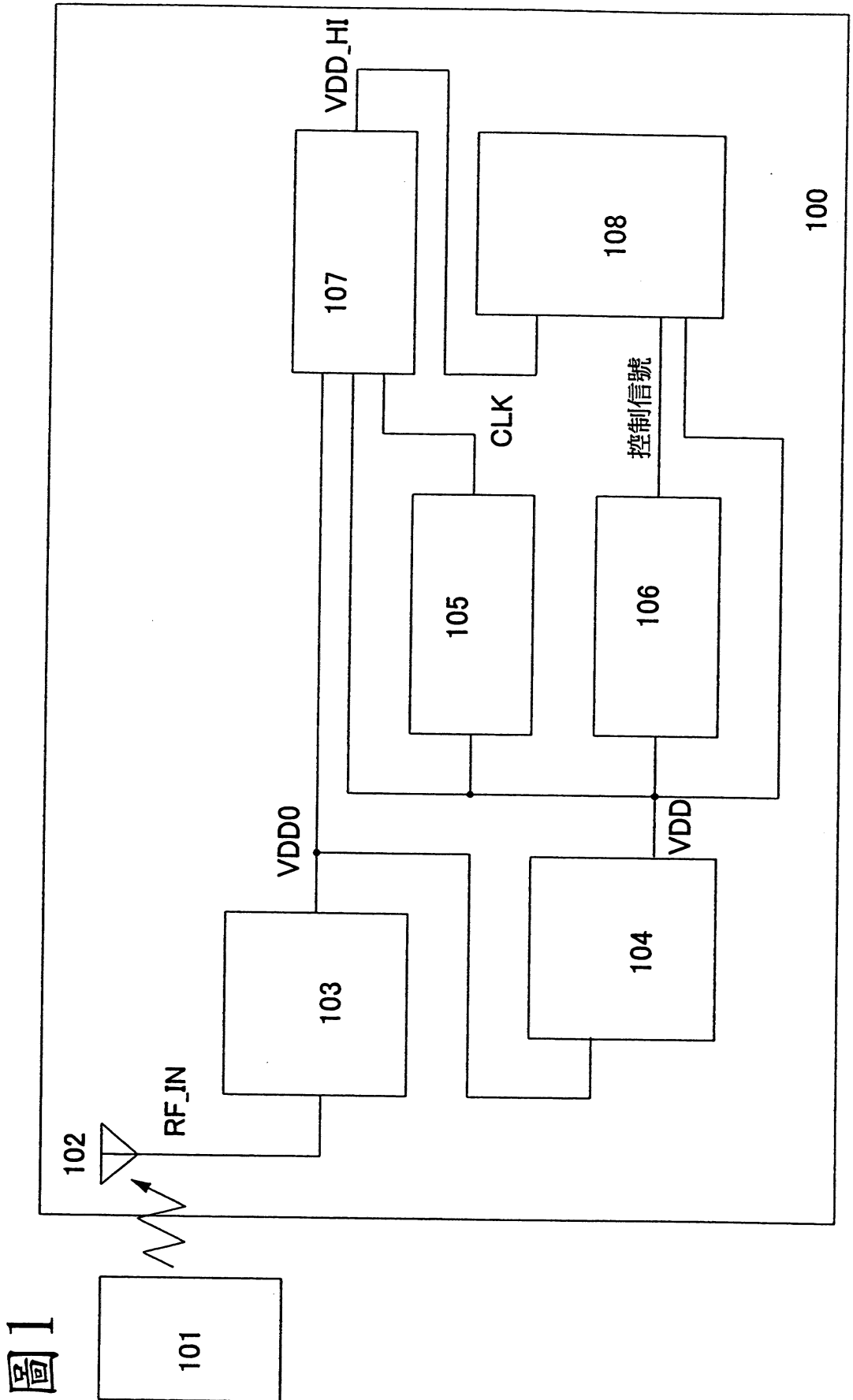


圖1

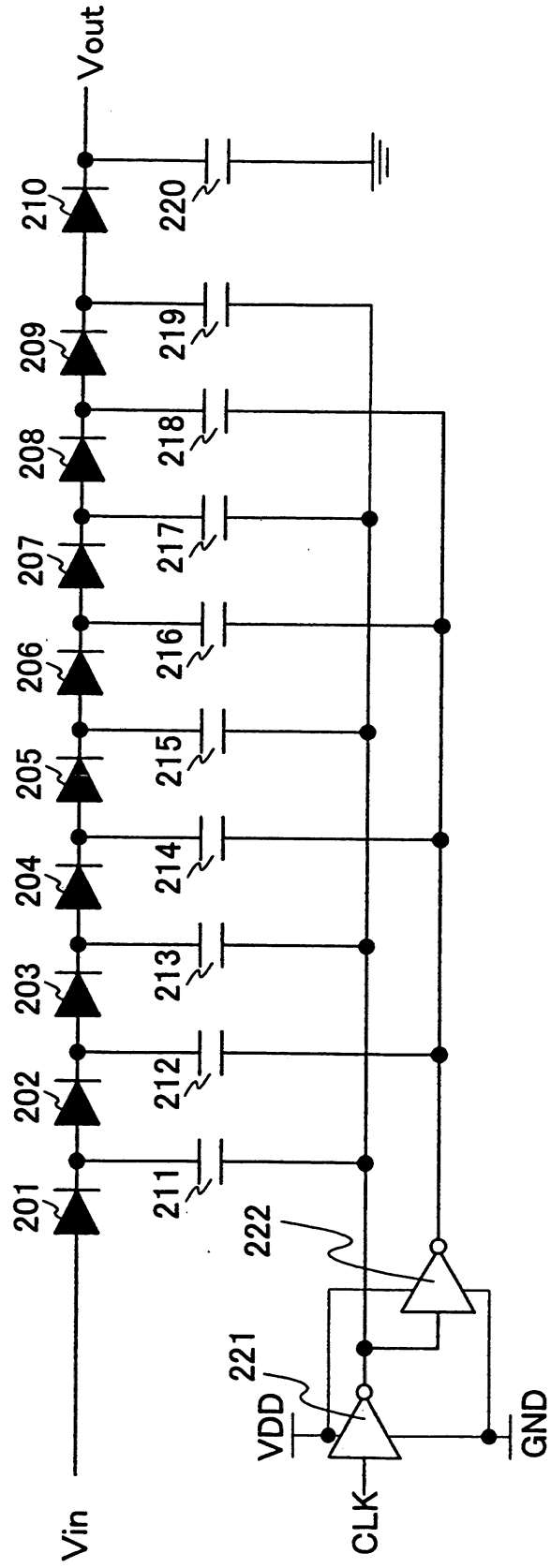


圖2

圖 3

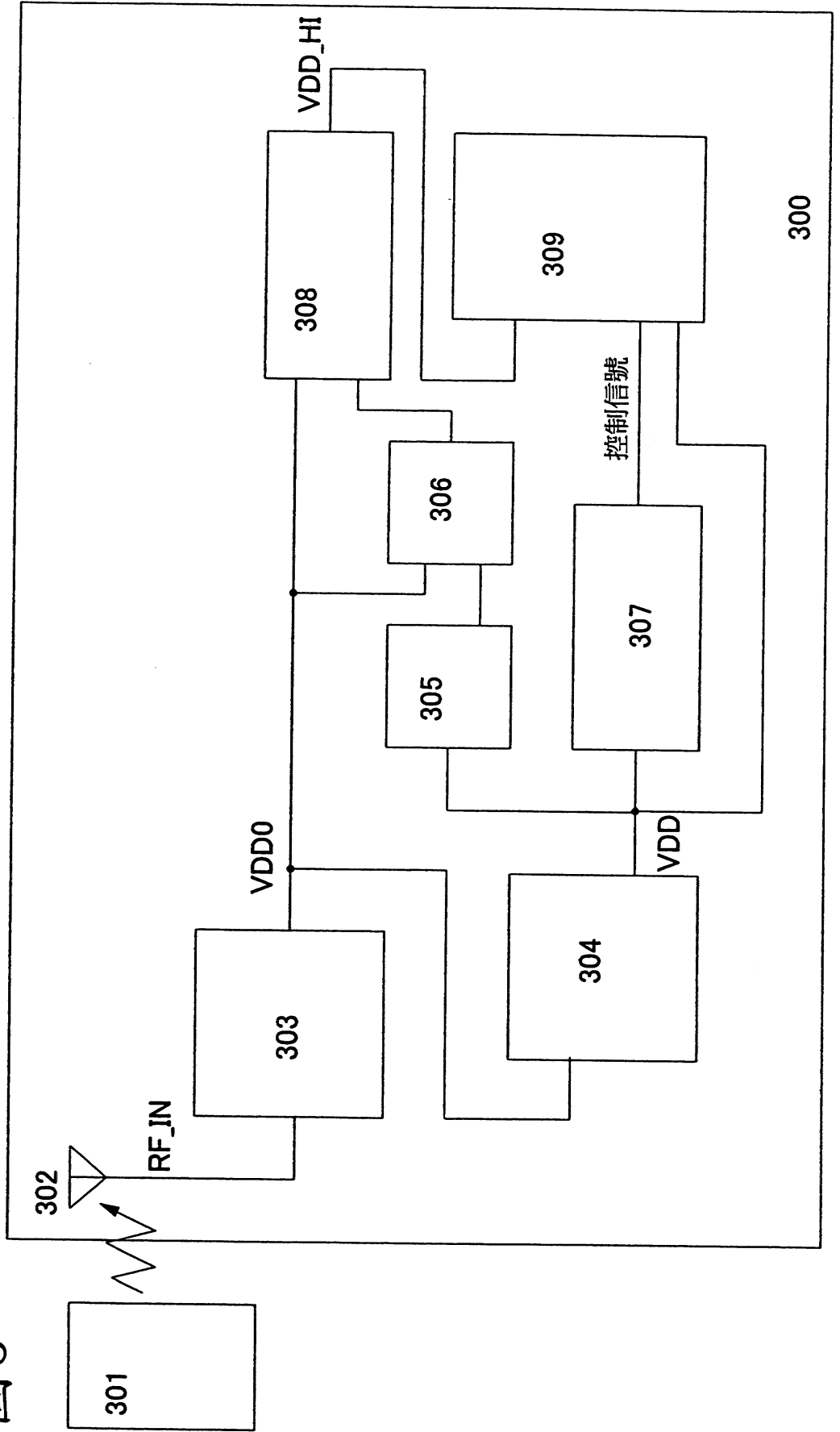


圖4

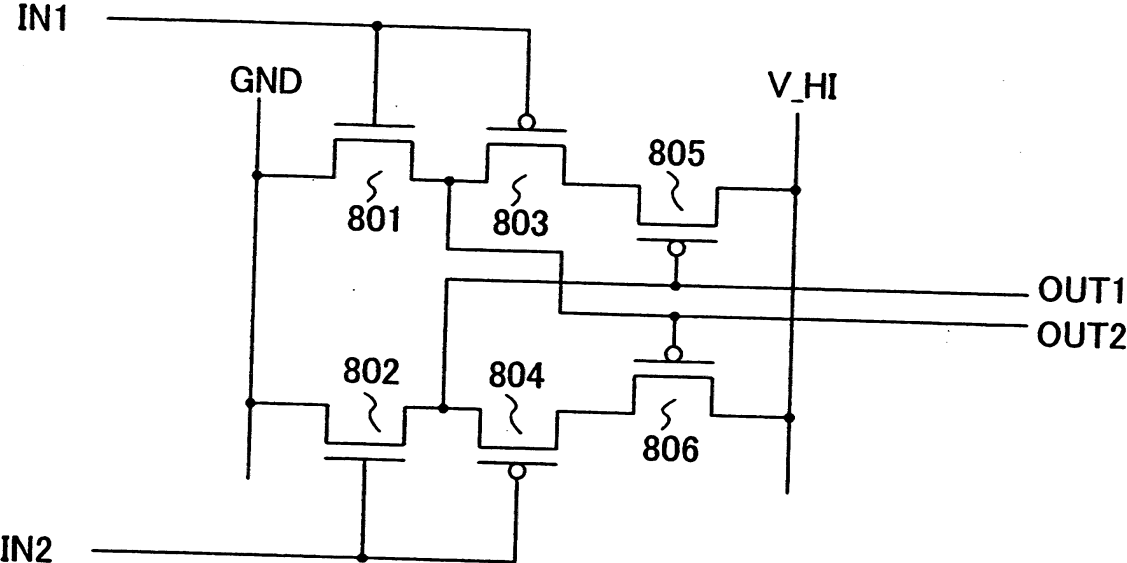


圖5

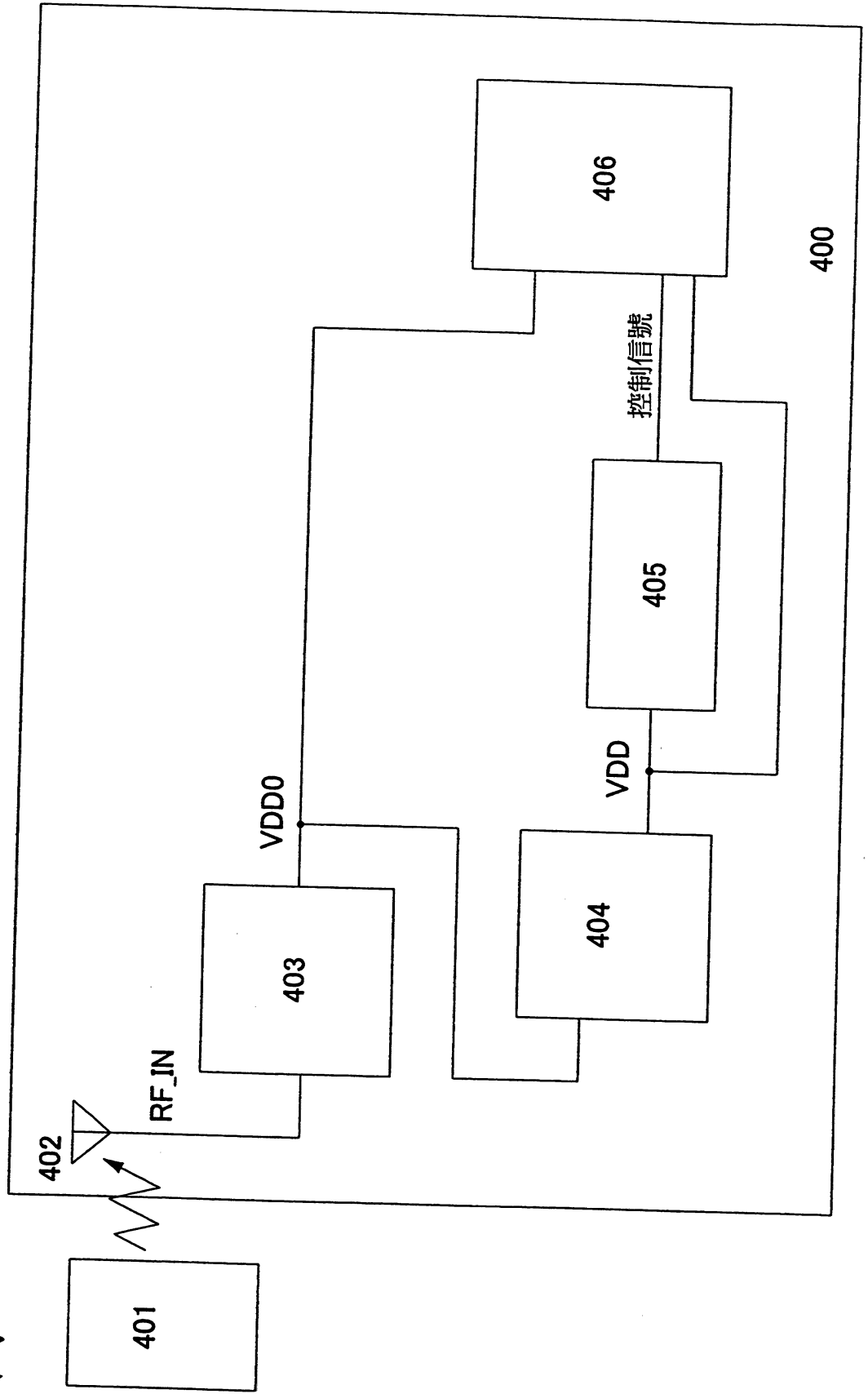


圖6

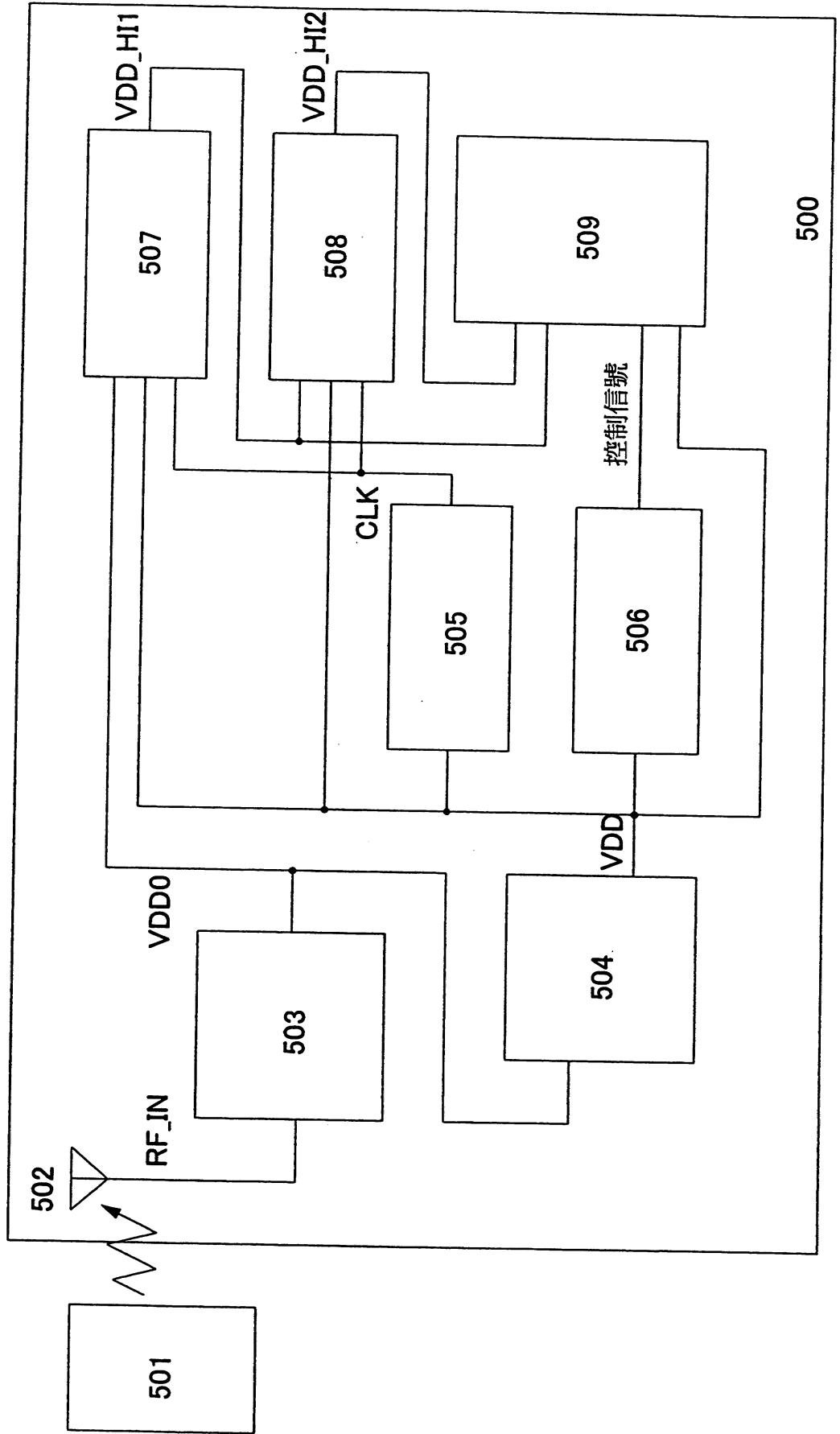


圖7

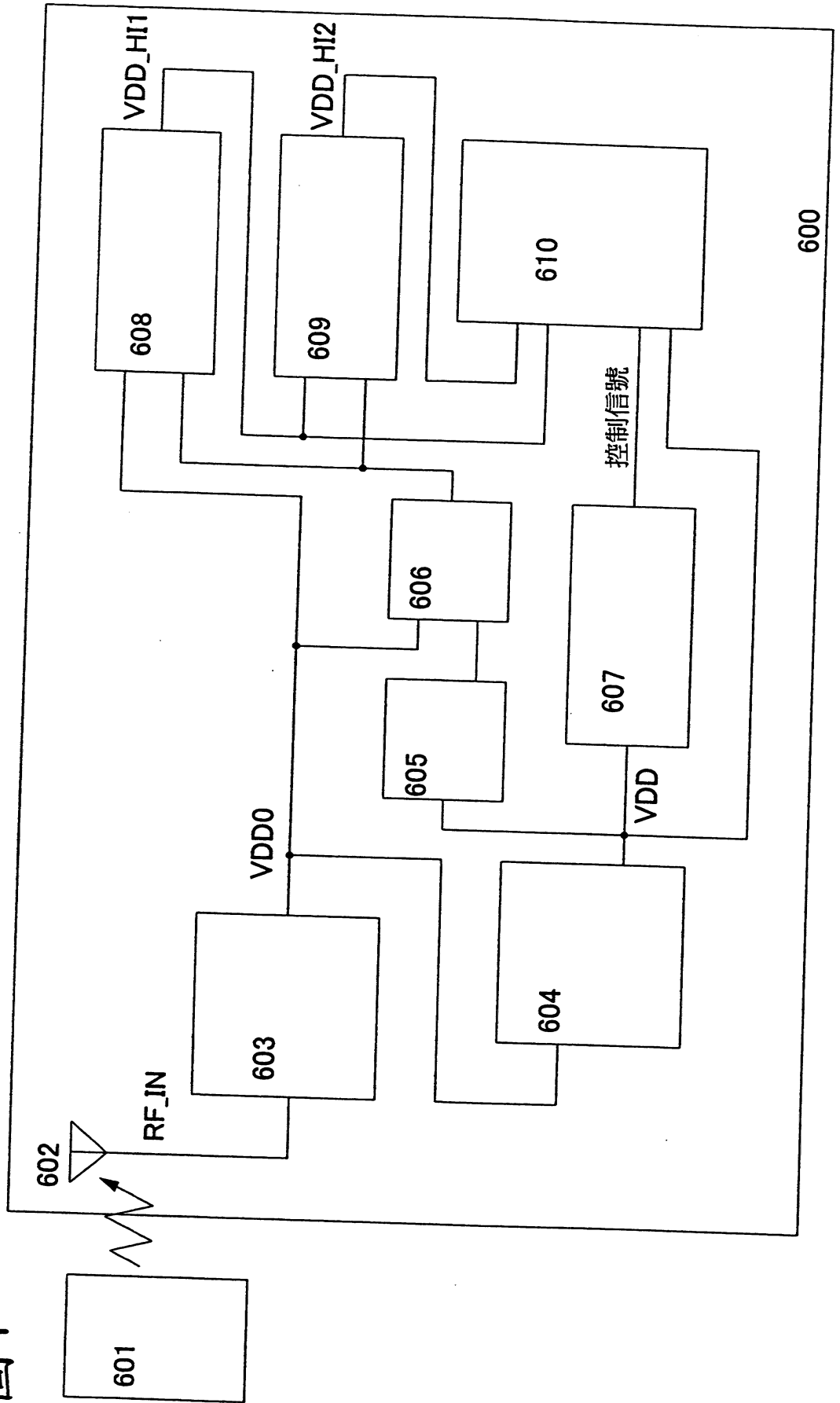


圖 8

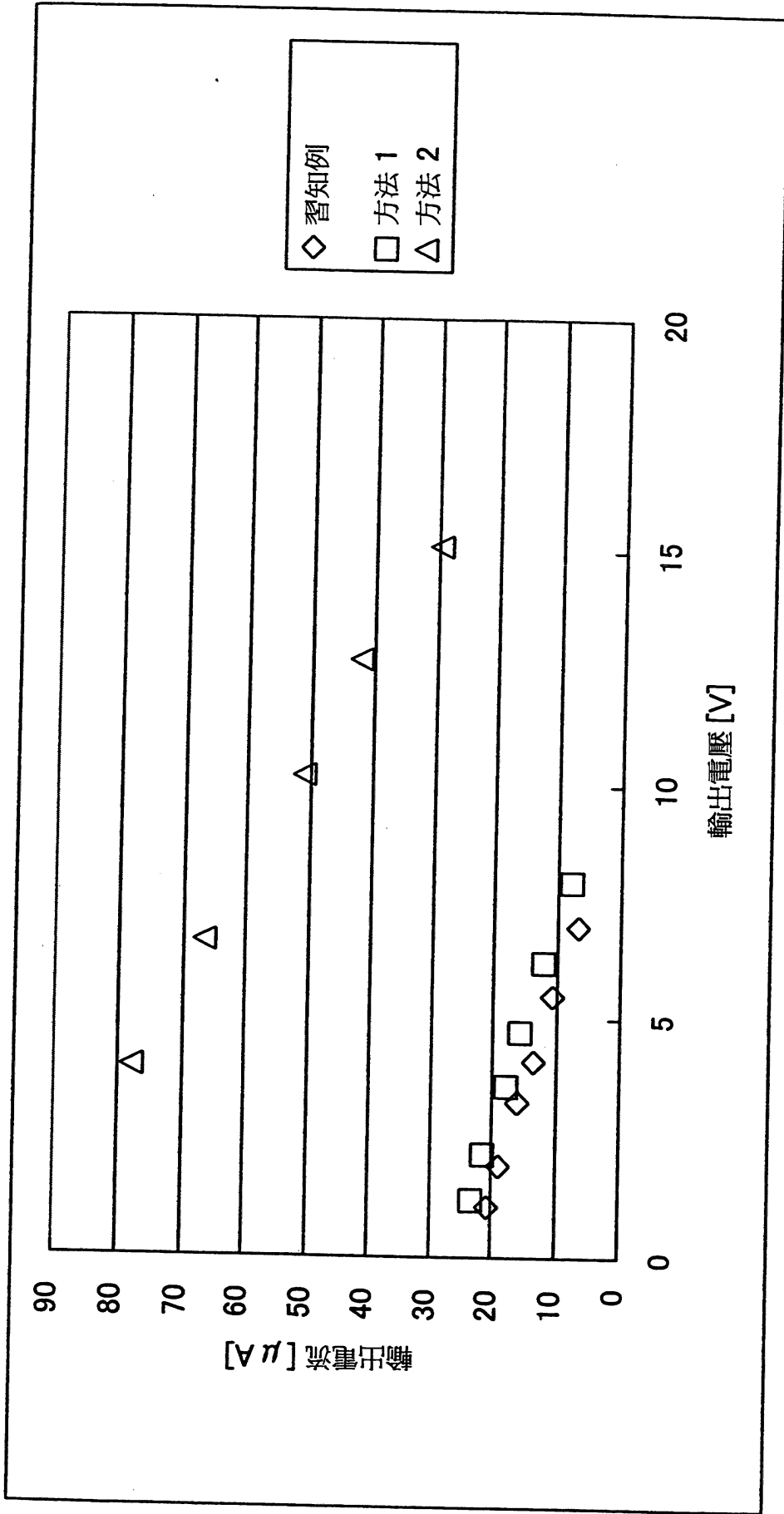


圖9

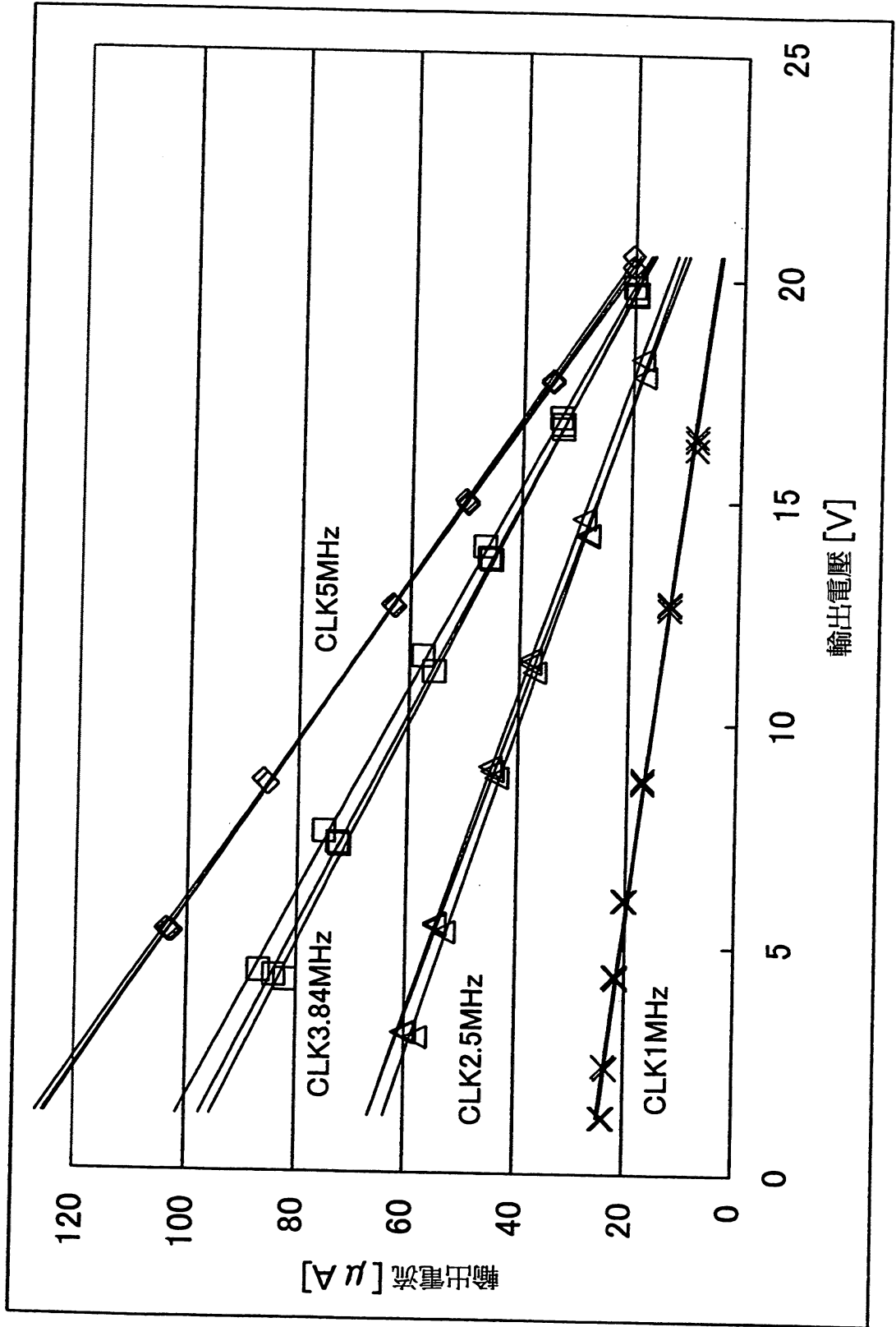


圖 10A

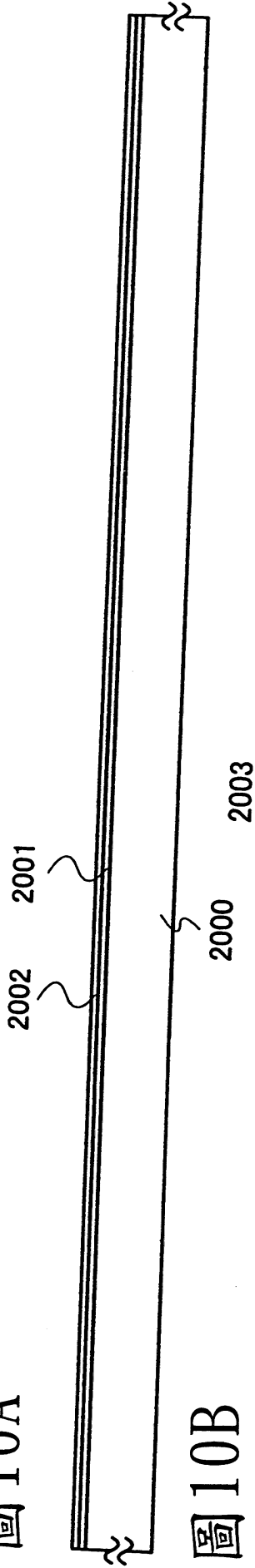


圖 10B

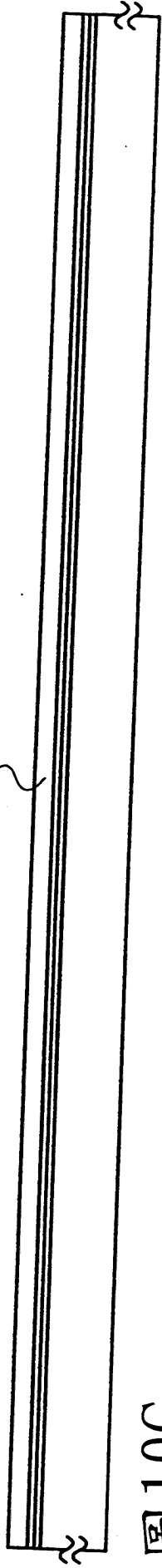


圖 10C

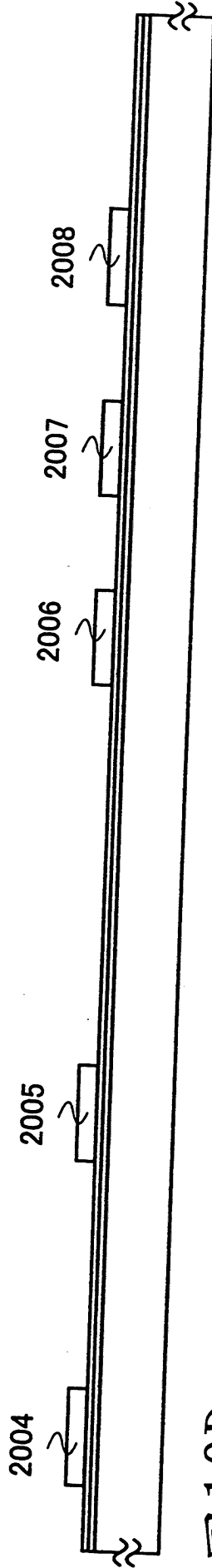
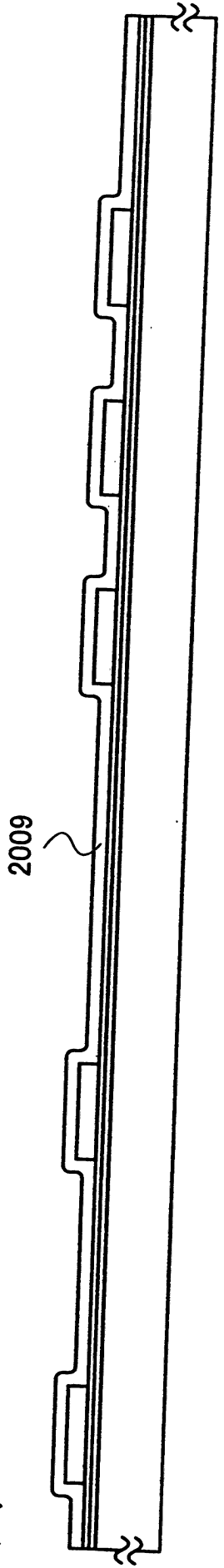


圖 10D



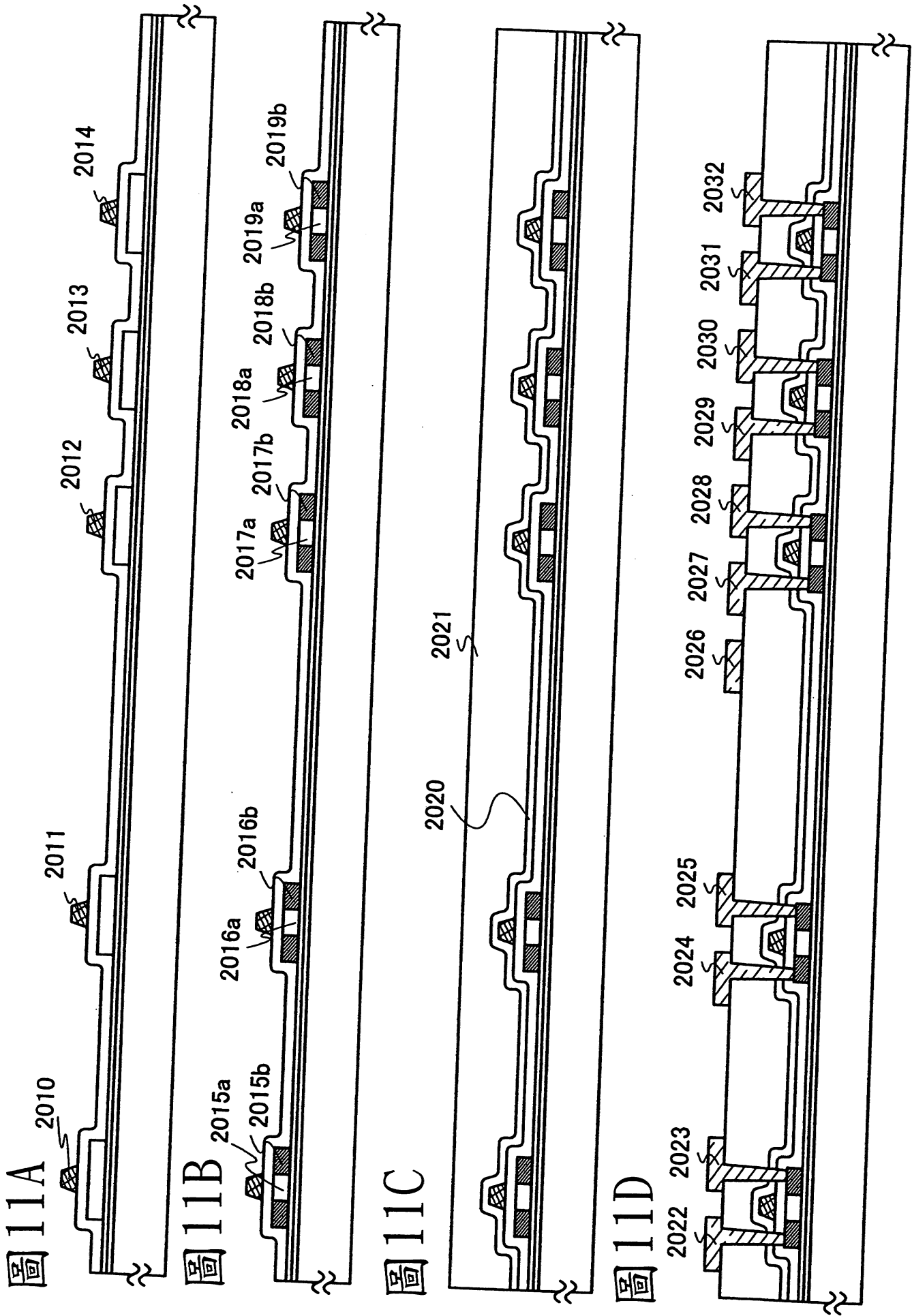


圖12A

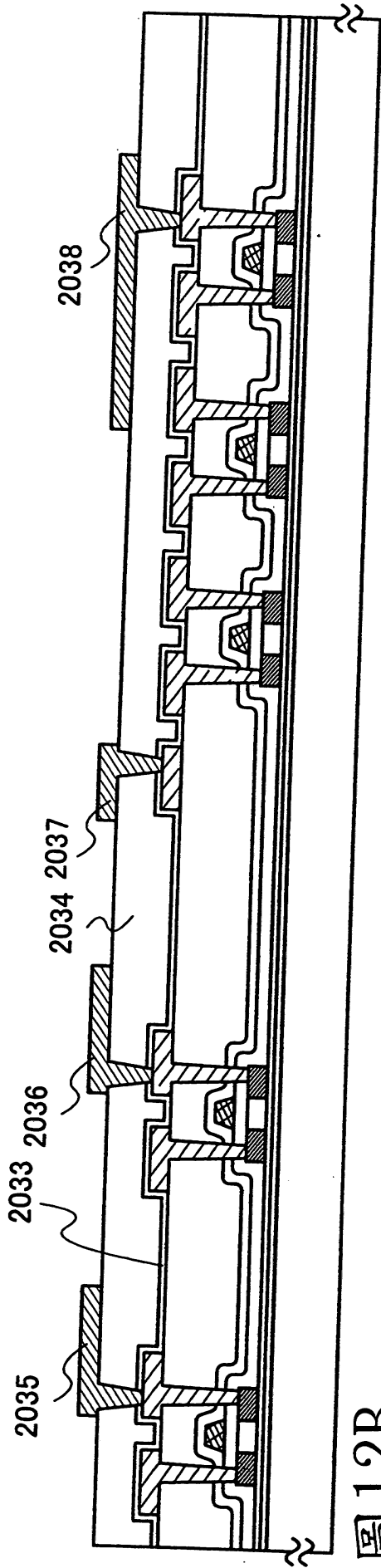


圖12B

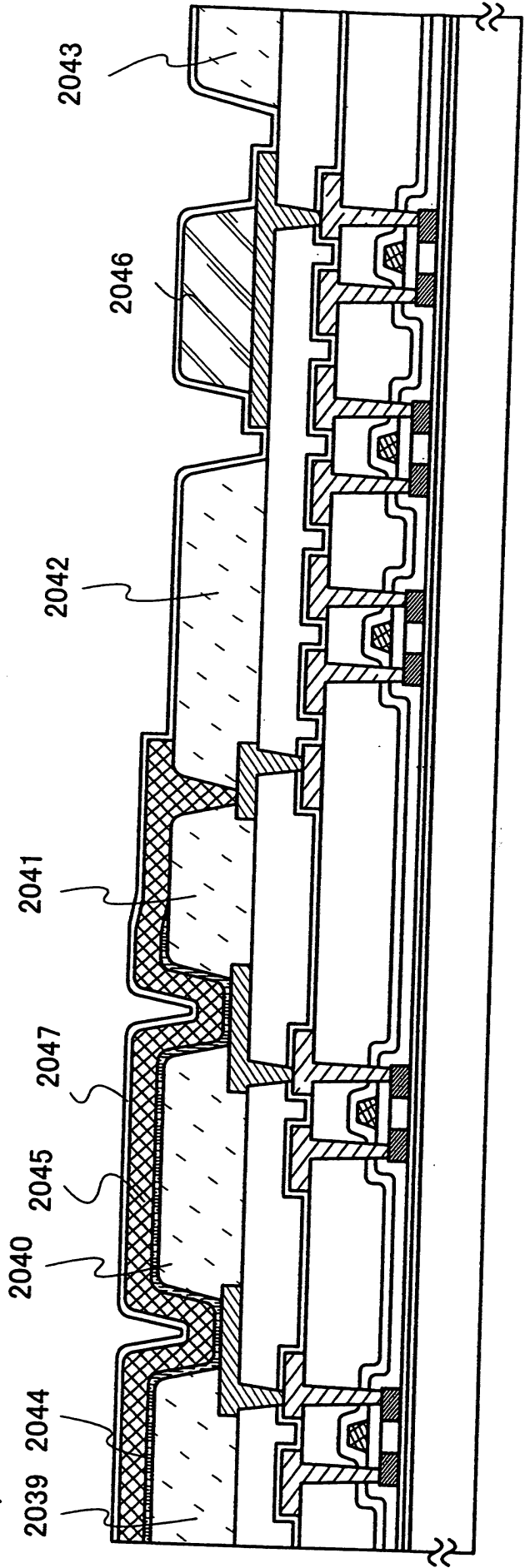


圖13

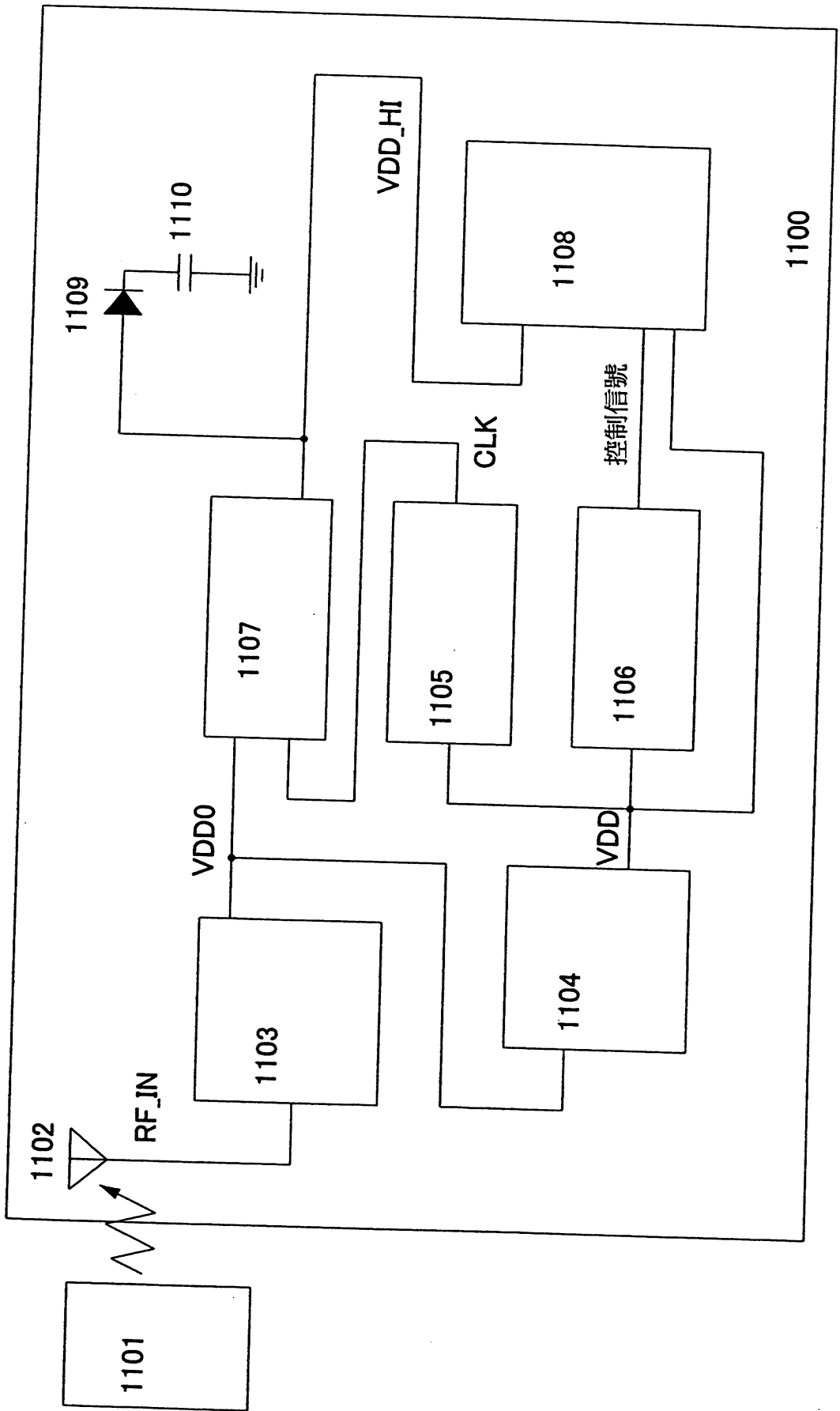


圖 14A

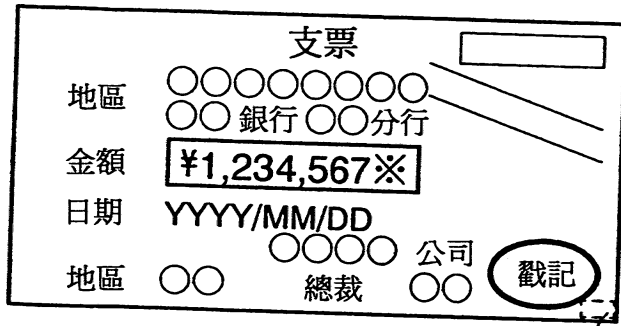


圖 14B

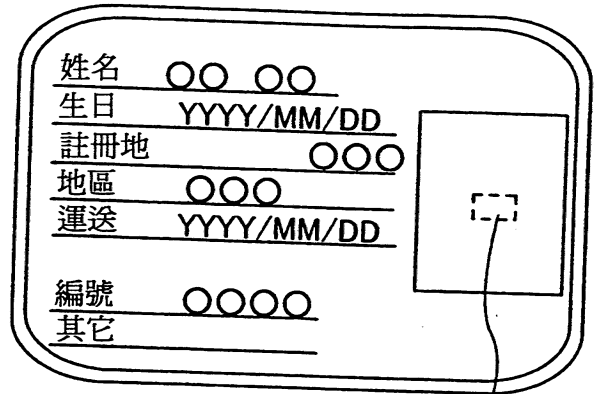


圖 14C

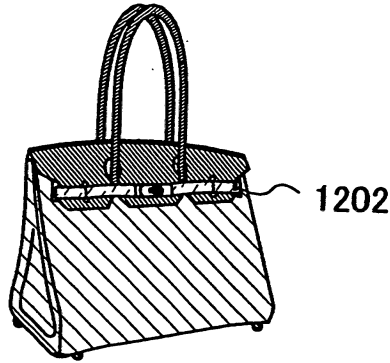


圖 14D

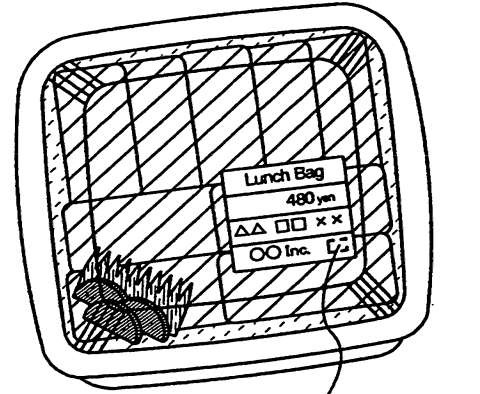


圖 14E

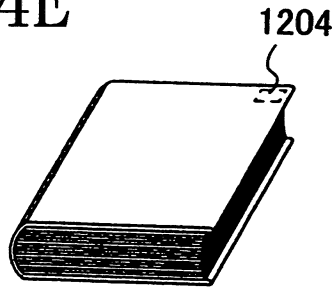


圖 14F

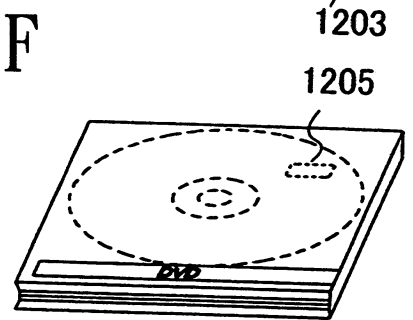


圖 14G

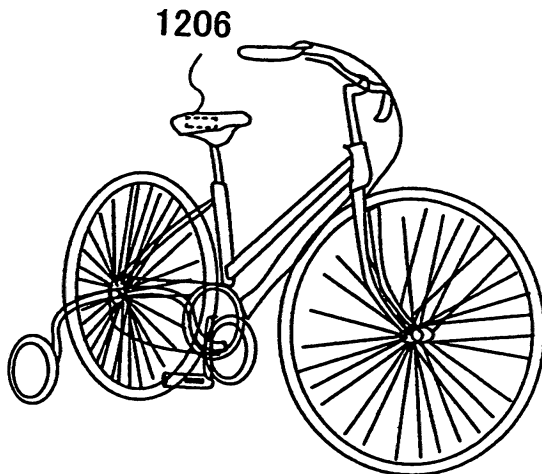
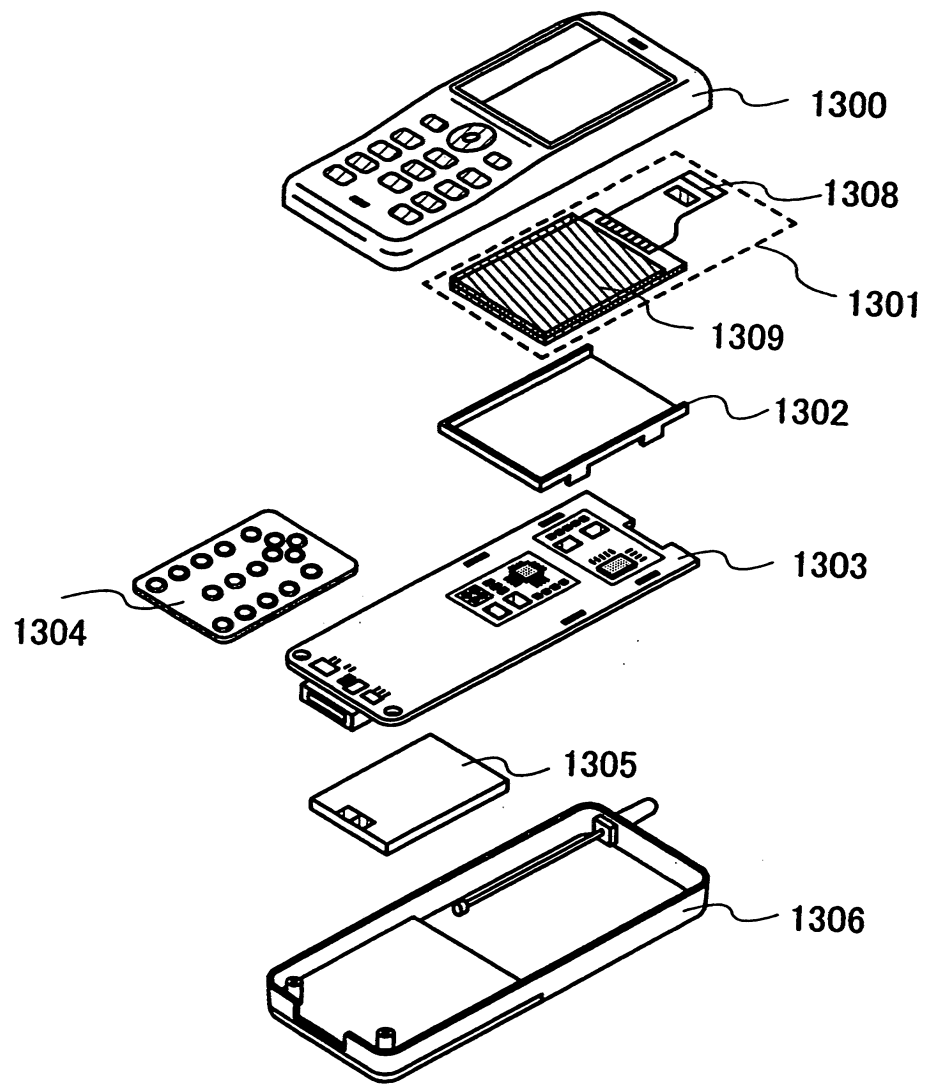
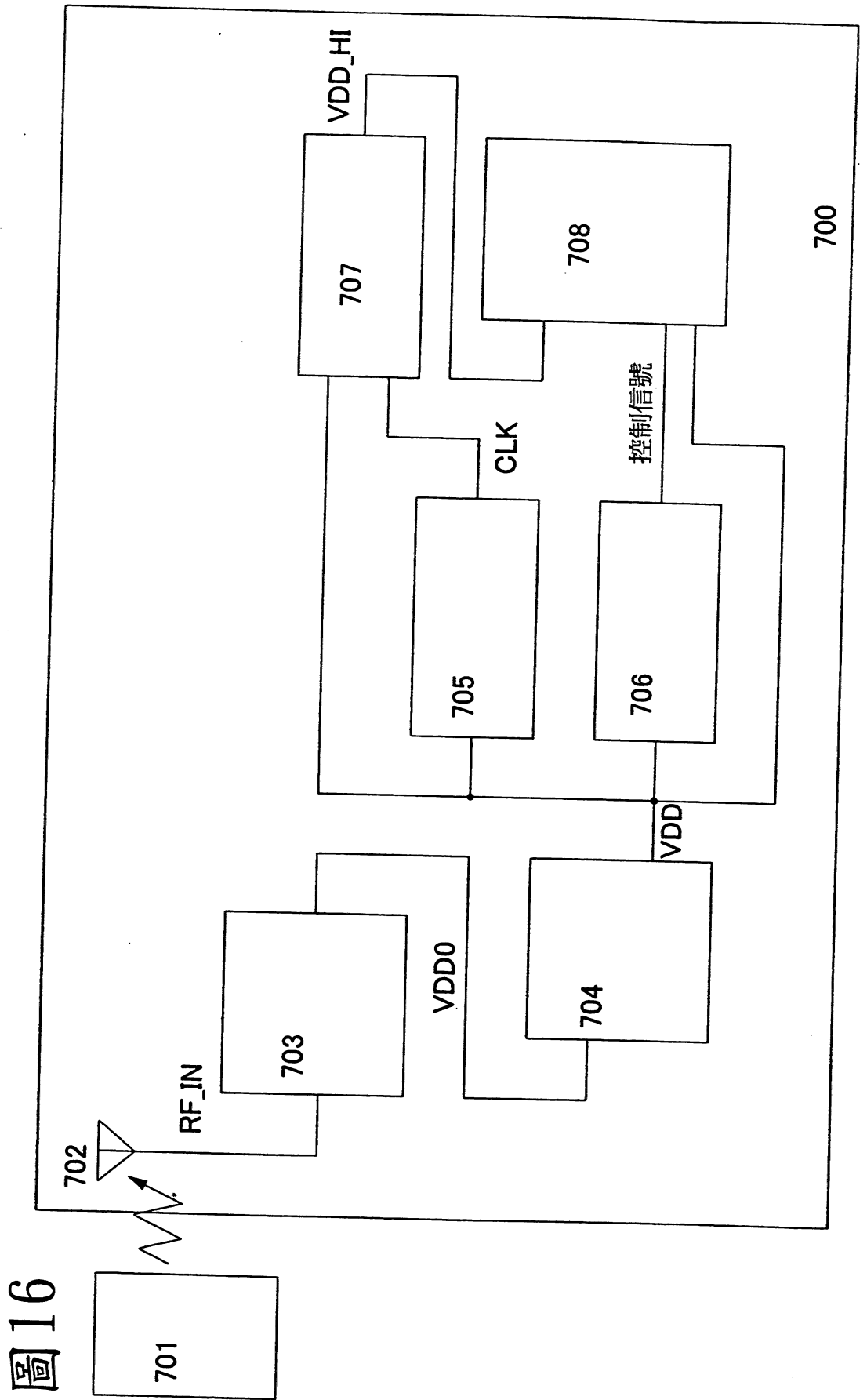


圖 15





七、指定代表圖：

(一) 本案指定代表圖為：第(1)圖

(二) 本代表圖之元件符號簡單說明：

100：RFID

101：讀寫器

102：天線部

103：整流電路部

104：穩壓電路

105：時脈產生電路

106：邏輯電路

107：升壓電路

108：記憶體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無