



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95129349

※ 申請日期：95 年 8 月 10 日

※IPC 分類：G11C 11/405(2006.01)

一、發明名稱：(中文/英文)

具側邊及頂部閘控讀取電晶體之雙埠增益胞

DUAL PORT GAIN CELL WITH SIDE AND TOP GATED
READ TRANSISTOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

琳奈 D 安德森 / Lynne D. Anderson

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國 / US

三、發明人：(共 5 人)

姓名 (中文/英文)

1. 傑克 A. 曼得門 / MANDELMAN, JACK A.

2. 肯格歐 鄭 / CHENG, KANGGUO

3. 瑞瑪奇恩 戴瓦卡尼 / DIVAKARUNI, RAMACHANDRA

4. 卡爾 J. 瑞登斯 / RADENS, CARL J.

5. 王耿 / WANG, GENG

國 籍：(中文/英文)

1.、3.、4.均為美國 / US；2.、5.均為中國大陸 / CN

四、 聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 US、西元 2005 年 8 月 24 日、11/161,962

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一 DRAM 記憶體胞及以絕緣體上矽 (SOI) CMOS 技術所製造的一密集(20 或 18 平方)佈局之製程步驟。更明確地，本發明提供一密集、高效能 DRAM 胞替代物，其與既存的 SOI CMOS 技術相容。各種增益胞佈局係先前技術所習知的。本發明藉提供以 SOI CMOS 所製造的一密集佈局而改善目前的技術。廣泛地說，本發明提供一記憶體胞，其包含：一第一電晶體，分別具有一閘極、一源極及一汲極；一第二電晶體，分別具有一第一閘極、一第二閘極、一源極及一汲極；以及一電容，具有一第一端，其中此電容之第一端及此第二電晶體之第二閘極包含一單一實體(entity)。

六、英文發明摘要：

A DRAM memory cell and process sequence for fabricating a dense (20 or 18 square) layout is fabricated with silicon-on-insulator (SOI) CMOS technology. Specifically, the present invention provides a dense, high-performance DRAM cell replacement that is compatible with existing SOI CMOS technologies. Various gain cell layouts are known in the art. The present invention improves on the state of the art by providing a dense layout that is fabricated with SOI CMOS. In general terms, the memory cell includes a first transistor provided with a gate, a second gate, a source, and a drain respectively; and a capacitor having a first terminal, wherein the first terminal of said capacitor and the second gate of said second transistor comprise a single entity.

七、指定代表圖：

(一)本案指定代表圖為：圖 19。

(二)本代表圖之元件符號簡單說明：

- 10 基板層
- 12 埋式絕緣層
- 14 SOI 層
- 22 儲存溝渠
- 24 第一介電質
- 26 節點導體
- 30 隔離區域
- 34 導電帶
- 50 源極/汲極區域
- 52 內層介電質
- 53 接觸
- 54 無邊緣的位元線接觸
- 56 位元線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明關於一半導體記憶體胞及其形成方法。更特別是，本發明關於一密集、高效能的動態隨機存取記憶體(DRAM)，其與既存的互補式金屬氧化半導體(CMOS)技術相容。

【先前技術】

微處理器近來在效能上的進展已超越 DRAM 的效能。因為這速度上的差異，為了符合現在應用上記憶體的頻寬需求，於微處理器晶片中提供越來越大量的快取記憶體變得越來越重要。因為靜態隨機存取記憶體(SRAM)製程整合的相對簡單，靜態隨機存取記憶體以往被用來當作處理器晶片的快取記憶體。然而，因為需要大量的晶片上(on-chip)記憶體，SRAM 胞的大小使其變得較不受注目。因為 SRAM 記憶體佔據越來越大比例的晶片面積，它變成每一晶片之晶片大小、收益及成本主要的決定因素。因為動態隨機存取記憶體(DRAM)的高密度及低成本，因此對於使用 DRAM 於晶片上快取記憶體感興趣的人越來越多。然而，DRAM 與 CMOS 邏輯之整合牽涉增加製程複雜度，原因在於高性能低臨界電壓(V_t)邏輯元件以及低漏電 DRAM 陣列元件的競爭需求。此外，DRAM 胞需要標準 CMOS 邏輯製程所沒有提供的大儲存電容。此外，於 CMOS 邏輯製程中提供這些大 DRAM 儲存電容在某些應

用中是受限制的。隨著最小特性大小由一代一代的減小，得到 DRAM 胞之高儲存電容變得越來越難且越來越貴。

有鑑於此，於半導體工業中，需要提供針對高效能邏輯整合之 SRAM 快取之一密集、具成本效益的取代。

【發明內容】

本發明提供一 DRAM 記憶體胞及以絕緣體上半導體(SOI)CMOS 技術所製造的一密集(20 或 18 平方)佈局之製程步驟。特別是，本發明提供一密集、高效能 DRAM 胞替代，其與既存的 SOI CMOS 技術相容。各種增益佈局係先前技術所習知的。本發明藉提供以 SOI CMOS 所製造的密集佈局而改善現今技術。

廣泛地說，本發明提供一記憶體胞，其包含：一第一電晶體，分別具有一閘極、一源極及一汲極；一第二電晶體，分別具有一第一閘極、一第二閘極、一源極及一汲極；以及一電容，具有一第一端，其中此電容之第一端及此第二電晶體之第二閘極包含一單一實體(entity)。

於本發明的第一實施例，提供一密集(20 平方)單埠記憶體胞佈局。於本發明的第二實施例，提供一密集(18 平方)雙埠記憶體胞佈局。

至於所有增益胞，關於習知的 DRAM 胞，儲存電容之需求大大地趨緩。於本發明的第一實施例，提供一單埠記憶體胞，其中讀取(read)金屬氧化半導體場效電晶體(MOSFET)係雙閘式，其具有字元線閘於一頂表面以及一側閘為儲存電容之節點。儲存電容旁之側閘調節讀取 MOSFET 之臨界電壓(V_t)。

當儲存 1，讀取記憶體之 V_t 為低。當儲存 0，讀取記憶體之 V_t 為高。當讀取字元線(RWL)升高時，藉讀取 MOSFET 之電阻，可區別 1 與 0。因此，因為胞與位元線間的電荷移轉是不需要的，低電壓感測為可行。第一實施例之發明胞使用三條位址線、一寫入字元線(WWL)、一讀取字元線(RWL)，以及一位元線(BL)。第一實施例之發明結構允許位元線分享給讀取及寫入操作。這表示超越先前技術之增益胞，其需要四條位址線：WWL、RWL、寫入位元線(WBL)，以及一讀取位元線(RBL)。

更明確地，且更廣泛地，本發明第一實施例之記憶體胞包含：一第一電晶體，具有一閘極、一源極、一汲極，分別耦合至一記憶體陣列之一寫入字元線、一第一節點、以及上述記憶體陣列之一位元線；一第二電晶體，具有一第一閘極、一第二閘極、一源極、一汲極，分別耦合至一讀取字元線、上述第一節點、一電壓源，以及上述之位元線；一電容，具有連接至上述第一節點之一第一端以及連

接至電壓源之一第二端，其中上述電容之第一端與上述第二電晶體之第二閘極包含一單一實體。

於本發明之第二實施例，提供一胞佈局，其中讀取 MOSFET 亦為雙閘式的，其具有一讀取字元線閘於頂表面以及一側閘，此側閘係儲存電容之真實節點導體並直接耦合至讀取 MOSFET。此實施例中，儲存電容旁的側閘亦調節讀取 MOSFET 之臨界電壓(V_t)。

當儲存“1”，讀取記憶體之 V_t 為低。當儲存“0”，讀取記憶體之 V_t 為高。當讀取字元線(RWL)升高時，藉讀取 MOSFET 之電阻，可區別“1”與“0”。因此，因為胞與位元線間的電荷移轉是不需要的，低電壓感測為可行。第二實施例中，發明胞係雙埠設計，允許資料由一胞同時寫入及讀取。很明顯地，第二實施例之發明胞與上述僅使用一單一埠之增益胞的第一實施例有所區別。

更明確地，且更廣泛地，本發明第二實施例之記憶體胞包含：一第一電晶體，具有一閘極、一源極、一汲極，其分別耦合至一記憶體陣列之一寫入字元線、一第一節點、以及上述記憶體陣列之一字元線；一第二電晶體，具有一第一閘極、一第二閘極、一源極、一汲極，其分別耦合至一讀取字元線、上述第一節點、一電壓源，以及讀取位元線；以及一電容，具有連接至上述第一節點之一第一

端以及連接至一電壓源之一第二端，其中此電容之第一端以及此第二電晶體之第二閘極包含一單一實體。

根據本發明及任一上述的實施例，第二電晶體包含一第一表面與一第二表面，其中第二電晶體之第一表面係水平方向的，而第二電晶體之第二表面係垂直方向的。此外，根據本發明，第一表面包含一近端，其與第二表面之一近端相鄰，且第一表面之一遠端與第二表面之一遠端相鄰。本發明之記憶體胞之第二電晶體更包含一源極位於近端或遠端之其中之一，以及一汲極位於近端或遠端之其中另一。

更進一步根據本發明，第二電晶體之第一閘極係位於第一表面上，且第二電晶體之第二閘極係位於第二表面上。需要注意的是於本發明之記憶體胞中，單一實體為一儲存節點電容之一電容電極，其位於一 SOI 基板內。

本發明亦針對一雙閘電晶體，供作為一 DRAM 胞之一讀取元件，其包含：一讀取字元線閘，位於一儲存電容之一表面頂部，此儲存電容位於一絕緣層上半導體基板內；以及一側閘，位於絕緣層上半導體基板內，此側極包含儲存電容之一節點導體。

本發明亦關於製造第一及第二實施例之每一上述半

導體結構的方法，與製造雙閘讀取字元線電晶體之方法。

廣泛地說，本發明之方法包含：提供一絕緣層上半導體基板，其包含至少一介層接觸(via contact)延伸穿越一SOI層以及絕緣層上半導體基板之一埋式絕緣層，以及包含具有一節點導體之至少一儲存電容；提供一氧化物帽，位於部分之節點導體頂部，而暴露節點導體之其他部分；使節點導體所暴露之部分凹陷，並形成一導電帶於凹陷處；移除氧化物帽，並於部分之節點導體與導電帶上形成一頂部溝渠氧化物；以及形成一讀取字元線於頂部溝渠氧化物之頂部，並形成一寫入字元線於SOI基板之暴露表面頂部，其中讀取字元線包含側閘與頂閘。

【實施方式】

本發明現在將藉由參考隨附的說明並參照附於本申請案之圖式更詳細地描述。本申請案之圖式係提供來說明之用，因此並未依據比例尺繪製。

先參考圖 1，其根據本發明之第一實施例，顯示具雙閘讀取裝置之一 2T/1C 增益胞的示意表示圖。需要強調的是，於說明性質的增益胞中，係使用具有兩閘極一電晶體 T2。更明確地，T2 包含連接至電容(STG CAP)之儲存節點的一側閘，以及連接至讀取字元線(RWL)的一頂閘。除了 T2 之外，T1 亦被顯示出來，其為胞的寫入電晶體。應了

解，T1 為一習知的平面 MOSFET。於圖式中，BL 代表一
共位元線，其中 T1 與 T2 都連接到這個共位元線，且 WWL
代表寫入字元線，其連接至 T1 之閘極。

如圖 1 所示之胞，藉由提升寫入字元線並移轉位元線
(BL)與儲存電容間之改變，“1”或“0”被寫入儲存電容(STG
CAP)。儲存電容之節點作為讀取 MOSFET 之兩個閘之其
中之一，即 T2。如上述，讀取電晶體 T2 包含兩個閘；一
頂閘連接至一讀取字元線，以及一側閘連接至儲存節點。
於這個實施例中，作為 T2 側壁之閘的節點係與儲存電容
整合，並自己形成一新穎的密實結構。這能夠形成一緊密
的胞佈局。

圖 1 所示的胞只需要單一位元線(BL)，因為讀取電流
通過 T2 而從位元線至地被感測到。先前技術的增益胞需
要兩位元線(讀取和寫入位元線)，因此相較圖 1 所繪之本
發明的胞存在佈局上的缺點。

更明確地，圖 1 包含一單一位元線(BL)，其具有節點
N1 與 N2。N1 為將 T2 耦合至 BL 的節點，而 N2 為將 T1
耦合至 BL 的節點。亦顯示於圖 1，寫入字元線(WWL)及
讀取字元線(RWL)與 BL 垂直。亦顯示於圖 1，T1 透過 N4
耦合至 WWL，且 T2 透過 N3 耦合至 RWL。N5 係用來將
T2 耦合至 T1。更可觀察到於圖 1 中，T1 鄰近於 SOI 基板

之一表面上儲存電容(STG CAP)，而 T2 具有一側閘，其透過 N5 連接至 STG CAP。

圖 2 根據本發明之第一實施例，顯示部分之記憶體胞佈局之俯視圖(需要注意的是位元線導體為了簡潔而被省略)。圖 2 中，顯示八(8)個胞 M1...M8。於此佈局中，藉穿過 SOI 基板之背埋式絕緣層而形成之一介層接觸(VC)，提供一地接觸於 SOI 層與基板間。每一 VC 由 4 個胞共享，並提供路徑到地供讀取電流。位元線間的接觸在佈局上垂直地分布(未顯示)，且主動區(RX)係標示為 X。讀取字元線(RWL)與寫入字元線(WWL)在佈局上水平地分布。需注意讀取 MOSFET 之側極(標示為一系列垂直點)具有 RWL 遍佈於頂閘表面。

圖 2 所示之元件將更詳細地描述於下。圖式中，顯示切線 A-A、B-B 及 C-C。切線 A-A 係沿著與位元線之其中之一平行的方向來說明第一實施例之半導體結構。切線 B-B 係沿著與讀取字元線之其中之一平行的方向來說明本發明第一實施例之半導體結構。切線 C-C 係透過在垂直字元線方向中之一介層接觸(VC)來說明本發明第一實施例的結構。

本發明之第一實施例中的每一記憶體胞包含一第一電晶體 T1，其具有一閘極、一源極及一汲極，分別耦

合至記憶體陣列之一寫入字元線(WWL)、一第一節點及上述記憶體陣列之一位元線(BL)；一第二電晶體 T2，其具有一第一閘極、一第二閘極、一源極及一汲極，分別耦合至一讀取字元線(RWL)、上述第一節點、一電壓源及上述位元線(BL)；以及一電容(STG CAP)，其具有連接至第一節點之一第一端以及連接至電壓源之一第二端，其中此電容之第一端及上述第二電晶體之第二閘極包含一單一實體。

製造圖 2 所示之佈局的製程將參照圖 3-19 而更詳細地描述。更明確地，圖 2 所示之佈局首先藉由提供圖 3 與圖 4 所示結構而準備。圖 4 為沿著圖 3 中 C-C 的剖面圖，其描述介層接觸及環繞摻雜 SOI 區域 14。特別是，圖 3 及圖 4 顯示一 SOI 基板之一 SOI 層 14，其具有透過一埋式絕緣層 12 而將 SOI 層 14 連接至基板層 10 的一介層接觸 16。此結構也包含阻擋遮罩 18，其用來於 SOI 層中形成一第一導電態佈植區。

顯示於圖 3 和圖 4 之結構首先係藉著提供一 SOI(絕緣層上半導體)基板而形成。頂部與底部半導體層可包含任何半導體材料，其包含例如 Si、SiGe、SiC、SiGeC、Ge 及其他類似物。較佳地，SOI 基板之頂部與底部半導體層由 Si 所構成。埋式絕緣層 12 可包含一結晶或非結晶氧化物或氮化物，較佳為結晶氧化物。

包含底部基板層 10、埋式絕緣層 12 及 SOI 層 14 的 SOI 基板係使用熟習此技藝人士習知的技術所形成。例如，SOI 基板可藉由使用包含至少一晶圓接合過程的一層轉換過程來形成。替代地，SOI 基板可藉由稱作 SIMOX(氧佈植分離)的製程來形成，其中氧離子先佈植進入一 Si 基板，然後使用一回火步驟使佈植的氧離子沉降進入一埋式氧化區域。

儘管此技術可用以形成 SOI 基板，SOI 層 14 一般具有一厚度從約 20 至約 200nm，更一般是從約 40 至約 120nm。SOI 層 14 之厚度可直接從用來形成相同結構之技術而獲得，或替代地，一薄化過程(thinning process)，例如化學機械拋光、研磨或氧化及蝕刻，可用來提供 SOI 層 14 具有在上述範圍內之厚度。埋式絕緣層 12 一般具有一厚度從約 20 至約 400nm，更一般是從約 40 至約 150nm。基板層 10 之厚度於本發明之製程中非重要關鍵。

提供 SOI 基板後，使用熟習此技藝人士習知的技術，形成一硬式遮罩(例如一氧化物或氮化物(未顯示))於 SOI 層 14 之上表面。例如，此硬式遮罩可藉習知的沉積過程來形成，其包含但不限於：化學氣相沉積(CVD)、電漿增進化學氣相沉積(PCVD)、蒸鍍、化學溶液沉積、濺鍍或原子層沉積。替代地，此硬式遮罩可藉習知的氧化或氮化過程來形成。

接著，塗佈一光阻(未顯示)至此遮罩之上表面，然後使用習知的微影技術圖案化光阻。微影過程包含以下步驟：使光阻曝光於一幅射圖案下(於此情形為一介層圖案)，以及使用習知的光阻顯影劑來顯影曝光的光阻。光阻中的圖案首先使用一蝕刻製程轉移至硬式遮罩，然後使用習知的除去製程將圖案化光阻除去。用來轉移介層圖案至硬式遮罩之蝕刻步驟包含一乾蝕刻製程，例如反應性離子蝕刻、離子束蝕刻或電漿蝕刻。然後，介層接觸 16 藉著蝕刻穿過 SOI 層 14 之暴露的部份及底下的埋式絕緣層 12，並停止於基板層 10 之表面上。本發明此步驟所使用的蝕刻製程可包含上述提及之乾蝕刻製程的一個與化學濕蝕刻製程。本發明亦可包含乾蝕刻、濕蝕刻或這兩種蝕刻製程之混合的結合。

在形成這些介層之後，使用熟習此技藝人士習知的技術(例如 CVD 或 PECVD)，選擇性以一導電阻障層(未顯示)加襯介層。可用來加襯介層的一些例示性之導電阻障層例子包含但不限於：鈦氮化物、鉭氮化物、鉭矽氮化物或可防止發生導電材料從介層向外擴散至基板之其他類似的材料。導電阻障層可用來禁止從介層進入單一結晶基板之結晶缺陷的傳播。

不論有沒有選擇性擴散阻障層，介層接著被填入具有一第一導電態的多晶矽，即 n 摻雜多晶矽或 p 摻雜多晶

矽。較佳是使用 n 摻雜多晶矽來填入介層。以摻雜多晶矽填入介層可包含原地(in-situ)摻雜沉積製程或可使用沉積後離子佈植。在填入步驟後，摻雜的多晶矽藉一習知的平坦化製程(例如化學機械拋光(CMP))而平坦化，並藉一計時蝕刻製程(例如反應性離子蝕刻)而凹陷，使得摻雜的多晶矽之上表面實質地與 SOI 層 14 之上表面共平面。除了摻雜多晶矽外，本發明亦考量到使用一導電金屬、導電金屬合金、導電金屬矽化物或導電金屬氮化物來取代或配合摻雜的多晶矽。

形成介層接觸 16 至 SOI 基板後，一層光阻被塗佈並藉由阻擋遮罩 18 而圖案化，如圖 3 所示。然後，第一導電摻雜物(較佳是 n 型摻雜物)係佈植到 SOI 層 14 中不包含阻擋遮罩 18 之區域。這佈植步驟係使用習知的離子佈植製程。顯示於圖 5 中的佈植區域 19 係包圍介層接觸 16，並形成位於 WWL 下的橋，以提供介層接觸 16 的連續性。

接著，形成圖 5、6 以及 7 中的結構。圖 5 顯示此結構的俯視圖、圖 6 為通過切線 A-A 的剖面圖、而圖 7 為通過切線 C-C 的剖面圖。顯示在這些不同視圖的結構係藉著先提供一墊堆疊(pad stack)20 於 SOI 基板頂部而形成，此 SOI 基板包含介層接觸 16。墊堆疊 20 包含一較低的氧化層與一較高的氮化層。墊堆疊 20 之較低的氧化層一般為 SiO_2 ，而墊堆疊 20 之較高的氮化層一般為 Si_3N_4 。

相較於較高的氮化層，墊堆疊 20 之較低的氧化層一般為一薄層，它的厚度一般從約 1 至約 10nm，更一般為從約 3 至約 7nm。墊堆疊 20 之較低的氧化層可藉一沉積製程(例如 CVD 或 PECVD)來形成。替代地，墊堆疊 20 之較低的氧化層可藉一熱氧化製程來形成。較高的氮化層一般比較低的氧化層更厚，一般具有厚度從約 50 至約 500nm，更一般是從約 100 至約 300nm 之厚度。墊堆疊 20 之較高的氮化物可藉一習知的沉積製程(例如 CVD 或 PECVD)來形成。可觀察到，墊堆疊 20 隨後被本發明用來勾勒儲存溝渠與隔離區域。沉積的矽氧化物之一額外的墊層可選擇性地形成在墊氮化層上。選擇的矽氧化墊層係於儲存溝渠之蝕刻過程中，用來保護墊氮化物。

然後，使用習知的製程，例如蝕刻穿過 SOI 層 14、埋式絕緣層 12，以及部分之基板層 10 至一希望的深度，而形成一儲存溝渠 22。每一儲存溝渠 22 之希望的深度取決於一些因素，例如包含 SOI 層和埋式絕緣層之深度以及增益之適度的儲存電容需求。本發明這個時點所形成的儲存溝渠 22 之一般的深度為從約 0.50 至約 0.8 μ m，更一般的深度為從約 1.0 至約 3.0 μ m。需要注意的是儲存溝渠 22 之深度比一般習知的溝渠儲存 DRAM 所使用的更低。

然後，使用此技藝中習知的技術來形成一第一介電質 24，例如儲存介電質，在儲存溝渠 22 之內表面上。例如，

第一介電質 24 可藉由 CVD、PECVD 或其他類似的沉積製程而形成。替代地，第一介電質 24 可藉由熱成長而形成。第一介電質 24 可為一氧化物，例如 SiO_2 、 Al_2O_3 、 Ta_2O_3 、 TiO_2 或任何其他金屬氧化物或混合金屬氧化物。可使用當作第一介電質 24 之混合金屬氧化物的例子包含鈣鈦礦(perovskite)類的氧化物。上述介電質材料之多層也可用來當作第一介電質 24。於一較佳的實施例中，第一介電質為 SiO_2 。

第一介電質 24 之厚度可根據其所用以形成之製程、第一介電質 24 之材料及層數而變。一般，第一介電質 24 具有一厚度從約 0.5 至約 3nm，且更一般從約 1 至約 2nm。第一介電質 24 係用來當作儲存節點介電質。它也可以用來當作側閘 MOSFET(即 T2)之側壁介電質。第一介電質 24 也可包含其他絕緣體，例如矽氮化物或上述絕緣體層。

接著，將包含第一介電質 24 之儲存溝渠 22 填入一節點導體 26，其一般為摻雜的多晶矽。於本發明，節點導體的其他種類，例如金屬導體及矽化物，亦可用來取代多晶矽或配合多晶矽使用。使用習知的沉積製程，例如 CVD 或 PECVD，形成節點導體 26 於儲存溝渠內。當使用摻雜的多晶矽時，可使用在原地的摻雜沉積製程。替代地，當摻雜的多晶矽用來當作節點導體 26 時，摻雜的多晶矽可藉沉積及離子佈植形成。

接在沉積步驟之後，節點導體 26 藉由習知手段而平坦化，且凹陷至大約在 SOI 層 14 之上表面的一深度。

使用此技藝中習知的技術形成一氧化物帽 28 於儲存節點導體 26 上。一般而言，沉積一 TEOS(四乙基正矽酸鹽)或一高密度電漿(HDP)氧化物並將其平坦化至墊堆疊 20 之上部氮化層頂部。

隔離區 30 現在形成在圖 5、6 與 7 所示之結構中。如此留下了主動區島，而 MOSFETs 隨後將形成於其中。使用此技藝中習知的技術來形成隔離區域 30。更明確地，隔離區域 30 係藉以下形成：塗佈一光阻於墊堆疊 20 頂部、將光阻曝光於一溝渠圖案、顯影光阻中的溝渠圖案、蝕刻暴露部分之 SOI 層 14 的墊堆疊 20 暴露部分、以及蝕刻穿越 SOI 層 14 之暴露部分而停止於埋式絕緣層 12。於溝渠圖案轉移至墊堆疊 20 之後，一般將光阻除去。各種蝕刻過程，包含例如：乾蝕刻、化學濕蝕刻、或任何上述之組合，可用來將溝渠圖案提供至 SOI 基板。溝渠可選擇性地以溝渠襯裡(例如 SiO_2 或 Si_3N_4 、或這類介電質之多層)加襯。不論有無溝渠襯裡，填入一溝渠介電質(例如氧化物)於溝渠內。一般，溝渠介電質為 TEOS 或 HPD 氧化物。將溝渠介電質填入溝渠後，可使用一選擇性的平坦化製程，例如 CMP，來提供一基板，其中每一隔離區域 30 之上表面與墊堆疊 20 之上部氮化層係實質地共平面。包含

溝渠隔離區域之結構係顯示於圖 8、9、10 及 11 中。

形成溝渠隔離區域 30 之後，形成一導電帶 34，其用來將儲存節點導體 26 連接至寫入 MOSFET T1(將隨後被形成)。明確地，導電帶 34 係藉以下形成：使用一帶遮罩 36 以及蝕刻，首先形成一窗(window)於鄰近寫入 MOSFET T1 將被形成的區域中之儲存溝渠 22 之氧化物帽 28 中。一般，藉一乾蝕刻製程(例如 RIE)來實施一蝕刻。這蝕刻步驟暴露部分下方的節點導體 26。現在被氧化物帽 28 中之窗暴露的節點導體 26 部分係藉蝕刻而凹陷至一深度，其大約為 SOI 層 14 之背介面(back interface)。使用選擇性地除去第一介電質 24 的一蝕刻製程，來將儲存溝渠 22 中第一介電質 24 之暴露的部分除去。這蝕刻步驟暴露 SOI 基板之側壁，特別是，包含 SOI 層 14 之側壁。使用習知的沉積技術來形成一般包含多晶矽或其他導電材料之導電栓(plug)於凹陷處。導電栓沉積後，一般執行一平坦化過程，以提供一結構，其中導電性的栓具有一上表面，與墊堆疊 20 之上部氮化層之上表面實質地共平面。再來，平坦化之導電栓藉蝕刻而凹陷至約 SOI 層 14 之頂部表面。此導電栓形成導電帶 34 於儲存節點導體 26 與寫入 MOSFET T1 間。包含導電帶 34 之結構亦顯示於圖 8、9、10 及 11 中。這些圖式包含在上述步驟之後的兩個俯視圖(一個於隔離區域後，圖 8，另一個於帶形成後，圖 9)、一沿 A-A 之剖面圖，圖 10，以及沿 C-C 之剖面圖，圖 11。

於一實施例(未顯示)，接著使用熟習此技藝人士所習知的技術，對儲存溝渠 22 之頂部的凹陷再填入氧化物、平坦化、並形成凹陷。這些製程步驟形成一頂部溝渠氧化物 38 於每一儲存溝渠 22 中。頂部溝渠氧化物 38 一般係使用習知的沉積過程來形成，且一般具有一厚度從約 20 至約 50nm。需要注意的是，頂部溝渠氧化物 38 提供節點導體與讀取電晶體 T2 之上的字元線導體間的隔離。

選擇性地，氧化栓之剩下的部份可全部移除，且可藉一習知的沉積製程形成一薄氮化物層於儲存節點導體 26 頂部。此本發明較佳的選擇性步驟係顯示於圖 12，其中參考符號 40 係用來表示薄氮化層。頂部溝渠氧化物(TTO)38 與儲存節點導體 26 頂部間的薄氮化物層 40 之目的係為確保在接續的製程後，能有絕緣體殘留在儲存節點導體 26 之頂部。若沒有這個選擇性的氮化物層 40，TTO 38 可能在後來的製程步驟中被嚴重地侵蝕。因此，選擇性的氮化物層 40 確保後續不會在儲存節點導體 26 與上面通過的字元線間形成任何短路。選擇性的氮化物層 40 係藉平坦化製程從絕緣區域 30 頂部除去。

於一標準方法，墊堆疊 20 之上部氮化層被移除，且使用此技藝中習知的清潔技術來清潔 SOI 層 14 之下表面。於清潔過程中，一般墊堆疊 20 之下部氧化物層會被移除。然後，使用一習知的熱成長過程(例如氧化)，形成

一移轉閘氧化物於 SOI 層 14 之清潔後的表面。移轉閘氧化物一般為 SiO_2 。移轉閘氧化物之厚度可改變，但一般移轉閘氧化物具有一厚度從約 1.5 至約 7nm，更一般為從約 2 至約 5nm 之厚度。包含移轉閘氧化物之結構係顯示於圖 13，其中參考符號 42 係用來表示移轉閘氧化物。需要注意的是移轉閘氧化物 42 係作為寫入字元線 T1 之閘極介電質。

再來，使用一習知的沉積過程(例如 CVD 或 PECVD)，形成一字元線導體 44 於移轉閘氧化物 42 與頂部溝渠氧化物 38 之表面頂部。字元線導體係由導電性材料構成，例如摻雜多晶矽、導電金屬、導電金屬合金、導電金屬矽化物、導電金屬氮化物、或上述之多層。一般字元線導體 44 係由 n 摻雜的多晶矽構成。於使用多晶矽閘極導體的實施例中，可形成一矽化層(未明確顯示)於多晶矽閘極導體上，其使用一習知的矽化製程，包含例如矽化金屬(例如 Ti、W 或 Ni)之沉積、在第一溫度下退火以形成一金屬矽化物、藉一選擇性蝕刻製程移除未與多晶矽反應的多餘金屬、以及選擇性地在第二溫度下執行第二退火。

然後，由 SiN 或其他類似介電質材料所構成的一字元線帽 46 一般係沉積在字元線導體 44 頂部。字元線帽 46 作為字元線上的一保護帽，供形成無邊緣(borderless)擴散接觸。然後，使用此技藝習知的製程技術，圖形化及蝕刻

包含層 44 與 46 之閘極堆疊。這些步驟形成本發明之寫入字元線(WWLs)及讀取字元線(RWLs)。需要注意的是，RWLs 位於儲存溝渠 22 之上，而 WWLs 位於 SOI 層 14 之上。這例如顯示於圖 14 中。

使用一共形(comformal)沉積過程、接著為反應性離子蝕刻或其他類似的蝕刻，形成包含至少一絕緣體(較佳是氮化物)的一閘極間隙壁 48。於閘極間隙壁 48 形成之前，可藉一熱氧化製程形成一選擇性的閘極側壁氧化物(未顯示)。閘極間隙壁 48 可包含一單一絕緣材料或超過一種絕緣材料之組合。閘極間隙壁 48 具有一寬度，其由位於 SOI 層或儲存溝渠上之下表面量測而得，從約 1 至約 20nm，且更一般為從約 4 至約 10nm。

然後，使用習知的離子佈植與退火，形成源極/汲極區域 50 於寫入字元線之接腳處的 SOI 層 14 中。當字元線導體為 n 型時，源極/汲極區域 50 較佳為 n 型，而當字元線導體為 p 型時，源極/汲極區域 50 較佳為 p 型。形成字元線、閘極間隙壁與源極/汲極後所得的結構係顯示在例如圖 14 中。

接著，藉此技藝中習知的技術，沉積一層間介電質 52(例如一氧化物)於此結構上，並將其平坦化。然後，形成位元線(BL)接觸開口穿越內層介電質 52 及殘留在源極/

汲極區域 50 上之任何移轉閘極氧化物 42。BL 接觸開口係透過微影和蝕刻形成。圖 15 顯示 BL 接觸之開口後的一俯視圖。很明顯地，BL 接觸開口對於形成於其上的字元線係無邊緣的。於圖式中，包含讀取字元線 MOSFET T2 之第一介電質 24 的側壁閘極介電質係由一系列垂直點顯示。圖 19 中區域 54 顯示無邊緣的位元線接觸。

透過 B-B 切線剖下的部份顯示於圖 16 中，以更明白地呈現讀取 MOSFET T2 之結構。需要注意的是讀取通道為直接來自儲存節點導體 26 之側閘。這是本發明之主要特徵。更明顯地，讀取 MOSFET T2 為雙閘，1)在側壁儲存節點導體 26 旁，以及 2)在其頂表面 RWL 閘極導體旁。因此，T2 之兩個閘極介電質包含介電質 24 與移轉閘極氧化物 42。如示，TTO 38 將溝渠儲存節點導體 26 與 RWL 隔離。圖 17 顯示字元線於介層接觸 16 區域中通過 SOI 層 14。此，包含介層接觸 16 之區域中的字元線下之 SOI 層 14 提供讀取電晶體及地之間的連續性。

接著，形成包含 W 或其他類似導體的位元線 56，如圖 18 與 19 所示。位元線 56 透過由金屬構成的接觸 53 連接至區域 54。位元線 56 係使用熟習此技藝人士所習知的技術來形成，與此不再討論。一 20 F^2 單元胞繪於點狀方塊區 58 內的區域。需要注意的是支援 MOSFETs(未顯示)可簡單地整合至在此所討論的製作流程。

參照圖 1-19 之以上的討論敘述本發明之第一實施例。接下來的敘述，參照圖 20、21 與 22A-22C，描述本發明之第二實施例。本發明的第二實施例中，提供一胞佈局，其中讀取 MOSFET 電晶體 T2 為雙閘，其具有一讀取字元線閘於頂表面以及一側閘，此側閘係儲存電容之儲存節點導體之實際節點導體且直接耦合至讀取 MOSFET。

儲存電容旁的側閘調節讀取 MOSFET 之臨界電壓。當儲存“1”時，讀取電晶體之 V_t 為低。當儲存“0”時，讀取電晶體之 V_t 為高。當讀取字元線升高時，藉由讀取 MOSFET 之電阻可區別 1 與 0。因此，因為不需要儲存電容與寫入位元線間的電荷移轉，低電壓感測為可行的。

第二實施例之本發明的胞為雙埠設計，允許自一胞同時寫入與讀取資料。上述第一實施例之胞為單埠。

圖 20 為本發明之第二實施例之發明的增益胞示意圖。需要注意的是顯示於圖 20 中發明的增益胞亦使用雙閘電晶體 T2。如上所示，T2 包含兩個閘：一側閘，連接至儲存溝渠電容 STG CAP 之儲存節點，以及一頂閘，連接至 RWL。這設計為雙埠式，因為使用 WWL 與 WBL 的一寫入操作，與使用 RWL 與 RBL 供存取之讀取可同時發生。N1...N5 亦顯示於圖 20 中。

T1 為寫入電晶體且為一習知的 MOSFET。藉提升寫入字元線(WWL)並移轉寫入位元線(WBL)與儲存電容間的電荷，寫入“1”或“0”至儲存電容。儲存電容之節點用來當作讀取 MOSFET T2 之兩個閘之其中之一。於本發明的這個實施例中，作為 T2 側壁之閘的節點 N5 係與儲存電容 STG CAP 整合，並自己形成一緊密結構。這使得揭示於本發明之第二實施例的胞佈局能夠緊密。再一次，可觀察到顯示於圖 20 中的胞為雙閘。

圖 21 顯示部分之記憶體陣列之佈局，其顯示十六個記憶體胞 M1...M16。為了簡潔，未顯示位元線。於這佈局中，藉穿越埋式絕緣體 12 之介層接觸 16 來提供 SOI 層 14 與基板 10 間的一地接觸。每一介層接觸 16 由四個胞共享，且提供讀取電流到地的路徑。位元線間的接觸在佈局上形成垂直的分布(未顯示)，且主動區係標示為 X。讀取字元線(RWL)與寫入字元線(WWL)在佈局上水平的分布。需注意，讀取 MOSFET T2 之側閘(標示為一系列垂直點)具有 RWL 於頂部閘表面上分布。需要注意顯示於圖 21 中之其他的元件含有與上述本發明第一實施例之元件符號一致的元件符號。

本發明第二實施例之每一記憶體胞包含一第一電晶體 T1，其具有一閘極、一源極及一汲極，分別耦合至記憶體陣列之一寫入字元線(WWL)、一第一節點及上述記憶體

陣列之一寫入位元線(BL)；一第二電晶體 T2，其具有一第一閘極、一第二閘極、一源極及一汲極，分別耦合至一讀取字元線、上述之第一節點、一電壓源及讀取位元線；以及具有連接至第一節點之一第一端及連接至電壓源之一第二端之一電容(STG CAP)，其中此電容之第一端及上述第二電晶體之第二閘極包含一單一實體。

用來形成圖 21 所示之佈局的製程與顯示於第一實施例之製程類似，除了使用顯示於圖 22A-22C 之初始結構取代圖 2 之結構。繪於圖 3-19 中之本發明之第一實施例剩下的步驟係可實施，並用來提供最終的結構。圖 22A-22C 顯示初始結構，接著於 SOI 層 14 與基板 10 之間形成介層接觸 16，並接著形成儲存溝渠電容，其包含儲存溝渠 22、第一介電質 24 及節點導體 26。佈植阻擋遮罩係用來形成圍繞介層接觸 16 的摻雜區 100。摻雜區 100，較佳為 n 摻雜區，將隨後於通過寫入字元線(WWL)下形成讀取電流路徑之一連結。

顯示於圖 22A-22C 之結構係形成如下：首先，一介層遮罩(圖未示)用來圖案化一光阻層以及一底下的硬式遮罩，供定義介層接觸 16 之位置。使用此技藝中習知的技術(如上述)，介層接觸 16 蝕刻穿過 SOI 層 14 及埋式絕緣層 12，停止於半導體基板 10。如上述，此介層填入摻雜的多晶矽、平坦化並形成凹陷至與原始的 SOI 層 14 大約

同層的一深度。選擇性地，於填入摻雜的多晶矽前，一導電阻障層可形成於介層開口中。

再來，光阻層藉阻擋遮罩而圖案化，且摻雜物，較佳為 n 型摻雜物，係佈植至形成摻雜區 100 之開口窗區域。除去光阻並移除硬式遮罩。

然後，使用上述本發明第一實施例之製程步驟來形成儲存電容。製程如本發明之第一實施例之圖 3-19 中所述繼續進行。

雖然本發明已藉著參照較佳的實施例而特定地顯示並描述，熟習此技藝人士可知上述討論與其他形式上與細節上的改變可不脫離本發明之精神與範疇下完成。因此，本發明不限於以上所描述與說明之特定的形式與細節，而落於附加的申請專利範圍的範疇中。

【圖式簡單說明】

圖 1 根據本發明之第一實施例，顯示具一雙閘讀取裝置之兩電晶體(2T)/一電容(1C)增益胞的示意圖；

圖 2 根據本發明之第一實施例，顯示部分之記憶體胞之佈局的俯視圖；

圖 3-19 為一些圖形表示(透過各種視圖)，以說明根據本發明之第一實施例所述之用來形成具雙閘讀取裝置之

2T/1C 增益胞的基本製程步驟；

圖 20 根據本發明之第二實施例，顯示具一雙閘讀取裝置之兩電晶體(2T)/一電容(1C)雙埠增益胞的示意圖；

圖 21 根據本發明之第二實施例，顯示部分之記憶體胞之佈局的俯視圖；以及

圖 22A-22C 為在 SOI 層與基板層間之介層接觸的定義後，以及儲存溝渠已經以一薄介電質加襯並填入一節點導體後，用於第二實施例中之初始結構的各種視圖。阻擋遮罩係用以佈植環繞介層接觸之摻雜區域。這些摻雜區域係用以形成一連結給通過 WWL 底下之讀取電路路徑。

【主要元件符號說明】

- 10 基板層
- 12 埋式絕緣層
- 14 SOI 層
- 16 介層接觸
- 18 阻擋遮罩
- 19 佈植區域
- 20 墊堆疊
- 22 儲存溝渠
- 24 第一介電質
- 26 節點導體
- 28 氧化物帽
- 30 隔離區域

34	導電帶
36	帶遮罩
38	頂部溝渠氧化物
40	薄氮化物層
42	移轉的閘氧化物
44	字元線導體
46	字元線帽
48	閘極間隙壁
50	源極/汲極區域
52	內層介電質
53	接觸
54	無邊緣的位元線接觸
56	位元線
58	單元胞
100	摻雜區

十、申請專利範圍：

1. 一種記憶體胞，包含：

一第一電晶體，具有一閘極、一第一源極及一第一汲極；

一第二電晶體，具有一第一閘極、一第二閘極、一第二源極及一第二汲極；

一溝渠位在一絕緣體上半導體(SOI)基板中，該 SOI 基板包含一堆疊其具有從上到下的一絕緣體上半導體(SOI)層、一埋式絕緣層、及一底部基板層；以及

一電容，具有一第一端(terminal)及一儲存節點介電質，其中該電容之該第一端及該第二電晶體之該第二閘極包含一單一實體(entity)且位在該溝渠中，其中該儲存節點介電質橫向地鄰接該 SOI 層、該埋式絕緣層、及該底部基板層於該溝渠的側壁。

2. 如請求項 1 所述之記憶體胞，其中該第一電晶體耦合至一記憶體陣列之一寫入字元線、一第一節點、以及該記憶體陣列之一位元線；該第二電晶體耦合至一讀取字元線、該第一節點、一電壓源、以及該位元線；以及該電容係連接至該第一節點，且更包含連接至一電壓源的一第二端。

3. 如請求項 1 所述之記憶體胞，其中該第二電晶體包含一第一表面及一第二表面，其中該第二電晶體之該第一表面係水平方向的(horizontally oriented)，而該第二電晶體之該第二表面係垂直方向的(vertically oriented)。

4. 如請求項 3 所述之記憶體胞，其中該第一表面之一近端(proximal end)與該第二表面之一近端相鄰，且該第一表面之一遠端(distal end)與該第二表面之一遠端相鄰。
5. 如請求項 2 所述之記憶體胞，其中該第二電晶體之該源極係位於一近端或一遠端之其中之一，且該第二電晶體之該汲極係位於該近端或該遠端之其中另一。
6. 如請求項 2 所述之記憶體胞，其中該第二電晶體之該第一閘極係位於該第一表面上，且該第二電晶體之該第二閘極係位於該第二表面上。
7. 如請求項 2 所述之記憶體胞，其中該單一實體為一電容電極。
8. 如請求項 1 所述之記憶體胞，其中該第一電晶體耦合至一記憶體陣列之一寫入字元線、一第一節點、以及該記憶體陣列之一寫入位元線；該第二電晶體耦合至一讀取字元線、該第一節點、一電壓源，以及一讀取位元線；以及該電容之該第一端係連接至該第一節點，且該電容更包含連接至一電壓源的一第二端。
9. 如請求項 8 所述之記憶體胞，其中該第二電晶體包含一

第一表面及一第二表面，其中該第二電晶體之該第一表面係水平方向的，而該第二電晶體之該第二表面係垂直方向的。

10. 如請求項 9 所述之記憶體胞，其中該第一表面之一近端與該第二表面之一近端相鄰，且該第一表面之一遠端與該第二表面之一遠端相鄰。

11. 如請求項 8 所述之記憶體胞，其中該第二電晶體之該源極係位於一近端或一遠端之其中之一，且該第二電晶體之該汲極係位於該近端或該遠端之其中另一。

12. 如請求項 9 所述之記憶體胞，其中該第二電晶體之該第一閘極係位於該第一表面上，且該第二電晶體之該第二閘極係位於該第二表面上。

13. 如請求項 8 所述之記憶體胞，其中該單一實體為一電容電極。

14. 如請求項 1 所述之記憶體胞，其中該第二源極及該第二汲極係位在該埋式絕緣層之一整體的上方。

15. 如請求項 1 所述之記憶體胞，其中該儲存節點介電質的一部分係位在該底部基板層中。

16. 如請求項 1 所述之記憶體胞，其中該溝渠延伸自該 SOI 層的一頂表面，穿過該埋式絕緣層之一整體，而進入該底部基板層中。

17. 一種記憶體胞，包含：

一第一電晶體，具有一閘極、一第一源極及一第一汲極；

一第二電晶體，具有一頂閘、一側閘、一第二源極及一第二汲極；

一溝渠位在一絕緣體上半導體(SOI)基板中，該 SOI 基板包含一堆疊其具有從上到下的一絕緣體上半導體(SOI)層、一埋式絕緣層、及一底部基板層；以及

一電容，具有一第一端(terminal)及一儲存節點介電質，其中該電容之該第一端及該第二電晶體之該第二閘極包含一單一實體(entity)且位在該溝渠中，其中該儲存節點介電質橫向地鄰接該 SOI 層、該埋式絕緣層、及該底部基板層於該溝渠的側壁。

18. 如請求項 17 所述之記憶體胞，其中該第二源極及該第二汲極係位在該埋式絕緣層之一整體的上方。

19. 如請求項 17 所述之記憶體胞，其中該儲存節點介電質的一部分係位在該底部基板層中。

20. 如請求項 17 所述之記憶體胞，其中該溝渠延伸自該 SOI 層的一頂表面，穿過該埋式絕緣層之一整體，而進入該底部基板層中。

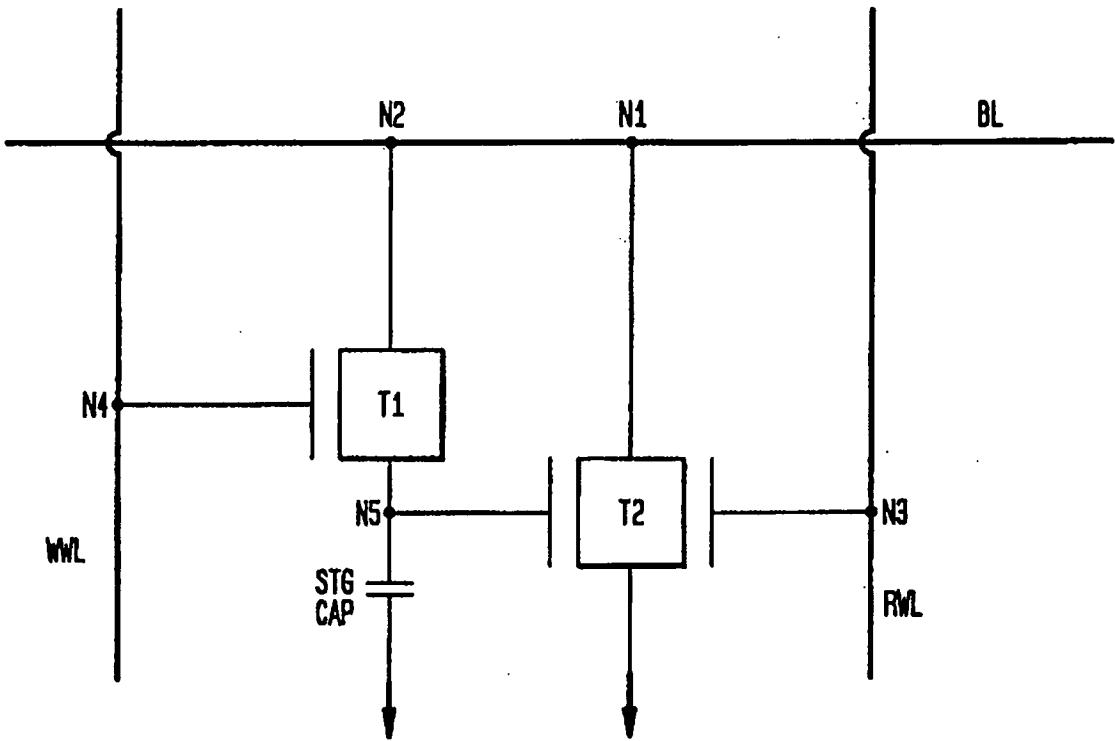
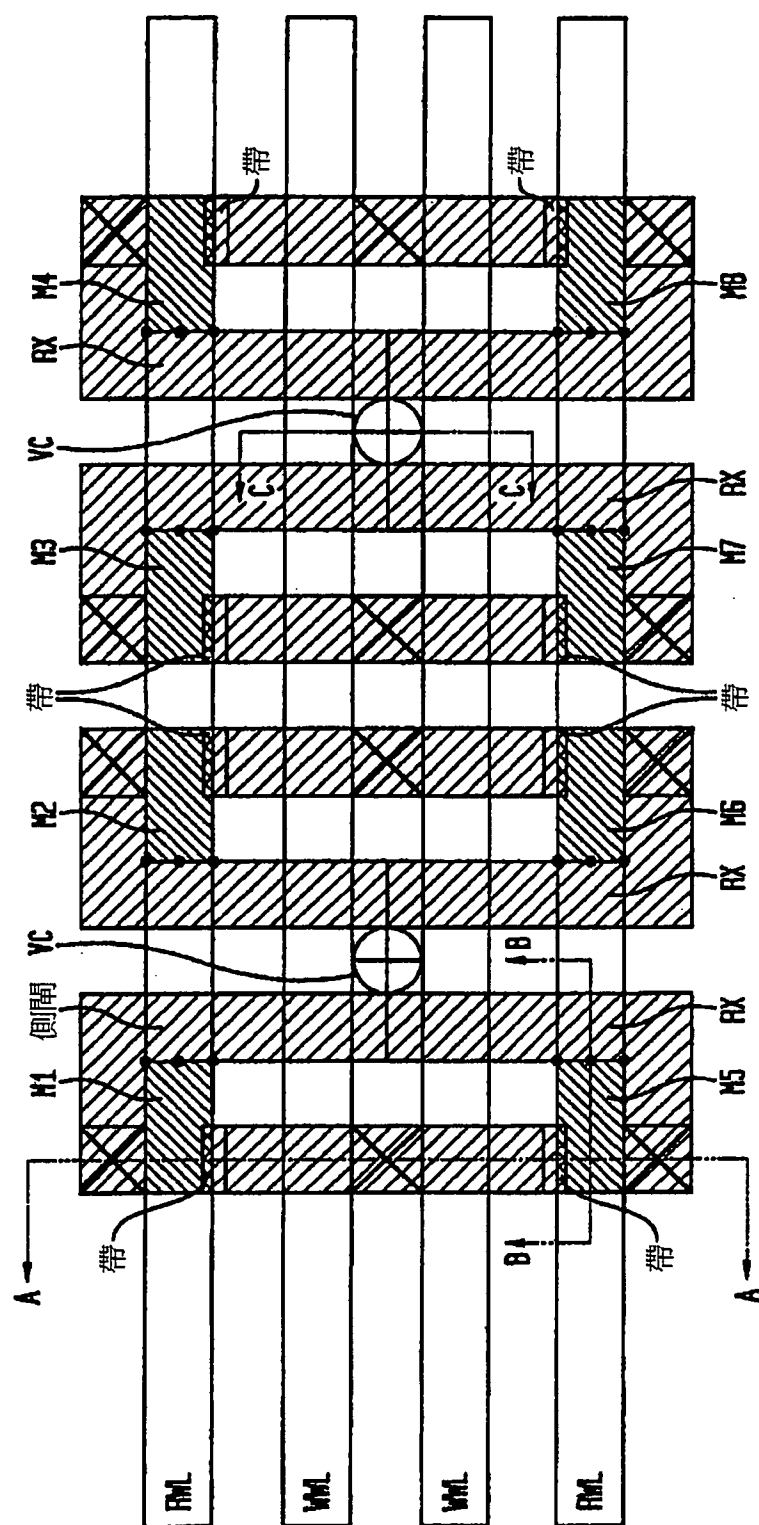


圖 1



2
回

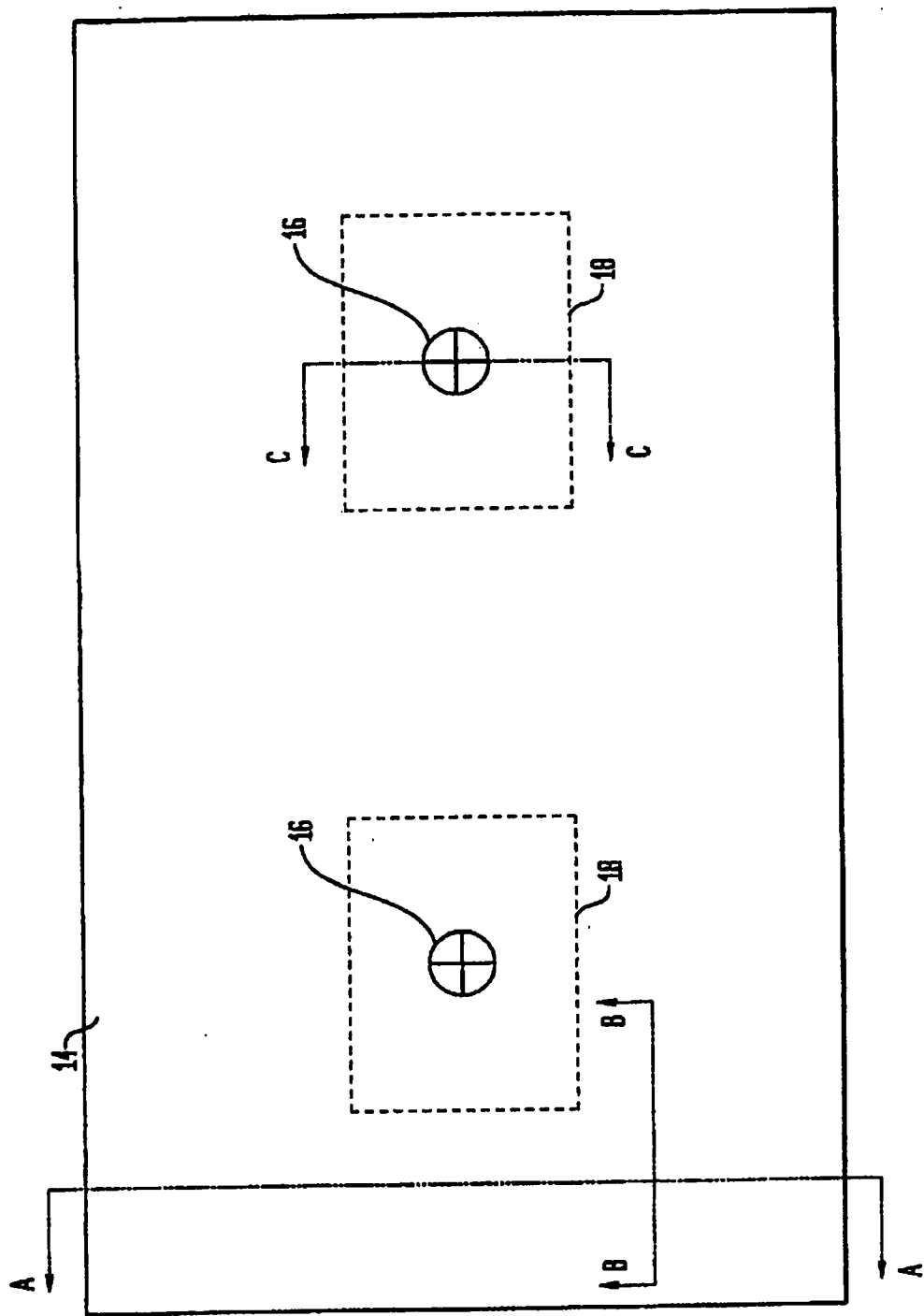


图3

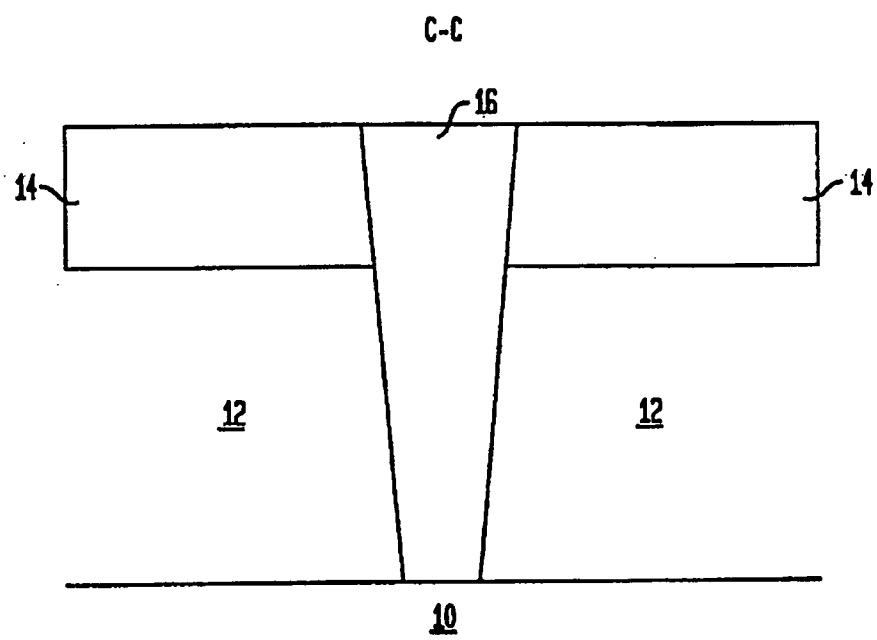


圖 4

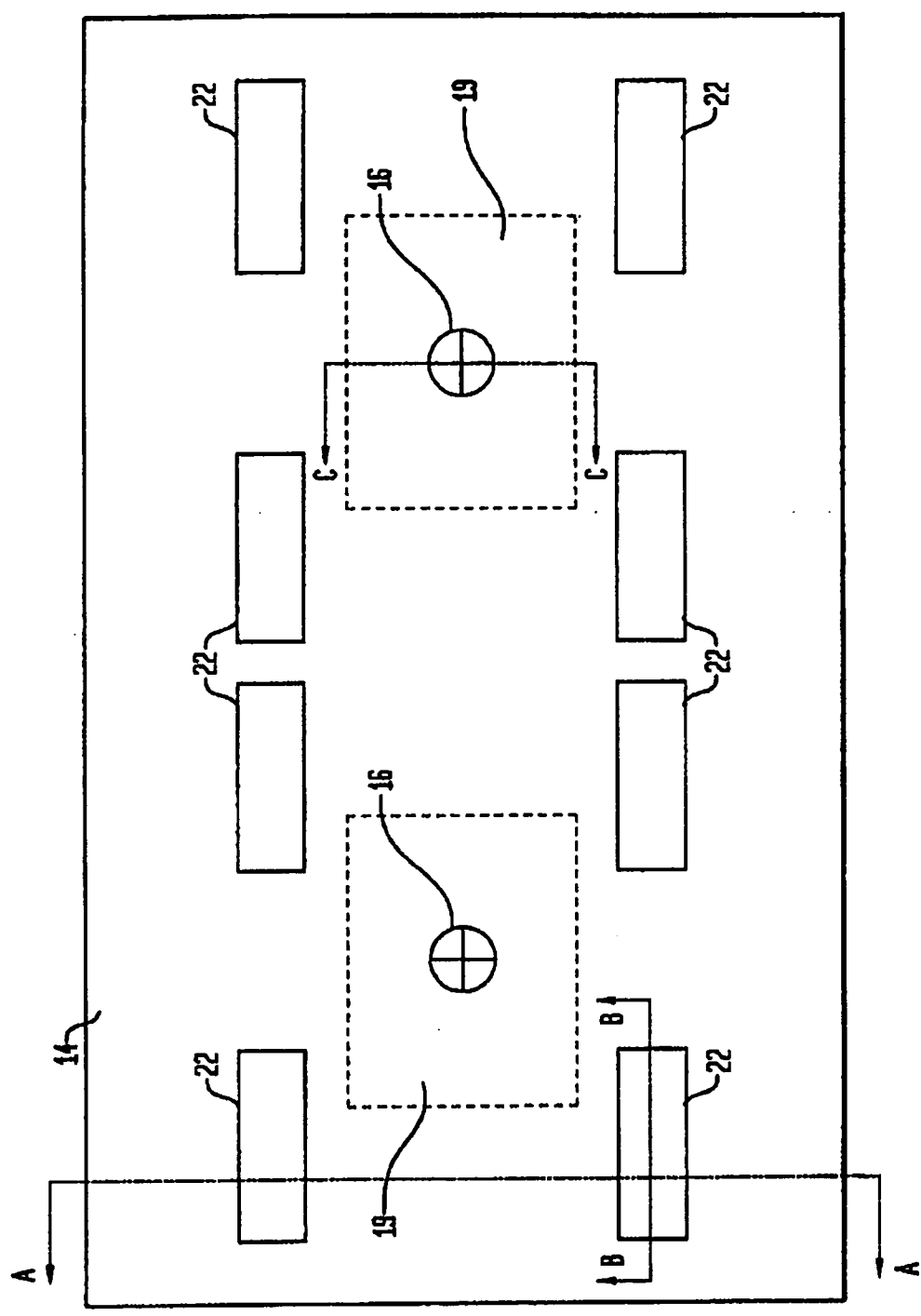


圖5

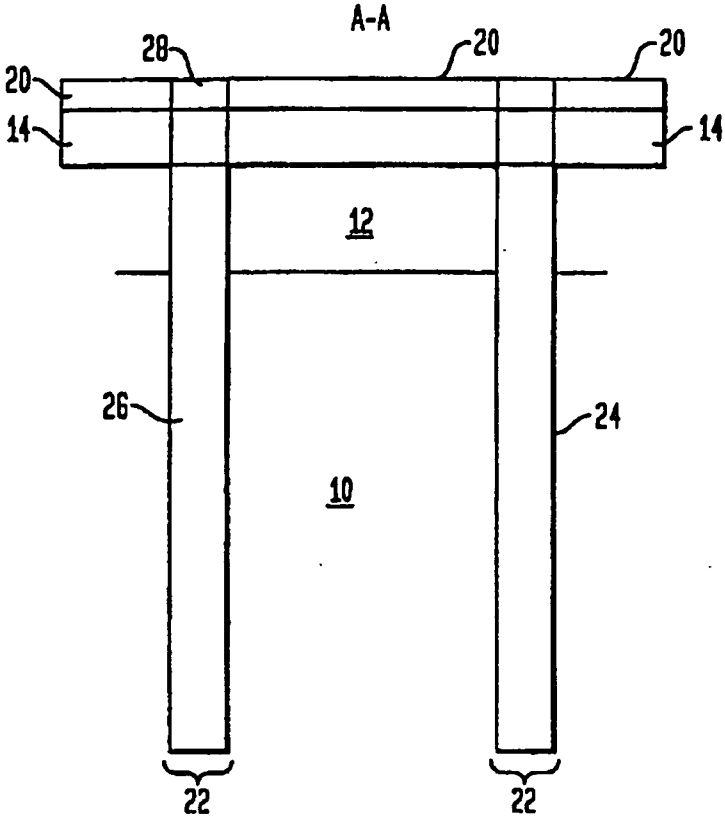


圖6

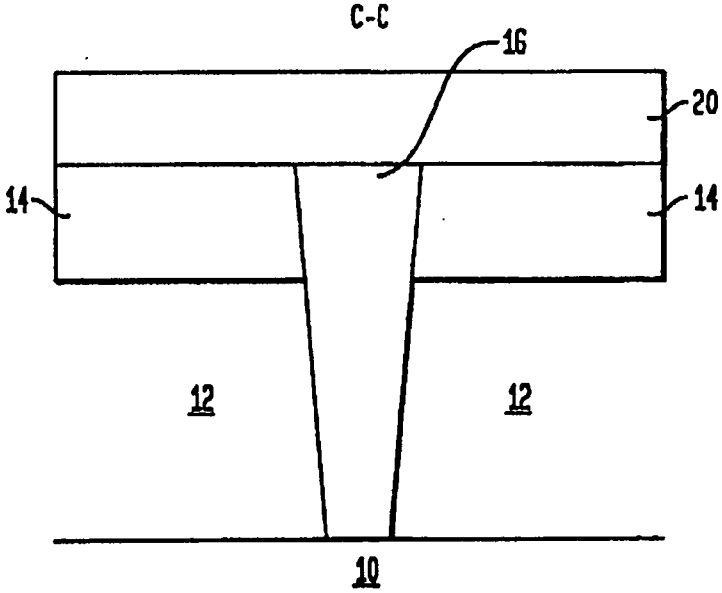


圖7

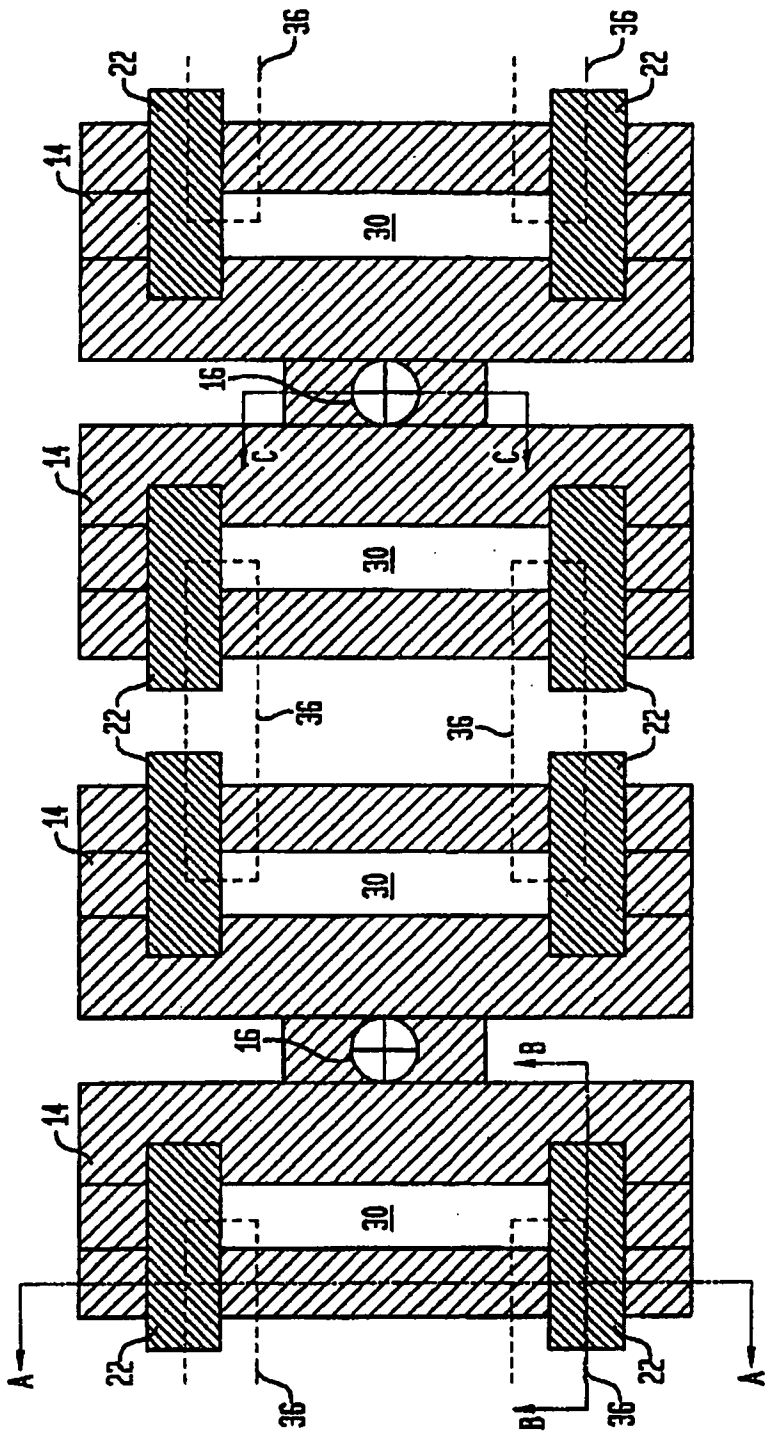


圖 8

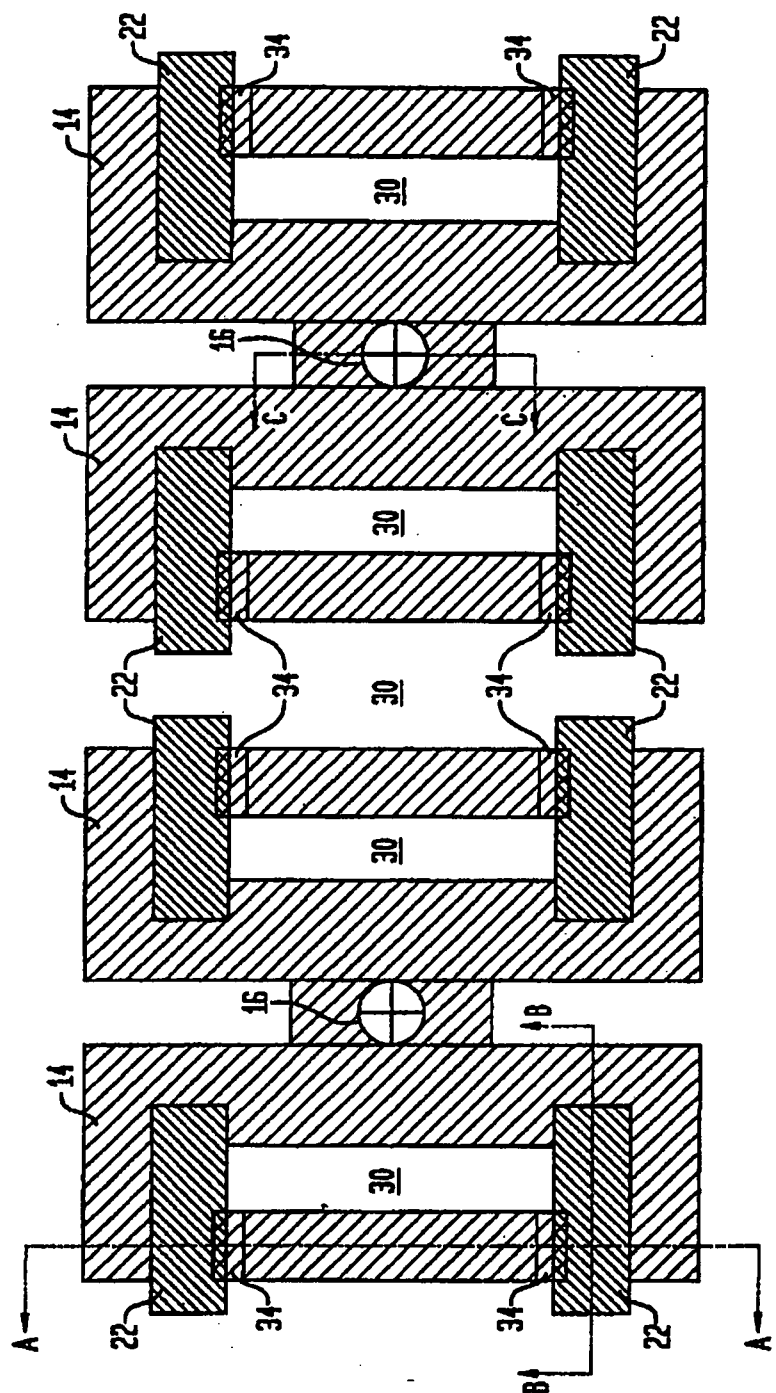


圖9

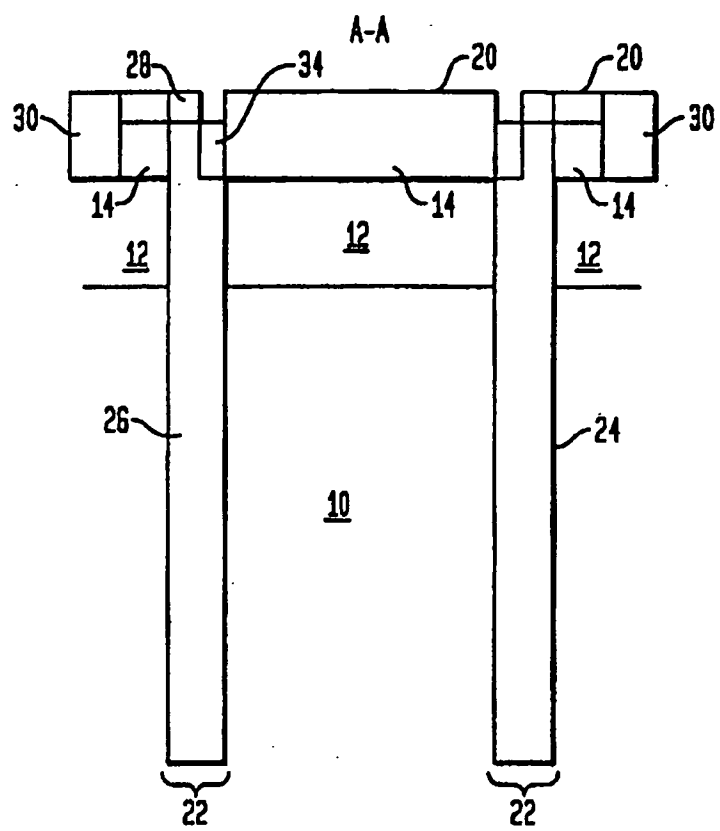


圖 10

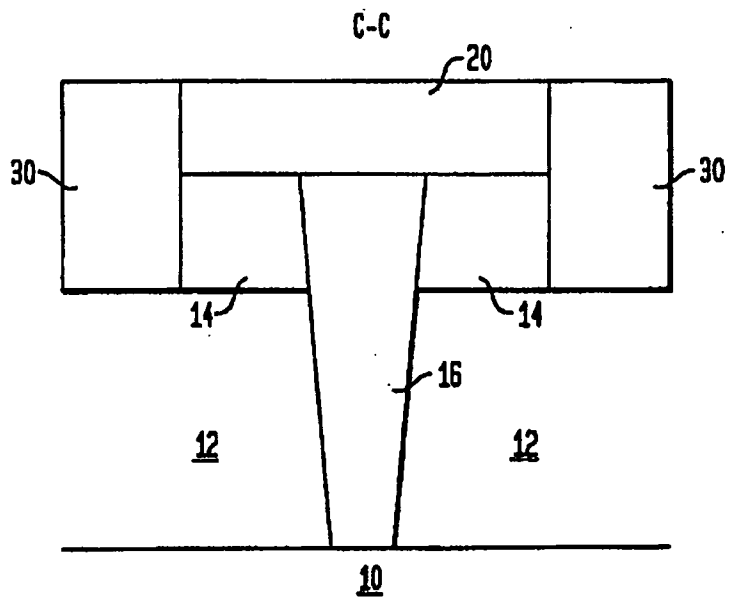


圖 11

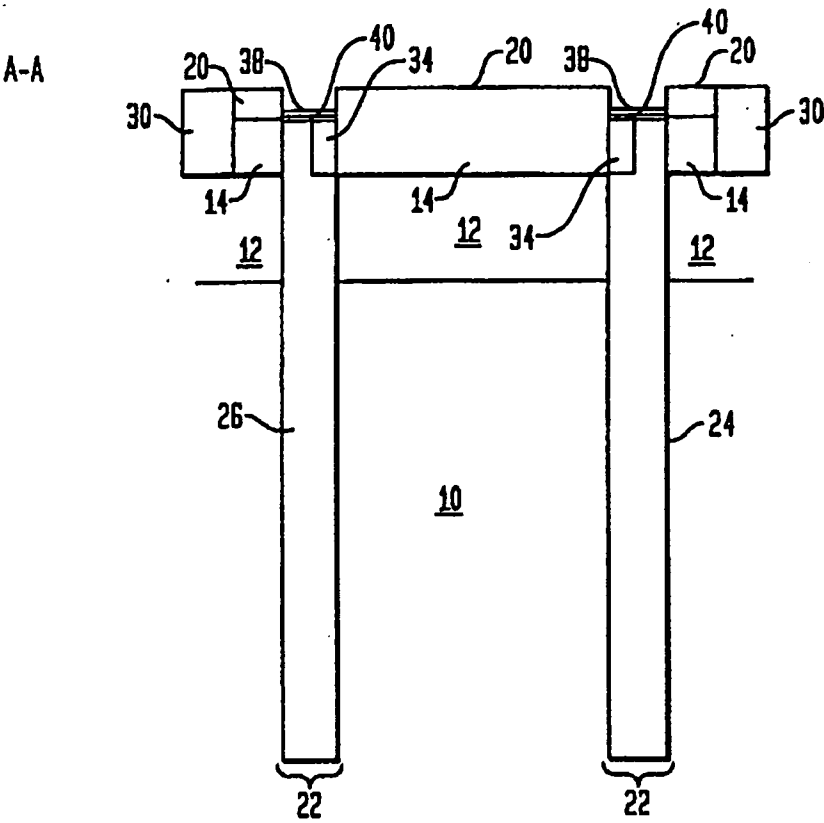


圖 12

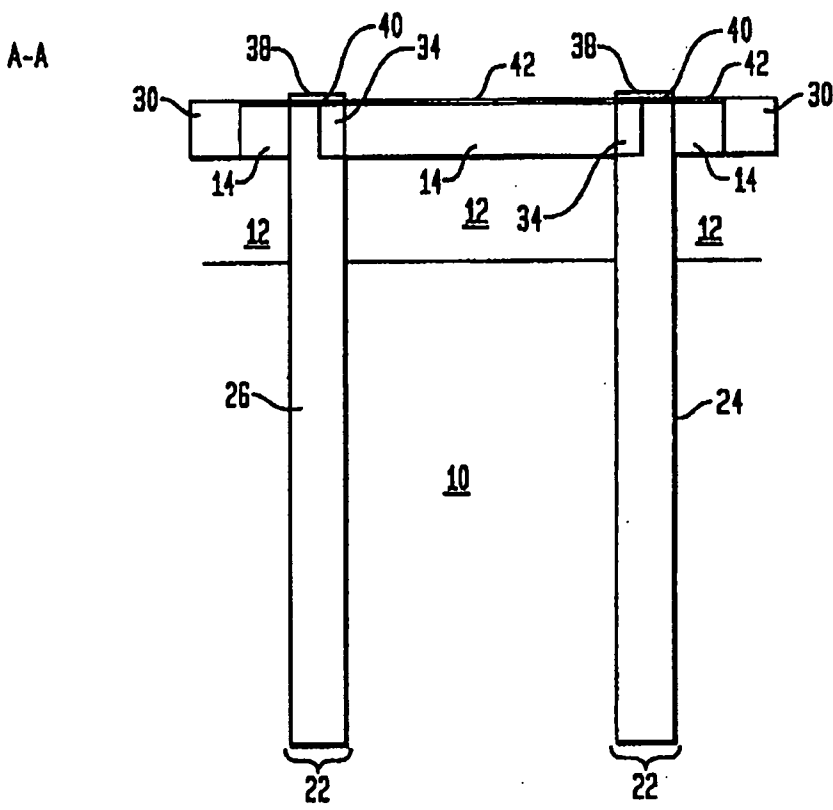


圖 13

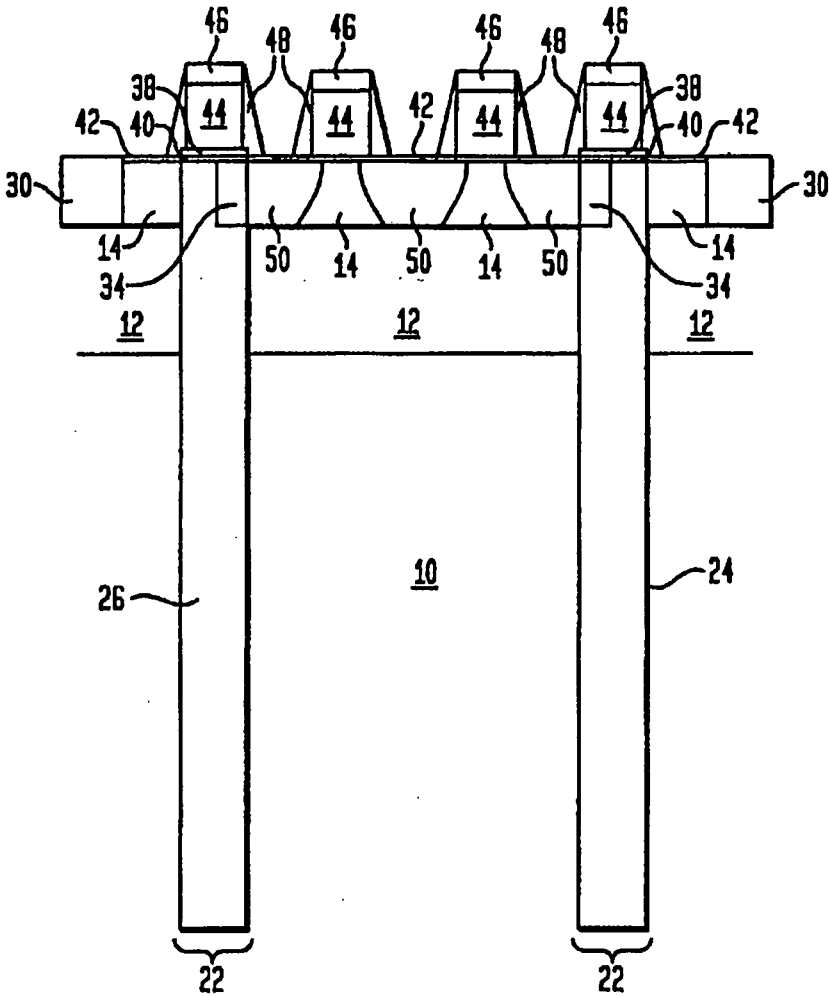
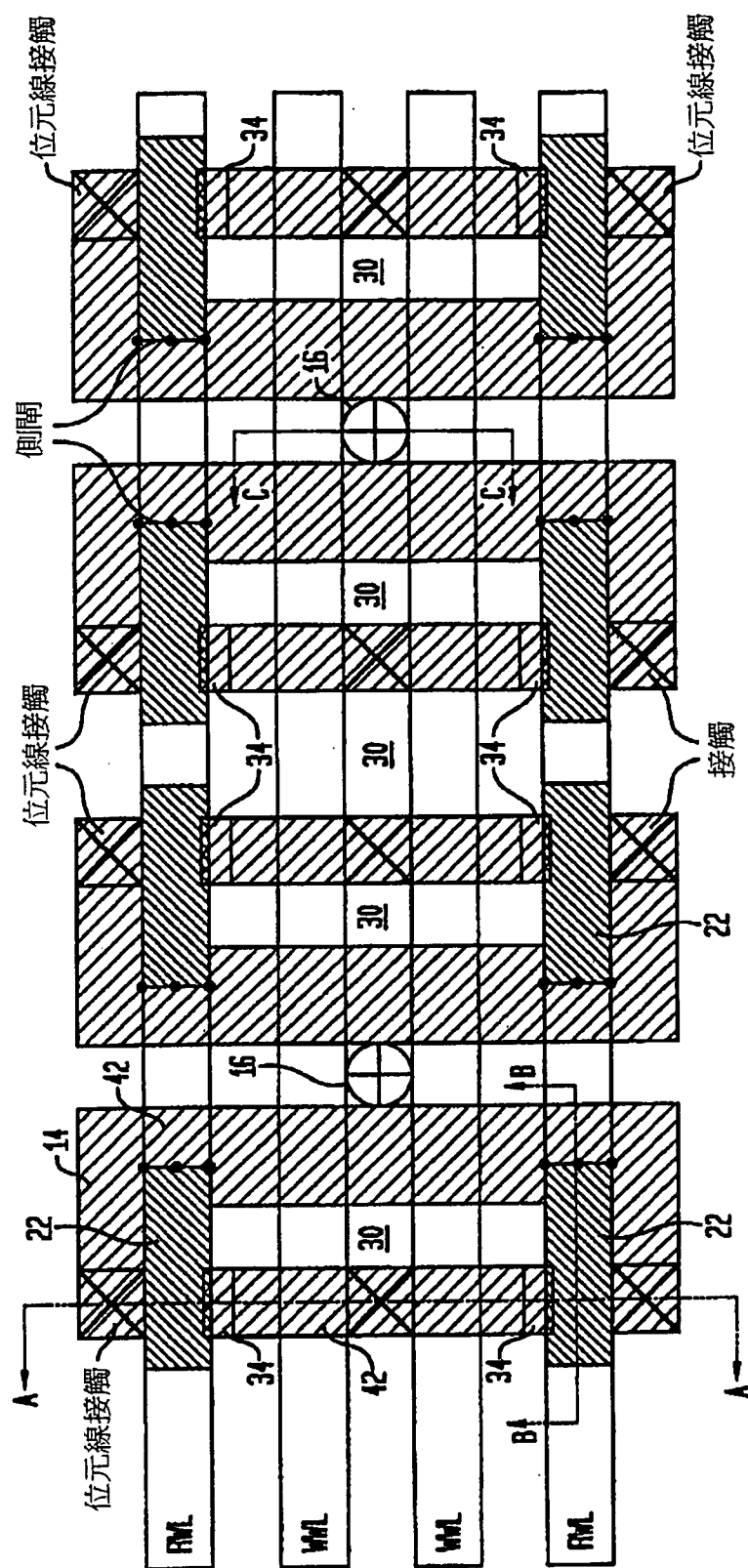


圖 14



15回

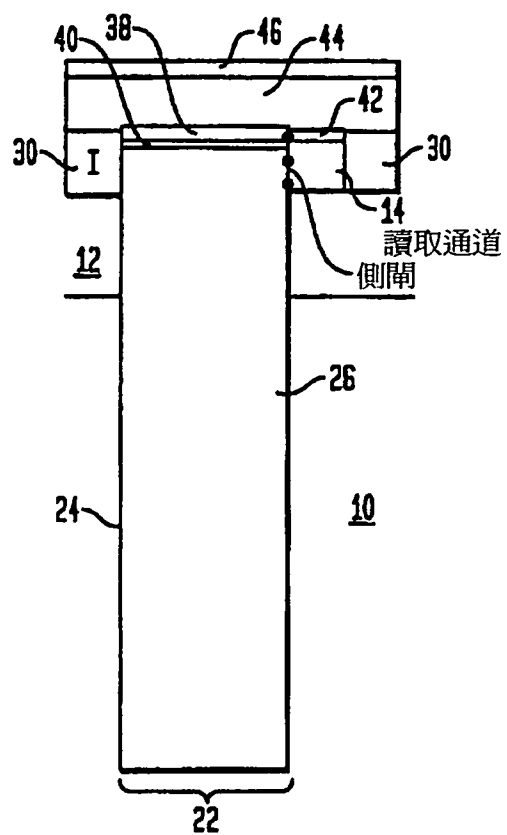


圖16

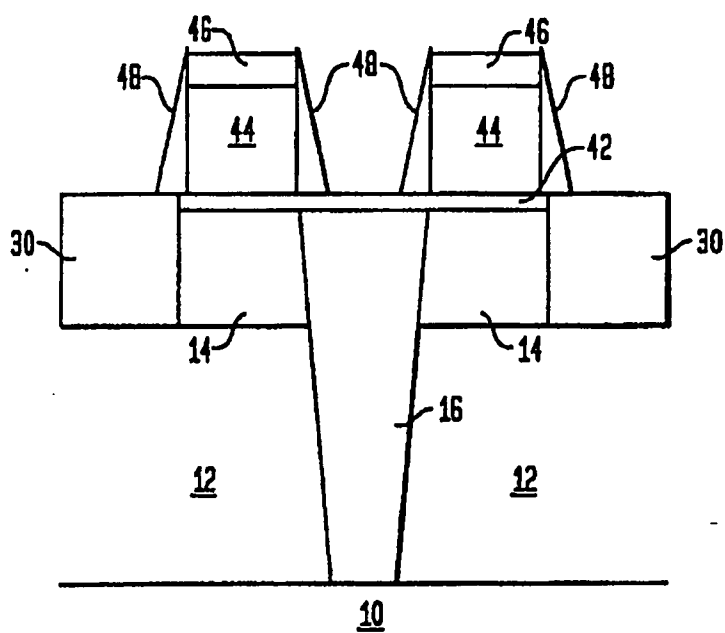


圖17

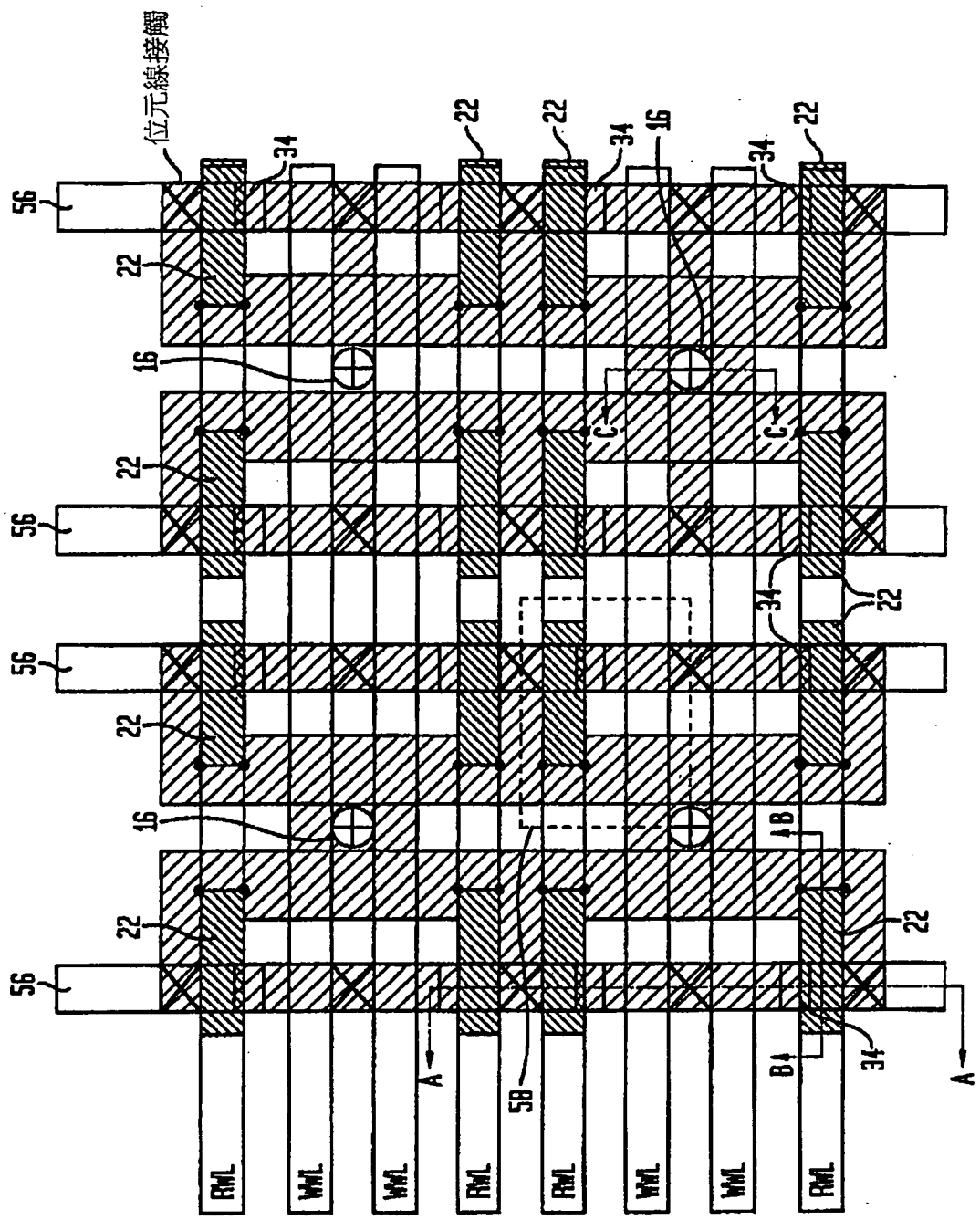


圖18

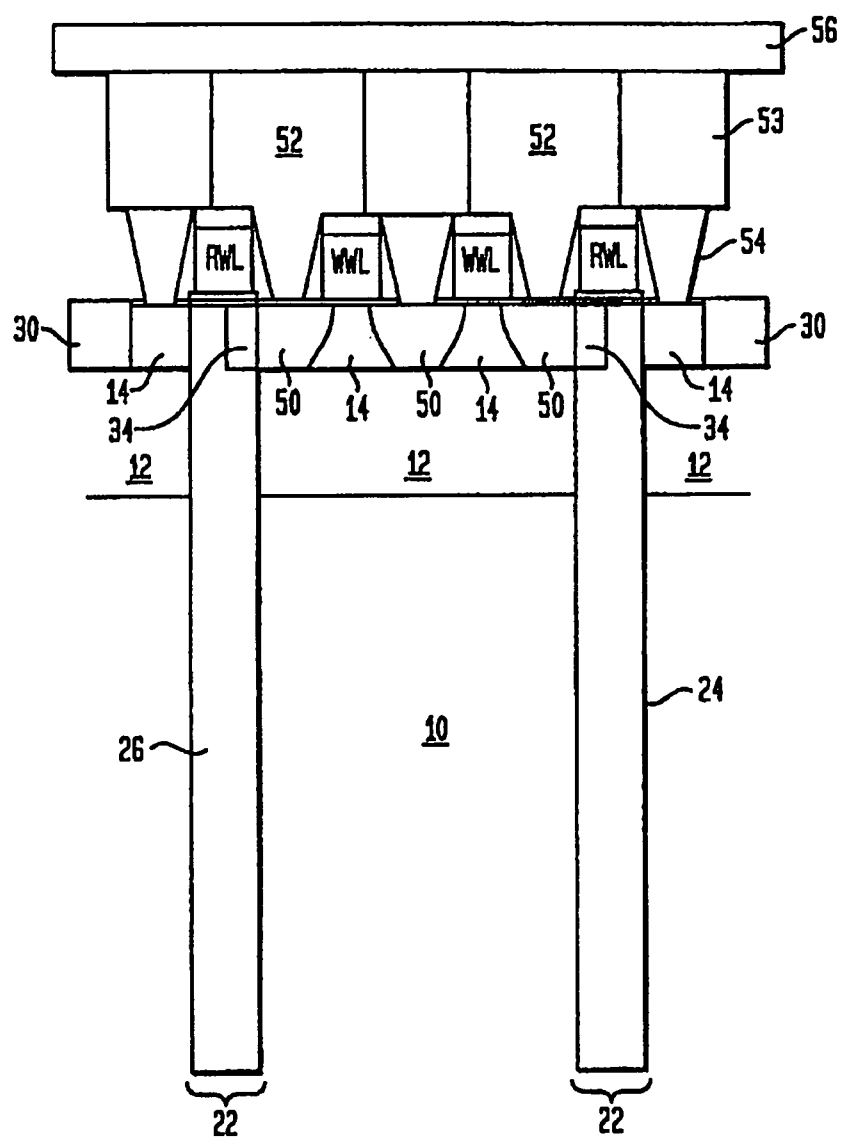


圖19

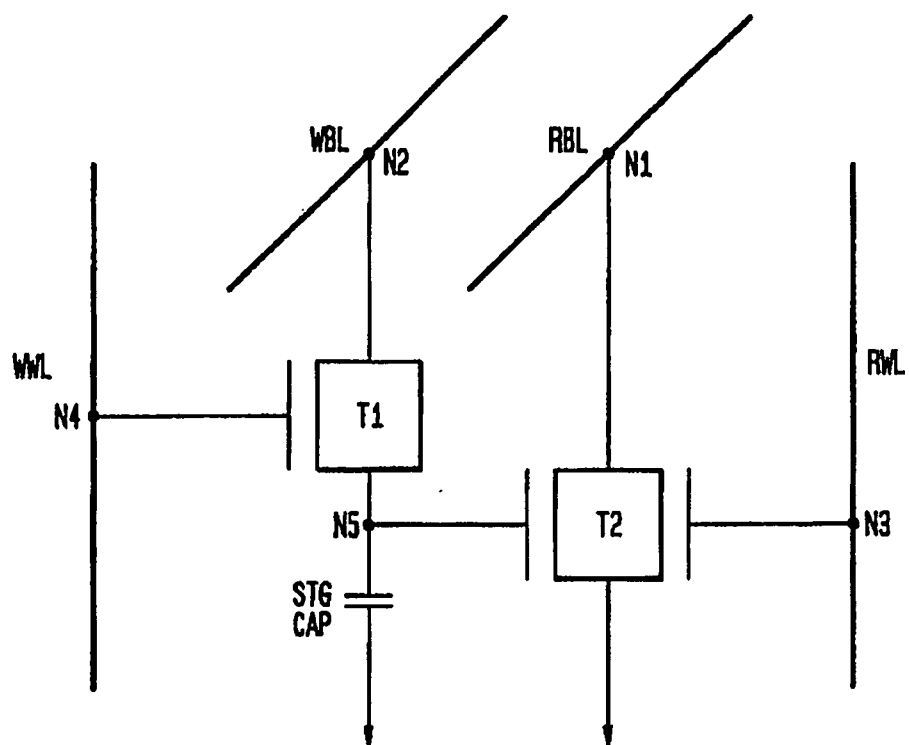
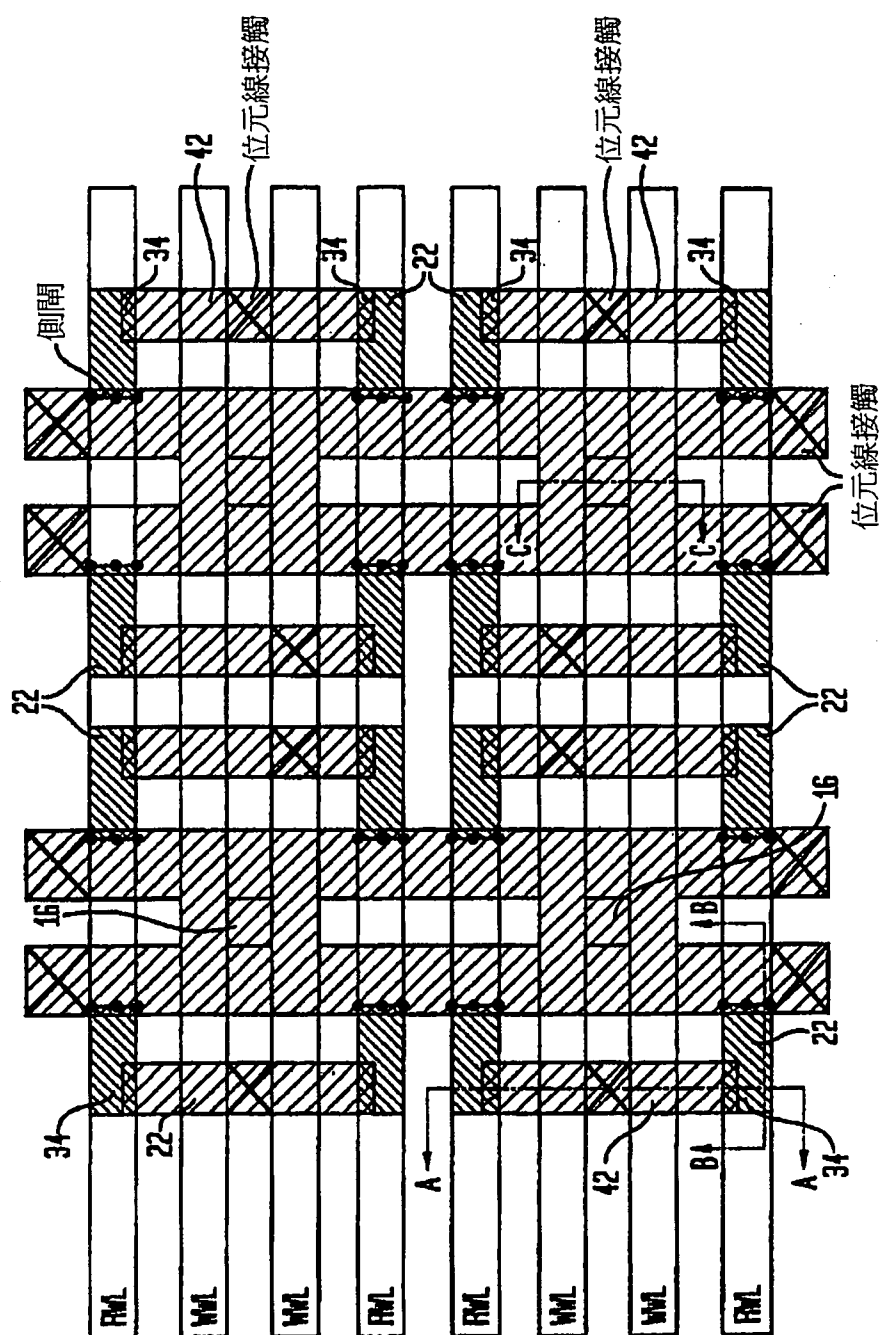


圖 20



21
回

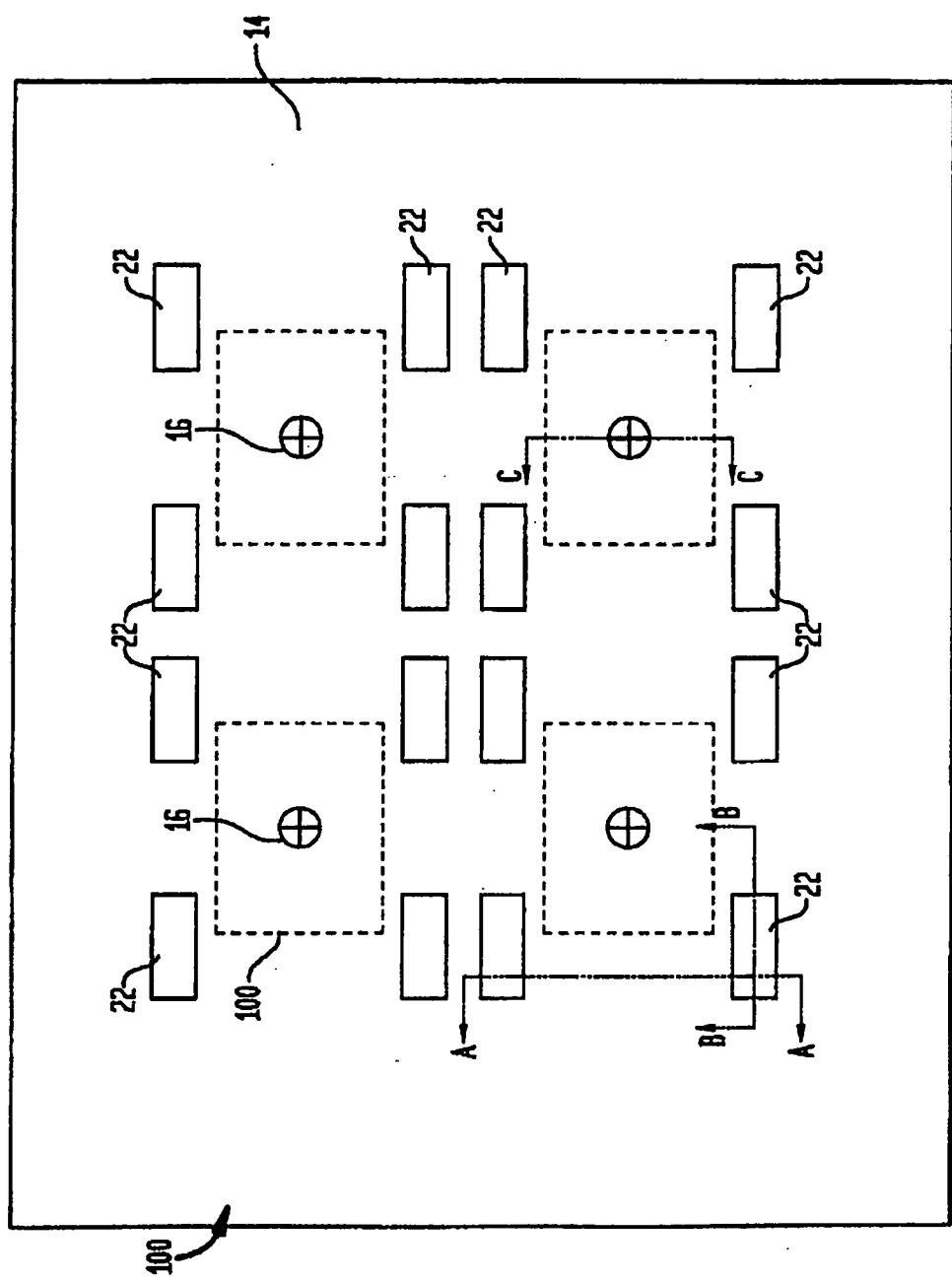


圖 22A

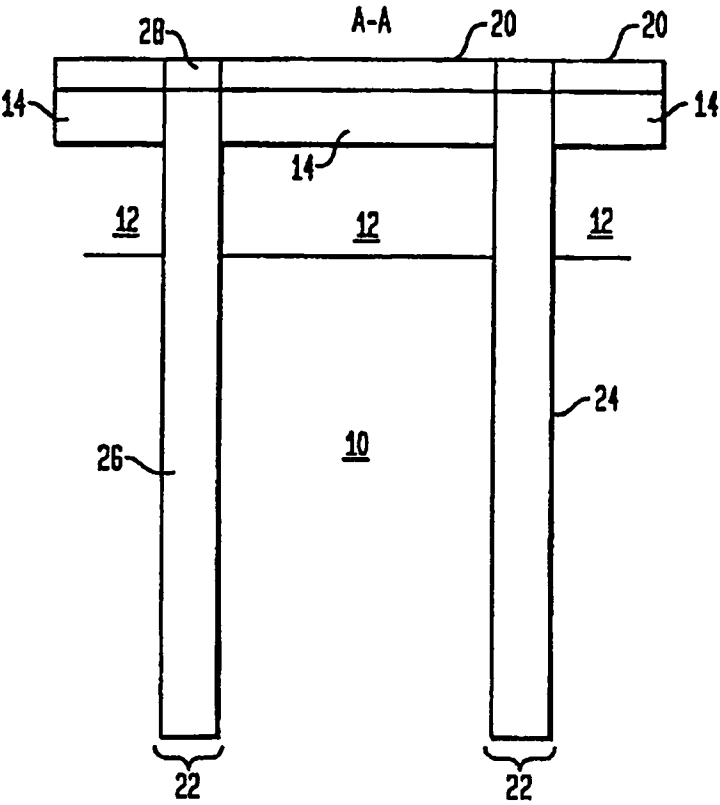


圖 22B

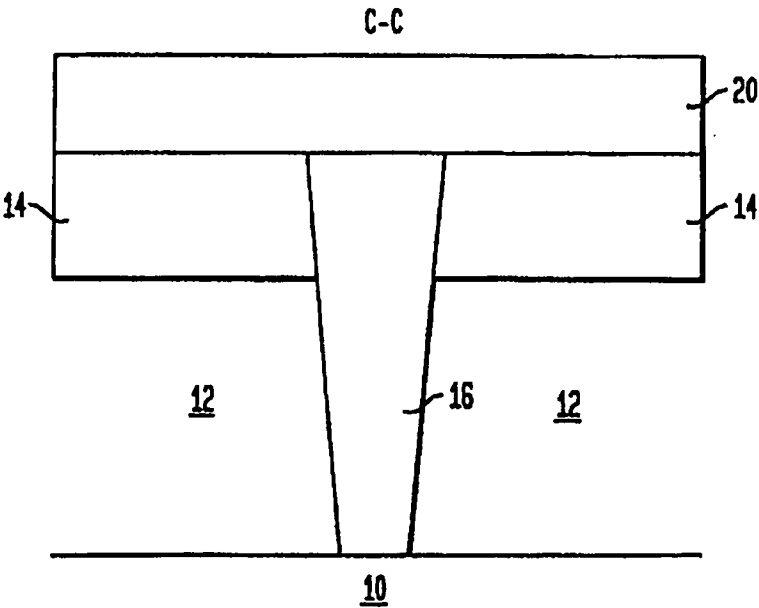


圖 22C