



(12) 发明专利申请

(10) 申请公布号 CN 101861651 A

(43) 申请公布日 2010. 10. 13

(21) 申请号 200880116904. 3

(22) 申请日 2008. 11. 06

(30) 优先权数据

07120665. 0 2007. 11. 14 EP

(85) PCT申请进入国家阶段日

2010. 05. 14

(86) PCT申请的申请数据

PCT/EP2008/065030 2008. 11. 06

(87) PCT申请的公布数据

W02009/062876 EN 2009. 05. 22

(71) 申请人 ABB 技术有限公司

地址 瑞士苏黎世

(72) 发明人 M·拉希摩 J·沃贝基 A·科普塔

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 朱海煜 徐予红

(51) Int. Cl.

H01L 29/739(2006. 01)

H01L 29/10(2006. 01)

H01L 29/32(2006. 01)

H01L 21/331(2006. 01)

H01L 21/263(2006. 01)

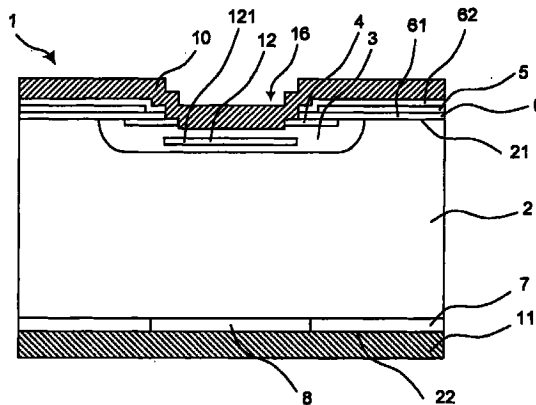
权利要求书 3 页 说明书 7 页 附图 8 页

(54) 发明名称

反向导通绝缘栅双极晶体管 and 对应制造方法

(57) 摘要

用于制造反向导通绝缘栅双极晶体管的方法包括下列步骤:在具有第一侧和与第一侧相对的第二侧的第一导电类型的晶圆上,第二导电类型的第二层和至少一个第一导电类型的第三层(其被第二层环绕)在第一侧上形成。晶圆的在完成的 RC-IGBT 中具有未修改的掺杂的那部分构成第一层。随后第五电绝缘层在第一侧上形成,其部分覆盖至少一个第三层、第二层和第一层。导电第四层在第一侧上形成,其通过第五层与晶圆电绝缘。至少一个第三层、第四层和第五层采用这样的方式形成使得它们在第二层上使第一开口形成。第一电接触在第一侧上形成,其与第二层和第三层直接电接触。至少一个第二导电类型的第六层和至少一个第一导电类型的第七层在第二侧上形成。至少一个第六和第七层交替设置在平面中。第二电接触在第二侧上形成,其与至少一个第六和第七层直接电接触。在第四和第五层形成后形成为缺陷层的第九层通过在第一侧上使用至少第四和第五层作为第一掩模通过第一开口离子注入而形成。



1. 一种用于制造反向导通绝缘栅双极晶体管 (1) 的方法, 其特征在于
在具有第一侧 (131) 和与所述第一侧 (131) 相对的第二侧 (132) 的第一导电类型的晶圆 (13) 上, 所述晶圆 (13) 的在所完成的反向导通绝缘栅双极晶体管中具有未修改掺杂的部分构成第一层 (2),

第二导电类型的第二层 (3) 和至少一个第一导电类型的第三层 (4) 在所述第一侧 (131) 上形成, 所述第三层 (4) 被所述第二层 (3) 环绕,

随后第五电绝缘层 (6) 在所述第一侧 (131) 上形成, 其部分覆盖所述至少一个第三层 (4)、所述第二层 (3) 和所述第一层 (2),

导电第四层 (5、5') 在所述第一侧 (131) 上形成, 其通过所述第五层 (6) 与所述晶圆 (13) 绝缘。所述至少一个第三层 (4)、所述第四层 (5、5') 和所述第五层 (6) 采用这样的方式形成使得它们在所述第二层 (3) 上方使第一开口 (16) 形成,

第一电接触 (10) 在所述第一侧 (131) 上形成, 其在所述第一开口 (16) 内与所述第二层 (3) 和所述第三层 (4) 直接电接触,

至少一个第二导电类型的第六层 (7) 和至少一个第一导电类型的第七层 (8) 在所述第二侧 (132) 上形成, 所述至少一个第六和第七层 (7、8) 交替设置在平面中,

第二电接触 (11) 在所述第二侧 (132) 上形成, 其与所述至少一个第六和第七层 (7、8) 直接电接触,

并且其特征在于在所述第四和第五层 (5、5'、6) 形成后至少一个形成缺陷层的第九层 (12、12') 通过在所述第一侧 (131) 上使用至少所述第四和第五层 (5、6) 作为第一掩模 (14) 通过所述第一开口 (16) 离子注入而形成。

2. 如权利要求 1 所述的方法, 其特征在于

所述离子在所述第一开口 (16) 内穿入所述晶圆 (13) 到比所述第一掩模 (14) 下面更大的深度并且所述离子穿入所述第一掩模 (14) 下面最大到所述第二层 (3) 的厚度, 特别最大到 $1\ \mu\text{m}$ 的深度。

3. 如权利要求 1 所述的方法, 其特征在于

所述离子在所述第一开口 (16) 周围被所述第一掩模 (14) 阻止穿入所述晶圆 (13)。

4. 如权利要求 1 至 3 中任一项所述的方法, 其特征在于

用于形成所述至少一个第九层 (12、12') 的离子在所述第一电接触 (10) 的形成之前注入。

5. 如权利要求 1 至 3 中任一项所述的方法, 其特征在于

用于形成所述至少一个第九层 (12、12') 的离子在所述第一电接触 (10) 的形成之后注入并且所述第一掩模 (14) 还包括所述第一电接触 (10)。

6. 如权利要求 4 所述的方法, 其特征在于

第二掩模 (15) 在所述第五层 (6) 上形成, 其具有至少与所述第一开口 (16) 重叠的第二开口 (17), 并且其特征在于所述第一掩模 (14) 还包括第二掩模 (15)。

7. 如权利要求 5 所述的方法, 其特征在于

第二掩模 (15') 在所述第一电接触 (10) 上形成, 所述第二掩模 (15') 具有至少与所述第一开口 (16) 重叠的第二开口, 并且其特征在于所述第一掩模 (14) 还包括所述第二掩模 (15')。

8. 如权利要求 1 或 7 中任一项所述的方法,其特征在于用于注入的所述离子是氢或氦离子。
9. 如权利要求 1 至 7 中任一项所述的方法,其特征在于用于注入的所述离子是磷或硼离子,特别是多电荷离子。
10. 如权利要求 9 所述的方法,其特征在于用于注入的所述离子的剂量高于 $1 \times 10^{11} / \text{cm}^2$ 。
11. 如权利要求 9 至 10 中任一项所述的方法,其特征在于在所述离子的注入后进行退火步骤,特别地在不超过 500°C 的温度进行退火步骤,以及特别地在 150°C 直到 450°C 的范围内的温度进行退火步骤。
12. 如权利要求 1 至 11 中任一项所述的方法,其特征在于所述至少一个第九层 (12、12') 在所述第二层 (3) 内和 / 或在所述第二层 (3) 下面的所述第一层 (2) 内形成。
13. 一种反向导通绝缘栅双极晶体管 (1),其特征在于,所述反向导通绝缘栅双极晶体管 (1) 包括具有第一主侧 (21) 和与所述第一主侧 (21) 相对的第二主侧 (22) 的第一导电类型的第一层 (2),第二导电类型的第二层 (3),其设置在所述第一主侧 (21) 上,至少一个第一导电类型的第三层 (4),其设置在所述第一主侧 (21) 上并且所述至少一个第三层 (4) 被所述第二层 (3) 环绕,第五电绝缘层 (6),其设置在所述第一主侧 (21) 上并且其至少部分覆盖所述至少一个第三层 (4),导电第四层 (5、5'),其设置在所述第一主侧 (21) 上并且其通过所述第五层 (6) 与所述至少一个第三层 (4)、所述第四层 (5、5') 和所述第一层 (2) 电绝缘,所述至少一个第三层 (4)、所述第四层 (5、5') 和所述第五层 (6) 采用这样的方式形成使得第一开口 (16) 设置在所述第二层 (3) 上方,第一电接触 (10),其设置在所述第一主侧 (21) 上并且其在所述第一开口 (16) 内与所述第二层 (3) 和所述第三层 (4) 直接电接触,至少一个第二导电类型的第六层 (7) 和至少一个第一导电类型的第七层 (8),它们设置在所述第二主侧 (22) 上,所述至少一个第六和第七层 (7、8) 交替设置在平面中,第二电接触 (11),其设置在所述第二主侧 (22) 上并且其与所述至少一个第六和第七层 (7、8) 直接电接触,以及至少一个第九层 (12、12'),其形成为缺陷层,其横向延伸被限制到在所述第二层 (3) 内和 / 或在所述第二层 (3) 下面的所述第一层 (2) 内且由所述第一开口 (16) 的边界限定的区域。
14. 如权利要求 13 所述的反向导通绝缘栅双极晶体管 (1),其特征在于所述至少一个第九层 (12、12') 设置在所述第一层 (2) 内且在所述第二层 (3) 和所述第一层 (2) 之间的结下面最大 $10 \mu\text{m}$ 的深度中。
15. 如权利要求 13 或 14 中任一项所述的反向导通绝缘栅双极晶体管 (1),其特征在于第一导电类型的第八层 (9) 设置在所述第一层 (2) 和所述至少一个第六和第七层 (7、

8) 设置在其中的平面之间。

16. 如权利要求 13 至 15 中任一项所述的反向导通绝缘栅双极晶体管 (1), 其特征在于所述至少一个第九层 (12、12') 包括第一缺陷区域 (121) 和至少一个第二缺陷区域 (122), 所述第一缺陷区域 (121) 设置在所述第一开口 (16) 下面, 所述至少一个第二缺陷区域 (122) 设置在所述第四和第五层 (5、6) 下面, 所述第一缺陷区域 (121) 设置在比所述第二缺陷区域 (122) 更大的深度中并且所述第二缺陷区域 (122) 设置在最大对应于所述第二层 (3) 的厚度的深度中, 特别地设置在最大在 $1\mu\text{m}$ 的深度中。

17. 如权利要求 14 至 16 中任一项所述的反向导通绝缘栅双极晶体管 (1), 其特征在于第一导电类型的第十层 (17) 设置在所述第二层 (3) 和所述第一层 (2) 之间并且其特征在于所述第十层 (17) 将所述第二层 (3) 和所述第一层 (2) 分开。

18. 一种具有如权利要求 14 至 17 中任一项所述的反向导通绝缘栅双极晶体管 (1) 的转换器。

反向导通绝缘栅双极晶体管 and 对应制造方法

技术领域

[0001] 本发明涉及功率电子设备的领域,并且更加具体地涉及根据权利要求 1 引言的用于制造反向导通绝缘栅双极晶体管的方法和根据权利要求 13 引言的反向导通绝缘栅双极晶体管。

背景技术

[0002] 在 US 2005/0017290 中描述了反向导通绝缘栅双极晶体管 (RC-IGBT), 其在一片晶圆 (wafer) 内包括具有内建续流二极管的绝缘栅双极晶体管。如在图 1 中示出, 这样的反向导通绝缘栅双极晶体管 1 包括形成为 n 型基极层的第一层 2, 其具有第一主侧 21 和与第一主侧 21 相对的第二主侧 22。第二 p 型层 3 设置在第一主侧 21 上。在第二层 3 上, 具有比第一层 2 更高掺杂的第三 n 型层 4 设置在第一主侧 21 上。第三层 4 由第二层 3 以这样的方式环绕使得在第二层 3 的中心部分中没有第三层 4 设置在第二层 3 上方。

[0003] 第五电绝缘层 6 设置在第一主侧 21 上并且覆盖第二层 3 和第一层 2 并且部分覆盖第三层 4。导电第四层 5 完全嵌入第五层 6 中。在第二层 3 的中心部分上方没有设置第四或第五层 5、6。

[0004] 第一电接触 10 设置在第一主侧 21 上并且覆盖第五层 6。第一电接触 10 与第二层 3 和第三层 4 直接电接触, 但与第四层 5 电绝缘。

[0005] 在第二主侧 22 上, p 型第六层 7 和 n 型第七层 8 交替地设置在平面中。第七层 8 具有比第一层 2 更高的掺杂。第七层 8 设置在第二层 3 和第一电接触 10 正下面 (如果在正投影中来看的话)。

[0006] 第二电接触 11 设置在第二主侧 22 上并且它覆盖第六和第七层 7、8 并且与它们直接电接触。

[0007] 在这样的反向导通绝缘栅双极晶体管 1 中, 续流二极管在第二电接触 11 (其的一部分构成二极管中的阴极电极)、第七层 8 (其构成二极管中的阴极区)、第一层 2 (其的一部分构成二极管基极层)、第二层 3 (其的一部分构成二极管中的阳极区) 和第一电接触 10 (其构成二极管中的阳极) 之间形成。

[0008] 绝缘栅双极晶体管在第二电接触 11 (其的一部分构成 IGBT 中的集电极电极)、第六层 7 (其构成 IGBT 中的集电极区域)、第一层 2 (其的一部分构成基极层)、第二层 3 (其的一部分构成 IGBT 中的 p 基极区)、第三层 4 (其构成 IGBT 中的源极区) 和第一电接触 10 (其构成发射极电极) 之间形成。在 IGBT 的导通状态期间, 沟道在发射极电极、源极区和朝向 n 基极层的 p 基极区之间形成。

[0009] US 2005/0258493 示出相似的反向导通 IGBT, 在该情况下具有槽栅结构。在槽栅电极和 p 基极区下面的复合层 (recombination layer), 其在平行于第一主侧的平面中延伸完全通过第一层, 即它形成为通过二极管部分以及通过 IGBT 部分。该复合层通过均匀的氦辐照形成。通过引入该层, 改进了在反向导通 IGBT 的二极管部分中的等离子体分布。然而在 IGBT 部分内, 具有减少的等离子体分布是不期望的, 因为它导致更高的导通状态损耗。

[0010] JP 2007-103770 也示出反向导通 IGBT。寿命控制通过引入局部复合层改进,这些复合层设置在靠近第二主侧的二极管部分中的第一层中,即在第二层与在第二主侧上的阳极和阴极层直接接触的区域中。缺陷层通过复杂掩模技术形成,其中金属掩模在第一侧(完成的器件的发射极侧)上的器件完工后并且在形成集电极和阴极层和第二电接触后引入在晶圆的第二侧上。掩模在二极管部分中具有开口,即在设置阴极层的区域中具有开口。掩模必须与在晶圆的第一侧上的第一电接触对准,即其中该侧位于放置掩模的侧的相对侧。仅通过这样的放置可以保证复合场将设置在阴极层和阳极层之间的第一基极层中的反向导通 IGBT 的二极管部分中。然后晶圆用轻离子束辐照。掩模的厚度和 / 或束的能量采用这样的方式选择使得离子仅穿入在二极管部分中的晶圆,即进入在设置集电极层的部分中。随后,掩模移除并且器件完成。

[0011] 在 DE 102 61 424 B3 中提出用于具有缺陷层(设置在第二层中)的 IGBT 的制造方法。缺陷层在电绝缘层完成之前已经制造,即它在位于导电第四层下面的那部分电绝缘层的制造后并且在导电第四层的制造后但在完成电绝缘层之前(即在制造覆盖导电第四层 5 的顶部和该侧(多开口位于其上)的那部分绝缘层之前)已经制造,使得缺陷层在第二层的宽度上和在形成为源极区的第三层的整个宽度上延伸。然而,对于上文描述的电绝缘层的制造或完成,必须执行高温步骤,由此缺陷的不期望激活被引入,从而破坏了复合中心。此外,制作如在 DE 102 61 424 B3 中公开的缺陷层横过多开口和在源极区下面延伸的这样的结构是困难的。这样的器件可以对器件安全工作区和导通状态性能具有消极影响,因为它在源极区下面提供高电阻路径,其通常导致晶闸管闭锁(latch-up)和器件失效。它还可以消极影响 MOS 沟道参数和靠近 IGBT 单元的电荷分布。

发明内容

[0012] 本发明的目的是提供用于制造反向导通绝缘栅双极晶体管的方法,其用简单的制造方法在二极管部分中具有改进的开关特性而没有使 IGBT 部分中的特性退化。

[0013] 该目的通过根据权利要求 1 的用于制造反向导通绝缘栅双极晶体管的方法和通过根据权利要求 13 的反向导通绝缘栅双极晶体管实现。

[0014] 用于制造反向导通绝缘栅双极晶体管的发明性方法包括下列步骤:

[0015] 在具有第一侧和与第一侧相对的第二侧的第一导电类型的晶圆上,第二导电类型的第二层和至少一个第一导电类型的第三层(其被第二层环绕)在第一侧上形成。第三层具有比晶圆更高的掺杂。晶圆的在完成的 RC-IGBT 中具有未修改掺杂的那部分构成第一层。

[0016] 随后第五电绝缘层在第一侧上形成,其部分覆盖该至少一个第三层、第二层和第一层,即晶圆的在完成的器件中具有未修改掺杂的那部分。

[0017] 导电第四层在第一侧上形成,其通过第五层与晶圆电绝缘。该至少一个第三层、第四层和第五层采用这样的方式形成使得它们在第二层上使第一开口形成。

[0018] 第一电接触在第一侧上形成,其在第一开口内与第二层和第三层直接电接触。

[0019] 至少一个第二导电类型的第六层和至少一个第一导电类型的第七层在第二侧上形成。至少一个第六和第七层交替设置在平面中。至少一个第七层具有比第一层更高的掺杂。

[0020] 第二电接触在第二侧上形成,其与至少一个第六和第七层直接电接触。

[0021] 在第四和第五层形成后至少一个形成为缺陷层的第九层通过在第一侧上使用至少第四和第五层作为第一掩模通过第一开口离子注入形成。

[0022] 根据本发明的反向导通绝缘栅双极晶体管包括至少一个形成为缺陷层的第九复合层,即通过在第九层中的缺陷中心形成,该层设置在第二层内和/或在第二层下面且在第一层中,并且缺陷层限制于第一接触开口的区域,即第一电接触与第二和第三层电接触的开口。通过用于制造 RC-IGBT 的发明性方法,生产出 RC-IGBT,其中在器件中的等离子体分布通过局部减少靠近二极管阳极电极的等离子体优化而没有使靠近阳极电极的 IGBT 的如同导通状态损耗等性能退化。

[0023] 本发明性的方法也是有利的,因为掩模应用在缺陷层将设置在其上并且缺陷层将与该侧对准的相同侧上,从而避免放置掩模在第二侧上并且将它与在另一侧上即在第一侧上的第一电接触和第二以及第三层的位置对准的必要性。此外,本发明性方法根本不需要特殊的掩模,因为掩模可以用作为 RC-IGBT 的一部分的层制成。

[0024] 因为至少一个第九缺陷层靠近第一电接触设置,本发明性的 RC-IGBT 不需要构成二极管中的阴极层的第六层的对准,并且仍然可以保持提高二极管性能而不使 IGBT 性能退化的本发明的优势。由于对第一开口的自对准(由此缺陷层的横向延伸限制到由第一开口(16)的边界的区域),至少一个第九缺陷层不会以这样的使得它将位于 RC-IGBT 的 IGBT 部分中的方式而偏移。本发明性的主旨的另外的优选实施例在附属权利要求中公开。

附图说明

[0025] 本发明的主旨将在下列正文中参照附图更加详细地说明,其中:

[0026] 图 1 示出对于现有技术反向导通 IGBT 的横截面视图;

[0027] 图 2 示出根据本发明的反向导通 IGBT 的实施例的横截面视图;

[0028] 图 3 示出根据本发明的反向导通 IGBT 的另一个实施例的横截面视图;

[0029] 图 4 示出根据本发明的反向导通 IGBT 的另一个实施例的横截面视图;

[0030] 图 5 示出根据本发明的反向导通 IGBT 的制造方法中的制造步骤;

[0031] 图 6 示出根据本发明的反向导通 IGBT 的另一个制造方法中的制造步骤;

[0032] 图 7 示出根据本发明的反向导通 IGBT 的另一个制造方法中的制造步骤;

[0033] 图 8 示出根据本发明的反向导通 IGBT 的另一个制造方法中的制造步骤;

[0034] 图 9 示出根据本发明具有槽栅电极的反向导通 IGBT 的另一个实施例的横截面视图;

[0035] 图 10 示出根据本发明具有增强层的反向导通 IGBT 的另一个实施例的横截面视图;

[0036] 图 11 示出根据本发明的反向导通 IGBT 的另一个实施例的横截面视图;

[0037] 图 12 示出根据本发明的反向导通 IGBT 的另一个实施例的横截面视图;以及

[0038] 图 13 示出根据本发明的反向导通 IGBT 的另一个实施例的横截面视图。

[0039] 在附图中使用的标号和它们的含义在标号列表中总结。一般,相似或相似功能的部件给予相同的标号。描述的实施例意为示例并且不应限制本发明。

具体实施方式

[0040] 在图 2 中示出发明性反向导通绝缘栅双极晶体管 1 的第一实施例。RC-IGBT 1 包括 n 型第一层 2, 其具有第一主侧 21 和与第一主侧 21 相对的第二主侧 22。p 型第二层 3 设置在第一主侧 21 上。至少一个 n 型第三层 4 设置在第一主侧 21 上并且被第二层 3 环绕。该至少一个第三层 4 具有比第一层 2 更高的掺杂。第五电绝缘层 6 设置在第一主侧 21 上且在第一、第二和第三层 2、3、4 的顶部上。它至少部分覆盖至少一个第三层 4、第二层 3 和第一层 2。导电第四层 5 设置在第一主侧 21 上通过第五层 6 与至少一个第三层 4、第二层 3 和第一层 2 电绝缘。优选地, 第四层 5 嵌入第五层 6 中。

[0041] 典型地第五层 6 包括第一电绝缘层 61, 优选地用二氧化硅制成, 和第二电绝缘层 62, 优选地也用二氧化硅制成, 优选地用与第一电绝缘层 61 相同的材料。第二电绝缘层 62 覆盖第一电绝缘层 61。对于如在图 2 中示出的具有形成为平面栅电极的第四层 5 的 RC-IGBT, 第一电绝缘层 61 设置在第一主侧 21 的顶部上。构成栅电极的第四层 5 嵌入在构成第五层 6 的第一和第二电绝缘层 61、62 之间中, 典型地它被完全嵌入。从而, 第四层 5 通过第一电绝缘层 61 与第一、第二和第三层 2、3、4 分开。第四层 5 典型地用重掺杂多晶硅或如同铝的金属制成。

[0042] 至少一个第三层 4、第四层 5 和第五层 6 采用这样的方式形成使得第一开口 16 在第二层 3 上面形成。第一开口 16 被至少一个第三层 4、第四层 5 和第五层 6 环绕。第一开口 16 形成为接触开口。

[0043] 第一电接触 10 设置在第一主侧 21 上且在第一开口 16 内。该第一电接触 10 典型地也覆盖第五层 6, 但通过第二电绝缘层 62 与第四层 5 分开从而与其电绝缘。它与第二层 3 和第三层 4 直接电接触。

[0044] 至少一个 p 型第六层 7 和 n 型第七层 8 设置在第二主侧 22 上, 该至少一个第六和第七层 7、8 交替地设置在平面中。第七层 8 具有比第一层 2 更高的掺杂。在优选实施例中, 第七层 8 设置在第一开口 16 正下面, 但第七层 8 的位置也可以偏移到一侧, 如在图 11 中示出的。没有必要使第七层 8 与第一开口 16 对准从而与第一电接触 10 对准。

[0045] 第二电接触 11 设置在第二主侧 22 上并且它与至少一个第六和第七层 7、8 直接电接触。

[0046] 形成为缺陷层的包括第一缺陷区域 121 的第九复合层 12 对第一开口 16 采用自对准方式而设置, 即第九层 12 的延伸由第一接触开口 16 的边界限制, 或在第二层 3 内或如在图 4 中示出的在第二层 3 下面且在第一层 2 内。第一缺陷区域 121 设置在第二层 3 和第一层 2 之间的结下面最大 $10\mu\text{m}$ 的深度中的第一层 2 内。在图中, 第九层 12 由在第九层 12 内的最大复合中心浓度的区域代表。第九层 12 的深度必须理解为最大复合中心浓度的深度。

[0047] 在另一个优选的实施例中, 没有在图中示出, 第九缺陷层 12 对第一开口 16 采用自对准的方式而设置, 即第九层 12 的位置限制到在第一接触开口 16 下面的区域, 且在第二层 3 内和在第二层 3 下面的第一层 2 内, 即在该情况下第九层 12 从第二层 3 内的区域延伸到在第一层 2 内的区域。

[0048] 如在图 12 中示出的, 本发明性的 RC-IGBT 还可以包括超过一层的第九层, 例如两层第九层。这些第九层 12 中的一层可以设置在第二层 3 内并且另外的第九层 12' 在第一

层 2 内。

[0049] 在图 13 中示出的另外的实施例中,至少一个第九层 12、12' 包括第一缺陷区域 121(其设置在第一开口 16 下面)和至少一个第二缺陷区域 122(其设置在第四和第五层 5、6 下面,即在第一掩模 14 下面)。第一缺陷区域 121 设置在比第二缺陷区域 122 更大的深度中并且第二缺陷区域 122 最大设置在对应于第二层 3 的厚度的深度中,特别最大在 $1\mu\text{m}$ 的深度中。

[0050] 在图 10 中示出的另一个优选实施例中,形成为增强层的第十 n 掺杂层 17 设置在第二层 3 和第一层 2 之间用于具有更低的导通状态损耗。第十层 17 将第二层 3 从第一层 2 分开并且它具有比第一层 2 更高的掺杂。

[0051] 对于具有平面栅电极的本发明性 RC-IGBT 备选地,本发明性 RC-IGBT 可包括第四层 5',形成为如在图 9 中示出的槽栅电极。槽栅电极 5' 设置在与第二层 3 相同的平面中并且与第二层 3 相邻,它们通过第一绝缘层 61 彼此分开,第一绝缘层 61 还分开第四层 5' 与第一层 2。第二绝缘层 62 设置在形成为槽栅电极的第四层 5' 的顶部上,从而使第四层 5' 与第一电接触 10 绝缘。

[0052] 如在图 3 中示出的,在另一个优选实施例中 RC-IGBT 1 还包括 n 型第八层 9,其设置在第一层 2 和至少一个第六和第七层 7、8 设置在其中的平面之间,并且第八层 9 具有比第一层 2 更高的掺杂和比第七层 8 更低的掺杂。

[0053] 在另一个实施例中,更换导电类型,即第一导电类型的所有层是 p 型(例如第一层 2)而第二导电类型的所有层是 n 型(例如第二层 3)。

[0054] 在本发明性 RC-IGBT 1 中,二极管在第一电接触 10(其构成二极管中的阳极电极)、第二层 3(其的一部分构成阳极层)、第一层 2(其的一部分构成基极层)、第七层 8(其构成阴极层)和第二电接触 11(其构成阴极电极)之间形成。

[0055] 在本发明性 RC-IGBT 1 中,绝缘栅双极晶体管(IGBT)在第一电接触 10(其构成 IGBT 中的发射极电极)、第三层 4(其构成源极区)、第二层 3(其的一部分构成沟道区)、第一层 2(其的一部分构成基极区)、第六层 7(其构成集电极层)和第二电接触 11(其的一部分构成集电极电极)之间形成。

[0056] 本发明性反向导通绝缘栅双极晶体管可以例如在转换器中使用。

[0057] 在用于制造反向导通绝缘栅双极晶体管 1 的发明性方法中执行下列步骤:

[0058] -n 型晶圆 13 具有第一侧 131 和与第一侧 131 相对的第二侧 132。晶圆 13 的在完成的反向导通绝缘栅双极晶体管中具有未修改掺杂的那部分构成第一层 2。p 型第二层 3 在第一侧 131 上形成。

[0059] 被第二层 3 环绕的至少一个 n 型的第三层 4 在第一侧 131 上形成。第三层 4 具有比第一层 2 更高的掺杂。

[0060] 随后第一电绝缘层 61 在第一侧 131 上形成。它部分覆盖至少一个第三层 4、第二层 3 和第一层 2。典型地第三层 4 在第一侧 131 上被完全覆盖,在第二层 3 的位于第三层 4 和第一层 2 之间的那部分上且在第一侧 131 上覆盖第二层 3,并且第一层 2 也在位于第一侧 131 上的那部分上被覆盖。

[0061] 导电第四层 5 在第一侧 131 上形成,其设置在第一电绝缘层 61 上。第四层 5 典型地用重掺杂多晶硅或如同铝的金属制成。

[0062] 优选地,第二电绝缘层 62 采用这样的方式在导电第四层 5 上形成使得第四层 5 设置在第一和第二电绝缘层 61、62 之间,典型地第四层 5 被完全嵌入。第二电绝缘层 62 典型地用如预先描述的低温二氧化硅材料制成。第一和第二电绝缘层 61、62 构成第五层 6。

[0063] 至少一个第三层、第四层和第五层 4、5、6 采用这样的方式形成使得它们在第二层 3 上方使第一开口 16 形成。

[0064] 第一电接触 10 在第一侧上形成,其与第二层 3 和第三层 4 直接电接触。典型地第一电接触 10 覆盖第五层 6。

[0065] 至少一个 p 型第六层 7 和至少一个 n 型第七层 8(具有比第一层 2 更高的掺杂)在晶圆 13 的第二侧 132 上形成。至少一个第六和第七层 7、8 交替设置在平面中。

[0066] 第二电接触 11 在第二侧 132 上且在至少一个第六和第七层 7、8 上的与第一层 2 相对的侧上形成。第二电接触 11 与至少一个第六和第七层 7、8 直接电接触。

[0067] 在第四和第五层 5、6 形成后,第九层通过在第一侧 131 上通过第一开口 16 离子注入形成缺陷层。在图 5 至 8 中注入由 s 形箭头表示。至少第四和第五层 (5、6) 用作第一掩模 14。

[0068] 由于引入第一掩模 14,离子可以在第一开口 16 内穿入晶圆到比第一掩模 14 下面更大的深度。在第一掩模 14 下面,离子穿入晶圆 13 最大到第二层 3 的厚度。特别地,离子穿入晶圆 13 最大到 $1\mu\text{m}$ 的深度。在该情况下,在图 13 中示出,第九层 12 包括第一缺陷区域 121(其与第一开口 16 对准,即第九层 12 的延伸被第一接触开口 16 的边界限制,并且在第一开口 16 下面)和在第一掩模 14 下面的第二缺陷区域 122。因为第二缺陷区域 122 位于靠近第一主侧 21,该器件可以获得改进的二极管特性而不使 IGBT 特性退化的优势。

[0069] 备选地,离子在第一开口 16 周围的区域中被第一掩模 14 阻止穿入晶圆 13,使得第九层 12 仅在第一开口 16 下面的晶圆中形成。在该情况下,第九层 12 仅包括设置在第一开口 16 下面的第一缺陷区域 121。

[0070] 在优选实施例中,用于形成第九缺陷层 12 的离子在第一电接触 10 形成之前注入,如在图 5 中示出的。备选地,用于形成第九层 12 的离子在第一电接触 10 形成后注入,如在图 6 中示出的。在该情况下,第一掩模 14 还包括第一电接触 10。

[0071] 如在图 7 中示出的,在另外优选的实施例中,第二掩模 15 在第一电接触 10 形成之前第五层 6 顶部上形成,其具有在第二层 3 上面的第二开口,第二开口优选地对应于第一开口 16。第一掩模 14 还包括第二掩模 15。第二掩模 15 优选地是抗蚀剂掩模,其在完成 RC-IGBT 之前移除。通过引入第二掩模 15,增加了第一掩模 14 的厚度从而提高了掩模中离子的吸收。同样,更高的能量可以用于离子注入,如果期望在晶圆 13 更大的深度中形成第九层 12 的话则这是有利的。

[0072] 备选地,图 8 示出第二掩模 15',其在第一电接触 10 形成之后在第一电接触 10 顶部上形成。该第二掩模 15' 也具有在第二层 3 上面的第二开口,第二开口优选地对应于第一开口 16,但与第一开口 16 相比第二开口还可以更宽、更小或偏移。第一掩模 14 还包括第二掩模 15'。第二掩模 15' 优选地是抗蚀剂掩模,其在完成 RC-IGBT 之前移除。

[0073] 备选地,第二掩模 15' 是金属掩模,其可以在完成半导体器件之前移除或其保留在完成的器件中。同样这样的金属第二掩模 15' 可在第一电接触 10 形成之前或之后引入。

[0074] 氢或氘离子可用作用于注入的离子。

[0075] 在另一个优选的实施例中,用于注入的离子是磷或硼离子。磷或硼离子可以特别是多电荷离子,例如双电荷硼 (B^{++}) 或三电荷磷 (P^{+++})。用于注入的离子的剂量优选地高于 $1 \times 10^{11}/\text{cm}^2$ 。优选地,在离子注入后进行退火步骤,特别在不超过 500°C 的温度和特别在 150°C 和 450°C 之间的温度退火以确保在 p 型第二层 3 中没有发生掺杂效应并且保持局部寿命。

[0076] 第九层 12 可在第二层 3 内或在第二层 3 下面的第一层 2 内形成。在另一个优选实施例中,第九层 12 设置在第二和第一层 2、3 内,即在从第二层 3 延伸到第一层 2 的区域内。

[0077] 在本发明性 RC-IGBT 包括两层或更多层第九缺陷层 12、12' 的情况下,这些第九层中之一 12 可以通过注入氢或氘离子形成并且另一第九缺陷层 12' 可以通过注入磷或硼离子形成。另外,注入步骤可以在器件制造的不同阶段执行,例如一个注入步骤在第一电接触 10 形成之前而另一步骤在接触 10 形成之后,或者是一个注入在引入第二掩模 15、15' 之前而另一注入在其之后,使得出现许多用于优化缺陷层 12、12' 的位置和性能的可能性。

[0078] 标号列表

[0079]	1RC-IGBT	10 第一电接触
[0080]	2 第一层	11 第二电接触
[0081]	21 第一主侧	12、12' 第九层
[0082]	22 第二主侧	121 第一缺陷区
[0083]	3 第二层	122 第二缺陷区
[0084]	4 第三层	13 晶圆
[0085]	5 第四层	131 第一侧
[0086]	6 第五层	132 第二侧
[0087]	61 第一电绝缘层	14 第一掩模
[0088]	62 第二电绝缘层	15、15' 第二掩模
[0089]	7 第六层	16 第一开口
[0090]	8 第七层	17 第十层
[0091]	9 第八层	

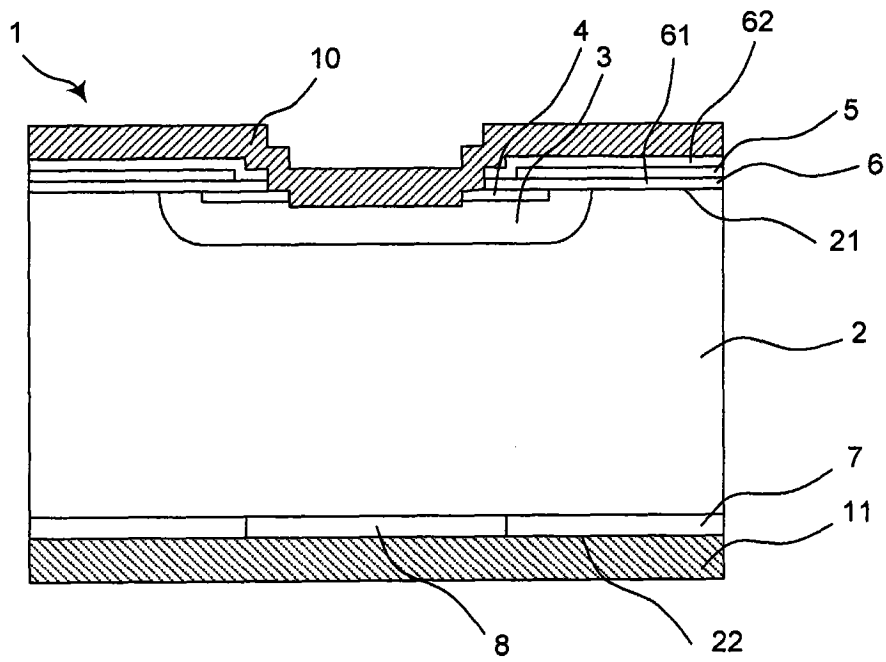


图1 现有技术

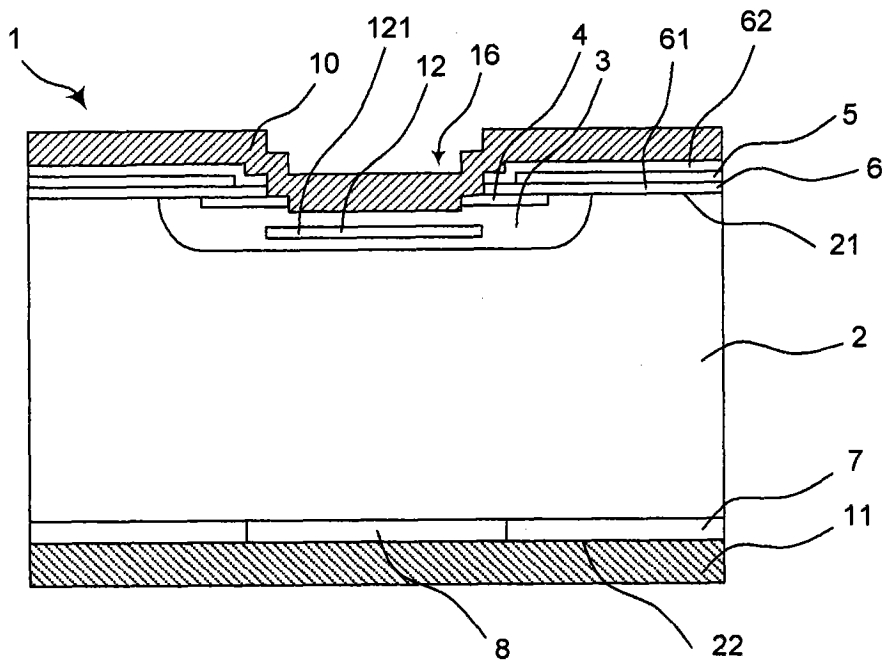


图2

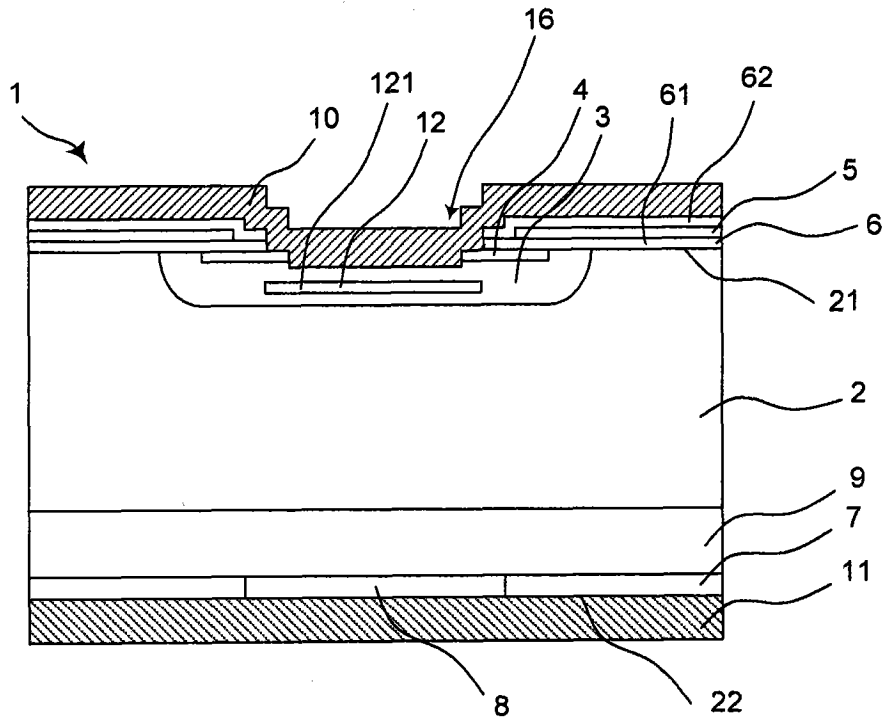


图 3

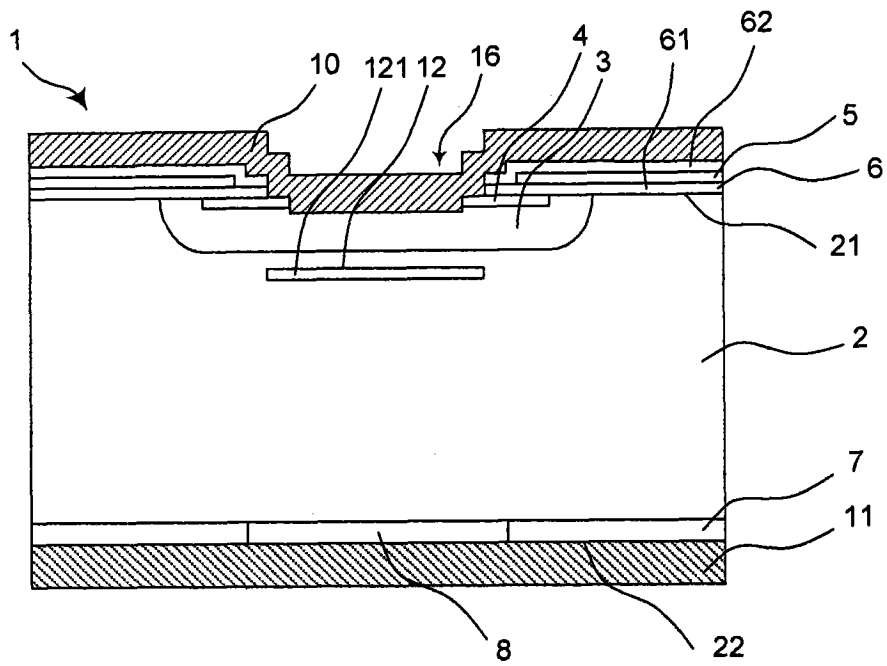


图 4

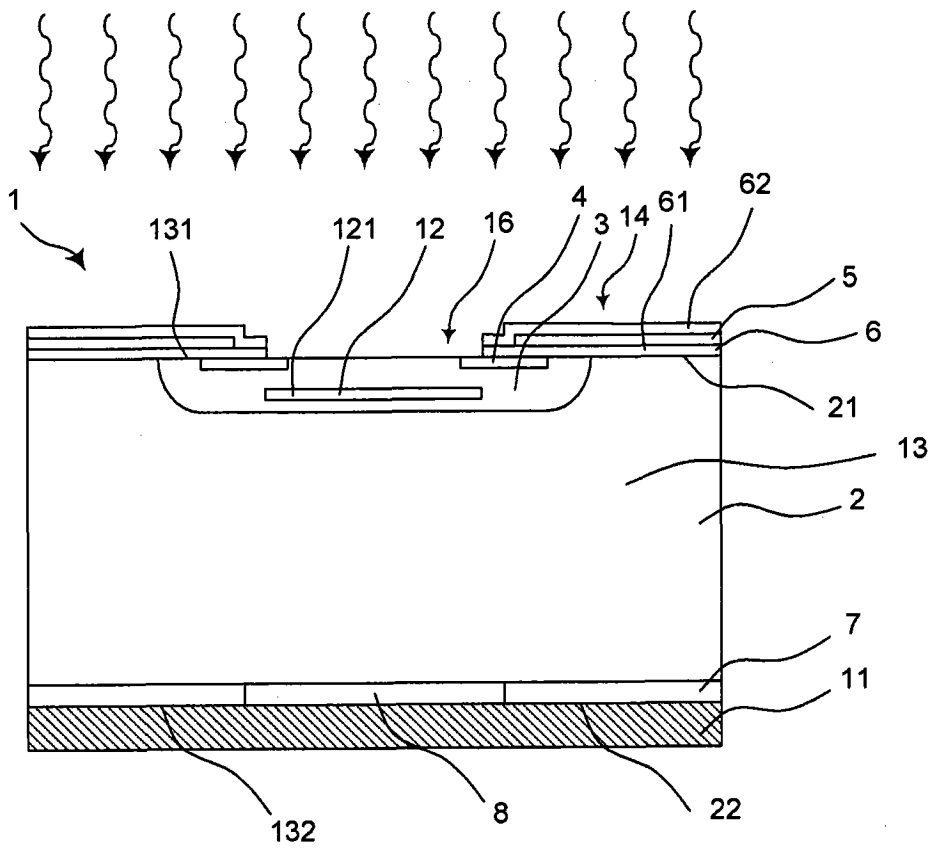


图 5

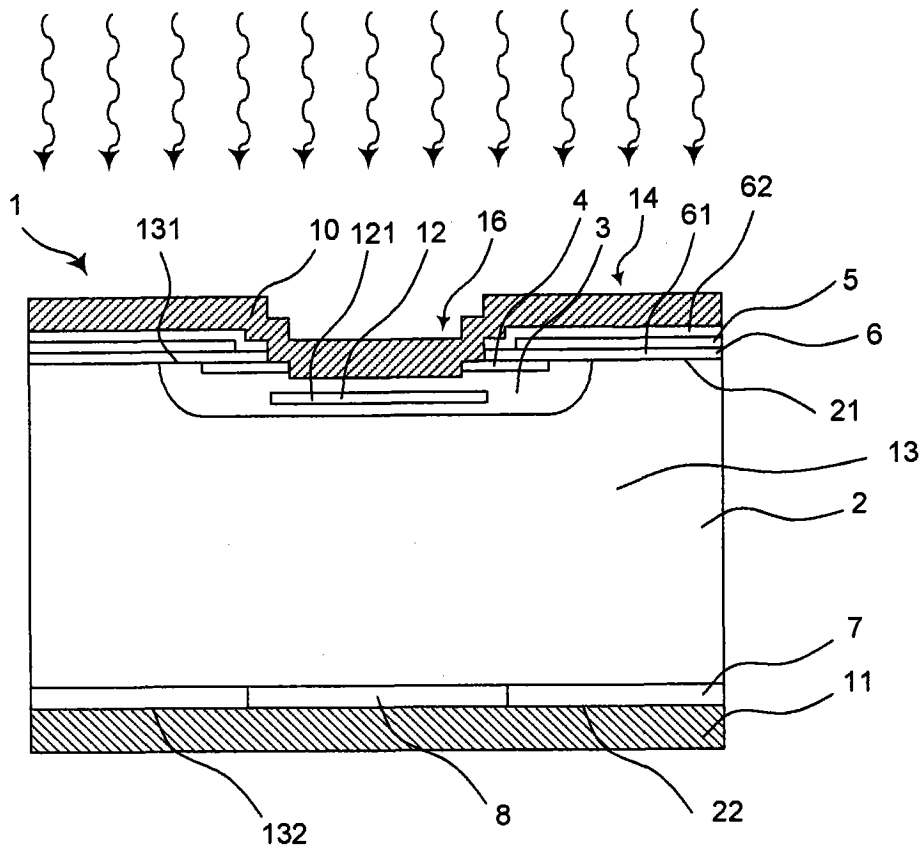


图 6

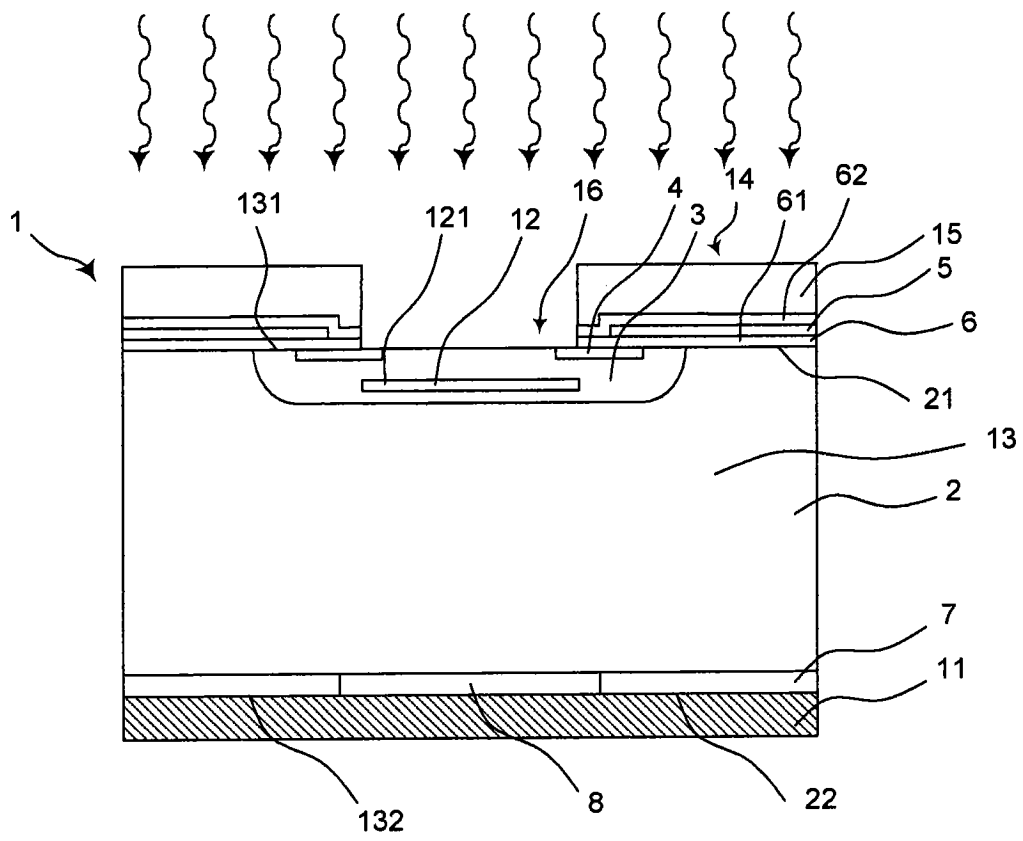


图 7

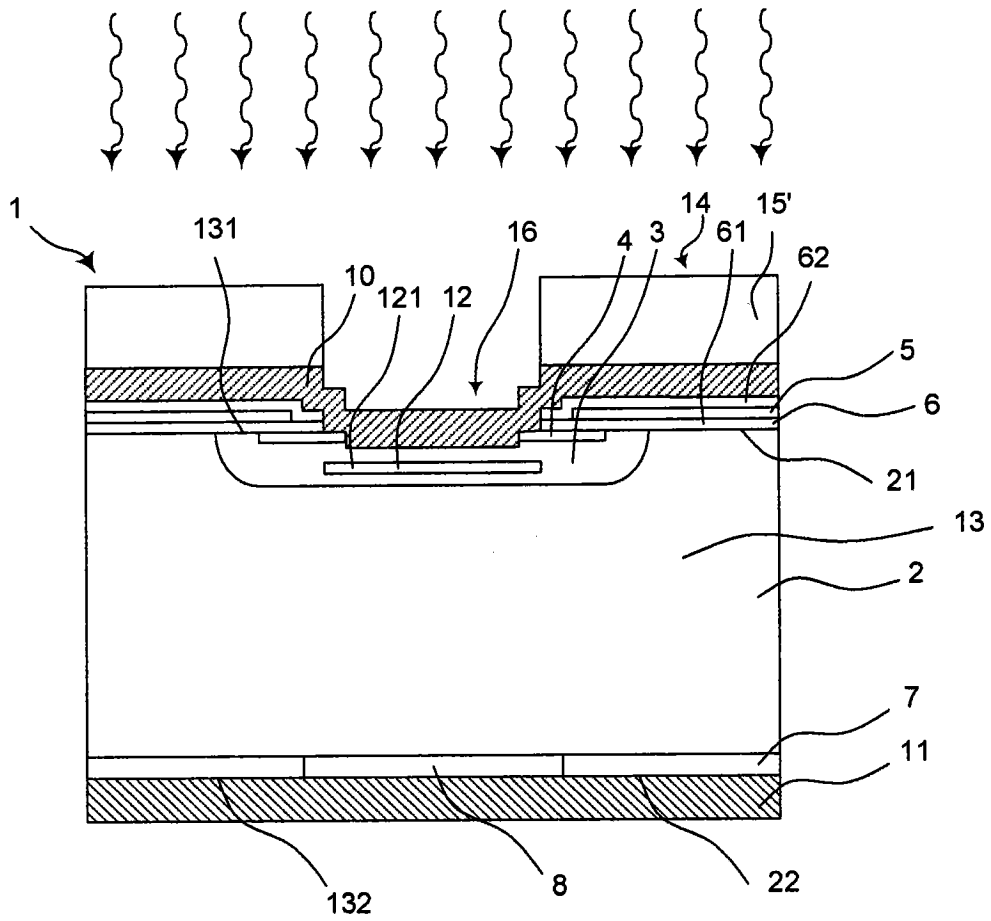


图 8

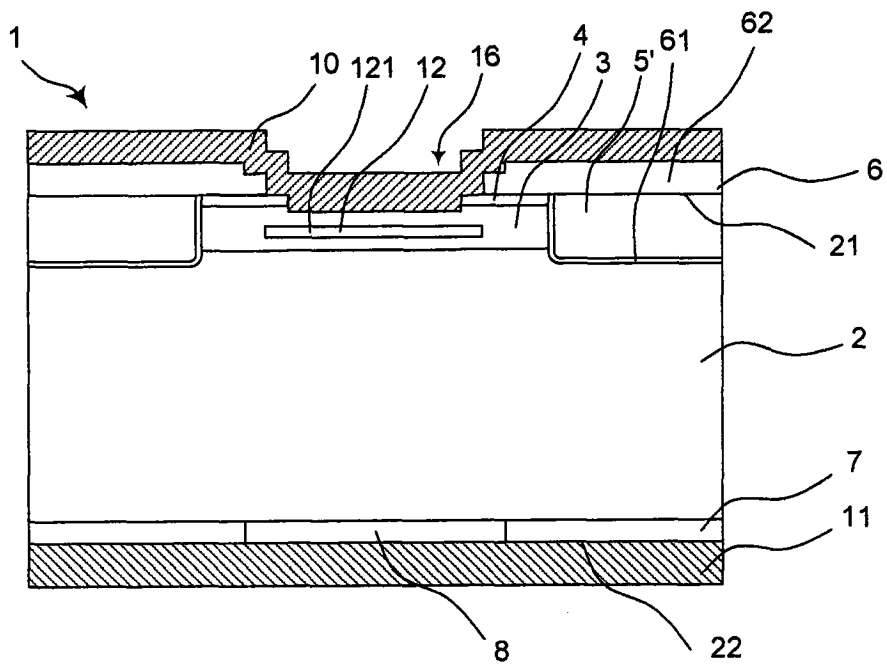


图 9

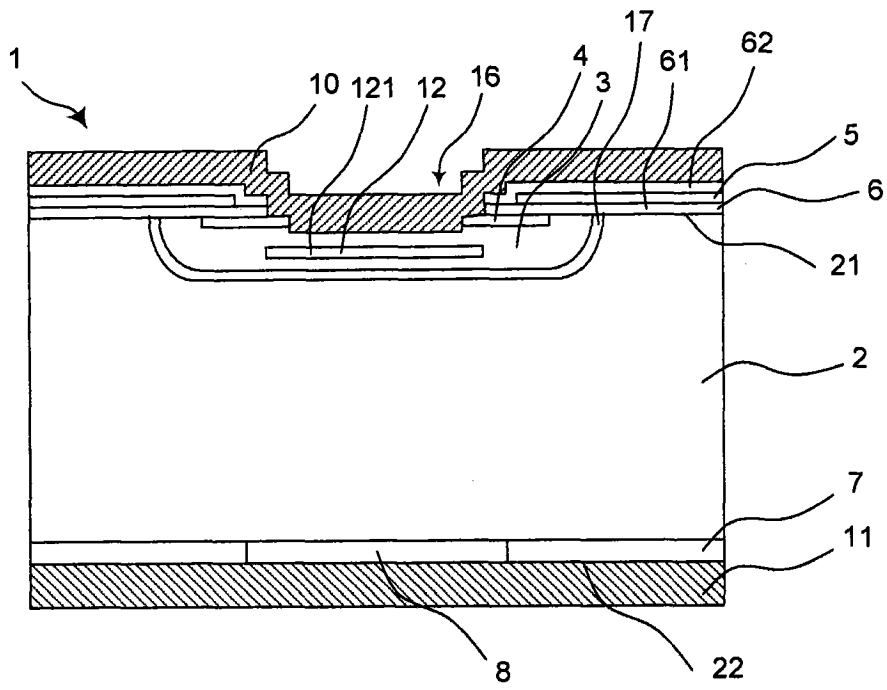


图 10

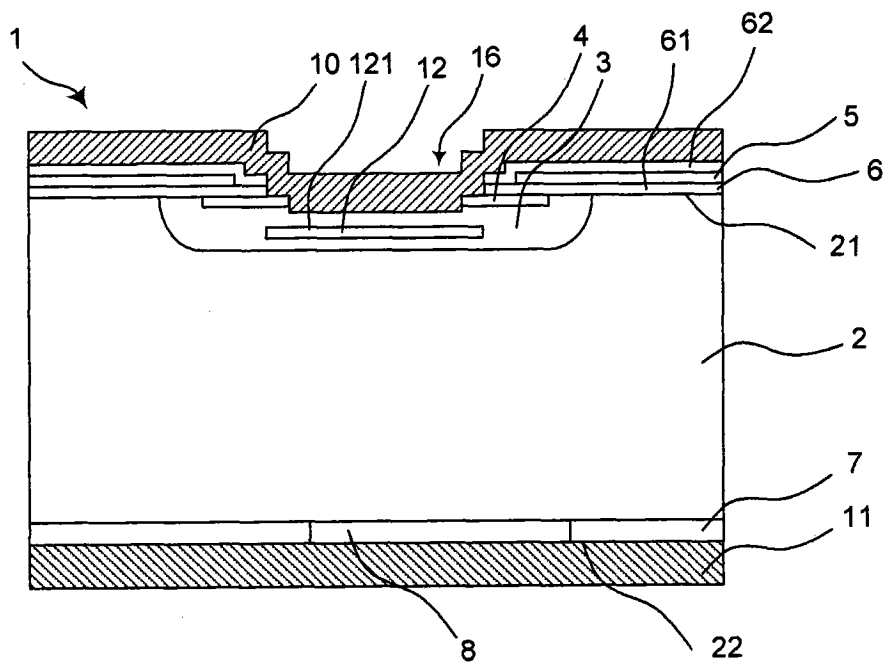


图 11

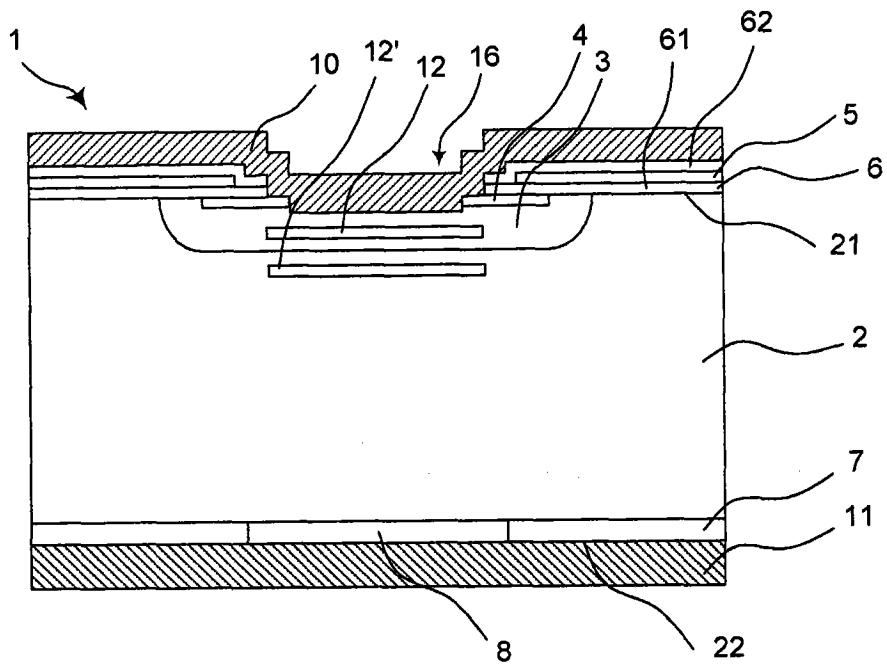


图 12

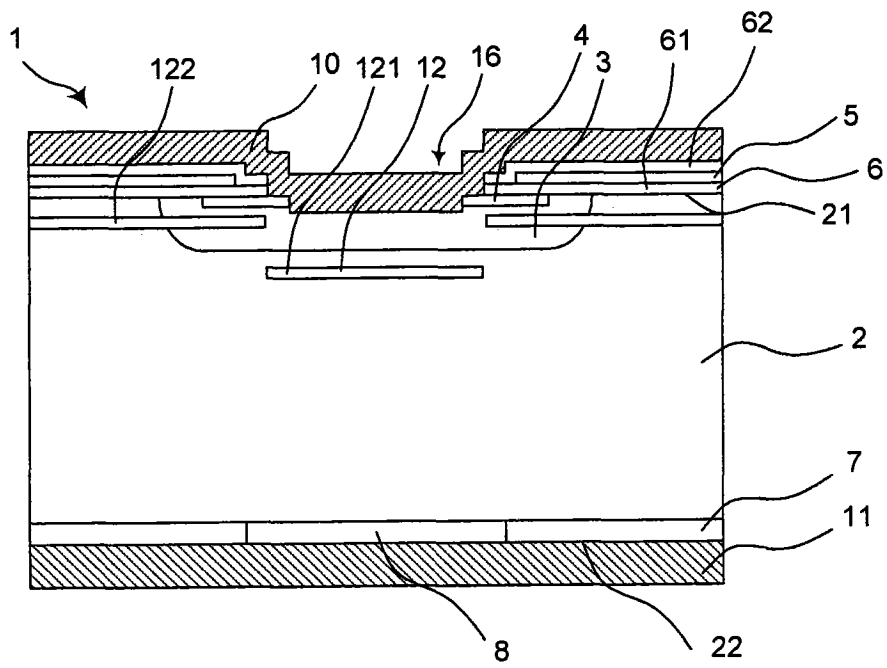


图 13