



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

⑤① Int. Cl.³: H 03 K 13/24
H 04 B 1/66
H 04 L 3/00

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ PATENTCHRIFT A5

⑪

642 795

⑳① Gesuchsnummer: 11268/78

⑳② Anmeldungsdatum: 01.11.1978

⑳③ Priorität(en): 02.11.1977 US 847924

⑳④ Patent erteilt: 30.04.1984

④⑤ Patentschrift
veröffentlicht: 30.04.1984

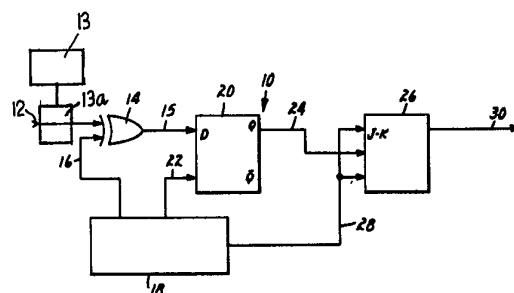
⑦③ Inhaber:
Minnesota Mining and Manufacturing Company,
Saint Paul/MN (US)

⑦② Erfinder:
Peter Amass, Camarillo/CA (US)

⑦④ Vertreter:
E. Blum & Co., Zürich

⑤④ Signal-Verarbeitungseinrichtung für Daten im Miller-Kode.

⑤⑦ Die digitale Signal-Verarbeitungsanlage weist eine Block-Synchronisierschaltung (10) zur seriellen Formatierung von digitaler Information auf, die in Magnettonbandgeräten in einer Folge von Datenblöcken aufgezeichnet werden kann, wobei jeder Block durch ein unregelmässig auftretendes digitales Block-Synchronisierungssignal abgegrenzt ist. Die digitale Information wird in einem 3-Frequenzen-Kode, oder Miller-Kode, formatiert, in welchem die erlaubten Übergänge zwischen aufeinanderfolgenden «1»-en und «0»-en in Intervallen von 1, 1 1/2 oder 2 Bitstellen auftreten, und zu den drei Frequenzen des 3-Frequenzen-Kode führt. Das Block-Synchronisierungssignal wird durch Teilschaltungen (13, 13a, 18) erzeugt, die ein Signal bestehend aus den Bits 1-0-0-1 erzeugen. Dieses Signal weist in einem 3-Frequenzen-Kode einen Übergang zwischen den benachbarten «0»-en auf. Durch Unterdrückung dieses Überganges wird ein Impuls erzeugt, welcher die dreifache Dauer einer Bitstelle hat und somit eine neue, vierte Frequenz erzeugt, die in einer Miller-kodierten Information normalerweise durch keinerlei Folge von «1»-en oder «0»-en erzeugt werden kann.



PATENTANSPRÜCHE

1. Signal-Verarbeitungseinrichtung zum weiteren Kodieren von digitaler Information, welche schon in einem Miller-Kode mit Drei-Frequenz-Verzögerungsmodulation kodiert ist, in welchem logische Einsen 1 durch an bestimmten, der Mitte von Bit-Stellen entsprechenden Stellen liegende Übergänge dargestellt sind, während logische Nullen durch das Fehlen von Übergängen an diesen Stellen dargestellt sind sowie, falls das vorangehende Bit ebenfalls eine Null war, durch einen Übergang am Anfang ihrer eigenen Bit-Stelle dargestellt sind, derart, dass Übergänge einander stets in einem Abstand von zwei, anderthalb oder einer Bit-Stelle folgen, und damit das Auftreten von drei Frequenzen F_0 , $1,5 F_0$ und $2 F_0$ bewirken, und um mehrere nacheinander auftretende Bits zu einem Wort, sowie um mehrere Worte zu einem Block zusammenzufassen, dergestalt, dass eine Folge von Blöcken gebildet wird, wobei mindestens ein Wort in jedem Block ein Blocksynchronisierungssignal ist, dadurch gekennzeichnet, dass die Einrichtung eine Blocksynchronisierungsschaltung (10) zum Erzeugen des Blocksynchronisierungssignals aufweist, welchen folgende Teile enthält:

a) eine erste Teilschaltung (13) zum Erzeugen einer ersten Folge von Impulsen, die mindestens drei einander folgende Übergänge enthält, von denen der erste und dritte durch mindestens drei Bit-Stellen voneinander getrennt sind,

b) eine zweite Teilschaltung (13a), um an vorbestimmten Stellen zwischen bestimmten Wortfolgen, wo ein Blocksynchronisierungssignal erwünscht ist, periodisch eine der ersten Folge entsprechende Folge von Impulsen einzusetzen, und

c) eine Kontrollschaltung (18), um in der ersten Impulsfolge mindestens einen zwischen dem ersten und dem letzten Übergang liegenden Übergang zu unterdrücken, wodurch das betreffende Blocksynchronisierungssignal zu einer Folge von digitalen Signalen wird, die zwei, durch keinen weiteren Übergang getrennte Übergänge enthält, deren gegenseitiger Abstand nicht geringer als die Dauer von 3 Bit-Stellen ist, und somit einer vierten Frequenz entspricht, die niedriger ist als diejenigen, welche sonst in der Miller-kodierten Folge von Einsen und Nullen entstehen können.

2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die erste Teilschaltung (13) ein Element zur Erzeugung einer mindestens die Bitsequenz 1-0-0-1 darstellenden Folge von Impulsen enthält, deren erster und letzter Übergang den Einsen der Bitsequenz entspricht, und die ausserdem einen zwischen zwei aufeinanderfolgenden Bitstellen liegenden Übergang aufweist, welcher der Bitsequenz 0-0 entspricht, und dadurch, dass die Kontrollschaltung (18) ein Element zur Unterdrückung dieses, zwei aufeinanderfolgenden Nullen entsprechenden, Überganges aufweist.

3. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die zweite Teilschaltung 13a ein Element enthält, um die erste Impulsfolge in die vorbestimmte Stelle innerhalb der Folge von Blöcken einzufügen, und dadurch, dass die Kontrollschaltung (18) ein Signal-Verarbeitungselement (26) aufweist, um die Folge von Blöcken zu empfangen und um auf ein Block-Unterdrückungssignal dadurch anzusprechen, dass es den mindestens einen Übergang unterdrückt, wenn er innerhalb einer Folge von Blöcken auftritt.

4. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die erste Teilschaltung (13) ein für den Empfang mehrerer paralleler Eingangssignale eingerichtetes Schieberegister aufweist, um eine 1-0-0-1-Impulsfolge zu erzeugen, und dass die zweite Teilschaltung (13a) ein durch das Schieberegister gesteuertes Element aufweist, um die sequentielle Ausgabe von Bits am Ende der vorbestimmten Anzahl von Bits zu unterdrücken, und damit das Einfügen der 1-0-0-1-Impulsfolge im Anschluss an diese vorbestimmte Anzahl Bits zu ermöglichen.

5. Einrichtung nach Anspruch 1, gekennzeichnet durch eine Dekodierschaltung (32) zur Bestimmung des Block-Synchronisierungssignales, wobei diese Schaltung einen durch jeden Übergang zu einem empfangenen Signal neuzetzbaren Zähler (50) zum Zählen der jedem Übergang folgenden Anzahl von Bit-Stellen, sowie zum Erzeugen eines Blocksynchronisierungssignales, wenn zwischen zwei Übergängen im empfangenen Signal mehr als $\frac{1}{2}$ der Länge einer Bit-Stelle verstreicht, aufweist.

6. Einrichtung nach Anspruch 5, dadurch gekennzeichnet, dass die Dekodierschaltung ein für den Durchlass der vierten Frequenz abgestimmten Tiefpassfilter (62) aufweist.

7. Einrichtung nach Anspruch 5, dadurch gekennzeichnet, dass die Dekodierschaltung eine auf das neu erzeugte Blocksynchronisierungssignal ansprechende Phasenkontroll-Schaltung aufweist, um daraus ein phasenrichtiges Blocksynchronisierungssignal zu erzeugen.

8. Verfahren zum Betrieb der Einrichtung nach Anspruch 1, um kodierte digitale Daten in eine Folge von digitalen Blöcken zu kodieren, von denen jeder eine aus einer bestimmten Anzahl von Wörtern bestehende Folge enthält, und wobei jedes Wort eine vorbestimmte Anzahl Bits enthält und mindestens ein Wort aus mindestens gewissen Blöcken ein Block synchronisierungssignal bildet, dadurch gekennzeichnet, dass man

a) mittels der ersten Teilschaltung (13) eine Impulsfolge erzeugt, mindestens die Bitfolge 1-0-0-1 darstellt und einen Übergang zwischen den der Folge 0-0 entsprechenden, aufeinanderfolgenden Impulsen aufweist,

b) mittels der zweiten Teilschaltung (13a) diese Impulsfolge periodisch an vorbestimmten Stellen zwischen gewissen Wortfolgen einsetzt, wo ein Blocksynchronisierungssignal erwünscht ist, und

c) mittels der Kontrollschaltung (18) den Übergang zwischen aufeinanderfolgenden Impulsen unterdrückt, welche der Folge 0-0 in jener Impulsfolge entsprechen, um als Blocksynchronisierungssignal einen Signalblock zu erhalten, der zwei, durch keinen weiteren Übergang getrennte Übergänge aufweist, deren gegenseitiger Abstand nicht weniger als drei Bit-Stellen beträgt, und somit einer vierten Frequenz entspricht, die niedriger ist als diejenigen, welche infolge irgendeiner Serie von Nullen und Einsen sonst in einer Miller-kodierten Folge auftreten können.

Die vorliegende Erfindung betrifft eine Einrichtung und ein Verfahren zur digitalen Informationsverarbeitung und insbesondere für die Verarbeitung solcher Informationen für die Übertragung und/oder Aufzeichnung beispielsweise in Magnetbandgeräten. Insbesondere ist die Erfindung für digitale Signale, die selbsttaktend sind und für die serielle Kodierung von Informationen in Blöcken geeignet, da sie die Bandbreitenanforderungen minimal erhält.

Seit dem Entstehen digitaler Datenübertragungs- und Aufzeichnungssysteme hat man eine Anzahl von Verfahren zur Kodierung von Daten in digitaler Form entwickelt. Während die frühen Codes nicht selbsttaktend waren und daher einen getrennten Takt- bzw. Synchronkanal brauchten, um eine zuverlässige Kodierung zu gewährleisten, kennt man seit einiger Zeit und benutzt weithin Codes wie den Dauerstrom-Mark-Kode (NRZ-M-Kode, «non return to zero mark code»), bei denen ein Takt- bzw. Bitsynchronsignal in den Datenkode eingebaut ist, um eine Selbsttaktung zu erreichen und die separate Synchronisier- bzw. Taktspur zu eliminieren.

Bei der NRZ-M-Kodierung erfolgt ein Übergang nur, wenn eine digitale «1» auftritt; bei digitalen «0» tritt kein

Übergang auf. Eine von «1» oder «0» ergibt also im wesentlichen eine Verschiebung des Gleichspannungswerts. Da es mit einem solchen Kode nicht möglich ist, eine Einheits- bzw. Bitstelle zu definieren, ist er nicht selbsttaktend, und die Taktinformation muss auf separaten Spuren hinzugefügt werden – man verschwendet also Raum auf dem Aufzeichnungsträger bzw. im Übertragungssystem und begrenzt die Aufzeichnungsdichte infolge der Möglichkeit von Schrägfehlern («skew errors»). Nichtsdestoweniger ist der NRZ-Kode das Arbeitspferd der Aufzeichnungsindustrie, da man mit ihm die Bandbreite wirkungsvoll nutzen und ihn leicht darstellen kann. Da Zufallsfolgen von «1» und «0» zu Impulsfolgen mit langen äquivalenten Wellenlängen führen können, hat man andere Kodes – beispielsweise die Phasenmodulation (PM) – entwickelt. In den PM-Kodes wird die Bandbreite auf eine Oktave eingeschränkt, indem man für jedes Bit ein Ausgangssignal abgibt, ob es nun ein H oder ein L ist; dabei wird der Kode also selbsttaktend. Da in PM-Kodes beispielsweise eine «0» als positiver Sprung in der Mitte der Bitstelle dargestellt werden kann, entsteht, wie einzusehen ist, aus einer Folge von «1» oder «0» eine Frequenz $f_0 = 1/c$, wobei c die Dauer einer Einheits- bzw. Bitstelle ist. Analog erzeugt eine Folge der Bits 1-0-1-0 die Frequenz $f_0/2$, d.h. eine Frequenz, deren Periode der doppelten Bitdauer entspricht. Die mögliche Erzeugung von zwei charakteristischen Frequenzen hat dazu geführt, dass dieser Kode zuweilen auch als «2F-Kode» bezeichnet wird.

Um Schwierigkeiten mit der Erfassung der Polarität der Sprünge zu vermeiden, hat man den Miller-Kode entwickelt, der auch als Verzögerungsmodulation (DM), modifizierte Frequenzmodulation (MFM) oder als 3F-Kode bekannt ist – vergleiche die US-PS 3 108 261. In diesem Kodeformat werden die «1»-Werte als Sprünge an einer bestimmten Stelle der jeweiligen Bitstelle – beispielsweise der Mitte der Bitstellen – unabhängig von der Sprungrichtung dargestellt, während die «0» durch das Fehlen eines Sprungs an dieser speziellen Stelle bzw. als eingefügter Sprung am Beginn einer Stelle gekennzeichnet sind, wenn die vorhergehende Stelle ebenfalls den Wert 0 hatte. In diesem System ergibt also eine Folge von «1» und «0» eine erste Frequenz $f_1 = 1/2 c$. Es ist einzusehen, dass eine Folge der Bits 1-0-1-0 eine zweite Frequenz $f_2 = f_1/2 = 1/4 c$ erzeugt, während eine Folge 1-0-0-1-0-0 zu einer dritten Frequenz $f_3 = 2f_1/3 = 1/3 c$ führt.

Die drei möglichen Frequenzen haben zu der Bezeichnung «3F-Kode» geführt. Die Haupttugend des Miller-Kodes ist, dass, während seine Bandbreite im wesentlichen die gleiche ist wie beim NRZ-Kode, man zusätzlich die Fähigkeit zur selbsttätigen Nachführung erhält, obgleich man eine Halbbitzeit, d.h. ein Taktsignal $2f$ erzeugen muss und man auch nicht die Phaseninformation rückgewinnen kann, die erforderlich ist, um das Signal in den NRZ-Kode zu dekodieren, bis eine 1-0-1-Folge eintrifft.

Zusätzlich zu solchen Systemen zur Bitsynchronisierung oder Selbsttaktung sind Formate erwünscht, in denen die eintreffenden Daten zu Datenblöcken aufgeteilt sind, so dass Fehlerprüfkodewörter, Paritätswörter und dergleichen eingesetzt werden können. Auch derartige Verfahren erfordern, eine eindeutige Bitfolge als Blocksynchronisierwort hinzuzufügen, um jeden Block zu markieren. Die Blocksynchronisierungssignale nach dem Stand der Technik erfordern im allgemeinen Speicheranordnungen, in denen vollständige Datenblöcke zeitweilig abgespeichert und damit bei der Wiedergabe verzögert werden, während Blocksynchronisierungsschaltungen den gesamten Block prüfen, um festzustellen, ob ein bestimmtes Wechselsmuster vorliegt (vgl. die US-PS 4 002 845). In anderen Blocksynchronisierungssystemen wird ein langer Impuls verwendet, wie er im Miller-Kode durch eine Folge von «0» dargestellt wird. Dieser Impuls ist jedoch unerwünscht, da er

zu einem erheblichen Gleichspannungsanteil führt, der die Bandbreitenanforderungen wesentlich verschärft. Man kann auch eine hohe Frequenz – beispielsweise das Vier- oder ein höheres Vielfaches der Grundtaktfrequenz – verwenden, aber auch hier auf Kosten der Kompliziertheit des Systems und einer grösseren Bandbreite.

Die Erfindung soll diese Nachteile vermeiden und insbesondere minimale Ansprüche an die Bandbreite stellen. Zu diesem Zweck ist sie wie in den Ansprüchen 1 und 8 beschrieben, definiert.

Dadurch wird eine nach dem Prinzip der Miller-Kodierung arbeitende Schaltung so abgewandelt, dass sie einen Blocksynchronimpuls mit einer Dauer von drei Bitstellen liefert. Man erhält also eine vierte niedrigere Frequenz $f_4 = 1/4 c$. Diese vierte Frequenz nutzt den verfügbaren niederfrequenten Teil des Spektrums, ohne die Bandbreite nach oben zu erweitern. Der resultierende Blocksynchronimpuls kann nicht aus einer normalerweise erlaubten Folge von «1» und «0» resultieren und lässt sich bei der Wiedergabe unmittelbar durch auf die Frequenz f_4 ansprechende Mittel erfassen.

Im folgenden soll die Erfindung anhand von Ausführungsbeispielen und der Zeichnung näher erläutert werden.

Figur 1 zeigt ein Blockdiagramm einer bevorzugten Schaltung zum Bilden eines Blocksynchronsignals nach der vorliegenden Erfindung;

Figur 2 zeigt charakteristische Signale, die mit der Schaltung der Figur 1 verarbeitet werden können;

Figur 3 ist ein Blockdiagramm einer bevorzugten Schaltung zum Dekodieren des Blocksynchronisierungssignals;

Figur 4 zeigt charakteristische Signale, die mit der Schaltung der Figur 3 verarbeitet werden können; und

Figur 5 zeigt charakteristische Signale, die in einer alternativen Ausführungsform der vorliegenden Erfindung zur Bildung eines Blocksynchronisierungssignals verarbeitet werden können.

Die Blocksynchronisierungsschaltung 10 ist eingerichtet, um auf der Leitung 12 ein digital kodiertes Dauerstromsignal (NRZ-Signal) zu empfangen, wobei der Datenfluss so gegliedert ist, dass Bits in aufeinanderfolgenden Worten, und Worte in aufeinanderfolgenden Blöcken gruppiert sind, wie es dem Fachmann geläufig ist. Ein Erzeuger 13 von Signalfolgen, so etwa ein geeignet geschalteter Multiplexer, erzeugt eine digitale Folge, welche die Bitreihe 1-0-0-1 enthält, und diese wird mit Hilfe des Schalters 13a in den Datenfluss eingefügt. Der so veränderte Datenfluss wird einem Eingang des ausschliesslichen ODER-Tores 14 zugeführt. Des weiteren enthält die Schaltung 10 eine herkömmliche Aufnahmesteuer- und Zeitgabeschaltung 18, welche hier nicht ausführlich beschrieben werden soll. Die Schaltung 18 ist eingerichtet, um mit dem auf der Leitung 12 auftretenden NRZ-Signal synchronisierte Steuerimpulse zu empfangen, und um über die Leitung 10 dem anderen Eingang des Tores 14 Bit-Synchronisierungsimpulse zuzuführen. Diese Schaltung enthält typischerweise quartzgesteuerte Taktoszillatoren, Schieberegister und dergleichen, mit denen die erforderlichen Taktsignale erzeugt werden, um einen kontinuierlichen Strom digitaler Bits zu einem längenbeschränkten Kode umzuwandeln, in dem die digitalen Daten zu einer Folge von Blöcken aufgeteilt vorliegen, die jeweils eine vorbestimmte Anzahl von Bits enthalten, und in dem jeder Block mit geeigneten Paritäts-, Fehlerprüf- und Blocksynchronisierungswörtern versehen ist. Taktet man das Glied 14 mit einem f_0 -Bitsynchronsignal aus der Aufnahmesteuer- und Zeitgabeschaltung 18, schaltet es die anliegenden NRZ-Signale auf der Leitung 12 auf ein D-Flipflop 20 durch. Dieses D-Flipflop wird mit einem Taktsignal von der doppelten Bitsynchronfrequenz (d.h. $2f_0$) aus der Aufnahmesteuer- und Zeitgabeschaltung 18 auf der Leitung 22 getaktet. Das Ausgangssignal des Flipflops 20 geht auf der

Leitung 24 zum Takteingang eines JK-Flipflops 26, dessen J- und K-Eingänge von einem Blocksperrsignal auf der Leitung 28 aus der Aufnahmesteuer- und Zeitgabeschaltung 18 angesteuert werden. Dieses Eingangssignal tritt einmal pro Block auf und vervollständigt also die Bildung der Blocksynchronsignale, wie im folgenden beschrieben wird. Am Ausgang des Flipflops 26 auf der Leitung 30 steht das auf diese Weise kodierte Signal mit der Bit- und der Blocksynchronisierungsinformation.

Die Art und Weise, auf die die Schaltung der Figur 1 die eintreffenden NRZ-Signale verarbeitet, lässt sich am einfachsten unter Bezug auf die in der Figur 2 gezeigten Signalverläufe erläutern. Wie dort ersichtlich, kann ein eintreffendes Signal aus einer Folge von digitalen Bits wie der folgenden bestehen: 1-1-0-1-0-0-1-0-0-1-0; vergleiche die Kurve A. Auf der Leitung 12 der Figur 1 erscheint also das NRZ-kodierte Äquivalent einer solchen Bitfolge, wie in Figur 1 mit dem Impulszug B dargestellt. Die digitalen Bits in den ersten sechs Einheitszellen in der Kurve A, wie zu der Kurve B NRZ-kodiert, stellen die tatsächlich eintreffenden digitalen Datenbits dar. Die nächsten vier Bits sind ein 4-Bit-Synchronsignal in der Folge 1-0-0-1. Diese Bits sind am Ende einer vorbestimmten Anzahl von digitalen Bits eingesetzt, die einen gegebenen Block darstellen, und zwar mittels herkömmlicher Schaltungen aus Schieberegistern, Parallel-Serien-Wandlern und dergleichen. Ein digitales Signal 1-0-0-1 kann also beispielsweise mit einem Multiplexer-Schaltkreis aus vier Multiplexern mit je zwei Eingängen dargestellt werden, in dem vier Eingänge zur Darstellung des digitalen Synchronworts 1-0-0-1 fest verdrahtet sind. Wenn getaktet, werden die Eingangsdatenbits vorübergehend gespeichert und wird das Synchronwort 1-0-0-1 in der zugehörigen räumlichen Lage ausgetaktet. Als Kurvenzug C der Figur 2 ist der Bitsynchrontakt mit der Grundfrequenz f_0 gezeigt, wie ihn die Aufnahmesteuer- und Zeitgabeschaltung 18 auf der Leitung 16 an das Exklusiv-ODER-Glied 14 liefert.

Mit einer Exklusiv-ODER-Verknüpfung, durch die der Bittakt mit dem NRZ-Eingangssignal auf der Leitung 12 im Glied 14 verknüpft wird, wandelt man das NRZ-Signal zu einem 2-Phasen- bzw. Manchester-kodierten Signal auf der Leitung 15 der Figur 1 um; dieser 2-Phasenkod (»biphase code«) ist als Kurvenzug D der Figur 2 gezeigt. Das NRZ-Eingangssignal (mit dem Zustand H für die binäre »1« und dem Zustand L für die binäre »0«) wird also analog in ein 2-Phasen- bzw. Manchester-kodiertes Signal umgewandelt derart, dass die binären »1« als positive Sprünge in der Mitte jeder Einheitsstelle und die binären »0« als negative Sprünge in der Mitte jeder Einheitsstelle erscheinen. Ein solches Signal lässt sich dann bequem zu einer Miller- bzw. 3-F-kodierten Form umwandeln, indem man das Signal auf herkömmliche Weise auf einen Mod-2-Teiler gibt (beispielsweise die US-PS 4 045 613). Bei genauer Untersuchung des 2-Phasen-Signals des Kurvenzugs D erkennt man jedoch sehr kurze Impulsspitzen, die das Exklusiv-ODER-Glied 14 am Beginn jeder Einheitsstelle abgibt, wenn der dann vorliegende Signalpegel L ist. Derartige Spitzen sind vermutlich auf inhärente Abweichungen der zeitlichen Zuordnung zwischen dem NRZ-Eingangssignal und dem F_0 -Taktsignal auf der Leitung 16 zurückzuführen. Obgleich man solche Fehler durch geschicktere Schaltungsanlegung abschwächen kann, lassen sie sich kaum vollständig eliminieren; die resultierenden Impulsspitzen werden von der Mod-2-Schaltung, die das 2-Phasen-Format in das Miller-Format umwandelt, erfasst und verursachen dort falsche Sprünge im Ausgangssignal. Vorzugsweise legt man daher den Ausgang des Exklusiv-ODER-Glieds 14 an das D-Flipflop 20, das man auf der Leitung 22 mit dem Bitsynchroneingangssignal auf der Leitung 16 taktet, aber mit der Frequenz f_0 des Kurvenzugs E in Figur 2. Es wird

also der Eingangskurvenzug auf der Leitung 15 effektiv kurz nach jedem Sprung abgetastet und man erhält ein verzögertes 2-Phasen-Signal am Ausgang des Flipflops 20 auf der Leitung 24; dieses verzögerte 2-Phasen-Signal ist als Kurvenzug F in Figur 2 gezeigt. Jede Bitstelle ist nun zeitlich um die Hälfte der Taktperiode von 2F (bzw. um ein Viertel einer Einheitsstelle) verzögert. Dieses verzögerte 2-Phasen-Signal geht auf das JK-Flipflop 26, wo die oben erwähnte Umwandlung des 2-Phasen- zum Miller-Format durch eine Teilung Mod 2 stattfindet.

Die JK-Eingänge des Flipflops 26 werden mit dem Blocksperrsignal auf der Leitung 28 aus der Aufnahmesteuerung 18 so angesteuert, dass sie früh genug vor dem im Miller- bzw. 3F-Kode auftretenden Sprung, der zwei aufeinanderfolgende »0« im gewünschten Synchronwort bezeichnet, zu L werden; vergleiche den umrundeten Sprung im Kurvenzug G der Figur 2. Der Sprung zwischen den aufeinanderfolgenden »0« im Synchronwort 1-0-0-1 wird also am Ausgang des JK-Flipflops 26 unterdrückt, und zwar mit Hilfe des Blocksperrsignals, wie es mit dem Kurvenzug H auf der Leitung 28 vorliegt. Dort steht ein einziger Impuls pro Block an und bringt die Eingänge J, K zu erforderlichem Zeitpunkt auf L. Bei auf solche Weise festgehaltenen Eingängen des Flipflops 26 wird der Sprung zwischen den aufeinanderfolgenden »0« innerhalb des 4-Bit-Synchronworts unterdrückt; man erhält dadurch das resultierende 4F-Ausgangssignal auf der Leitung 30, wie es der Kurvenzug I zeigt. Der Sprung im umrandeten Teil dieses Kurvenzugs fehlt, so dass man einen Impuls erhält, der drei Einheitszellängen dauert. Dieses resultierende Blocksynchronsignal entspricht einer vierten Frequenz bzw. Periodendauer, die man auf einfache Weise erfassen kann, wie weiter unten erläutert.

Die Figur 3 zeigt eine bevorzugte Schaltung 32 zum Erfassen des Blocksynchronsignals. In dieser Figur erscheint auf der Leitung 34 ein Eingangssignal 4F, wie es vorliegt, nachdem das kodierte Signal auf einen geeigneten Aufzeichnungsträger wie beispielsweise ein Magnetband aufgezeichnet und mit einem herkömmlichen Magnetkopf abgespielt worden ist. Das Eingangssignal geht auf eine Verdopplerschaltung 36 mit einer monostabilen Kippstufe, die einen monostabilen Ausgangsimpuls für jeden Nulldurchgang des 3F-Eingangssignals liefert. Das Ausgangssignal des Verdopplers 36 geht auf der Leitung 40 auf eine 3F- bzw. Miller/NRZ-Dekodierschaltung 38 und von dort auf eine Synchrondetektorschaltung 42, einen Phasendetektor 44 und eine Rückkoppelschaltstufe 46. Weiterhin wird ein regeneriertes Bittaktsignal auf der Leitung 48 an den 3F/NRZ-Dekodierer 38 gegeben und dient gemeinsam mit dem Signal auf der Leitung 40 dazu, das 4F-Signal zu einem NRZ-Ausgangssignal umzuwandeln.

Das Ausgangssignal der monostabilen Kippstufe im Verdoppler 36 setzt den Synchrondetektor 42 bei jedem ein digitales Bit bezeichnenden Sprung zurück. Der Synchrondetektor 42 besteht vorzugsweise aus einem 5-Bit-Zähler 50 und einem Inverter 52. Die Dekodierschaltung 32 weist auch Mittel auf, um ein $2f_0$ -Taktsignal zu regenerieren, das auf der Leitung 54 auf den 5-Bit-Zähler 50 geht. Die Art und Weise, auf die dieses Signal regeneriert wird, soll unten erläutert werden. Wie im Zusammenhang mit der Diskussion der Figur 4 ausführlicher dargestellt werden wird, erlaubt das Anlegen der aufeinanderfolgenden Impulse des $2f_0$ -Signals auf der Leitung 54 an den Zähler 50 während des Vorliegens eines Signals auf der Leitung 40, das einem drei Zelleinheiten langen Blocksynchronsignal entspricht, dass der Zähler den Zählzustand 5 während der dritten NRZ-Zellperiode erreicht. Nur während einer solchen Synchronperiode können fünf 2F-Taktperioden zwischen aufeinanderfolgenden Sprüngen auftreten; sonst würde ein Sprung auf der Leitung 40, der ein weiteres digitales Bit anzeigt, den Dekadenzähler rücksetzen

und damit den Zähler 50 daran hindern, ein Ausgangssignal zu liefern. Da ein Ausgangssignal des Zählers 50 nur möglich ist, wenn während fünf $2f_0$ -Impulsen kein Rücksetzsignal eintrifft, wird die Besonderheit des Blocksynchronsignals erfasst. Das Ausgangssignal des Zählers 50, das ein Blocksynchronsignal anzeigt, geht auf den Inverter 52 und als Blocksynchron-Ausgangssignal auf der Leitung 56 an den Ausgangsanschluss 58 (zur Steuerung peripherer Geräte) sowie als Blocksynchron-Eingangssignal an den Bitsynchron-generator 60, wo es die Phase des Bitsynchronsignals auf zu beschreibende Weise steuert.

Der grundsätzliche Bitsynchron- und Taktregenerierteil der Dekoderschaltung 32 wendet eine Phasenregelschleife an, die hier als die Blöcke mit dem Phasendetektor 44, dem Schleifenverstärker und Filter 62, einem spannungsgesteuerten Oszillator 64 und der Rückkoppelstufe 46 gezeigt sind. Die Rückkoppelstufe ist erwünscht, weil die Sprünge im 4F-Eingangssignal in Abständen von 1, $1\frac{1}{2}$ und 2 Bitstellen auftreten. Die Stufe 46 schaltet das Rückkoppelsignal vom spannungsgesteuerten Oszillator 64 auf der Leitung 66 nur dann auf den Phasendetektor 44, wenn ein Eingangsimpuls aus der monostabilen Kippstufe auf der Leitung 40 zum Phasenvergleich verfügbar ist. Liegt die erforderliche Phase vor, wird das Rücksetzsignal über den Phasendetektor 44 auf die Schleifenverstärker- und Filterstufe 62 geschaltet. Das Signal wird also verstärkt und gefiltert, um die Regelschleife stabil zu machen und unerwünschte hochfrequente Komponenten auszuschließen. Das so gefilterte Signal geht auf den spannungsgesteuerten Oszillator 64, um dort die Arbeitsfrequenz einzustellen. Da das Rücksetzsignal auf der Leitung 40 aus der monostabilen Kippstufe mit der doppelten normalen Bitfrequenz auftritt, ist das Ausgangssignal des Oszillators 64 so das $2f_0$ -Taktsignal, das auf der Leitung 54 in den 5-Bit-Zähler 50 geht, wie oben erläutert. Weiterhin geht das $2f_0$ -Signal auf der Leitung 68 auf die Rückkoppelschaltstufe 46, die es auf die Leitung 66 tastet, so dass ein Vergleich mit dem Eingangssignal auf der Leitung 40 stattfinden kann. Das $2f_0$ -Signal auf der Leitung 68 aus dem spannungsgesteuerten Oszillator 64 wird auch an den Bitsynchron-generator 60 gelegt, bei dem es sich um einen Teiler Mod-2 handelt, so dass man auf der Ausgangsleitung 70 ein Bittaktsignal der Frequenz f_0 erhält. Schließlich geht dieses Signal auf den 3F/NRZ-Dekodierer auf der Leitung 48, wie oben erläutert. Der Bittaktgenerator bzw. der Teiler Mod-2 ist vorzugsweise ein JK-Flipflop. Als solches ist ein Flipflop nicht phasenempfindlich; folglich wird ihm auf der Leitung 56 das Blocksynchronsignal zugeführt, so dass man die erforderliche Phasenbeziehung zwischen dem primären Datensignal auf der Leitung 72 und dem rekonstruierten Bittaktsignal auf der Leitung 70 erhält.

Der Dekoder 38 ist herkömmlich aufgebaut und stellt keinen Teil der vorliegenden Erfindung dar. Ein solcher Dekoder setzt sich typischerweise aus einer Serie von Schieberegistern und Zeitsteuerschaltungen zusammen, so dass man die Rückwandlung des 3F-Signals zu einem standardisierten NRZ-Ausgangssignal auf der Leitung 72 erhält.

Die Art und Weise, auf die die Signale in der Schaltung der Figur 3 so bearbeitet werden, lässt sich besser unter Bezug auf die in der Figur dargestellten Kurvenzüge verstehen; diese Figur betrachtet man weiterhin vorzugsweise zusammen mit den in Figur 2 gezeigten kodierten Signalförmungen. In der Figur 4 sind die gleichen digitalen Bits aus der Figur 2 mit dem Kurvenzug A als 4F-Eingangssignal (Kurvenzug B) dargestellt. Das 4F-Eingangssignal entspricht also dem Kurvenzug I der Figur 2. Mit der Verarbeitung des 4F-Eingangssignals in der monostabilen Kippstufe des Verdopplers 36 erhält man ein Ausgangssignal, in dem bei jedem Nulldurchgang ein Sprung auftritt, wie mit dem Kurvenzug C dargestellt. Während dieses Signal von der Phasenregelschleife ver-

arbeitet wird, die den Phasendetektor 44, die Schleifenverstärker- und Filterstufe 62 und den spannungsgesteuerten Oszillator enthält, wird ein $2f_0$ -Signal auf den Leitungen 54, 68 regeneriert, wie es der Kurvenzug D zeigt. Das $2f_0$ -Signal wird im Bitsynchron-generator 60 zum f_0 -Signal des Kurvenzugs E geteilt. Wenn fünf $2f_0$ -Impulse auf der Leitung 56 vom 5-Bit-Zähler 50 abgezählt worden sind, ohne dass ein Rücksetzsignal auf der Leitung 40 ihn rückgesetzt hat, wird ein Blocksynchronsignal auf die Leitung 56 gelegt, wie der Kurvenzug F zeigt. Das 4f-Signal, wie es im Dekodierer 38 dekodiert wird, geht dann als NRZ-Ausgangssignal auf die Leitung 72, wie mit dem Kurvenzug G gezeigt.

Die vorliegende Erfindung erlaubt nun eine weitere vorteilhafte Besonderheit gegenüber nach dem 3F- bzw. Miller-Kode arbeitenden herkömmlichen Systemen. Es kann nämlich der Synchron-detektor jedesmal rückgesetzt werden, wenn ein Impuls aus der monostabilen Kippstufe im Verdoppler 36 eintrifft. Im Gegensatz zum Miller-Kode, wo man notwendigerweise auf das Auftreten einer Impulsfolge 1-0-1 warten muss, um die Phase des Bittakts zu ermitteln, braucht man nach der vorliegenden Erfindung nur ein einziges Bit zu betrachten, da die Phaseninformation bereits vom Phasendetektor 44 geliefert wird. Weiterhin entfallen auch die redundanten Schaltungssteile zur Erfassung des korrekten Phasensignals, die in Miller-Dekodern erforderlich sind.

Bei der digitalen Signalaufzeichnung möchte man normalerweise den Gleichanteil des aufgezeichneten Signals beibehalten, will ihn aber nicht durch eine lange Kette von aufeinanderfolgenden H's oder L's verschieben lassen. In den oben erläuterten Ausführungsformen der vorliegenden Erfindung kann beispielsweise der Blocksynchronimpuls, der drei Bitstellen dauert, bereits ausreichen, um den Gleichspannungswert unerwünscht zu verschieben. In der in Figur 5 gezeigten weiteren bevorzugten Ausführungsform der Erfindung lässt sich daher ein 8-Bit-Blocksynchronsignal – im Gegensatz zu dem 4-Bit-Synchronsignal der Figur 1-4 – darstellen. In einer solchen Ausführungsform kann eine 8-Bit-Folge digitaler Bits 1-0-0-1-0-0-1-0 auftreten, wie sie der Kurvenzug A der Figur 5 zeigt; das entsprechende NRZ-kodierte Signal einer solchen Impulsfolge ist mit dem Kurvenzug B gezeigt. Nach der Umwandlung auf eine der in den Figuren 1 und 2 gezeigten ähnlichen Art hat das resultierende 3F-Signal die Form des Kurvenzugs C. Das Blocksynchronsignal entsteht dann, indem man beide Paare von 0-0-Übergänge sperrt, indem man beispielsweise ein 8-Bit-Blocksperrsignal vorsieht, in dem, wie mit den umrandeten Teilen des Kurvenzugs D gezeigt, zwei Sperrimpulse vorliegen. Wie mit dem Kurvenzug E weiterhin gezeigt, ergeben diese Sperrimpulse ein Paar Blocksynchronimpulse, die jeweils drei Einheitszellen lang und entgegengesetzt gerichtet sind. Eine etwa durch den drei Bitstellen langen ersten Impuls verursachte Verschiebung des Gleichspannungswerts wird folglich von dem drei Einheitszellen langen und entgegengesetzten zweiten Impuls wieder aufgehoben.

Bei herkömmlichen Miller-kodierten Systemen wird im allgemeinen ein volles Wort für die Blocksynchronisierungsfunktionen hergestellt. In den in Figuren 1-4 gezeigten Ausführungsformen sind für die Blocksynchronisation nur vier Bits erforderlich, so dass man weitere Bits zur Steuerung zusätzlicher Funktionen zur Verfügung hat. Beispielsweise kann man zusätzliche Bits dazu benutzen, um bei der Aufnahme die Bandgeschwindigkeit zu kennzeichnen, so dass bei der Wiedergabe die Zeitsteuersignale entsprechend eingestellt werden können. Weiterhin kann man in den zusätzlichen Bits andere Funktionen wie analoge Bereichssignale und andere Takt- oder Funktionssteuersignale unterbringen, ohne dass dem Datenblock selbst weitere Bits hinzugefügt werden müssten.

Die vorgehende Beschreibung geht von der Annahme aus, dass einmal pro Block ein Blocksynchronwort eingefügt wird. Es liegt im Rahmen der vorliegenden Erfindung, dass ein Blocksynchronsignal an anderer Stelle im Datenstrom eingefügt wird – beispielsweise nur einmal für je 10 Blöcke oder auch noch seltener; dies hängt von der Stabilität des vorliegenden Datensystems ab.

Während man die oben beschriebene Schaltung wünschenswerterweise in einem Mangetaufzeichnungsgerät wie beispielsweise einem digitalisierten Analog-Aufnahmegerät verwendet, ist die Synchronisierschaltung auch auf eine Vielfalt anderer Instrumentations- und/oder Informationsverarbeitungssysteme anwendbar.

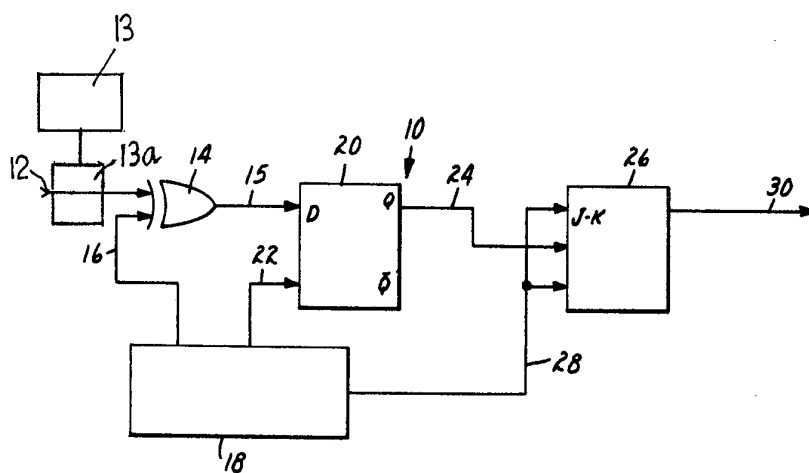


FIG. 1

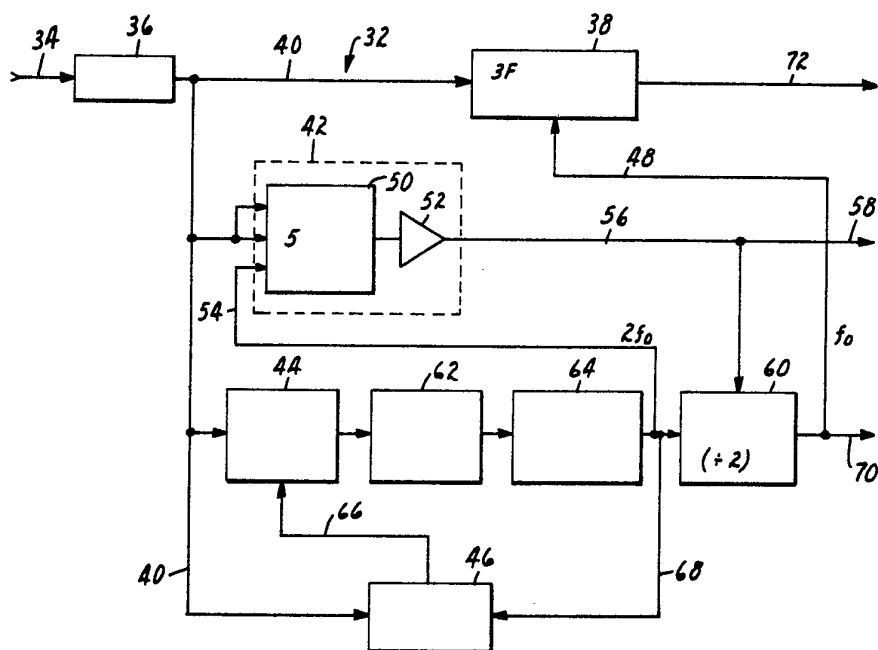


FIG. 3

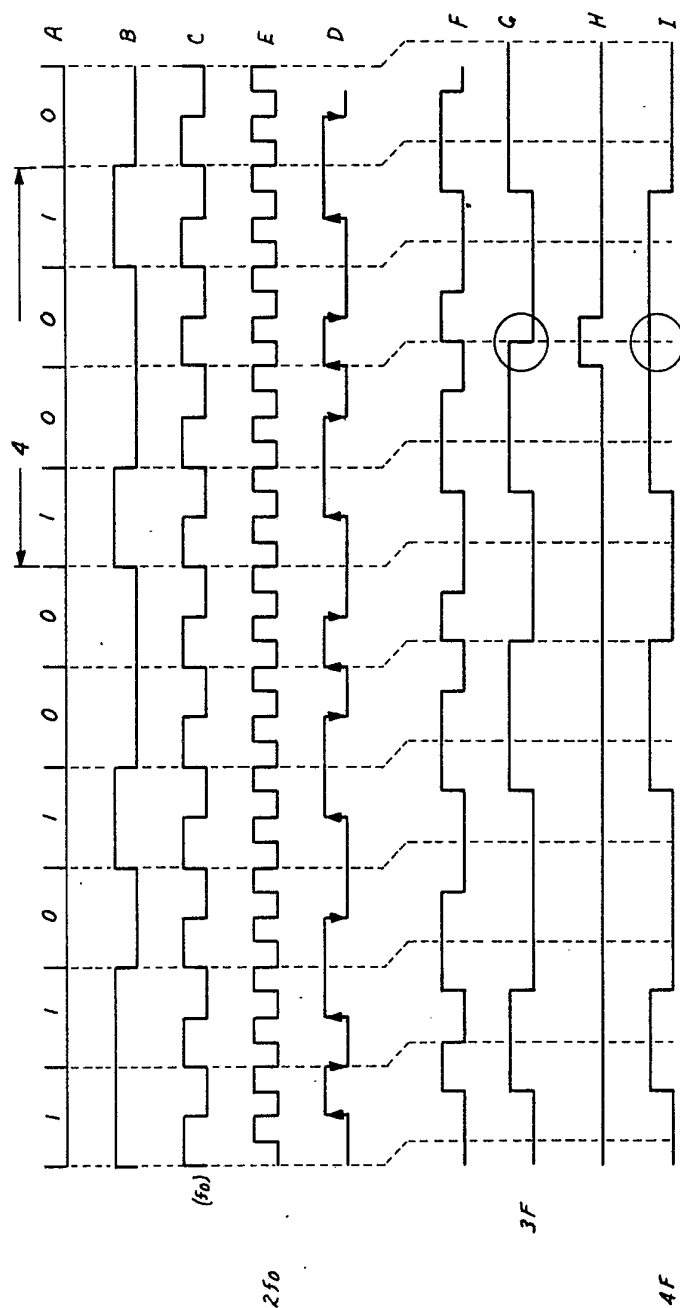


FIG. 2

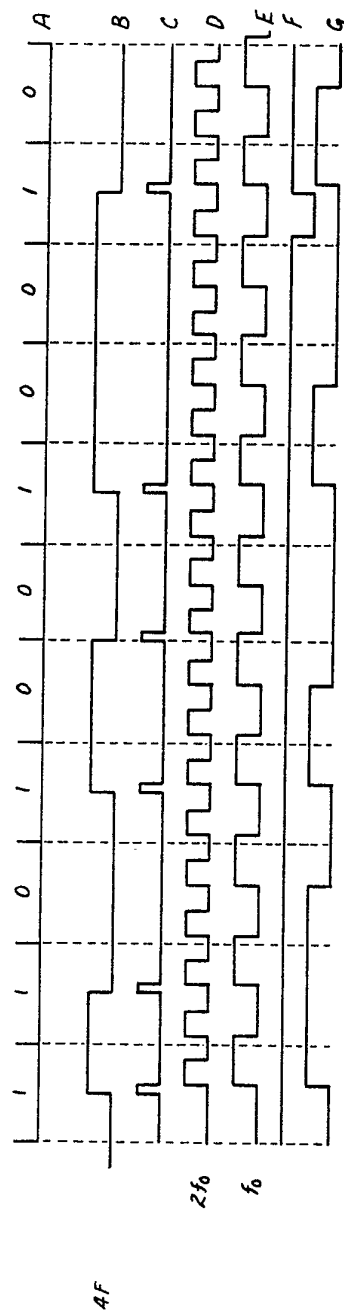


FIG. 4

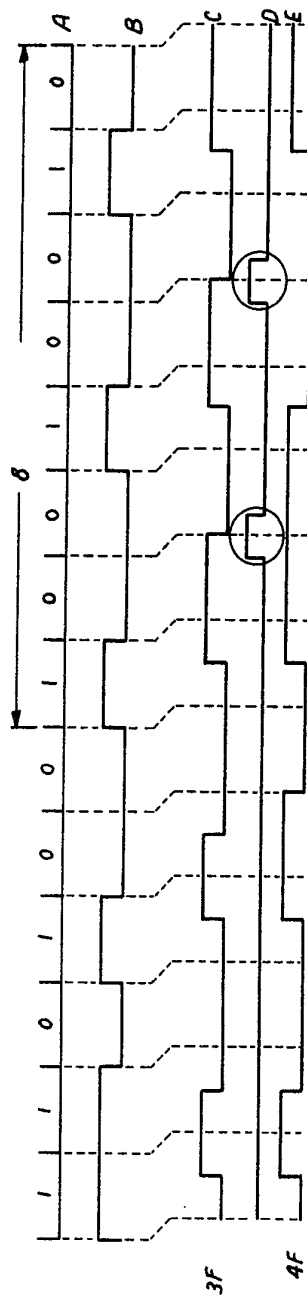


FIG. 5