

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H03M 13/09 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200780020808.4

[43] 公开日 2009年6月17日

[11] 公开号 CN 101461140A

[22] 申请日 2007.4.13

[21] 申请号 200780020808.4

[30] 优先权

[32] 2006.4.22 [33] GB [31] 0607976.8

[86] 国际申请 PCT/GB2007/001371 2007.4.13

[87] 国际公布 WO2007/122384 英 2007.11.1

[85] 进入国家阶段日期 2008.12.4

[71] 申请人 英国贝尔法斯特女王大学

地址 英国贝尔法斯特

[72] 发明人 萨吉尔·塞泽尔 塞伦·托艾尔

[74] 专利代理机构 北京安信方达知识产权代理有限公司

代理人 颜涛 郑霞

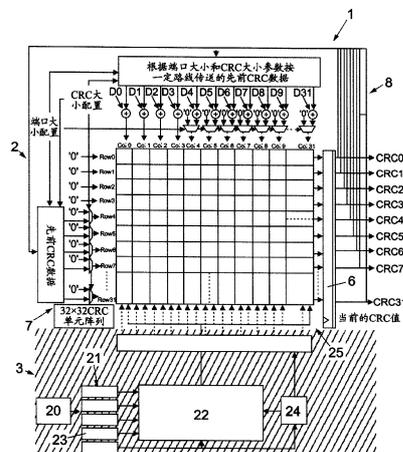
权利要求书4页 说明书13页 附图2页

[54] 发明名称

循环冗余校验码的可配置并行计算

[57] 摘要

一种用于实现循环冗余校验(CRC)检错方法来根据此方法计算数据的CRC检错码的设备(1),包括:使用并行计算(4)来计算CRC检错码的计算装置(2),以及配置器装置(3),该配置器装置使用CRC检错方法来确定计算装置计算CRC检错码所需的配置,并且由此配置(25)计算装置,其中配置器装置能够使用多种CRC检错方法中的每一种方法来确定计算装置根据每一种方法来并行计算CRC检错码所需的配置,并且计算装置可配置的,以允许其配置来并行计算每个CRC检错码。



1. 一种设备，用于实现循环冗余校验（CRC）检错方法来根据所述方法计算数据的 CRC 检错码，所述设备包括：

计算装置，使用并行计算来计算所述 CRC 检错码，以及

配置器装置，使用所述 CRC 检错方法来确定所述计算装置计算所述 CRC 检错码所需的配置，并且相应地配置所述计算装置，

其中，所述配置器装置能够使用多种 CRC 检错方法中的每一种方法来确定所述计算装置根据每一种方法来并行计算 CRC 检错码所需的配置，并且所述计算装置是可配置的，以允许对所述计算装置进行配置来并行计算每个 CRC 检错码。

2. 根据权利要求 1 所述的设备，其中所述计算装置包括多个可配置单元。

3. 根据权利要求 2 所述的设备，其中所述可配置单元中的至少一些可配置单元的配置由所述配置器装置使用所述 CRC 检错方法之一来确定。

4. 根据权利要求 2 或权利要求 3 所述的设备，其中对于所述可配置单元中的至少一些可配置单元，每个可配置单元接收所述数据的一部分，并且可配置为将所述数据的所述部分用于计算 CRC 检错码或不将所述数据的所述部分用于计算 CRC 检错码。

5. 根据权利要求 2 到 4 中任一项权利要求所述的设备，其中对于所述可配置单元中的至少一些可配置单元，每个可配置单元包括数据通路电路，所述数据通路电路接收所述数据的一部分，并且可配置为使得所述电路将所述数据的所述部分用于计算 CRC 检错码或不将所述数据的所述部分用于计算 CRC 检错码。

6. 根据权利要求 5 所述的设备，其中至少一些所述数据通路电路包括异或门和可配置器件。

7. 根据权利要求 6 所述的设备，其中对于至少一些所述数据通路电

路中的每一个电路，所述异或门接收所述数据的一部分并且在异或函数中使用所述数据，并且所述数据通路电路可配置为通过配置所述可配置器件输出作为所述异或门的所述异或函数的结果的信号，使所述数据的所述部分用于计算 CRC 检错码。

8. 根据权利要求 6 所述的设备，其中对于至少一些所述数据通路电路中的每一个电路，所述异或门接收所述数据的一部分并且在异或函数中使用所述数据，并且所述数据通路电路可配置为，通过配置所述可配置器件不输出作为所述异或门的所述异或函数的结果的信号，使所述数据的所述部分不被用于计算 CRC 检错码。

9. 根据权利要求 8 所述的设备，其中所述可配置器件输出由所述器件所接收到的信号。

10. 根据权利要求 2 到 9 中任一项权利要求所述的设备，其中所述可配置单元中的至少一些可配置单元中的每一个单元包括控制通路电路。

11. 根据权利要求 10 所述的设备，其中至少一些所述控制通路电路包括可配置器件。

12. 根据权利要求 10 或权利要求 11 所述的设备，其中至少一些所述控制通路电路包括配置寄存器。

13. 根据权利要求 10 到 12 中任一项权利要求所述的设备，从属于权利要求 5 到 9 中的任一项权利要求，其中对于至少一些所述可配置单元的每一个单元，单元的所述控制通路电路控制所述单元的所述数据通路电路的配置。

14. 根据权利要求 13 所述的设备，其中对于所述可配置单元中的至少一些可配置单元中的每一个单元，单元的所述控制通路电路控制所述单元的所述数据通路电路的所述可配置器件的配置。

15. 根据权利要求 14 所述的设备，其中对于所述可配置单元中的至少一些可配置单元中的每一个单元，单元的所述控制通路电路的所述可配置器件控制所述单元的所述控制通路电路的所述配置寄存器的运行，以控制所述单元的所述数据通路电路的所述可配置器件的配置。

16. 根据权利要求 2 到 15 中任一项权利要求所述的设备, 其中所述可配置单元包括相互连接的单元阵列。

17. 根据权利要求 16 所述的设备, 其中对于所述单元阵列的每一行, 行中的所述单元相互连接以共同地计算 CRC 检错码的一部分。

18. 根据权利要求 16 或权利要求 17 所述的设备, 其中对于所述单元阵列的每一行, 由行中被配置为将数据用于计算 CRC 检错码的每个单元所接收的数据被结合来计算 CRC 检错码的一部分。

19. 根据权利要求 16 到 18 中任一项权利要求所述的设备, 其中对于所述阵列的每一行, 行中的所述单元相互连接以接收来自所述配置器装置的配置数据。

20. 根据权利要求 16 到 19 中任一项权利要求所述的设备, 其中所述可配置单元阵列中的每一列接收所述数据的一部分, 用于并行计算 CRC 检错码。

21. 根据权利要求 16 到 20 中任一项权利要求所述的设备, 其中对于所述单元阵列的每一列, 列中的所述单元相互连接以接收来自所述配置器装置的配置控制信号。

22. 根据前面任一项权利要求所述的设备, 其中所述计算装置使用两个或更多个输入器件来以一个或更多个数据块接收所述数据。

23. 根据权利要求 22 所述的设备, 其中由所述计算装置所接收的所述数据块的大小可等于或小于所述计算装置的输入器件的数量。

24. 根据权利要求 23 所述的设备, 其中不接收数据的所述输入器件或每个输入器件可编程以输出低信号。

25. 根据前面任一项权利要求所述的设备, 其中所述计算装置包括一个或更多个反馈器件, 所述反馈器件中的至少一些反馈器件将已计算出的 CRC 检错码的一部分反馈到所述计算装置中。

26. 根据权利要求 25 所述的设备, 其中所述计算装置使用所述数据的第一个数据块来计算第一个 CRC 检错码, 将所述第一个 CRC 检错码反

馈回所述计算装置并且将所述第一个 CRC 检错码与所述数据的第二个数据块相结合，使用相结合的所述数据的第二个数据块和所述第一个 CRC 检错码来计算第二个 CRC 检错码，继续此处理直到所述数据全部都被用于计算最终的 CRC 检错码，并且输出所述最终的 CRC 检错码。

27. 根据权利要求 25 或权利要求 26 所述的设备，其中通过对所述计算装置的所述输入器件的适当器件进行编程以及对所述反馈器件的适当器件进行编程，所述计算装置可编程来接收包含可变数量数据块的数据。

28. 根据前面任一项权利要求所述的设备，其可配置以实现多种 CRC 检错方法，每一种方法使用预定大小的 CRC 生成器多项式。

29. 根据权利要求 28 所述的设备，其中所述配置器装置使用 CRC 检错方法的 CRC 生成器多项式来计算 CRC 的 D 矩阵，所述 D 矩阵确定所述计算装置计算所述 CRC 检错码所需的配置。

30. 根据权利要求 29 所述的设备，其中所述 D 矩阵包括 0 和 1 的阵列，所述 1 的位置指示所述计算装置中的将所述数据用于计算所述 CRC 检错码的可配置单元的所需位置，所述 0 的位置指示所述计算装置中的不将所述数据用于计算所述 CRC 检错码的可配置单元的所需位置。

31. 根据前面任一项权利要求所述的设备，包括硬件器件。

32. 根据前面任一项权利要求所述的设备，包括协议处理器的一部分。

33. 一种根据 CRC 检错方法计算数据的 CRC 检错码的方法，所述方法包括使用权利要求 1 到 32 中任一项权利要求的所述设备来实现所述 CRC 检错方法并且计算所述 CRC 检错码。

循环冗余校验码的可配置并行计算

本发明涉及一种设备及方法，用于计算诸如电信网络中的数据的检错码。

在电信网络中，数据的完整性是极为重要的。数据必须得准确地收发。然而，例如，在承载介质中的噪声会影响所发送的数据，向其添加错误。因此，现已研制出许多方法来检测在所发送数据中的错误。

一种这样的方法被称为循环冗余校验（CRC）。这是一种广为人知且广泛使用的检错方法，特别用于检测在使用数据链路层协议来发送的数据有效载荷中的比特错误。CRC 检错方法用于计算数据的检错码，并且检错码通常被附加至数据，该码和数据一同发送。一旦接收到数据和检错码，该码将用于判断数据在发送期间是否出现错误。

现已提出了许多检错码计算设备，这些设备具有较大或较小的效力。然而，如同电信网络中许多单元一样，随着这种网络使用持续发展，期望检错码的计算也得以改进。

根据本发明的第一个方面，提供一种用于实现循环冗余校验（CRC）检错方法来根据所述方法计算数据的 CRC 检错码的设备，包括：使用并行计算来计算 CRC 检错码的计算装置，以及配置器装置，所述配置器装置使用所述 CRC 检错方法来确定所述计算装置计算所述 CRC 检错码所需的配置，并且由此配置所述计算装置，其中所述配置器装置能够使用多种 CRC 检错方法中的每一种方法来确定所述计算装置根据每一种方法来并行计算 CRC 检错码所需的配置，并且所述计算装置可配置以允许其配置来并行计算每个 CRC 检错码。

由于所述设备可经配置后实现各种 CRC 检错方法，所以其具有可使用的在许多应用中的优势，对于这些应用将要求使用不同的 CRC 检错方法。例如，电信网络使用许多传输协议，这些协议通常涉及检错。由于这些协

议存在巨大差异，且由于存在继续开发的新协议以及保持传统协议的需要，因此需要最大化电信网络的协议覆盖范围。一种最大化协议覆盖范围的途径是将可配置性结合在协议的检错中。

所述设备可包括硬件器件。所述计算装置和所述配置器装置可在所述硬件器件上实现。所述计算装置可包括多个可配置单元。每个单元的配置可由所述配置器装置使用 CRC 检错方法之一来确定。每个单元可接收一部分数据，并且可配置以便其使用所述一部分数据来计算 CRC 检错码，或者不使用所述一部分数据来计算 CRC 检错码。

对于至少一些所述可配置单元中的每个单元，每个可配置单元包括数据通路电路，所述数据通路电路接收一部分数据，并且可配置以便所述电路使用所述一部分数据来计算 CRC 检错码，或者不使用所述一部分数据来计算 CRC 检错码。至少一些所述数据通路电路包括异或门。至少一些所述数据通路电路包括可配置器件，例如可配置的多路复用器。对于至少一些所述数据通路电路中的每一个电路，所述异或门接收部分数据并且在异或函数中使用所述数据，并且通过配置所述可配置器件以输出作为所述异或门的所述异或函数的结果的信号，所述数据通路电路可配置为使所述部分数据被用于计算 CRC 检错码。对于至少一些所述数据通路电路中的每一个电路，所述异或门接收部分数据并且在异或函数中使用所述数据，并且通过配置所述可配置器件以不输出作为所述异或门的所述异或函数的结果的信号，所述数据通路电路可配置为使所述部分数据不被用于计算 CRC 检错码。当可配置器件不输出作为所述异或门的所述异或函数的结果的信号时，所述器件可输出由所述器件所接收到的信号。在这种情况下，所述可配置单元包括可用作输入输出连接的器件。

至少一些所述可配置单元中的每个单元都包括控制通路电路。至少一些所述控制通路电路包括可配置器件，例如可配置的多路复用器。至少一些所述控制通路电路包括配置寄存器。对于至少一些所述可配置单元的每个单元，单元的所述控制通路电路控制所述单元的所述数据通路电路的配置。对于至少一些所述可配置单元的每个单元，单元的所述控制通路电路控制所述单元的所述数据通路电路的可配置器件的配置。对于至少一些所

述可配置单元的每个单元，单元的所述控制通路电路的所述可配置器件控制所述单元的所述控制通路电路的所述配置寄存器的运行，从而控制所述单元的所述数据通路电路的可配置器件的配置。对于至少一些所述可配置单元的每个单元，单元的所述控制通路电路的所述可配置器件被使能以控制所述配置寄存器的运行或不被使能。

所述可配置单元可包括相互连接的单元阵列。对于所述单元阵列的每一行，行中的所述单元相互连接以选择性地计算一部分 CRC 检错码。对于所述单元阵列的每一行，行中每个单元所接收的数据可被结合以计算一部分 CRC 检错码，所述行中每个单元经配置后使用所述数据来计算 CRC 检错码。对于所述单元阵列的每一行，行中的所述单元相互连接以接收来自所述配置器装置的配置数据。在可配置单元阵列中的每一列接收一部分数据用于并行计算 CRC 检错码。对于所述单元阵列的每一列，列中的所述单元相互连接以各自接收一部分数据。对于所述单元阵列的每一列，列中的所述单元相互连接以接收来自所述配置器装置的配置控制信号。

所述计算装置可以一个或更多个数据块来接收所述数据。所述计算装置包括两个或更多个输入器件来接收数据块。由所述计算装置所接收的所述数据块的大小可等于所述计算装置的所述输入器件的数量。例如，所述计算装置可提供范围从 2 到 N 的多个输入器件。由所述计算装置所接收的所述数据块的大小可小于所述计算装置的所述输入器件的数量。不接收数据的所述输入器件或每个输入器件可编程以输出低信号。所述可编程输入器件可包括可编程的多路复用器。所述可编程输入器件可在所述设备的运行时刻进行编程。所述计算装置可包括一个或更多个控制器件，所述控制器件控制所述可编程输入器件的编程。提供可编程输入器件，意味着所述计算装置可接收可变大小的数据块。由此所述计算装置将具有可变的输入端口大小。具体地，所述设备可提供范围从 2 到 N 位的端口大小，并且由此接收范围从 2 到 N 位的数据块，例如 4、8、16、24、32、64、128 位以及更多位中的任一个。

所述计算装置包括一个或更多个输出存储器件，例如输出寄存器。所述输出存储器件或每个输出存储器件可接收和存储所计算出的检错码。

所述计算装置可包括一个或更多个反馈器件。至少一些所述反馈器件可将一部分已计算出的 CRC 检错码反馈回所述计算装置。例如，至少一些所述反馈器件可将一部分已计算出的 CRC 检错码反馈回所述计算装置的至少一些所述输入器件。至少一些所述反馈器件可将已计算出的 CRC 检错码的一部分反馈回所述计算装置的至少一些所述可配置单元。所述计算装置可包括一个或更多个控制器件，所述控制器件用于控制所述 CRC 检错码的所述部分反馈回所述计算装置。

在优选实施方式中，所述计算装置利用所述数据的第一个数据块来计算第一个 CRC 检错码，将所述第一个 CRC 检错码反馈回所述计算装置并且将其与所述数据的第二个数据块相结合，利用所结合的所述数据的所述第二个数据块和所述第一个 CRC 检错码来计算第二个 CRC 检错码，继续此处理过程直到所有数据都已被用于计算最终 CRC 检错码，并且输出所述最终 CRC 检错码。以此方式，所有数据都被用于计算所述 CRC 检错码。

所述计算装置可编程以接收包含有可变数量数据块的数据。这可通过对所述输入器件的适当器件进行编程以及对所述计算装置的所述反馈器件的适当器件进行编程来实现。例如，由所述输入器件接收的最后的数块可小于先前所接收的数据块。所述计算装置可在所述设备的运行时刻进行编程。所述设备可编程以处理在所述输入数据块的位或字节大小上的这种变化。

所述配置器装置可包括用来接收所述 CRC 检错方法的一个或更多个参数的接口，所述参数用于确定所述计算装置的配置。所述配置器装置可包括一个或更多个存储器件，例如寄存器，所述寄存器用于存储所述参数。所述配置器装置可包括配置数据计算器，所述配置数据计算器接收所述 CRC 检错方法的参数，并且确定所述计算装置的配置。所述配置器装置可包括配置电路，所述配置电路将配置信号和配置控制信号提供给所述计算装置以用于其配置。

所述配置器装置可确定所述计算装置的所有可配置单元计算 CRC 检错码所需的配置，并且一同配置所述计算装置的所有单元。另外，所述可配置器件可确定所述计算装置的一些可配置单元计算 CRC 检错码所需的

配置，并且一同配置所述计算装置的这些单元。当这些单元包括阵列时，所述配置器装置可确定在列中的所述单元计算 CRC 检错码所需的配置，并且一同配置在所述列中的所有单元。所述配置器装置可逐列地配置所述计算装置的所述单元。

所述设备可配置以实现多个 CRC 检错方法，每一种方法使用预定大小的 CRC 生成器多项式，例如范围从 4 到 M。所述配置器装置可使用 CRC 检错方法的 CRC 生成器多项式来计算 CRC 的 D 矩阵。D 矩阵可确定所述计算装置计算所述 CRC 检错码所需的配置。所述配置器装置可计算所述 D 矩阵的行，使用其来配置所述计算装置的所述可配置单元阵列的相应列。由于所述 D 矩阵每一行的计算（第一行除外）都基于前面行的计算结果，所以这节省了所述配置器装置的存储器。所述 D 矩阵可包括 0 和 1 的阵列，所述 1 的位置指示所述计算装置中使用所述数据来计算所述 CRC 检错码的可配置单元的所需位置，所述 0 的位置指示所述计算装置中不使用所述数据来计算所述 CRC 检错码的可配置单元的所需位置。因此，所述 D 矩阵的大小以及因此所述可配置单元阵列的大小，可由所述计算装置提供的所述输入器件的数量，以及所述设备所使用的所述 CRC 检错方法的 CRC 生成器多项式的大小或次数（power）来决定。输入器件的数量可决定所述单元阵列的列数，而所述 CRC 生成器多项式的大小决定所述单元阵列的行数。

所述设备还可以通过提供另外的反馈器件而能够使用大小大于所述设备的端口大小的 CRC 生成器多项式来计算 CRC 检错码。所述另外的反馈器件可将所计算出的 CRC 检错码的一部分按一定路线传送至所述计算装置的所述反馈器件的适当器件，并且所述反馈器件可将所述 CRC 检错码的已计算部分按一定路线传送至所述可配置单元。

所述设备可被用于计算将要发送的数据的 CRC 检错码。所述设备可将已计算出的 CRC 检错码添加至所述数据，并且一起发送所述数据和 CRC 检错码。

所述设备可被用于计算已接收到的数据的 CRC 检错码。所述设备可计算所接收到的数据的 CRC 检错码，并且将所计算出的 CRC 检错码与连

同所述数据一起接收到的 CRC 检错码相比较。如果它们不相同，这表明在数据传输中已出现错误，并且所述设备可输出一个或更多个信号来指明这一点。

所述设备可包括部分的协议处理器。

根据本发明的第二个方面，提供一种根据 CRC 检错方法计算数据的 CRC 检错码的方法，包括使用本发明的第一个方面的所述设备来实现所述 CRC 检错方法，并且计算所述 CRC 检错码。

现参照附图，借助于实例来描述本发明的实施方式，其中：

图 1 是根据本发明第一个方面的设备的示意表示；

图 2 是图 1 设备的可配置单元中的一个单元的示意表示，以及

图 3 是图 1 设备的可配置单元的阵列的一部分的示意表示。

参见图 1，设备 1 包括检错码计算装置 2 和配置器装置 3。计算装置 2 包括可配置单元 4 的阵列。这些单元形成 32 行×32 列的矩阵。然而，应当理解，可使用其它数量的行和列。计算装置进一步包括一行 32 个输入端口 5，每个输入端口都包括异或 (XOR) 门。输入端口 5 到 32 还包括有多路复用器，为此它们都是可编程的。输入端口 5 接收将要计算检错码的数据，并且将此数据提供给可配置单元 4 的阵列。计算装置进一步包括输出寄存器 6。可配置单元 4 的阵列中的每一行都计算检错码的一部分，并且将其输出至输出寄存器 6。计算装置进一步包括一系列可编程反馈多路复用器 7 和反馈电路 8。反馈电路 8 将输出寄存器 6 连接至输入端口 5 和反馈多路复用器 7，并且按照需要将部分已计算出的检错码提供至输入端口 5 和反馈多路复用器 7。

参见图 2 和 3，将更为详细地说明可配置单元 4 的阵列结构。每个可配置单元 4 包括数据通路电路 10 和控制通路电路 11 (图 2)。数据通路电路 10 包括异或门 12 和多路复用器 13。如所示，异或门 12 包括两个输入端，输入端 0 (其接收将要计算检错码的部分数据) 和输入端 1，以及输出端。如所示，多路复用器 13 也包括两个输入端和一个输出端。多路复用器 13 进一步包括连接至控制通路电路 11 的控制输入端 14。异或门 12

的输出端连接至多路复用器 13 的第一个输入端，并且异或门 12 的输入端 1 连接至多路复用器 13 的第二个输入端。

控制通路电路 11 包括多路复用器 15 和配置寄存器 16。如所示，多路复用器 15 包括两个输入端和一个输出端。多路复用器 15 还包括控制输入端 17。如所示，配置寄存器包括一个输入端和一个输出端。多路复用器 15 的输出端连接至寄存器 16 的输入端，并且寄存器 16 的输出端连接至数据通路电路 10 的多路复用器 13 的控制输入端 14。寄存器 16 的输出端还连接至多路复用器 15 的输入端之一。

对于每个可配置单元 4，控制通路电路 11 的多路复用器 15 在其标识为配置数据的输入端处接收配置信号，并且当多路复用器 15 的控制输入端 17（标识为配置使能）接收到高的配置控制信号时，将配置信号提供至配置寄存器 16。配置寄存器 16 将配置信号（低信号或高信号）输出至单元 4 的数据通路电路 10 的多路复用器 13 的控制输入端 14。高配置信号决定了数据通路电路 10 被配置为多路复用器 13 的输出为在异或门 12 的输入端 0 处接收到的部分数据和在输入端 1 处接收到的信号之间异或函数的结果。在这种情况下，这部分数据被用于计算检错码。低配置信号决定了数据通路电路 10 被配置为多路复用器 13 的输出仅为在异或门 12 的输入端 1 处接收到的信号。在这种情况下，在异或门 12 的输入端 0 处接收到的部分数据没有被用于计算检错信号。

可配置单元 4 被布置成相互连接的阵列。图 3 表示了 16 个单元 4 如何相互连接。应当可见，对于每一行，在此行中的每个单元 4 都相互连接。对于每一行，第一个单元 4 的数据通路电路 10 的多路复用器 13 的输出端连接至第二个单元 4 的数据通路电路 10 的异或门 12 的输入端 1，并且第二个单元 4 的数据通路电路 10 的多路复用器 13 的输出端连接至第三个单元 4 的数据通路电路 10 的异或门 12 的输入端 1，等等。重复这种连接布置，直至此行的最后一个单元。对于每一行，单元 4 的控制通路电路 11 的多路复用器 15 的输入端之一（标识为配置数据）都连接在一起，用于接收配置信号。还应当可见，对于每一列，在此列中的每个单元 4 都相互连接。对于每一列，单元 4 的数据通路电路 10 的异或门 12 的输入端 0 彼

此相连，用于接收将要计算检错码的数据。对于每一列，单元 4 的控制通路电路 11 的多路复用器 15 的控制输入端 17 也彼此相连，用于接收配置控制信号。

再次参见图 1，设备 1 的配置器装置 3 包括微处理器接口 20，该接口连接至多个寄存器 21 中的每一个寄存器的输入端。配置器装置 3 进一步包括配置数据计算器 22，该计算器连接至每一个寄存器 21 的输出端。配置器装置 3 还包括处理控制信号生成器 23，处理控制信号生成器 23 具有连接至配置数据计算器 22 的输出端。配置器装置 3 包括连接至配置计算器 22 的计数器 24。配置器装置 3 还包括配置电路 25。配置电路 25 包括连接至配置数据计算器 22 的输入端以及连接至计算装置 2 的多个输出端。

现参考具体的循环冗余校验（CRC）检错方法来描述设备 1 的运行。CRC 是在所有电信网络主要层的两种处理协议中使用的主要检错方法。CRC 是用于检测数据中错误的基于多项式的方法。检错码针对该数据被计算出来。然后检错码被添加至该数据，包括原始数据和检错码的消息被发送。在接收器处，分析此消息以校验是否有错误。

CRC 检错方法是基于利用所选 CRC 生成器多项式的原始数据的模 2 除运算。CRC 方法包括使用所选的 CRC 生成器多项式来产生矩阵，通常被称为 D 矩阵。D 矩阵决定了检错码计算装置的可配置单元阵列所需的配置。D 矩阵包括 0 和 1 的阵列，1 所处的位置指示在阵列中使用数据来计算 CRC 检错码的可配置单元的所需位置，并且 0 所处的位置指示在阵列中不使用数据来计算 CRC 检错码的可配置单元的所需位置。因此，D 矩阵的大小以及由此可配置单元阵列的大小，由计算装置所提供的输入器件的数量和所选 CRC 生成器多项式的大小或次数来决定。输入器件的数量决定了阵列中的列数，而 CRC 生成器多项式的次数决定了阵列中的行数。

本实施方案的设备包括可重新配置的 CRC 检错设备，其中可配置单元阵列具有 32 列和 32 行。因此，此设备能够接收高达 32 位的数据块，大小可为 4 位、8 位、16 位和 32 位，并且能够支持次数高达 32 的任意 CRC 生成器多项式的检错码计算。

首先将描述的是，利用次数为 32 的 CRC 生成器多项式来计算数据的

检错码，该数据被划分为包含 32 位的数据块。CRC 检错方法的参数被输入至配置器装置 3 的微处理器接口 20。这些参数包括所选的 CRC 生成器多项式的大小，即次数 (32)，输入器件的数量 (32)，以及 CRC 生成器多项式。它们都被存储在寄存器 21 中，并且被输出至配置数据计算器 22。信号从处理控制信号生成器 23 中输出，并且启动计算配置数据和配置计算装置 2 的可配置单元 4 的阵列的处理。首先，配置器装置 3 利用存储在寄存器 21 中的参数来计算 CRC 检错方法的 D 矩阵。每次只计算 D 矩阵的一行。由于矩阵的每一行计算 (第一行除外) 是基于前一行的计算结果，所以这减少了所需的存储器。于是，配置器装置 3 利用 D 矩阵的每一行计算结果来确定用于计算装置 2 的可配置单元 4 的阵列的每一个相应列的配置数据。例如，配置器装置 3 利用 D 矩阵的第一行计算结果来确定计算装置 2 的可配置单元 4 的阵列的第一列的配置数据。D 矩阵的每一行将包括一连串的 0 和 1。对于每一行，根据 CRC 检错方法来指定 0 和 1 的位置。0 所处的位置指示在计算装置 2 的可配置单元 4 的阵列的相应列中不使用部分数据来计算检错码的可配置单元 4 的位置。1 所处的位置指示在计算装置 2 的可配置单元 4 的阵列的相应列中使用部分数据来计算检错码的可配置单元 4 的位置。

当阵列中一列的配置数据已确定时，该数据将被提供至配置器装置 3 的配置电路 25。这个电路利用配置数据经由配置线来配置可配置单元 4 的阵列中的一列，诸如图 3 的线 C0 到 C3。此列的配置数据被分发至阵列中的每一列，但在诸如图 3 的线 CE0 到 CE3 的配置控制信号线上分发的配置控制信号，每一次只置其中一个信号为高，从而确保只配置阵列中的所期望的列。对于此列中的每个可配置单元 4，控制通路电路 11 的多路复用器 15 的控制输入端 17 (配置使能) 接收高的配置控制信号，而多路复用器 15 在其标识为配置数据的输入端处接收配置信号。配置信号被提供至配置寄存器 16，该配置寄存器 16 将配置信号 (低或高的信号) 输出至单元 4 的数据通路电路 10 的多路复用器 13 的控制输入端 14。配置信号的低或高取决于 D 矩阵的相应行中的相应记录是 1 还是 0。高的配置信号决定：单元 4 的多路复用器 13 输出在单元 4 的异或门 12 的输入端 0 处接收到的数据信号和在输入端 1 处接收到的信号之间异或函数的结果。低的配置信

号决定：单元 4 的多路复用器 13 只输出在单元 4 的异或门 12 的输入端 1 处接收到的信号。

如上所述地配置在计算装置 2 的阵列中的每个可配置单元 4。代替在阵列的每个节点处具有异或门或没有异或门，如由 CRC 检错方法所决定，提供包括异或门的可重新配置单元，该可重新配置单元能够被配置为输出异或门的异或函数的结果或不输出该结果。以此方式，CRC 检错方法可适于使用或不使用阵列中适当单元的异或门。

一旦计算装置 2 的可配置单元 4 的阵列已经根据所选 CRC 检错方法来配置后，计算装置 2 可被用于计算由计算装置所接收到的数据的检错码。该数据经由输入端口 5 被接收。该数据以 32 位的数据块方式接收，每个输入端口 5 接收 1 位。对于每个数据块，将输入数据的每一位提供给单元阵列中每一行上的一个可配置单元 4。例如，第一个输入端口 5 所接收的该位数据被提供到阵列中每一行的第一个单元 4，第二个输入端口 5 所接收的该位数据被提供到阵列中每一行的第二个单元 4，等等。对于每个数据块，每一位数据都被提供到单元 4 的数据通路电路 10 的异或门 12 的输入端 0。

每个单元 4 都经配置以使用输入数据位来计算检错码或不这样做。例如，考虑图 3 所示的单元 4 的阵列的第一行，假定只有最后两个单元 4（从左到右）经配置以输出其异或门的异或函数结果。第一位数据被提供到此行中的第一个单元 4 的数据通路电路 10 的异或门 12 的输入端 0，类似地，第二位数据被提供到此行中的第二个单元 4 的数据通路电路 10 的异或门 12 的输入端 0，等等，对于此行的所有单元 4 以此类推。可将低信号（0）提供给此行中的第一个单元 4 的数据通路电路 10 的异或门 12 的输入端 1。第一个单元 4 的输出被提供至第二个单元 4 的数据通路电路 10 的异或门 12 的输入端 1，第二个单元 4 的输出被提供至第三个单元 4 的数据通路电路 10 的异或门 12 的输入端 1，第三个单元 4 的输出被提供至第四个单元 4 的数据通路电路 10 的异或门 12 的输入端 1。第四个单元 4 的输出包括针对数据计算出的检错码的第一个部分的第二位。在此行的第一个单元 4 经配置以输出在异或门 12 的输入端 1 处所接收的信号，即用作输入输出

的连接，所以这个单元的异或门 12 的输入端 1 所接收到的低信号被提供给此行的第二个单元 4。因此，第一个单元 4 的异或门 12 的输入端 0 所接收的第一个数据位没有用于计算检错码。第二个单元 4 同样经配置以输出异或门 12 的输入端 1 处所接收的信号，即用作输入输出的连接，所以低信号被提供给此行的第三个单元 4。因此，第二个单元 4 的异或门 12 的输入端 0 所接收的第二个数据位没有用于计算检错码。在此行的第三个单元 4 经配置以输出其异或门 12 的异或函数结果，所以对于这个单元，异或门 12 的输入端 0 所接收到的第三个数据位与异或门 12 的输入端 1 所接收到的低信号一起进行异或运算，并且异或函数结果，即第三个数据位，被提供给此行的第四个单元 4。在此行的第四个单元 4 同样经配置以输出其异或门 12 的异或函数结果，所以对于这个单元，异或门 12 的输入端 0 所接收到的第四个数据位与异或门 12 的输入端 1 所接收到的第三个数据位一起进行异或运算，并且从此行的第四个单元 4 处输出，作为检错码的第一个部分的第一位。所以，第一个数据块的第三个数据位和第四个数据位被用于计算第一个检错码。

根据每一行的单元 4 的配置，可针对图 1 的计算装置 2 的可配置单元 4 的阵列的每一行执行同样的处理。对于输入至计算装置 2 的第一个数据块，每一行的输出形成第一个检错码的一个位。第一个检错码将存储在寄存器 6 中。第一个检错码被反馈到输入端口 5。第二个数据块被提供至输入端口 5。第一个检错码与第二个数据块在输入端口 5 处进行异或运算。结果被提供至可配置单元 4 的阵列，并且被用于计算第二个检错码，如前所述。第二个检错码被存储在输出寄存器 6 中，并且被反馈到输入端口 5。第三个数据块被提供至输入端口 5。第二个检错码与第三个数据块在输入端口 5 处进行异或运算。结果被提供至可配置单元 4 的阵列，并且被用于计算第三个检错码。第三个检错码被存储在输出寄存器 6 中，并且被反馈到输入端口 5。继续进行这一处理，直到所有数据都被提供至输入端口 5，并且被用于计算检错码。最终的检错码被存储在输出寄存器 6 中。这样，所有数据都被用于计算最终的检错码。

上面描述了一个实施方式，其中设备 1 的端口大小为 32 位，并且数

据可分为 32 位的数据块。设备 1 可提供其它端口大小，来接收具有其它块大小的数据。这通过对第 5 个至第 32 个输入端口 5 中的适当输入端口的多路复用器进行编程来实现。对输入端口 5 的多路复用器进行编程，可发生在设备 1 的运行时刻。特别地，设备 1 可提供 4、8、12 或 24 位的端口大小，以及由此接收 4、8、12 或 24 位的数据块。例如，如果期望只接收具有 8 位块大小的数据，即将端口大小变为 8 位，那么对设备 1 的第 9 个到第 32 个输入端口 5 的多路复用器进行编程，以提供低信号 (0) 至可配置单元 4 的阵列，取代将数据位提供至阵列。设备 1 生成端口大小配置信号，来控制端口大小，即对输入端口 5 的多路复用器进行编程。

此外，设备 1 可在运行时刻被编程，以接收包括可变数量字节的数据。这通过对输入端口 5 中的适当多路复用器进行编程和对设备 1 的反馈多路复用器 7 中的适当多路复用器进行编程来实现。由设备 1 生成的端口大小配置信号还负责对输入端口 5 和反馈多路复用器 7 中的多路复用器进行编程，以处理可变输入数据字节大小。例如，所述设备可经配置以利用具有 CRC 生成器多项式的 CRC 检错方法来计算检错码，该 CRC 生成器多项式的次数为 32，并且设备的端口大小可被编程为 30 位。如果最后的数据块只有 16 位需要进行处理，那么端口大小配置信号使得设备 1 经编程以处理在输入数据的位数或字节大小上的变化。特别地，对第 17 个到第 32 个输入端口 5 的多路复用器进行编程，以提供低信号 (0) 至设备 1 的单元 4 的阵列，并且在阵列的左手侧，底部的 16 个反馈多路复用器 7 经编程以接收先前计算出的检错码，并且阵列中的第 17 行到第 32 行的先前计算出的检错码被按一定路线传送到底部的 16 个反馈多路复用器 7。由于大多数的电信网络使用面向可变大小字节的协议，所以设备 1 可接收包含可变数量字节的数据的能力是该设备强于已知检错器件的重要优势。

上面详细描述的实施方式利用大小或次数为 32 的 CRC 生成器多项式来计算检错码。本设备还能够计算其它 CRC 生成器多项式大小的检错码，该多项式的大小可大于或小于本设备的端口大小。当 CRC 生成器多项式大小大于设备的端口大小时，将提供额外的反馈总线。此额外的反馈总线将部分的已计算检错码按一定路线传送至在设备 1 的可配置单元 4 的阵列

的左手侧处的反馈多路复用器 7 的适当多路复用器内。低信号被提供至阵列中不需要反馈的任一行的第一个单元 4 的输入端 1。设备 1 生成 CRC 大小配置信号，来控制对反馈多路复用器 7 的编程，从而适于所期望大小的 CRC 多项式。

于是，设备 1 可用于计算不同 CRC 检错方法的检错码，例如使用次数为 16 的 CRC 生成器多项式的 CRC 检错码。选择新的 CRC 检错方法，并且使用配置器装置 3 来计算这个 CRC 方法的配置数据。然后，重新配置计算装置 2，并且使用其来计算新的检错码。设备 1 的可重新配置性允许不同的 CRC 检错方法可适于只使用一个设备。

可编程的设备将支持许多可能的 CRC 生成器多项式大小，以及由此支持许多可能的 CRC 检错方法，这是本发明的重要优点，并且期望该可编程的设备不仅用于支持数据链路层协议的检错，而且还用于支持更上层协议和数据加密的检错。

本设备被实施为固定式硬件引擎。这被用于配置可配置单元的阵列，即它完成了先前需要使用软件来执行的功能。

已经使用 Altera Stratix II FPGA 技术来实现了设备 1。所实现的设备的最大速度为 117 MHz。按照这一速度，在使用全端口大小（32 位）时，这一结构可处理 3.77 Gbps。对于 FPGA 实现，这给人以相当深刻印象。本设备的设计实施在 ASIC 上将是最具价值的，在 ASIC 上技术收缩(technology shrink)将容易地使得全端口使用下的性能达到 10 Gbps。然而，应当理解，可使用设备 1 的其它实现方案。

设备 1 可被用于计算数据的错误检验码，无论是将要发送的数据，还是被接收的数据。对于要发送的数据，设备可将已计算好的检错码添加到数据的末端，并且发送所组合的数据和检错码。对于接收到的数据，设备可计算数据的检错码，并且将其与添加至数据的检错码进行比较。如果它们都具有相同的值，那么这表明在数据的传输过程中没有出现错误。如果它们并不具有相同的值，那么设备可生成信号来表明数据将被丢弃，并且应当重新发送数据。

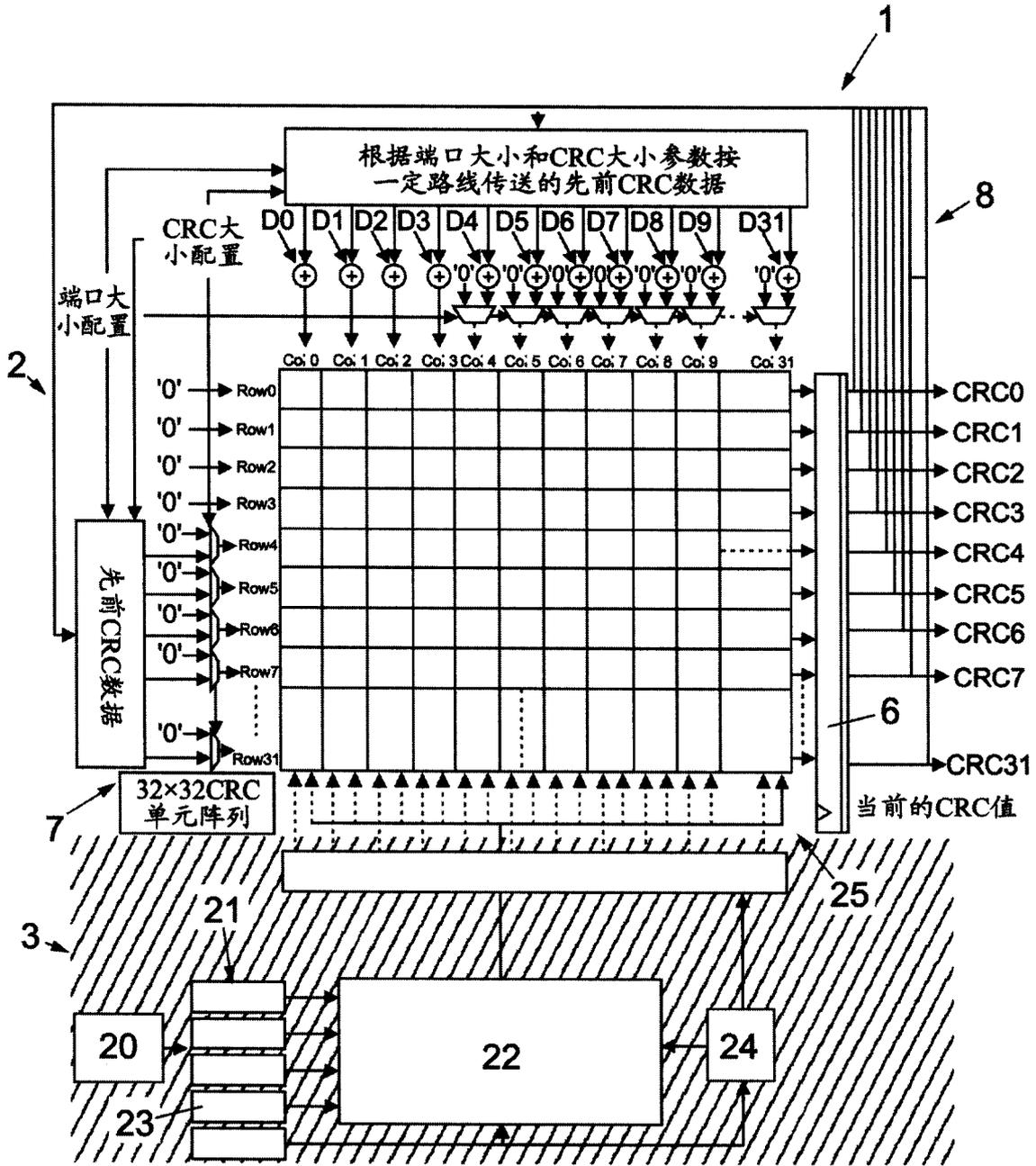


图1

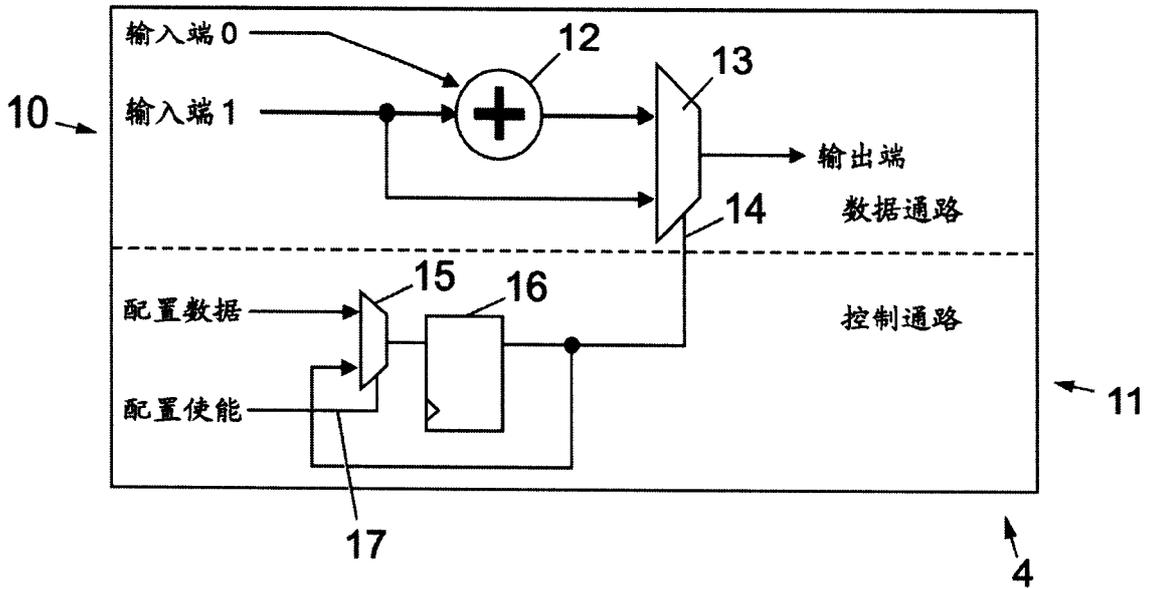


图2

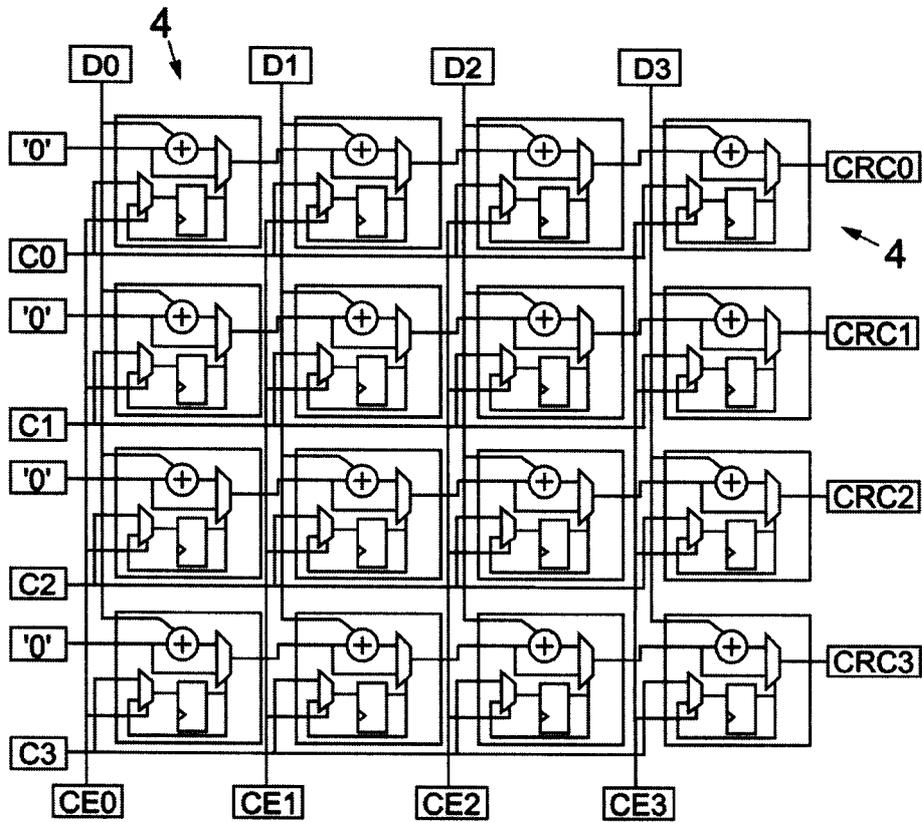


图3