



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월11일
(11) 등록번호 10-0940748
(24) 등록일자 2010년01월29일

(51) Int. Cl.

H01L 21/20 (2006.01)

(21) 출원번호 10-2006-7010999

(22) 출원일자 2004년12월01일

심사청구일자 2008년01월10일

(85) 번역문제출일자 2006년06월05일

(65) 공개번호 10-2006-0123255

(43) 공개일자 2006년12월01일

(86) 국제출원번호 PCT/EP2004/053204

(87) 국제공개번호 WO 2005/055290

국제공개일자 2005년06월16일

(30) 우선권주장

10/728,519 2003년12월05일 미국(US)

(56) 선행기술조사문헌

US20030218189 A1*

US20030194847 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인터내셔널 비지네스 머신즈 코퍼레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

베델, 스티븐

미국 12590 뉴욕주 와핑거스 폴스 니콜 드라이브 32

코헨, 가이

미국 10547 뉴욕주 모헤건 레이크 뉴 살레 드라이브 157

첸, 후아지에

미국 12590 뉴욕주 와핑거스 폴스 센터버리 레인 11층

(74) 대리인

김태홍, 신정건

전체 청구항 수 : 총 64 항

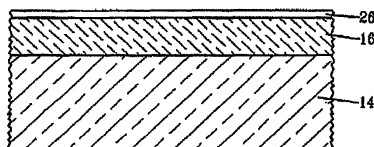
심사관 : 심병로

(54) 반도체 기판의 제조 방법

(57) 요약

기형성된 실리콘-온-절연체 기판의 절연층 상부에 바로 위치한 50nm 미만의 두께를 갖는 얇은 반도체층인 변형된 반도체가 있는 변형된 반도체-온-절연체(SSOI) 기판을 제조하는 방법이 제공된다. 본 발명의 SSOI 기판을 형성함에 있어서 웨이퍼 접합은 사용되지 않는다.

대표도 - 도1e



특허청구의 범위

청구항 1

변형된 반도체-온-절연체(SSOI)를 제조하는 방법으로서,

제1 결정질 반도체층의 표면 상에 변형된 제2 결정질 반도체층을 형성하는 단계 - 상기 제1 결정질 반도체층은 기형성된 실리콘-온-절연체(SOI) 기판의 절연층 상부에 위치함 -;

상기 제1 결정질 반도체층 내부 또는 근처에 결함을 생성하기 위해 결함 생성 이온 주입을 실시하는 단계;

상기 제2 결정질 반도체층을 포함하는 상기 기형성된 SOI 기판을, 상기 제2 결정질 반도체층 내의 변형을 이완 하기에 충분한 제1 온도에서, 제1 어닐링하는 단계;

상기 제1 결정질 반도체층 전체 및 상기 제2 결정질 반도체층의 하부를 포함하는 매몰 비정질화 영역을 생성하 기 위해 비정질화 이온 주입을 실시하는 단계;

상기 제2 결정질 반도체층 및 상기 매몰 비정질화 영역을 포함하는 상기 기형성된 SOI 기판을, 상기 매몰 비정 질화 영역을 재결정화하기에 충분한 제2 온도에서 제2 어닐링하여, 상기 제1 결정질 반도체층을 변형된 상태로 재결정화하는 단계; 및

상기 제2 결정질 반도체층을 선택적으로 제거하여 변형된 반도체-온-절연체 기판을 제공하는 단계를 포함하고,

상기 절연층은, Ge 확산에 저항성이 있는 결정질 또는 비결정질 산화물 또는 질화물인 SSOI를 제조하는 방법.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 제1 결정질 반도체층은 5 내지 50nm의 두께를 갖는 SSOI를 제조하는 방법.

청구항 4

제1항에 있어서, 상기 제1 결정질 반도체층은 Si, SiC, SiGe, SiGeC, Ge, GaAs, InAs, InP, 기타 3/5 또는 2/6 족 화합물 반도체를 포함하는 SSOI를 제조하는 방법.

청구항 5

제4항에 있어서, 상기 제1 결정질 반도체층은 Si-함유 반도체인 SSOI를 제조하는 방법.

청구항 6

제1항에 있어서, 상기 제2 결정질 반도체층은 Si, SiC, SiGe, SiGeC, Ge, GaAs, InAs, InP, 기타 3/5 또는 2/6 족 화합물 반도체를 포함하는 SSOI를 제조하는 방법.

청구항 7

제6항에 있어서, 상기 제2 결정질 반도체층은 Ge-함유 물질인 SSOI를 제조하는 방법.

청구항 8

제7항에 있어서, Ge-함유 물질은 SiGe합금 또는 순수 Ge인 SSOI를 제조하는 방법.

청구항 9

제1항에 있어서, 상기 제2 결정질 반도체층을 형성하는 단계는 에피택셜 성장 공정을 포함하는 SSOI를 제조하는 방법.

청구항 10

제9항에 있어서, 상기 에피택셜 성장 공정은, 급속 열 화학 기상 증착, 저압 화학 기상 증착, 초고진공 화학 기

상 증착, 대기압 화학 기상 증착, 분자선 에피택시 및 플라즈마 화학 기상 증착으로부터 선택되는 SSOI를 제조하는 방법.

청구항 11

제1항에 있어서, 상기 제2 결정질 반도체층은 10 내지 500nm의 두께를 갖는 SSOI를 제조하는 방법.

청구항 12

삭제

청구항 13

제1항에 있어서, 상기 결합 생성 이온 주입은, 수소, 중수소, 헬륨, 산소, 네온, 보론, 실리콘 또는 이들의 혼합물의 이온 및 상기 이온의 동위 원소를 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 14

제13항에 있어서, 상기 이온은 수소 또는 산소 이온인 SSOI를 제조하는 방법.

청구항 15

제1항에 있어서, 상기 결합 생성 이온 주입은, $3 \times 10^{16} \text{ cm}^{-2}$ 미만의 이온 농도를 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 16

제1항에 있어서, 상기 결합은, 상기 제2 결정질 반도체층이 더 효율적으로 이완되도록 하는 효율적인 전위핵생성 영역으로 기능할 수 있는 SSOI를 제조하는 방법.

청구항 17

제1항에 있어서, 상기 결합 생성 이온 주입은 주입 마스크를 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 18

제1항에 있어서, 상기 제1 어닐링 단계는 불활성 가스 분위기 또는 성형 가스 분위기에서 실시되는 SSOI를 제조하는 방법.

청구항 19

제1항에 있어서, 상기 제1 어닐링 단계의 상기 제1 온도는 700℃ 내지 1100℃인 SSOI를 제조하는 방법.

청구항 20

제1항에 있어서, 상기 제1 어닐링 단계는, 급속 열 어닐링 공정, 퍼니스 어닐링 공정, 레이저 어닐링 공정 또는 스파이크 어닐을 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 21

제1항에 있어서, 상기 비정질화 이온 주입은, Si, P, As, Ge, C 및 이들의 임의의 조합으로부터 선택되는 이온을 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 22

제1항에 있어서, 상기 제2 어닐링 단계는 불활성 가스 분위기 또는 성형 가스 분위기에서 실시되는 SSOI를 제조하는 방법.

청구항 23

제1항에 있어서, 상기 제2 어닐링 단계의 상기 제2 온도는 600℃ 내지 1100℃인 SSOI를 제조하는 방법.

청구항 24

제1항에 있어서, 상기 제2 어닐링 단계는, 급속 열 어닐링 공정, 퍼니스 어닐링 공정, 레이저 어닐링 공정, 또는 스파이크 어닐을 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 25

제1항에 있어서, 상기 제2 결정질 반도체층을 선택적으로 제거하는 단계는, 화학적 에칭, 반응성 이온 에칭, 저온 산화, 원자 산화, 화학적 기계적 연마, 가스-클러스터 빔 썬닝(gas-cluster beam thinning) 또는 이들의 임의의 조합을 포함하는 SSOI를 제조하는 방법.

청구항 26

변형된 반도체-온-절연체(SSOI)를 제조하는 방법으로서,

제1 결정질 반도체층의 표면 상에 변형된 제2 결정질 반도체층을 형성하는 단계 - 상기 제1 결정질 반도체층은 기형성된 실리콘-온-절연체(SOI) 기판의 절연층 상부에 위치함 -;

상기 제1 결정질 반도체층 내에 또는 근처에 결함을 생성하기 위해 결함 생성 이온 주입을 실시하는 단계;

상기 제2 결정질 반도체층 및 상기 결함을 포함하는 상기 기형성된 SOI 기판을, 상기 제2 결정질 반도체층 내의 변형을 이완하기에 충분한 제1 온도에서, 제1 어닐링 처리하는 단계;

상기 제1 결정질 반도체층 전체 및 상기 제2 결정질 반도체층의 하부를 포함하는 매몰 비정질화 영역을 생성하기 위해 비정질화 이온 주입을 실시하는 단계;

상기 제2 결정질 반도체층 및 상기 매몰 비정질화 영역을 포함하는 상기 기형성된 SOI 기판을, 상기 매몰 비정질화 영역을 재결정화하기에 충분한 제2 온도에서 제2 어닐링하여, 상기 제1 결정질 반도체층을 변형된 상태로 재결정화하는 단계; 및

상기 제2 결정질 반도체층을 선택적으로 제거하여 변형된 반도체-온-절연체 기판을 제공하는 단계를 포함하고, 상기 절연층은, Ge 확산에 저항성이 있는 결정질 또는 비결정질 산화물 또는 질화물인 SSOI를 제조하는 방법.

청구항 27

삭제

청구항 28

제26항에 있어서, 상기 제1 결정질 반도체층은 5 내지 50nm의 두께를 갖는 SSOI를 제조하는 방법.

청구항 29

제26항에 있어서, 상기 제1 결정질 반도체층은 Si, SiC, SiGe, SiGeC, Ge, GaAs, InAs, InP, 기타 3/5 또는 2/6족 화합물 반도체를 포함하는 SSOI를 제조하는 방법.

청구항 30

제29항에 있어서, 상기 제1 결정질 반도체층은 Si-함유 반도체인 SSOI를 제조하는 방법.

청구항 31

제26항에 있어서, 상기 제2 결정질 반도체층은 Si, SiC, SiGe, SiGeC, Ge, GaAs, InAs, InP, 기타 3/5 또는 2/6족 화합물 반도체를 포함하는 SSOI를 제조하는 방법.

청구항 32

제31항에 있어서, 제2 결정질 반도체층은 Ge-함유 물질인 SSOI를 제조하는 방법.

청구항 33

제32항에 있어서, 상기 Ge-함유 물질은 SiGe 합금 또는 순수 Ge인 SSOI를 제조하는 방법.

청구항 34

제26항에 있어서, 상기 제2 결정질 반도체층을 형성하는 단계는 에피택셜 성장 공정을 포함하는 SSOI를 제조하는 방법.

청구항 35

제34항에 있어서, 상기 에피택셜 성장 공정은, 급속 열 화학 기상 증착, 저압 화학 기상 증착, 초고진공 화학 기상 증착, 대기압 화학 기상 증착, 분자선 에피택시 및 플라즈마 화학 기상 증착으로부터 선택되는 SSOI를 제조하는 방법.

청구항 36

제26항에 있어서, 상기 제2 결정질 반도체층은 10 내지 500nm의 두께를 갖는 SSOI를 제조하는 방법.

청구항 37

제26항에 있어서, 상기 결합 생성 이온 주입은 수소, 중수소, 헬륨, 산소, 네온, 보론, 실리콘 또는 이들의 혼합물의 이온 및 상기 이온의 동위 원소를 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 38

제37항에 있어서, 상기 이온은 수소 또는 산소 이온인 SSOI를 제조하는 방법.

청구항 39

제26항에 있어서, 상기 결합 생성 이온 주입은, $3 \times 10^{16} \text{ cm}^{-2}$ 미만의 이온 농도를 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 40

제26항에 있어서, 상기 결합은, 상기 제2 결정질 반도체층이 더 효율적으로 이완되도록 하는 효율적인 전위핵생성 영역으로 기능할 수 있는 SSOI를 제조하는 방법.

청구항 41

제26항에 있어서, 상기 결합 생성 이온 주입은 주입 마스크를 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 42

제26항에 있어서, 상기 제1 어닐링 단계는 불활성 가스 분위기 또는 성형 가스 분위기에서 실시되는 SSOI를 제조하는 방법.

청구항 43

제26항에 있어서, 상기 제1 어닐링 단계의 상기 제1 온도는 700℃ 내지 1100℃인 SSOI를 제조하는 방법.

청구항 44

제26항에 있어서, 상기 제1 어닐링 단계는, 급속 열 어닐링 공정, 퍼니스 어닐링 공정, 레이저 어닐링 공정 또는 스파이크 어닐을 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 45

제26항에 있어서, 상기 비정질화 이온 주입은, Si, P, As, Ge, C 및 이들의 조합으로부터 선택되는 이온을 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 46

제26항에 있어서, 상기 제2 어닐링 단계는 불활성 가스 분위기 또는 성형 가스 분위기에서 실시되는 SSOI를 제조하는 방법.

청구항 47

제26항에 있어서, 상기 제2 어닐링 단계의 상기 제2 온도는 600℃ 내지 1100℃인 SSOI를 제조하는 방법.

청구항 48

제26항에 있어서, 상기 제2 어닐링 단계는, 급속 열 어닐링 공정, 퍼니스 어닐링 공정, 레이저 어닐링 공정 또는 스파이크 어닐을 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 49

제26항에 있어서, 상기 제2 결정질 반도체층을 선택적으로 제거하는 단계는, 화학적 에칭, 반응성 이온 에칭, 저온 산화, 원자 산화, 화학적 기계적 연마, 가스-클러스터 빔 씨닝 또는 이들의 임의의 조합을 포함하는 SSOI를 제조하는 방법.

청구항 50

변형된 실리콘-온-절연체(SSOI)를 제조하는 방법으로서,

Si-함유층의 표면 상에 변형된 Ge-함유층을 형성하는 단계 - 상기 Si-함유층은 기형성된 실리콘-온-절연체(SOI) 기판의 절연층 상부에 위치함 -;

상기 Si-함유층 내부 또는 근처에 결함을 생성하기 위해 결함 생성 이온 주입을 실시하는 단계;

상기 Ge-함유층을 포함하는 상기 기형성된 SOI 기판을, 상기 Ge-함유층 내의 변형을 이완시키기에 충분한 제1 온도에서 제1 어닐링 단계로 처리하는 단계;

상기 Si-함유층 전체 및 상기 Ge-함유층의 하부를 포함하는 매몰 비정질화 영역을 생성하기 위해 비정질화 이온 주입을 실시하는 단계;

상기 Ge-함유층 및 상기 매몰 비정질화 영역을 포함하는 상기 기형성된 SOI 기판을, 상기 매몰 비정질화 영역을 재결정화하기에 충분한 제2 온도에서 제2 어닐링하여, 상기 Si-함유층을 변형된 상태로 재결정화하는 단계; 및

상기 Ge-함유층을 선택적으로 제거하여 변형된 Si-함유-온-절연체 기판을 제공하는 단계를 포함하고,

상기 절연층은, Ge 확산에 저항성을 갖는 결정질 또는 비결정질 산화물 또는 질화물인 SSOI를 제조하는 방법.

청구항 51

삭제

청구항 52

제50항에 있어서, 상기 Si-함유층은 5 내지 50nm의 두께를 갖는 SSOI를 제조하는 방법.

청구항 53

제50항에 있어서, 상기 Ge-함유층은 SiGe 합금 또는 순수 Ge인 SSOI를 제조하는 방법.

청구항 54

제50항에 있어서, 상기 Ge-함유층을 형성하는 단계는, 급속 열 화학 기상 증착, 저압 화학 기상 증착, 초고진공 화학 기상 증착, 대기압 화학 기상 증착, 분자선 에피택시 및 플라즈마 화학 기상 증착으로부터 선택된 에피택셜 성장 공정을 포함하는 SSOI를 제조하는 방법.

청구항 55

제50항에 있어서, 상기 Ge-함유층은 10 내지 500nm의 두께를 갖는 SSOI를 제조하는 방법.

청구항 56

삭제

청구항 57

제50항에 있어서, 상기 결합 생성 이온 주입은, 수소, 중수소, 헬륨, 산소, 네온, 보론, 실리콘 또는 이들의 혼합물의 이온 및 상기 이온의 동위 원소를 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 58

제57항에 있어서, 상기 이온은 수소 또는 산소 이온인 SSOI를 제조하는 방법.

청구항 59

제57항에 있어서, 상기 결합 생성 이온 주입은, $3 \times 10^{16} \text{ cm}^{-2}$ 미만의 이온 농도를 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 60

제57항에 있어서, 상기 결합은, 상기 Ge-함유층이 더 효율적으로 이완되도록 하는 효율적인 전위생성핵 영역으로 기능할 수 있는 SSOI를 제조하는 방법.

청구항 61

제57항에 있어서, 상기 결합 생성 이온 주입은 주입 마스크를 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 62

제50항에 있어서, 상기 제1 어닐링 단계는 불활성 가스 분위기 또는 성형 가스 분위기에서 실시되는 SSOI를 제조하는 방법.

청구항 63

제50항에 있어서, 상기 제1 어닐링 단계의 상기 제1 온도는 700℃ 내지 1100℃인 SSOI를 제조하는 방법.

청구항 64

제50항에 있어서, 상기 제1 어닐링 단계는, 급속 열 어닐링 공정, 퍼니스 어닐링 공정, 레이저 어닐링 공정 또는 스파이크 어닐을 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 65

제50항에 있어서, 상기 비정질화 이온 주입은, Si, P, As, Ge, C 및 이들의 임의의 조합으로부터 선택되는 이온을 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 66

제50항에 있어서, 상기 제2 어닐링 단계는 불활성 가스 분위기 또는 성형 가스 분위기에서 실시되는 SSOI를 제조하는 방법.

청구항 67

제50항에 있어서, 상기 제2 어닐링 단계의 상기 제2 온도는 600℃ 내지 1100℃인 SSOI를 제조하는 방법.

청구항 68

제50항에 있어서, 상기 제2 어닐링 단계는, 급속 열 어닐링 공정, 퍼니스 어닐링 공정, 레이저 어닐링 공정 또는 스파이크 어닐을 사용하여 실시되는 SSOI를 제조하는 방법.

청구항 69

제50항에 있어서, 상기 Ge-함유층을 선택적으로 제거하는 단계는, 화학적 에칭, 반응성 이온 에칭, 저온 산화, 원자 산화, 화학적 기계적 연마, 가스-클러스터 빔 썬닝 또는 이들의 임의의 조합을 포함하는 SSOI를 제조하는 방법.

명세서

기술분야

[0001] 본 발명은 반도체 기판을 제조하는 방법에 관한 것이며, 더욱 상세하게는 변형된 반도체-온-절연체(strained semiconductor-on-insulator; SSOI) 기판에 관한 것이다.

배경기술

[0002] 상보성 금속 산화막 반도체(complementary metal oxide semiconductor; CMOS)기반 트랜지스터 소자의 성능을 향상시키기 위해 변형된 실리콘이 훌륭한 선택사항으로 채택되어왔다. 일반적으로, 인장 변형(tensile strain) 하에 있는 실리콘 층을 만들기 위해, 이완된 실리콘게르마늄(SiGe) 층 상에 실리콘이 증착된다. SiGe 상의 변형된 실리콘은 실리콘-온-절연체(silicon-on-insulator; SOI)와 함께 사용되기도 하면서, 양 기술 모두의 장점을 접목했다. 몇몇 응용예에서는, SiGe층을 삽입하지 않고 변형된 실리콘 층이 절연층 상에 직접 형성되는 것이 이상적일 것이며, 이를 통해 SOI 기술 개발의 현재 추세에 부합하는 초박형 SOI층이 가능해질 것이다. 게다가, SiGe층의 삽입은, 예컨대 강화된 N-타입 불순물 확산(enhanced N-type dopant diffusion), Si/SiGe 상호확산(intermixing), 얇은 트랜치 절연(shallow trench isolation; STI) 공정 문제, 및 실리콘화합물 형성에 발생 가능한 부정적인 효과들과 같이, 공정에서 추가적인 문제를 야기한다.

[0003] 절연층 상에 변형된 실리콘을 바로 형성하는 한 방법으로는, 두껍게 그레이드된(graded) SiGe 버퍼층을 사용하여, 화학적 기계적 연마(CMP), 변형된 실리콘 성장, 웨이퍼 접합, 증전이, 그리고 SiGe를 에치백하는 방법이 있다. 웨이퍼 접합은 상당히 부드러운 표면을 필요로 하며, 그레이드된 SiGe막은 대부분의 웨이퍼 접합 공정 용도에 적합하지 않도록 상당히 거친 표면을 갖기 때문에, 이러한 종래의 방법은 본질적인 문제를 갖고 있다. 표면을 부드럽게 하는 종래 기술의 방법으로 CMP가 사용되지만, CMP를 사용할 경우 특히 300mm 두께의 웨이퍼에 있어서 기판 생산성이 감소된다.

[0004] 절연층 상에 변형된 실리콘을 바로 형성하는 또다른 방법으로는, SOI 웨이퍼 상에 바로 약 400nm 혹은 그 이상의 두께를 갖는, 두꺼우며 이완된 SiGe층을 성장시키는 방법이 있다. 이완된 SiGe층의 최상부 영역은 {게르마늄(Ge) 물질을 단계 등급화(step-grading)하는 방법 또는 전위 밀도를 감소시키기 위한 기타 종래 기술의 방법에 의해서} 가능한 가장 낮은 스레딩(threading) 결함 밀도를 갖도록 설계될 것이다. 그러면, 최상부의 이완된 고품질의 SiGe층 아래에 있는 물질은, 매몰 산화층 위와 최상부의 이완된 SiGe층 아래에 있는 영역의 결정성(crystallinity)을 감소 또는 소멸시킬만한 선량 및 에너지의 이온 주입에 의해 비결정화될 것이다. 최상부에서부터 아래로 이어지는 격자의 비결정화된 영역을 고상 에피택셜하게(solid-phase epitaxially) 재성장시키기 위해서, 이어지는 재결정화 어닐링이 수행될 것이다.

[0005] 최상부 층은 이완된 고품질 SiGe이기 때문에, 상기 층의 하부를 재결정화함으로써 상기 격자 구조가 아래로 증식될 것이다. 따라서, 최하부 층인, SOI 기판으로부터의 원래의 실리콘층은, 최상부의 이완된 SiGe층의 평면내 격자 상수로 재결정화될 것이며, 따라서 장력에 의해 변형될 것이다. 그 다음에, 고성능 CMOS 응용기술을 위한 변형된 낮은 결함 밀도의 SOI 기판을 제공하기 위해, SiGe가 선택적으로 제거될 수 있다.

[0006] 전술한 사상에 있어서 주요 문제점은 1) 충분히 낮은 결함 밀도를 갖는 고품질의 두껍고 이완된 SiGe 합금층을 성장시킬 수 있는 가능성에 대한 회의, 2) 새로운 결함이 생성되지 않고 상당히 두꺼운 영역 전체를 재결정 할 수 있는 가능성에 대한 회의, 3) 종래의 주입 공정이 진행된 매몰된 넓은 영역을 비결정질화함에 있어서의 실질적인 난관, 및 4) 모든 공정 단계 중에 하부의 실리콘 층 내로 게르마늄이 상호확산되는 것을 최소화하는 문제가 있다.

[0007] 상술한 바와 같은 관점에서 볼 때, 전술한 문제점들이 발생하지 않는, SSOI 기판을 형성하는 새로운 향상된 방법의 제공이 필요하다.

발명의 상세한 설명

[0008] 본 발명은, 절연층 상부에 바로 위치하며 50nm보다 얇은 두께를 갖는 얇은 반도체층인 변형된 반도체가 안에 있는 변형된 반도체-온-절연체(SSOI) 기판을 제조하는 방법을 제공한다. 본 발명의 SSOI 기판을 형성함에 있어서 웨이퍼 접합은 사용되지 않는다.

[0009] 먼저, 예컨대 SiGe 합금층과 같은 변형된 제2 결정질 반도체층을, 예컨대 기형성된 SOI 기판의 실리콘-합유층의

상부에 있는 제1 결정질 반도체층의 표면 상에 형성함으로써 본 발명에서 SSOI 기판이 제공되며, 상기 제1 결정질 반도체층은 예컨대 기형성된 SOI 기판의 매몰 산화물과 같은 절연층의 상부에 위치한다.

[0010] 제2 결정질 반도체층을 형성한 후에, 일반적으로 선택적인 결함 생성 이온 주입 단계가 실시되지만, 항상 실시되는 것은 아니다. 지적인 바와 같이, 선택적인 주입 단계에 의해, 제1 결정질 반도체층 내에 또는 근처에 결함이 생성된다. 선택적인 결함 생성 주입과 함께 또는 상기 주입 없이, 제2 결정질 반도체층의 변형을 이완시키기 위해 충분한 제1 온도에서, 제1 어닐링 단계가 상기 구조 상에 실시된다.

[0011] 그 다음에, 상기 구조 내에 매몰된 비정질화 영역을 생성하기 위해, 현재 이완된 제2 결정질 반도체층을 포함하는 상기 구조 상에, 비정질화 이온 주입 단계가 실시된다. 매몰된 비정질화 영역에는, 제1 결정질 반도체층 전체 및 이완된 제2 결정질 반도체 층의 하부가 포함된다.

[0012] 그 다음에, 비정질화 영역을 재결정화 시키기 위해 충분한 제2 온도에서 제2 어닐링 단계가 실시된다. 제2 어닐링 단계에 의해, 변형된 상태로 제1 반도체층의 재결정화가 이루어진다. 재결정화 후에 제1 반도체층 내의 변형된 정도는, 기형성된 이완된 제2 결정질 반도체층의 평면내 격자 상수에 의해 결정된다.

[0013] 그 다음에, 기형성된 SOI 기판의 절연층의 표면 상에 위치한 변형된 제1 반도체층을 포함하는 기판을 제공하기 위해, 제2 결정질 반도체층이 선택적으로 제거된다. 즉, 본 발명의 선택적인 제거 단계에 의해, 절연층 상부에 위치한 변형된 제1 반도체층을 포함하는 SSOI 기판이 제공된다. 기형성된 SOI 기판이 본 발명의 방법에서 사용되기 때문에, 하부 반도체 기판층이 절연층 아래에 위치한다.

[0014] 상기 단계들은, 변형된 제1 반도체층이 절연층 전체의 상부에 위치하는 SSOI 기판을 제공한다. 본 발명의 다른 실시예에서, 기형성된 SOI 기판의 절연층 상부에 위치한 변형된 제1 반도체 물질의 국소 영역, 및 변형된 제1 반도체 물질의 국소 영역에 인접한 변형되지 않은 제1 반도체 물질을 포함하는, 패터닝된 SSOI 기판을 형성할 수 있다.

[0015] 본 발명의 다른 실시예에서, 제1 결정질 반도체층을 포함하는 구조의 동일한 선택된 영역 내에, 결함 생성 이온 주입 단계와 비정질화 이온 주입 단계가 실시된다. 그에 따라, 제1 어닐링 단계 중에, 제2 반도체층의 기선택된 서로 다른 영역들에 선택적인 이완이 발생할 수 있다. 본 발명의 나머지 공정 단계들을 이어서 진행함으로써, 변형되지 않은 제1 반도체층 영역에 인접한 절연층 상에 변형된 제1 반도체층의 국소 영역을 포함하는 기판을 이룰 수 있다.

실시예

[0020] 도면들은 실제 크기대로 도시된 것이 아니며, 따라서 본 출원은 도면으로부터 확인될 수 있는 어떠한 크기에도 제한되지 않음이 주목된다. 게다가, 첨부된 도면에서, 동일한 참조 번호는 동일한 및/또는 대응하는 구성 요소를 설명하기 위해 사용된다.

[0021] 먼저 도 1a를 참조하면, 제1 결정질 반도체층(18)의 표면 상에 제2 결정질 반도체층(20)을 형성한 후의 구조(10)가 도시된다. 제1 결정질 반도체층(18)은 기형성된 SOI 기판(12)의 최상부층을 의미한다. 기술분야에서 종종, 제1 반도체층(18)은 예컨대 트랜지스터 및/또는 캐패시터와 같은 전기 소자가 그 안에 형성될 수 있는 SOI층으로 불리기도 한다. 제1 결정질 반도체층(18)에 더하여, 기형성된 SOI 기판(12)은 절연층(16) 및 하부 반도체 기판층(14)도 포함한다.

[0022] 도 1a에 도시된 기형성된 SOI 기판(12)은, 기술 분야의 당업자에게 잘 알려진 종래의 산소주입분리법(separation by ion implantation of oxygen; SIMOX) 공정, 뿐만 아니라 공통 양도된 미국특허 6,486,037호(2002.11.26 등록), 6,602,757호(2003.8.5 등록), 6,541,356호(2003.4.1 등록), 미국특허출원 09/861,590호(2001.5.21 출원), 및 09/884,670호(2001.6.19 출원)와 Sadana에 대한 미국특허 5,930,634호 등등에 소개된 다양한 SIMOX 공정들을 사용하여 형성될 수 있으며, 각각의 참조문헌들의 모든 내용은 여기에 참조에 의해 삽입된다.

[0023] 대안적으로, 기형성된 SOI 기판(12)은 예컨대 열 접합 및 층전이 공정을 포함하는 다른 공정들을 사용하여 만들어질 수 있다.

[0024] 전술한 바와 같이, 기형성된 SOI 기판(12)은 하부 반도체 기판층(14), 절연층(16) 및 제1 결정질 반도체층(18)을 포함한다. 기형성된 SOI 기판(12)의 하부 반도체 기판층(14)은, 예컨대 Si, SiC, SiGe, SiGeC, Ge, GaAs, InAs, InP 뿐만 아니라 기타 3/5족 또는 2/6족 화합물 반도체를 포함하는 임의의 반도체 물질을 포함한다. 몇

몇 실시예에서, 하부 반도체 기판층(14)은 SOI 기판 또는 SiGe-온-절연체 기판일 수 있다.

- [0025] 기형성된 SOI 기판(12)의 절연층(16)은 Ge 확산에 대한 높은 저항성이 있는 절연체를 포함한다. 이와 같은 절연 및 Ge 확산 저항 물질의 예에는, 결정질 또는 비결정질 산화물 또는 질화물이 포함되지만, 이에 제한되는 것은 아니다. 일반적으로, 기형성된 SOI 기판(12)의 절연층(16)은 매몰 산화층이다.
- [0026] 기형성된 SOI 기판(12)의 제1 결정질 반도체층(18)은 예컨대 Si, SiC, SiGe, SiGeC, Ge, GaAs, InAs, InP 뿐만 아니라 기타 3/5족 또는 2/6족 화합물 반도체를 포함하는 임의의 반도체 물질을 포함한다. 본 발명의 바람직한 실시예에서, 제1 결정질 반도체층(18)은 Si-함유 물질로 구성된다.
- [0027] 기형성된 SOI 기판(12)의 여러 층의 두께는 상기 기판의 제조에 사용된 공정에 따라 변할 수 있다. 그러나, 일반적으로는 제1 결정질 반도체층(18)은 약 1 내지 50nm의 두께를 갖는 얇은 층이며, 더 일반적으로는 약 5 내지 40nm의 두께를 갖는다. 절연층(16)의 경우에는, 일반적으로 약 1 내지 1000nm의 두께를 가지며, 더욱 바람직하게는 약 20 내지 200nm의 두께를 갖는다. 반도체 기판층(14)의 두께는 본 발명의 실시예에서 그다지 중요하지 않다. 상기 제공된 두께의 범위들은 예시적인 것이다.
- [0028] 제1 결정질 반도체층(18)을 포함하는 기형성된 SOI 기판(12)이 제공된 후에, 변형된 상태의 제2 결정질 반도체층(20)이 제1 결정질 반도체층(18) 상부에 형성된다. 제2 결정질 반도체층(20)은, 상기 반도체층이 변형된 상태로 형성된다는 조건하에서, 제1 결정질 반도체층(18)과 동일한 혹은 다른 반도체 물질로 구성될 수 있다.
- [0029] 바람직한 실시예에 따르면, 제2 결정질 반도체층(20)은 SiGe 합금 또는 순수 Ge를 포함하는 Ge-함유층이다. "SiGe 합금"이란 용어는 99.99원자퍼센트까지의 Ge로 구성되는 SiGe 물질을 포함하며, 순수 Ge는 100원자퍼센트의 Ge로 구성되는 층을 포함한다. SiGe층이 사용되면, SiGe층 내에 있는 Ge의 양은 약 0.1 내지 99.9원자퍼센트인 것이 바람직하며, 더욱 바람직하게는 약 10 내지 35원자퍼센트의 Ge를 갖는다.
- [0030] 제2 결정질 반도체층(20)은, 변형되고, 준안정적(metastable)이며, 부정규형(pseudomorphic)인 반도체 물질을 부정합 전위(misfit dislocation) 및 관통형 전위(TD)와 같은 결함이 실질적으로 없이 성장시킬 수 있는 기술분야의 당업자에게 잘 알려진, 임의의 종래 에피택셜 성장 방법을 사용하여 제1 결정질 반도체층(18)의 상부에 형성된다. 상기 에피택셜 성장 공정의 설명적인 예에는, 급속 열 화학 기상 증착(rapid thermal chemical vapor deposition; RTCVD), 저압 화학 기상 증착(low-pressure chemical vapor deposition; LPCVD), 초고진공 화학 기상 증착(ultra-high vacuum chemical vapor deposition; UHVCVD), 대기압 화학 기상 증착(atmospheric pressure chemical vapor deposition; APCVD), 분자선 에피택시(molecular beam epitaxy; MBE) 또는 플라즈마 화학 기상 증착(plasma-enhanced chemical vapor deposition; PECVD)이 포함되지만, 이에 제한되는 것은 아니다.
- [0031] 이때 형성된 제2 결정질 반도체층(20)의 두께는 다양할 수 있지만, 일반적으로 제2 결정질 반도체층(20)은, 아래에 있는 제1 결정질 반도체층(18)보다 더 두껍다. 일반적으로, 제2 결정질 반도체층(20)은 약 10 내지 500nm의 두께를 가지며, 더 일반적으로는 약 20 내지 200nm의 두께를 가진다.
- [0032] 도 1a에 도시된 구조를 형성한 후에, 일반적으로, 제1 결정질 반도체층(18) 내에 또는 근처에 결함을 생성하기 위해, 제1 결정질 반도체층(18)의 상부에 형성된 제2 결정질 반도체층(20)을 포함하는 구조 상에, 선택적인 결함 생성 이온 주입 단계가 실시된다. 상기 주입 단계로부터 생성된 결함들에 의해, 제2 결정질 반도체층(20)의 강화된 변형 이완이 일어난다. 강화된 이완이 일어나게 하는 상기 결함들의 예에는, 수소 이온 주입의 경우에 있어서 판형 결함(platelet defect) 또는 거품형 결함(bubble-like defect)이 포함된다. 주입 마스크를 사용하거나 또는 사용하지 않고 선택적인 주입이 실시될 수 있다.
- [0033] 상기 선택적인 주입 단계 후에 형성된 구조가 도 1b에 도시되어 있다. 상기 도면에서, 참조 번호(22)는, 상기 이온 주입 단계에 의해 제1 결정질 반도체층(18) 내에 형성된 결함들을 나타낸다. 결함 생성 이온 주입 단계는, 이어지는 가열 단계에서 변형 이완을 용이하게 하는 전위 응집 영역(dislocation nucleation site)의 임의적인 어레이를 생성함으로써, 제1/제2 결정질 반도체의 이중층(18 및 20) 내에 결함이 생성되는 문제를 처리한다. 특히, 이온 주입 공정 중에 형성된 결함에 의해 용이해진 제1 결정질 반도체층(18)의 플라스틱 변형에 의해, 제2 결정질 반도체층(20)의 탄성 이완이 일어난다.
- [0034] 제1 결정질 반도체층(18) 내에 또는 근처에 이온의 피크(peak) 범위를 유지하는 주입 조건을 사용하여, 다양한 층 내에 수소, 중수소, 헬륨, 산소, 네온, 보론, 실리콘 또는 이들의 혼합물과 같은 이온을 주입함으로써, 제2 결정질 반도체층(20)의 강화된 이완이 일어나게 하는 결함들이 형성된다. 전술한 이온의 동위원소들도 여기에

고려된다. 결함을 생성하기 위해 사용되는 바람직한 이온은 수소 이온(H^+) 또는 산소 이온(O^+)이다. H_2^+ 와 같은 다른 종류의 수소도 여기에 고려될 수 있음이 주목된다.

- [0035] 선택적인 결함 생성 주입 단계는, 약 0.01 내지 $10\mu A/cm^2$ 의 빔 전류 밀도를 사용하여, 거의 실온, 즉 약 283K 내지 303K의 온도에서 실시된다. 다른 온도에서 및/또는 다른 빔 전류 밀도를 사용하는 주입은, 이완 작용에 영향을 줄 수 있다.
- [0036] 결함(22)을 형성하는 데에 사용되는 주입 종(implant species)의 농도는 사용된 주입 종의 유형에 따라 다양할 수 있다. 그러나 일반적으로, 이때 사용된 주입 이온의 농도는 $3 \times 10^{16} cm^{-2}$ 이며, 더 일반적으로는 약 1×10^{15} 내지 $2.99 \times 10^{16} cm^{-2}$ 의 이온 농도이다. 상기 선택적인 주입 에너지는, 이온을 제1 결정질 반도체층(18) 내에 또는 근처에 이온을 반드시 위치시킬 수 있다는 조건 하에서, 주입되는 이온의 유형에 따라 다양할 수도 있다.
- [0037] 예컨대, 주입 이온으로서 수소가 사용되면, 제1 결정질 반도체층(18) 내에 또는 근처에 결함 형성을 확보하기 위해 사용되는 에너지는 약 1 내지 100keV이며, 더욱 바람직하게는 약 3 내지 40keV의 에너지이다.
- [0038] 제1 결정질 반도체층(18) 내의 또는 근처의 전술한 활성화된 이온 주입은 결함을 생성하며, 상기 결함은, 선택적으로 전위 결함을 제1 결정질 반도체층(18) 내에 주입함으로써, 제2 결정질 반도체층(20)이 더 효율적으로 이완되도록 하는 효과적인 전위핵생성(dislocation nucleation) 영역으로 기능할 수 있다. 결함 생성 이온 주입 단계에 의해 발생하는 결함 영역의 임의성은, 움직이는 전위들 사이의 상호작용에 의해 발생하는 결함 고정(defect pinning)을 감소시키기도 하며, 그에 따라 이완 공정이 좀더 효율적인 공정이 되도록 한다. 전술한 바에 추가하면, 선택적인 결함 생성 이온 주입 단계는 또한, 그 다음의 제1 어닐링 단계 중에 제2 결정질 반도체층(20)을 이완하기 위해 필요한 온도를 낮춘다.
- [0039] 도 1a 또는 선택적으로 도 1b에 도시된 구조를 형성한 후에, 상기 구조는, 제2 결정질 반도체층(20) 상의 변형을 이완하기에 충분한 제1 온도에서 수행되는 제1 어닐링 단계를 거치게 된다. 제1 어닐링 단계는 선택적으로 낮은(1% 미만의) 농도의 산소와 혼합될 수 있는 불활성 가스 분위기에서 실시되며, 또는 대안적으로, 성형 가스(forming gas)가 사용될 수 있다. 제1 어닐링 단계에서 사용될 수 있는 불활성 가스 분위기의 설명적인 예에는, He, Ar, N_2 , Xe, Kr, Ne 또는, 예컨대 He-Ar 또는 He- N_2 혼합물과 같은 이들의 혼합물이 포함된다.
- [0040] 상기 설명한 바와 같이, 제1 어닐링 단계는 제2 결정질 반도체층(20)을 이완하기에 충분한 제1 온도에서 실시된다. 덧붙여, 제1 온도는 상기 구조 내의 Ge의 확산을 최소화한다. 특히, 제1 어닐링 단계의 제1 온도는 약 700°C 내지 1100°C이며, 더 바람직하게는 제1 온도는 약 800°C 내지 1050°C이다. 제1 어닐링 단계가 실시되는 시간은 다양할 수 있으나, 일반적으로 약 1초 내지 5시간 동안 실시되며, 더 바람직하게는 약 5초 내지 1시간이다.
- [0041] 제1 어닐링 단계는, 급속 열 어닐링 공정, 퍼니스 어닐링 공정, 레이저 어닐, 스파이크 어닐(spike anneal) 또는 변형된 제2 반도체층(20)의 충분한 이완을 유발할 수 있는 기타 어닐링 공정을 사용하여 실시된다. 일반적으로 급속 열 어닐링이 퍼니스 어닐링에 비해 더 짧은 시간 내에 실시된다. 제1 어닐링 단계는 단일 램프(ramp) 온도를 사용하여 실시될 수 있으며, 또는 다양한 램프 및 소크(soak) 주기가 사용될 수 있다.
- [0042] 제1 어닐링 단계 중에, 제2 결정질 반도체층(20)의 이완이 일어난다는 점이 재차 강조된다. 상기 어닐링 단계 중에 이루어지는 이완의 정도는 제2 결정질 반도체층(20)의 초기 변형뿐만 아니라 상기 층의 두께의 함수이다. 일반적으로, 상기 단계 중에 이루어지는 이완의 정도는 25%보다 크다.
- [0043] 그 다음에, 제1 결정질 반도체층(18) 전체와 제2 결정질 반도체층(20)의 하부를 포함하는 비정질화된 영역(24)이 있는 구조를 생성하기 위해, 비정질화 이온 주입 단계가 실시된다. 그 결과로 나온 구조가 도 1c에 도시되어 있다. 상기 주입의 결과로서 손상된 깊이가 프로파일의 피크(peak)는 제1 결정질 반도체층(18)과 같다. 즉, 제1 결정질 반도체층(18)의 중심에 대해 $\pm 1000\text{\AA}$ 의 범위 내에 있는 이온의 피크 범위로 이온 주입함으로써, 비정질화가 일어난다. 더 바람직하게는, 제1 결정질 반도체층(18)의 중심의 $\pm 500\text{\AA}$ 내의 이온 피크를 주입함으로써 비정질화가 일어난다. Si, P, As, Ge, C 또는 그 동위 원소를 포함하는 임의의 조합과 같은 비정질화 이온들이 사용될 수 있다. 비정질화를 발생시키고 전술한 범위 내에서 이온 피크를 주입하기에 충분한 임의의 범위의 도즈량 및 에너지가 사용될 수 있다.
- [0044] 도 1d는 제2 어닐링 단계를 실시한 후에 형성된 구조를 도시한다. 도 1d에 도시된 바와 같이, 비정질화된 영역(24)을 재결정화하기에 충분한 제2 온도에서 제2 어닐링 단계가 실시됨으로써, 제1 결정질 반도체층(18)이 변형

된 상태로 재결정화된다. 변형되는 크기는 이완된 제2 결정질 반도체층(20)의 평면내 격자 상수에 의해 결정된다. 재결정화된 제1 반도체층은 도 1d에서 참조번호(26)로 표시되어 있다.

[0045] 제2 어닐링 단계는, 선택적으로 낮은(1% 미만의) 농도의 산소와 혼합될 수 있는 불활성 가스 분위기에서 실시되며, 또는 대안적으로, 성형 가스가 사용될 수 있다. 제2 어닐링 단계에서 사용될 수 있는 불활성 가스 분위기의 설명적인 예에는, He, Ar, N₂, Xe, Kr, Ne 또는, 예컨대 He-Ar 또는 He-N₂ 혼합물과 같은 이들의 혼합물이 포함된다.

[0046] 전술한 바와 같이, 제2 어닐링 단계는, 변형된 상태로 제1 결정질 반도체층(18)이 재결정화되도록 하기에 충분한 제2 온도에서 실시된다. 따라서, 이완된 제2 결정질 반도체층(20)이 초기에 (이완에 앞서서) 압축 변형을 겪었다면, 결과적으로 제1 결정질 반도체층(26)은 장력에 의해 변형되며, 이완된 제2 결정질 반도체층(20)이 초기에 장력 변형을 겪었다면, 제1 결정질 반도체층(26)은 압축 변형된다. 특히, 제2 어닐링 단계의 제2 온도는 약 600℃ 내지 1100℃이며, 더욱 바람직하게는 제2 온도는 약 800℃ 내지 1050℃이다. 제2 어닐링 단계의 시간은 다양할 수 있으나, 일반적으로 제2 어닐링 단계는 약 1초 내지 5시간의 시간 동안 실시되며, 더 일반적으로는 약 5초 내지 1시간이다.

[0047] 급속 열 어닐링 공정, 퍼니스 어닐링 공정, 레이저 어닐, 스파이크 어닐 또는, 비정질화된 영역(24)과 제1 결정질 반도체층(18)이 변형된 상태에서 재결정화될 수 있도록 할 수 있는 기타 다른 어닐링 공정을 사용하여 제2 어닐링 단계가 실시될 수 있다. 급속 열 어닐링은 일반적으로 퍼니스 어닐링에 비해 더 짧은 시간에 실시된다. 제2 어닐링 단계는 단일 램프 온도를 사용하여 실시될 수 있으며, 다양한 램프 및 소크 주기가 사용될 수 있다.

[0048] 제2 어닐링 단계를 실시한 후에, 제2 결정질 반도체층(20)이 제거되어 도 1e에 도시된 SSOI 기판을 제공한다. 상기 도면에서, 변형된 제1 결정질 층(26)은, 기형성된 SOI 기판(12)의 절연층(16) 상에 바로 위치한다. 변형된 제1 결정질 반도체층(26)의 두께는 일반적으로 약 50 내지 500Å이며, 더 일반적으로는 약 100 내지 400Å이다. 상기 두께의 범위는 층(18)의 원래 두께와 비슷함을 주목하라(조금 더 얇은 층이 될 수도 있다). 변형이 가해지는 정도는 기형성된 이완된 제2 결정질 반도체층의 평면내 격자 상수에 의해 결정된다.

[0049] 그 다음에, 제2 결정질 반도체층(20)은 예컨대 화학적 에칭, 반응성 이온 에칭, 저온 산화, 원자 산화(atomic oxidation), 화학적 기계적 연마(CMP), 가스-클러스터 빔 썸닝(gas-cluster beam thinning) 또는 이들의 조합을 사용하여 제거된다.

[0050] 도 1e에 도시된 바와 같이, 변형된 제1 반도체층(26)이 절연층(16) 전체의 상부에 위치한다. 도 1a 내지 1e에 도시된 실시예에 추가하여, 대안적인 실시예가 고려될 수 있으며, 상기 실시예에서는, 기형성된 SOI 기판의 절연층 상부에 위치한 변형된 제1 반도체 물질의 국소 영역, 및 이 변형된 물질의 국소 영역에 인접하는 변형되지 않은 제1 반도체 물질을 포함하는 패터닝된 SSOI 기판이 형성된다. 본 발명의 상기 대안적인 실시예는 도 2a 및 2b에 도시되어 있다.

[0051] 본 발명의 대안적인 실시예에서는, 제1 결정질 반도체층을 포함하는 구조의 동일한 선택된 영역에서, 결합 생성 이온 주입 단계와 비정질화 이온 주입 단계가 실시된다. 대안적인 구조가 도 2a에 도시되어 있다. 제1 어닐링 단계 중에, 제2 반도체층의 서로 다른 기선택된 영역들 내에서, 선택적인 이완이 일어날 수 있다. 그 다음에 전술한 나머지 공정 단계들을 진행함으로써, 변형되지 않은 제1 반도체층 영역(18)에 인접하여 절연층(16) 상에 있는 변형된 제1 반도체층의 국소 영역(26)을 포함하는 기판이 이루어진다. 상기 SSOI 기판은 도 2b에 도시되어 있다.

[0052] 도 3은 전위를 SOI층 내에 선택적으로 주입함으로써 SiGe층이 이완되는 본 발명의 바람직한 실시예에서, 어닐링 단계를 실시한 후의 기판의 단면 투과형 전자 현미경(XTEM) 이미지이다. 상기 단계에 대한 간단한 단면도는 예컨대 도 1b에 도시되어 있다. 상기 샘플은, SOI/매몰 산화물 계면 근처에 최대 수소 농도를 이루는 깊이까지 2.5×10^{16} atoms/cm²의 선량으로 수소가 주입된 200Å SOI층 상에서 성장한 550Å-30% SiGe층을 포함했으며, 5분 동안 900℃에서 (50℃/초) 급속 열 어닐링을 사용하여 어닐된다. X-레이 회절을 사용하여 SiGe층은 29.9%의 Ge가 있으며 61%가 이완된 것으로 측정되었다.

도면의 간단한 설명

[0016] 이제, 다음의 도면들만을 참조한 예시들에 의해 본 발명의 바람직한 실시예가 설명될 것이다.

[0017] 도 1a 내지 1e는 기형성된 SOI 기판의 절연층의 표면 상에 바로 변형된 반도체층을 형성함에 있어서, 본 발명의

바람직한 실시예에 적용되는 기초 공정 단계들을 도시한 단면도.

[0018]

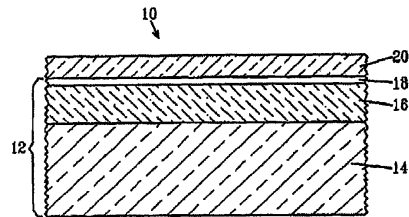
도 2a 및 2b는 본 발명의 다른 실시예를 도시한 단면도.

[0019]

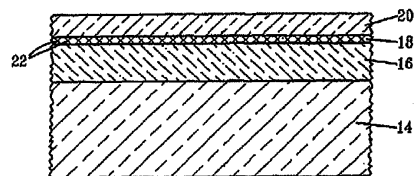
도 3은 본 발명의 바람직한 실시예에서 제1 어닐링 단계를 실시한 후의 기관의 단면 투과형 전자 현미경(Cross section transmission electron microscopy; XTEM) 이미지로서, SOI층에 선택적으로 위치한 전위를 보여주는 이미지를 도시한 도면.

도면

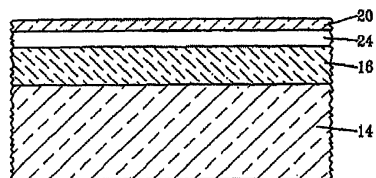
도면1a



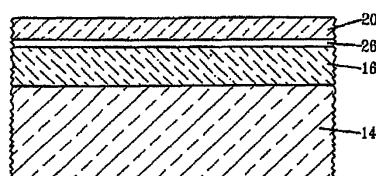
도면1b



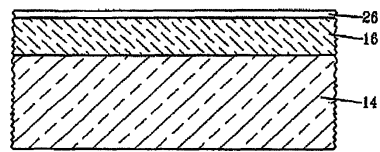
도면1c



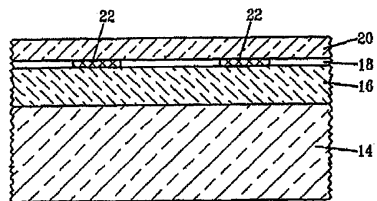
도면1d



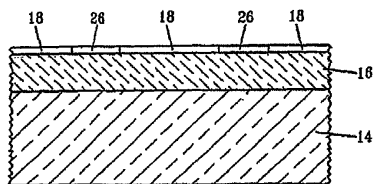
도면1e



도면2a



도면2b



도면3

