

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2020-507203

(P2020-507203A)

(43) 公表日 令和2年3月5日(2020.3.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 31/12 (2006.01)	HO 1 L 31/12 D	5 F 1 5 1
HO 1 L 31/02 (2006.01)	HO 1 L 31/02 B	5 F 8 4 9
HO 1 L 31/0232 (2014.01)	HO 1 L 31/02 C	5 F 8 8 9
HO 1 L 31/107 (2006.01)	HO 1 L 31/10 B	
HO 1 L 31/0475 (2014.01)	HO 1 L 31/04 5 5 O	
審査請求 未請求 予備審査請求 未請求 (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2019-536064 (P2019-536064)
(86) (22) 出願日 平成29年12月29日 (2017.12.29)
(85) 翻訳文提出日 令和1年8月30日 (2019.8.30)
(86) 国際出願番号 PCT/US2017/068997
(87) 国際公開番号 W02018/126161
(87) 国際公開日 平成30年7月5日 (2018.7.5)
(31) 優先権主張番号 15/612, 327
(32) 優先日 平成29年6月2日 (2017.6.2)
(33) 優先権主張国・地域又は機関
米国 (US)
(31) 優先権主張番号 15/395, 584
(32) 優先日 平成28年12月30日 (2016.12.30)
(33) 優先権主張国・地域又は機関
米国 (US)

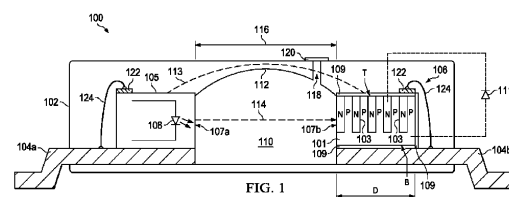
(71) 出願人 390020248
日本テキサス・インスツルメンツ合同会社
東京都新宿区西新宿六丁目24番1号
(71) 出願人 507107291
テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国 テキサス州 75265
-5474 ダラス メール ステーショ
ン 3999 ピーオーボックス 655
474
(74) 上記1名の代理人 100098497
弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 光絶縁システム及び回路、及び拡張された横方向 p n 接合を備える光子検出器

(57) 【要約】

開示される例は、1つ又は複数の半導体構造(101、103)を備える横方向光起電センサ(100)及びシステムを含み、半導体構造(101、103)は個別に、所与の波長()の光子を受け取るための横方向センサ面(107b)と、所与の波長()に対応する半導体構造に対する吸収深さの5倍より大きい有効接合距離(D)を有する拡張された横方向接合領域とを含み、低ノイズ、高効率の電力供給応用例、並びに光絶縁されたデータ伝達又は光子検出器応用例において用いるため、高い電流伝達比を促進する。



【特許請求の範囲】

【請求項 1】

絶縁回路であって、
所与の波長の光信号を光路に沿って生成するように構成される光源、及び
前記光源から光チャネル距離、離間される光センサを含み、前記光センサが
半導体構造を含み、前記半導体構造が、
頂部と、
底部と、
前記光信号を受信するためのセンサ面を提供するように、前記光路に少なくとも部分的に面する表側と、
前記表側から離間される裏側と、
前記頂部と前記底部との間で垂直に延在する複数の側面であって、前記側面が前記表側と前記裏側との間で水平に延在する、前記複数の側面と、
p 型ドーパントを含む p ドープ部分であって、前記底部の少なくとも一部に沿って延在する前記 p ドープ部分と、
前記表側と前記裏側との間で或る有効接合距離延在する少なくとも 1 つの p n 接合を形成するように、前記 p ドープ部分に少なくとも部分的に隣接する n 型ドーパントを含む n ドープ部分であって、前記 n ドープ部分が、前記頂部の少なくとも一部分に沿って延在し、前記有効接合距離が前記所与の波長に対応する前記半導体構造に対する吸収深さの定数 K 倍より大きく、K が 5 以上である、前記 n ドープ部分と、
を含む、
絶縁回路。

10

20

【請求項 2】

請求項 1 に記載の絶縁回路であって、前記半導体構造が、前記表側と前記裏側との間の前記有効接合距離の実質的に全体にわたって複数の p n 接合を形成するための、n 型ドーパントを含む複数の n ドープ部分を含む、絶縁回路。

【請求項 3】

請求項 1 に記載の絶縁回路であって、前記半導体構造が、前記頂部、前記底部、前記裏側、及び前記側面の少なくとも 1 つの上に反射材料を更に含む、絶縁回路。

30

【請求項 4】

請求項 1 に記載の絶縁回路であって、K が 10 以上である、絶縁回路。

【請求項 5】

請求項 1 に記載の絶縁回路であって、K が 20 以上である、絶縁回路。

【請求項 6】

請求項 1 に記載の絶縁回路であって、前記半導体構造がシリコンを含む、絶縁回路。

【請求項 7】

請求項 1 に記載の絶縁回路であって、前記光センサが複数の半導体構造を含み、
各半導体構造が、
頂部と、
底部と、
前記光信号を受信するためのセンサ面を提供するように、前記光路に少なくとも部分的に面する表側と、
前記表側から離間される裏側と、
前記頂部と前記底部との間で垂直に延在する複数の側面であって、前記側面が前記表側と前記裏側との間で水平に延在する、前記複数の側面と、
p 型ドーパントを含む p ドープ部分であって、前記底部の少なくとも一部に沿って延在する前記 p ドープ部分と、
前記表側と前記裏側との間で或る有効接合距離延在する少なくとも 1 つの p n 接合を形成するように、前記 p ドープ部分に少なくとも部分的に隣接する n 型ドーパントを含む n ドープ部分であって、前記 n ドープ部分が、前記頂部の少なくとも一部分に沿って延在

40

50

し、前記有効接合距離が前記所与の波長に対応する前記半導体構造に対する吸収深さの定数 K 倍より大きく、 K が 5 以上である、前記 n ドープ部分と、

を含む、

絶縁回路。

【請求項 8】

請求項 7 に記載の絶縁回路であって、各半導体構造が、前記表側と前記裏側との間の前記有効接合距離の実質的に全体にわたって複数の $p-n$ 接合を形成するための、 n 型ドーパントを含む複数の n ドープ部分を含む、絶縁回路。

【請求項 9】

請求項 7 に記載の絶縁回路であって、各半導体構造が、前記頂部、前記底部、前記裏側、及び前記側面の少なくとも 1 つの上に反射材料を更に含む、絶縁回路。

10

【請求項 10】

請求項 7 に記載の絶縁回路であって、前記複数の半導体構造の前記 $p-n$ 接合を電氣的に相互接続するためのスイッチング回路を更に含む、絶縁回路。

【請求項 11】

請求項 1 に記載の絶縁回路であって、前記光センサからの電気信号に基づいて電力供給信号を提供するためのレギュレータ回路を含む、絶縁回路。

【請求項 12】

請求項 1 に記載の絶縁回路であって、

複数の導電体を含むリードフレーム構造であって、前記光源が、前記リードフレーム構造の前記導電体の第 1 のペアに電氣的に結合され、前記光センサが、前記リードフレーム構造の前記導電体の第 2 のペアに電氣的に結合される、前記リードフレーム構造、及び前記光源、前記光センサ、及び前記リードフレーム構造の一部を封入するモールドイングされたパッケージ構造、

20

を更に含む、

前記モールドイングされたパッケージ構造が、前記光源及び前記光センサに対して外部接続を可能にするために、前記導電体の前記第 1 及び第 2 のペアの部分を露出させる、

絶縁回路。

【請求項 13】

請求項 12 に記載の絶縁回路であって、前記光源と前記光センサとの間で前記光路に沿って配置される光送信媒体を更に含む、絶縁回路。

30

【請求項 14】

請求項 1 に記載の絶縁回路であって、前記光センサが、

前記 p ドープ部分と前記 n ドープ部分との間に結合されるキャパシタ、及び

バイアス電圧と前記 n ドープ部分との間に結合される抵抗器、

を更に含む、

前記抵抗器が、前記キャパシタを、前記 $p-n$ 接合をアバランシェ電圧の近くにバイアスさせる電圧まで充電させて前記 $p-n$ 接合による光子の捕捉を可能にさせ、前記 $p-n$ 接合にアバランシェ電流を導通させ、前記キャパシタを放電させ、前記光子の捕捉を表す信号を生成させる、

40

絶縁回路。

【請求項 15】

光路に沿って所与の波長の光信号を検知するための光センサ回路であって、

半導体構造、及び前記半導体構造に形成される $p-n$ 接合を含み、

前記半導体構造が、

頂部と、

底部と、

前記光路に少なくとも部分的に面する表側と、

前記表側から離間される裏側と、

前記頂部と前記底部との間で垂直に延在する複数の側面であって、前記側面が前記表

50

側と前記裏側との間で水平に延在する、前記複数の側面と、
を含み、

前記 p n 接合が、前記表側と前記裏側との間で、前記所与の波長に対応する前記半導体構造に対する吸収深さの定数 K 倍より大きい有効接合距離延在し、K が 5 以上である、
光センサ回路。

【請求項 16】

請求項 15 に記載の光センサ回路であって、前記 p n 接合が、

p 型ドーパントを含む p ドープ部分であって、前記底部の少なくとも一部に沿って延在する前記 p ドープ部分、及び

前記 p n 接合を形成するために前記 p ドープ部分に少なくとも部分的に隣接する前記頂部の少なくとも一部分に沿って延在する、n 型ドーパントを含む n ドープ部分を含む、光センサ回路。

10

【請求項 17】

請求項 15 に記載の光センサ回路であって、前記表側と前記裏側との間の前記有効接合距離の実質的に全体にわたって複数の p n 接合を形成するための、n 型ドーパントを含む複数の n ドープ部分を更に含む、光センサ回路。

【請求項 18】

請求項 15 に記載の光センサ回路であって、前記 p n 接合からの電気信号に基づいて電力供給信号を提供するためのレギュレータ回路を含む、光センサ回路。

20

【請求項 19】

請求項 15 に記載の光センサ回路であって、

前記 p n 接合の p ドープ部分と前記 p n 接合の n ドープ部分との間に結合されるキャパシタ、及び

バイアス電圧と前記 n ドープ部分との間に結合される抵抗器、

を更に含み、

前記抵抗器が、前記キャパシタを、前記 p n 接合をアバランシェ電圧の近くにバイアスさせる電圧まで充電させて前記 p n 接合による光子の捕捉を可能にさせ、前記 p n 接合にアバランシェ電流を導通させ、前記キャパシタを放電させ、前記光子の捕捉を表す信号を生成させる、

光センサ回路。

30

【請求項 20】

横方向多段光起電センサシステムであって、

複数のシリコン構造、及び

回路、

を含み、

前記複数のシリコン構造が個別に、

頂部、

底部、

所与の波長の光子を受け取るためのセンサ面を提供するための表側と、

前記表側から離間される裏側、

前記頂部と前記底部との間で垂直に延在する複数の側面、及び

40

前記所与の波長に対応するシリコンに対する吸収深さの定数 K 倍より大きい有効接合距離、前記表側と前記裏側との間に延在する接合領域、

を含み、K が 5 以上であり、前記接合領域が、前記表側と前記裏側との間の前記有効接合距離の実質的に全体にわたって複数の p n 接合を提供するために、前記シリコン構造における p ドープ部分と、前記 p ドープ部分に形成される複数の n ドープ部分とを含み、

前記回路が、前記 p n 接合又は前記 p n 接合の近くでの前記光子の捕捉を示す電気信号を提供するために、前記複数の半導体構造の前記 p n 接合を電氣的に相互接続させるためである、

光起電センサシステム。

50

【発明の詳細な説明】

【技術分野】

【0001】

絶縁回路は、共通接地接続を共有しない異なる供給源により電力供給される電気システムを相互接続するためのガルバニック絶縁障壁を横断するデータ及び／又は電力伝達に対するものである。変圧器絶縁アプローチは、スイッチング回路及び磁場に関与し、結果の電磁干渉（EMI）は、或る応用例において望ましくない可能性がある。また、変圧器絶縁は、典型的に、付加的な変圧器構成要素を必要とし、またこれらのソリューションは大きい回路面積を必要としコストが嵩む。データ送信のための絶縁を提供するために容量結合又はAC結合が用いられ得るが、キャパシタベースの絶縁ソリューションは、信号エネルギーを吸収し、電力効率低下を引き起こす寄生容量を伴うことがある。また、高電圧降伏電圧定格は、表面誘電体の厚い層を必要とするため、容量結合を用いて実装するためにはコストが嵩む。光絶縁は、光子エミッタ（例えば、発光ダイオード又はLED）、光起電力ダイオード（PVD）等のレシーバ又はセンサ、及び光結合材料を介し、光を用いてガルバニック絶縁された回路間で電力／電気信号を伝達することにより、変圧器絶縁に関連するEMI及び回路面積の問題を回避する。光結合デバイス又はオプトカブラは、典型的に、ガラス又は他の透明な材料を間に用いて、PVDダイオードの上にLED光源をスタックして、PVDセンサの頂部に対して光子エネルギーを垂直に下向きに伝達する。また、LEDとPVDとの間の距離を増大することによってのみ高い降伏電圧絶縁定格が達成され得、その結果、許容不能な垂直デバイス高さとなる場合がある。幾つかの高絶縁電圧オプトカブラは、LEDからの光を光ダイオードに反射させる反射ドームを用い、LEDによる上方向送信及び光ダイオードによる下方向受信のために並べて配置される。これら従来のオプトカブラアプローチにおいて、光子経路は、シリコンデバイスの表面に対して直交する。LED光源は、典型的に、赤外波長又は赤外波長の近くで光信号を提供し、オプトカブラは、概して、電力効率（例えば、出力電流に対する入力電流の比を表す電流伝達比又はCTR）が悪くなる。また、共通モード過渡絶縁（CMTI）は、エミッタと検出器との間の容量結合に起因して垂直構成において問題となる。従って、従来の光絶縁技法は、多くの電力伝達応用例に対して十分なソリューションを提供しない。

【発明の概要】

【0002】

開示される例は、横方向光起電センサ及びシステム、並びに、所与の波長の光子を受け取るための横方向センサ面と、所与の波長に対応する半導体材料に対する吸収深さを超える有効接合距離を有する拡張された横方向接合領域とを含む半導体構造を備える光絶縁回路を含み、ガルバニック絶縁障壁を横断するデータ及び／又は電力送信のための高い効率を促進する。或る例において、横方向有効接合距離にわたって配置される一連のpn接合を形成するため、横方向に拡張されたpn接合が、pドープ領域に拡散又は注入された複数のnドープ領域により形成される。拡張された単一の又は分割されたpn接合は、垂直の光ダイオード構造に比べて有意に高い光子捕捉確率を提供して、種々の応用例において高い効率及び電流伝達比を促進する。高速信号情報の光絶縁に対する更なる開示の例には、接合をアバランシェの近くにバイアスするためのバイアスクエンチング回路を備える横方向に拡張されたpn接合アレイを用いて、横方向光路に沿って所与の波長の光信号を検知するための光センサ回路が含まれる。この応用例において、単一光子の捕捉が、pn接合に電流のアバランシェを導通させ、その結果、直接増幅となる。

【図面の簡単な説明】

【0003】

【図1】一実施形態に従って、LED光源と、電氣的絶縁のための光路を提供するモールドイングされたパッケージ構造の内部キャビティにおける拡張された有効接合距離にわたって、横方向に離間される複数のpn接合を有する半導体構造を備える横方向光受容ダイオードセンサとを含む、光絶縁集積回路の側断面図である。

【0004】

【図 2】LED 光源と、パッケージキャビティの凹状表面に形成される反射コーティングを含む横方向光ダイオードセンサとを備える、別の光絶縁 IC 実施形態の側断面図である。

【0005】

【図 3】LED 光源と横方向光ダイオードセンサとの間に、ガラス又はプラスチック光送信媒体位置を有する、別の光絶縁 IC 実施形態の側断面図である。

【0006】

【図 4】横方向多段光起電力 (LMSPV) 光センサを形成するために、複数の pn 接合を個々に含む 2 つの垂直にスタックされた横方向光ダイオード半導体構造を含む光センサを備える、別の光絶縁 IC 実施形態の側断面図である。

10

【0007】

【図 5】図 4 の光センサにおける受光の部分的側断面図である。

【0008】

【図 6】単一の拡張された pn 接合を個々に含む 4 個の垂直にスタックされた横方向光ダイオード半導体構造を含む光センサを備える、別の光絶縁 IC 実施形態の側断面図である。

【0009】

【図 7】図 6 の光センサにおける受光の部分的側断面図である。

【0010】

【図 8】放物線収束ミラーを備える赤外線又は近赤外線光源と、単一の拡張された pn 接合を含む光ダイオード半導体構造とを含む、別の例示の絶縁回路の側断面図である。

20

【0011】

【図 9】例示の出力電流タップを備える横方向に拡張された接合光ダイオード半導体構造の一例の平面図を含む、光絶縁システムの部分的概略図である。

【0012】

【図 10】図 9 の半導体構造における有効接合距離の関数としての、集電されたタップ電流のグラフである。

【0013】

【図 11】シリコンに対する光子波長の関数としての、例示の吸収深さ曲線のグラフである。

30

【0014】

【図 12】LMSPV pv バイアス生成器アレイを含む例示の絶縁された低ドロップアウト (LDO) レギュレータの簡略化された概略図である。

【0015】

【図 13】LMSPV pv バイアス生成器アレイを含む例示のソリッドステートリレー (SSR) の簡略化された概略図である。

【0016】

【図 14】LMSPV 光センサを含む例示の絶縁されたラッチング SSR の簡略化された概略図である。

【0017】

40

【図 15】光ファイバによって接続される光源及び LMSPV 光センサを含む細長い絶縁回路の側断面図の部分的概略図である。

【図 16】光ファイバによって接続される光源及び LMSPV 光センサを含む細長い絶縁回路の平面断面図の部分的概略図である。

【0018】

【図 17】光ファイバによって結合される光源 IC 及び LMSPV 光センサを含む光絶縁システムの平面断面図の部分的概略図である。

【0019】

【図 18】LMSPV 光センサと図 17 のシステムに用いられ得るその他の回路要素との間に形成されるブラックポリマー光障壁を備える LMSPV 光センサを含む例示の LDO

50

レギュレータの平面図の部分的概略図である。

【0020】

【図19】ブラックポリマー障壁によって分離される複数のLMSPV光センサチャネルを備える例示のLDOレギュレータの平面図の部分的概略図である。

【0021】

【図20】ブラックポリマー障壁によって分離され、LMSPV光センサチャネルの周りに反射材料で充填されるカーブしたトレンチを個々に含む、複数のLMSPV光センサチャネルを備える例示のLDOレギュレータの平面図の部分的概略図である。

【0022】

【図21】複数の横方向に離間されるpn接合を形成するために、pドープ領域において複数のnドープ領域を個々に含む、幾つかの例示の相互接続された半導体構造の更なる詳細を示す、例示のLMSPV光センサ半導体構造の平面図の部分的な概略図である。

10

【0023】

【図22】拡張された有効接合距離に沿って配置される複数のpn接合を備える横方向光センサ半導体構造と、光子増倍回路を提供するためのクエンチング回路とを含む例示の光子センサの部分的な概略図である。

【0024】

【図23】拡張された有効接合距離に沿って配置される単一のpn接合を備える横方向光センサ半導体構造と、光子増倍回路を提供するためのクエンチング回路とを含む別の例示の光子センサの部分的な概略図である。

20

【発明を実施するための形態】

【0025】

図において、類似の参照番号は一貫して類似の要素を示し、種々の特徴は必ずしも一定の縮尺で描かれていない。これ以降の説明及び請求項において、「含む」、「有する」、「備える」という用語、又はそれらの変形は、用語「含む (comprising)」と同様に包括的であり、従って、「含むがそれに限定されない」という意味に解釈されるべきである。また、用語「結合する」は、間接的又は直接的な電氣的又は機械的接続またはそれらの組み合わせを含む。例えば、第1のデバイスが第2のデバイスに結合される場合、その接続は、直接的な電氣的接続を介してもよく、又は1つ又は複数の介在デバイス及び接続を介して間接的に接続されてもよい。

30

【0026】

まず図1を参照すると、光源から光子を受け取るための横方向センサ面を含む1つ又は複数の半導体構造を備える横方向光起電センサ及びシステムが開示される。半導体構造は、受信した光信号の波長に対応する半導体材料に対する吸収深さより大きい有効接合距離を有する拡張された横方向接合領域を含む。種々の実施形態が、光源と、デバイスの高レベルの降伏又は絶縁電圧定格を設定するために光源と光レシーバとの間に離間距離を有するような横方向光センサとを含む光絶縁デバイス及びシステムを提供する。また、拡張された有効接合距離は、光源電流と光センサによって生成される電流との間の高い電流伝達比を促進し、ガルバニック絶縁障壁を介する一層高効率の電力伝達のためのソリューションを提供する。種々の例は、クロストークを軽減し、光源とセンサとの間で電力及び/又はデータ信号の高効率伝達のための内部反射を可能にするために、センサチャネルの周りに光境界を備えるセンサ回路を含む。シングル又はマルチチャネル電力伝達実施形態とともに、マルチチャネルデータ送信実装が可能である。また、開示される例は、光子増倍器及びその他の検出回路等の光子センサに対しても用いられ得る。種々の例において、pn接合の拡張された横方向長さは、高効率を達成するための高い光子捕捉確率を促進する。或る例は、半導体構造において単一の拡張されたpn接合を含む。他の例は、拡張された有効接合距離を横断して横方向に配置される複数のpn接合を提供する。また、或る例において、電力伝達応用例のための種々の異なる出力電流及び/又は電圧を提供するために、複数の拡張された接合半導体構造が相互接続されて横方向多段光起電力 (LMSPV) 光センサを形成する。また、LMSPV構造は、データ伝達応用例のためにも用いられ得

40

50

る。開示される例は、電力及び／又はデータ伝達のための磁氣的及び容量的絶縁技法の上述した欠点を回避又は軽減するために、光絶縁の利用を有利に促進し、一方で、以前のオプトカブラ及び光絶縁デバイスで可能であったものより高い効率を促進する。或る実施形態において、バイアス又はクエンチ回路が、拡張された接合半導体構造と組み合わせられて、集積された増幅を有する光子検出器を形成する。これは一般的にシリコン光子増倍器（SiPM）デバイスと称される。

【0027】

図1は、LED光源108及び横方向光センサ106を含む集積回路パッケージを形成するための1つ又は複数の導電体構造104を備えるモルディングされた構造102を含む光絶縁集積回路（IC）100を示す。光信号が、光源108の横方向信号出力面107aから集積回路パッケージ構造102のキャビティ110を介して、光路114に沿って、光センサ106の横方向センサ面107bに進行する。一例において、光源108は、第1のGaAs半導体ダイ又はその他の回路構造105において製造されるLEDであるが、他の実施形態において、レーザ、シリコンベースの光子エミッタ、又はその他の光源が用いられ得る。センサ106は、拡張された有効接合距離Dにわたって複数の横方向に離間されたpn接合を形成するように、pドープ領域101及び1つ又は複数のnドープ領域103によって形成される半導体構造を含む。図示される例において、光センサ106は、光信号を受信するために、光路114に面する横方向センサ面107bを形成する垂直の表側を備える第2のデバイス又は回路構造として製造される。光センサ106は、拡張された有効接合距離Dに沿って、1つ又は複数のpn接合を提供し、図1において、ダイオード111として概略が示される。回路構造105及び106は、個別に、ボンドワイヤ124によってリードフレーム構造の対応する導電体104a、104bに接続されるボンドパッド122を含む。一例における導体104a及び104bは、ホスト印刷回路基板（PCB、図示されない）にはんだ付けされ得るICピン又はパッドである。一例において、外部回路（図示されない）が、ペアの入力導体104aを介して、電気信号を光源108に提供し、光源108は、受信した電気信号に应答して、光信号を光路114に沿って生成する。また、この例において、IC100はボンドパッド122を含み、ボンドパッド122は、光センサ106から電気的出力信号を提供するために、対応するボンドワイヤ124によって、図1に概略で示されるリードフレーム導電体104bの第2のペアに電気的に接続される。図示される例における導体104bは、導体104aにおいて光源信号から絶縁されるセンサ106から電気信号を搬送するために、ホストPCBにはんだ付けされ得るIC100のパッド又はピンを提供する。この例の絶縁器IC100の絶縁電圧定格又は降伏電圧は、ガルバニック絶縁境界を横断して回路構造105及び106を分離する離間距離又は間隙距離116によって設定される。

【0028】

信号出力面107a及びセンサ面107bは概して平行な平面にあり、キャビティ110において距離116、互いから離間される。他の可能な例において、これらの面107は平行である必要はない。光信号を受信するように、センサ面107bが少なくとも部分的に光源108に面しているような任意の相対的構成が用いられ得る。センサ面107bは、光信号の強度に対応する出力電気信号を生成するために、光を構造106に入射させる。センサ回路106は更に、センサ信号上で動作するように、インタフェース回路要素（図示されない）を含み得る。図1に示されるように、面107a及び107bのかなりの部分がキャビティ110内で露出されているが、これは全ての可能な実施形態の厳密な要求事項ではない。図1の例において、光源108及び光センサ106は、それらの間で電気的絶縁を提供するために、モルディングされたパッケージ構造102の内部キャビティ110において互いから離間されている。この例におけるキャビティ110は、ソリッドフリー（例えば、固体自由）な光路114を提供する。他の例（例えば、これ以降の図3及び図4）において、ガラス又はその他の光透過性固体構造が、光源108と光センサ106との間に提供され得る。一例におけるキャビティ110は、密封され、大気、又は有利にもガラス又は他の透明固体材料より低い誘電率を有し得るその他の光透過性の気

10

20

30

40

50

体を含み、それによって光源 108 とセンサ 106 との間の容量結合を低減する。図 1 の例において、キャビティ 110 は、凹状の上面 112 を含むが、これは全ての可能な実装における厳密な要求事項ではない。一例において、キャビティ 110 は、堆積される犠牲的昇華材料を用いて、モルディングされた構造 102 の形成の間に形成され得、その後、ポート 118 を介する蒸発又は昇華によってソリッドフリーキャビティ 110 がつくられる。ポート 118 はその後、キャビティ 110 の密封を形成するように、テープ又は他の閉鎖構造 120 によって閉鎖され得る。或る例における絶縁間隙又は離間 116 は、ダイ又は回路構造 105、106 の 1 つの上の機械的特徴によって制御され、例えば、ダイ 105 とダイ 106 との間に延在する酸化物パンプ（図示されない）等によって間隙距離 116 が設定される。間隙 116 は、幾つかの例において、特定のサイズの充填材料をキャビティ 110 の形成に用いられる犠牲材料と混合することによって制御される。図示される例において、パッケージ構造 102 の内部表面は凹状部分を含み、凹状部分は、印刷プロセスを用いる等、製造中に犠牲材料を又は 1 つ又は複数の液滴として形成することによって提供される。そのため、この堆積された犠牲材料は部分的に凸状構造を形成し、この材料は、モルディングされたパッケージ構造材料 102 の形成の後、凹状の内側表面をそのままにして、昇華又は蒸発する。図 1 において斜線 113 で示されるように、キャビティ内側表面の凹状形状は、ダイ 105 及び 106 の縁部を超えて延在し得、光が LED 光源 105 の上部から出ることやセンサダイ 106 の上部に入ることが可能にする。

10

【0029】

一例における IC 100 は、光源 108 に接続される電気回路から、センサ 106 に接続される電気回路（図示されない）にデータ又は電力を伝達するための光絶縁回路である。光源 108 は、光路 114 に沿って、所与の波長の光信号を生成する。一例において、光源は、約 950 nm の波長で信号を提供する横方向 LED である。その他の任意の適切な光源波長が用いられ得る。本明細書で用いられるように、所与の波長の光信号は、指定された波長を意味し、また、指定された値の数パーセント以内又は LED 又は光絶縁デバイスのために用いられる他の光源に関連する任意の適切な波長許容範囲等の、指定された値に近い他の波長を意味する。一例において、光源 108 は、光センサ 106 の半導体構造 101、103 における吸収深さを最大化するために、シリコンのバンドギャップエネルギーの直ぐ上のエネルギーを有する長い波長信号を提供する。シリコンのバンドギャップエネルギーより小さいエネルギーレベルを有する波長は、シリコンとの相互作用が弱く、一方、シリコンのバンドギャップエネルギーよりも大きい又ははるかに大きいエネルギーレベルを有する波長は強力に吸収されるが、バンドギャップより大きいエネルギー部分は、電子が急速にサーマライズダウンするにつれて浪費される。或る例において、横方向デバイスは、最大捕捉を得るためにシリコン長さが増大され得るバンドギャップエネルギーにおける波長に対して最適である。

20

30

【0030】

光センサ 106 は、所与の波長の横方向に受け取られた光子の受け取り及び捕捉における動作に対して設計される。図 1 の例における光センサ 106 は、頂部 T 及び底部 B、並びに、光源 108 から光信号を受信するためのセンサ面 107b を提供するための少なくとも部分的に光路 114 に面する表側を有する半導体構造を含む。半導体構造は更に、表側から離間される裏側、及び、頂部 T と底部 B との間に垂直に、表側と裏側との間に水平に延在する側面を含む。図示された例において、半導体構造は、概して平行な表側及び裏側を有する概して矩形であり、頂部及び底部は、概して平面状で互いに対して平行である。また、図示された例は、概して平面状の側面を提供する。しかしながら、他の半導体構造形状も用いられ得る。任意の適切な半導体構造が用いられ得る。或る例において、半導体構造はシリコン (Si) である。他の例において、ガリウム砒素 (GaAs) 又は他の適切な半導体材料が用いられ得る。

40

【0031】

半導体構造は、ホウ素又は他の p 型ドーパントを有する p ドープ部分 101 を含む。p ドープ部分 101 は、或る実装において、図 1 に示されるように、底部 B の少なくとも一

50

部に沿って延在する。一例において、半導体構造の製造は、部分 101 を形成するための p ドープシリコン基板で開始する。p 型部分は、底部 B から出てパッケージ電気コネクタ 104b に電氣的に接続される。他の例において、p ドープ部分 101 を形成するために、p 型ドーパントが注入及び / 又は拡散によって半導体基板の中に導入される。また、半導体構造は、p ドープ部分 101 に少なくとも部分的に隣接するリン又は他の n 型ドーパントを含む、1 つ又は複数の n ドープ部分 103 を含む。n ドープ部分は、頂部 T から出て、別のパッケージ電気コネクタ (図示されない) に対する電氣的接続 122 及び 124 に電氣的に接続する。n ドープ部分又は部分 103 は、半導体構造内に少なくとも 1 つの p n 接合を形成する。結果の 1 つ又は複数の p n 接合は、半導体構造の表側と裏側との間で、有効接合距離 D、延在する。或る例における有効接合距離 D は、所与の波長 に対応する半導体構造の吸収深さの定数 K 倍より大きく、K は 1 より大きい。

10

【0032】

本明細書において用いられるように、半導体構造 101、103 に対する吸収深さは、距離値 (例えば、図 1 において、センサ面 107b から右に延在して、半導体構造に入る) であり、それに対して、入射放射線強度が $1/e$ 又は約 36% 低減される。この距離において、電子 / 正孔対の生成を介してシリコン 101、103 によって吸収される光子エネルギーの量は、横方向センサ面 107b において受け取った所与の波長 の約 64% とし得る。一例において、K は 5 以上である。他の例において、K は 10 以上である。更なる実装において、K は 20 以上である。接合距離 D は、例えば、K が 1000 未満であるような、所与のエンドユース用途の実用的な物理的限界の範囲内の任意の適切なサイズとし得る。一例における n ドープ部分は、頂部 T の少なくとも一部分に沿って延在するが、これはすべての可能な実装の要求事項ではない。拡張された有効 p n 接合距離は、横方向センサ面 107b において受け取られた入射光子の高率の吸収を促進する。例えば、図 9 及び図 10 に関連してこれ以降に図示及び説明されるように、光子捕捉及び結果のキャリア生成は、半導体構造のセンサ面 107b の入り口又はその近くで高い確率であり、また、光子捕捉の確率は、半導体構造の表側からの距離が増大するにつれて低下する。開示される横方向デバイスにおいて、横方向寸法は、標準の厚みのシリコンウエハの平面の (水平) 距離である。多くの製造プロセスにおいて、シリコンウエハは約 10 ミリの厚みにバックグラインドされ、標準の垂直光起電センサは、約 254 ミクロンの経路長を有し得るだけである。また、この経路長の内、頂部 20 ミクロン程度のみが光子捕捉に対して有用である。極めて厚い、垂直シリコンのマルチ接合ピースをつくること、及びそのアSEMBL されたダイスタックをその側面に置くことによって、長い接合がつけられ得る。しかしながら、これは、横方向デバイス構築に比べると、極めて非標準的であり、非実用的な方法である。

20

30

【0033】

半導体構造に、有効な p n 接合距離 D の実質的に全てにわたって延在する又は分散される 1 つ又は複数の n ドープ部分 103 を含ませることは、特定の半導体材料に対応する吸収深さ及び対応する所与の波長 に対して D を大きくすることによって高効率の光子捕捉確率を促進する。例えば、約 950 nm の波長 において光子を送信するために、高効率 LED 光源 108 が用いられ得る。適切にドーパされた p 及び n 部分 101 及び 103 を有するシリコン半導体構造を用いて、受け取った光子エネルギーの約 64% が、950 nm 光源に対する最初の 80 μ m の進行において吸収される。発明者は、5 以上の K の場合に高吸収率が達成され、10 以上の K を用いることによって更なる改善が達成されることを理解している。また、20 以上の K の場合、ほぼ完全な (例えば、100% 近い) 吸収が達成される。図 1 の例において、有効な p n 接合距離 D は、p ドープ部分 101 の頂部に注入及び / 又は拡散された、対応する n ドープ領域 103 を介して、複数の p n 接合を生成することによって実装される。図 1 の例は、距離 D の実質的に全てにわたって p n 接合をつくるための 5 つのそのような n ドープ領域 103 を示すが、対応する多数の p n 接合をつくるために、多数の n ドープ領域 103 が用いられ得る。図示された n ドープ領域 103 は、横方向半導体構造の表側と裏側との間で実質的に均一に離間されているが、均

40

50

一の離間は全ての可能な実装の厳密な要求事項ではなく、種々の実施形態において、複数の離間及び特徴サイズが用いられ得る。

【0034】

結果の構造101、103は、高い収集確率を促進するように、ほぼ直線のコリドーに沿って複数のpn接合を提供する。種々の実施形態において、複数のそのような半導体構造が用いられ得（例えば、図4）、対応する光コリドーが電氣的に絶縁され得る。結果のpn拡張接合セルを任意の所望の直列及び／又は並列構成において接続するために、相互接続回路がIC100に提供され得る。また、個々の半導体構造は、受け取った光子エネルギーの大半の捕捉を促進するため、及び隣接する光回路から各チャネルを光絶縁するために内部反射を提供するように、上部及び下部（例えば、頂部及び底部）の反射材料又は構造109を含み得る。また、マルチチャネルの概念は、異なるチャネルの光絶縁が通信応用例に対するクロストークの最小化を促進する、電力伝達並びにデータ伝達応用例において用いるために拡張され得る。また、図1に示されるように、裏側において遭遇する全ての光子がセンサ面107bに向かって反射され、それによって更に収集効率が改善されるように、光反射材料109が半導体構造101、103の裏側に提供され得る。同様に、或る実施形態において、センサ構造によって収集される所与の入射光子の確率を更に高めるために、光反射材料が半導体構造101、103の側面（図示されない）に提供され得る。

【0035】

上述したように、或る例において、複数の半導体構造101、103が含まれ得、これらのセルは、所望の出力電圧及び／又は電力を達成するために、スタックされ得るか、又は、任意の適切な直列及び／又は並列様式で相互接続され得る。或る例（例えば、図6～図8、及び図23）において、単一のndープ部分103を用いることによって、接合距離Dを持つ単一のpn接合をつくるために、単一の拡張されたpn接合が個々の半導体構造101、103において提供される。他の例（例えば、図1～図5、及び図12～図22）において、各半導体構造101、103は、表側と裏側との間の有効接合距離Dの実質的に全てにわたって複数のpn接合をつくるために、n型ドーパントを含む複数のndープ部分103を含む。結果の光センサ106は、或る応用例において、データ及び／又は電力伝達のために用いられ得る。また、拡張された接合横方向センサ構造106はまた、例えば、図22及び図23に関連して下記に更に説明する光子検出器システム等において、光子増倍器応用例に用いられ得る。従来のオプトカブラとは異なり、本開示の拡張された接合デバイス及びシステムは、電力供給応用例において高い電流伝達比（CTR）を促進し、従って、ガルバニック絶縁障壁によって分離される回路の高効率バイアスを促進する。また、図1の距離114は、所与の応用例に対する任意の所望の降伏電圧又は絶縁電圧定格に従ったサイズとし得る。また、この絶縁レベルの調整性は、従来の垂直配向オプトカブラの場合にそうであったようなIC100の垂直高さにおける増大を引き起こさない。

【0036】

光センサ106の動作において、センサ面107bを介して横方向に受け取った入射光子は、ドーパ領域101及び103によって形成される拡張されたpn接合又はその近くで吸収される。動作の一形態において、センサ106及びその対応する拡張されたpn接合は、光起電力モードで光ダイオードとして動作し、キャリア及び対応する電流フローを生成し、電力供給バイアス及び／又はデータ伝達において用いるための電氣的出力信号を生成する。特に、一旦、十分なエネルギーの光子が受け取られると、半導体構造101、103における内部の光電気効果を介して、電子-正孔対がつくられる。拡張されたpn接合の空乏領域又はその近くで吸収が起こると、キャリアが、空乏領域の電界に従って接合から離れて移動し、その際、正孔はアノード（pドーパ領域101）に向かって移動し、電子はカソード（一つ又は複数のndープ領域103）に向かって移動する。このキャリア移動は電流フローを生成し、電流フローは、センサ106に接続される関連する回路に対する電氣信号を生成するために用いられ得る。例えば、低ドロップアウト（LDO）

レギュレータ又は他の電力供給回路が、センサ 106 に接続された外部回路に電力を供給するために、光生成された電流を用い得る。他の例において、センサ 106 によって生成された電流フローは、センサに接続された外部回路によって、受信したデータ信号として用いられ得る。図 22 及び図 23 に関連してこれ以降に説明されるように、例えば、シリコン光子増倍回路において、センサ回路 106 からの生成された信号が個々の受け取られた光子の検出を示すために用いられ得る。

【0037】

図 2 は、上述したような LED 光源 108 及び拡張された接合横方向光センサ 106 を備える、別の例示の絶縁 IC 実施形態 100 を示す。この例において、キャビティ 110 の内部表面は、例えば、光路 202 に沿って、光源 108 から光センサ 106 に向かって光を反射する反射コーティング 200 を含む。一例における反射コーティング材料 200 は、モールディングされたパッケージ構造材料 102 をつくるモールディングプロセスの前に、凸状の犠牲昇華材料の上に堆積される。モールディングプロセス後の犠牲材料層の昇華により、残留反射材料層 200 の凹状表面によって少なくとも部分的に画定されるキャビティ 110 が残される。光源 108 によって生成された光信号の全て又は一部の光センサ 106 に向かう反射を促進する任意の適切な非導電材料 200 が用いられ得る。図 2 に示されるように、光源 108 からの光信号は、光路 114 に沿って、キャビティ 110 を介して、センサダイ 106 のセンサ面 107b に対して直接進行し得、及び / 又は、信号はまた、凹状表面 112 上の反射コーティング 200 を介して、反射された経路 202 に沿って進行し得る。他の可能な例において、キャビティ 112 の凹状表面 112 及び任意の対応する反射コーティング 200 は、光センサ半導体構造の頂部の少なくとも一部を露出させるように横方向に拡張され得、それにより、反射された光子が、センサ 106 における潜在的な捕捉のために、半導体構造の頂部に入ることを可能にする。

【0038】

図 3 は、上述したような光源 108 及び光センサ 106 を備える別の非限定的な例示の絶縁 IC 100 を示す。この例において、光源 108 及び光センサ 106 の面 107a と面 107b との間に、光透過性構造 300 が、光路 114 に沿って配置される。ガラス、ポリマー等の任意の適切な材料 300 が用いられ得る。

【0039】

また、図 4 及び図 5 を参照すると、図 4 は、別の光絶縁 IC 実施形態 100 を示す。この例において、光センサ 106 は、複数の直列接続されたダイオードを含み、複数の直列接続されたダイオードの各々は、上述したように、対応する半導体構造 401、402 の p 及び n ドープ部分を含む。この例における光センサ 111 は、2 つの（例えば、下部及び上部）基板又はダイ 401 及び 402 によって形成される 2 つの直列接続光ダイオードを含むが、2 又はそれ以上の任意の数のそのようなスタックされたダイが用いられ得る。一例において、ダイ 401、402 は各々、例えば、対応する半導体構造の頂部 T 上の酸化物層 502 及び上部パッシベーション層 504 によって形成される、上部反射コーティング材料を含む。個々の半導体構造内に光子を含むために底部反射表面を形成するため、及び上部半導体構造 / ダイ 402 を下部ダイ 401 に接着させるために、半導体構造の各々の底部 B 上に反射銀担持エポキシが用いられる。この例において、光センサ構造 106 はまた、任意の所望の増幅器、フィルタ、又は他のインタフェース回路（図示されない）を含む半導体基板を備えるベースダイ 400 を含み、下部センサダイ 401 は、取り付けのため及びダイ 401 における光子反射のために、光反射銀担持エポキシを用いて、ベースダイ 400 の頂部に取り付けられる。ダイ 401 及び 402 は、一例において、ベースダイ 400 より小さい垂直高さを持つようにバックグラインドされる。一例において、スタックされたダイ 401 及び 402 は各々、n ドープ部分 103 に対して上方電気接続を提供するためのメタライゼーション構造を含み、ダイ 401 及び 402 を共に接合するために用いられる銀担持エポキシは、対応するダイオードを互いに直列に効率的に接続するため、下部ダイ 401 の n ドープ部分から上部ダイ 402 の p ドープ部分への電氣的接続を提供し得る。一例において、個々のダイ 401 及び 402 は各々、約 0.5 V の電圧信

10

20

30

40

50

号を生成し、スタックされたダイ 401 及び 402 は、外部回路（例えば、1.0V）に対してより高い出力信号を提供するように直列に相互接続され得る。2つより多くのスタックされたダイを有する実施形態が、光源 108 からの光信号に応答して所望の出力信号レベルを達成するように、任意の所望の直列及び / 又は並列構成において相互接続され得る。

【0040】

図 6 及び図 7 は、光センサ 106 において複数のスタックされたダイオードを用いる別の絶縁 IC 例 100 を示す。図 6 における第 2 の回路構造 106 は、単一の p ドープ部分及び単一の拡張された n ドープ部分を個々に含む垂直ダイオードを備える複数ダイ構造である。上述の実施形態と同様に、この例は、所与の波長 に対応する半導体構造に対する吸収深さより長い有効接合距離 D を有する拡張された横方向 pn 接合構造を提供する。図 6 及び図 7 におけるセンサ構造は、ベースダイ 600 上に形成される 4 個のスタックされたダイ 601、602、603、及び 604 を含むが、任意の数のダイが用いられ得る。図 7 は、種々のダイ 601 ~ 604 における、幾つかの例示の光進行経路を示す。

【0041】

ここで図 8 ~ 図 10 を参照すると、図 8 は、放物面リフレクタミラー構造 802 を備える LED 光源 108 を含む例示の光絶縁回路 800 を示す。一例において、光源 108 は、定格 100mA において 50mW の OSRAM SFH-4441 940nm LED である。光カプラ構造 804 が、LED / ミラー構成要素 108、802 と、上述したような単一の p ドープ部分 101 及び単一の拡張された長いの n ドープ部分 103 を含む半導体構造のセンサ面 107b との間に提供される。この例において、K は約 7 である。この例は、捕捉確率の増大のため、図 8 において簡略化された形式で示されるように、光子反射を促進するために、半導体構造の頂部 T 上の酸化物等の反射コーティング材料 109、並びに、底部 B 上の反射材料 109（例えば、反射エポキシ）を含む。半導体構造 101、103 は、エポキシ 109 を介してペDESTAL 808 に取り付けられ、光源及びセンサ構造は、絶縁回路 800 の絶縁レベルを設定するための離間又は間隙距離 116 を画定するように、離間された関係でベース 806 に取り付けられる。或る例において、頂部側 T における n 及び p 領域に対して電気接続（図示されない）がなされる。

【0042】

図 9 は、図 8 における線 9-9 に沿った半導体構造 101、103 の平面図を示す。この構造は、センサ面 107b に入射する光子の捕捉に基づいて光生成された電流を収集するために、n ドープ部分 103 に対応するエリアに接続される 1 つ又は複数の導電タップ 904 を含む。

【0043】

図 10 は、図 9 におけるタップ位置 904 でのタップ電流を、センサ面 107b からの距離の関数として、 μA で表す曲線 1002 を示すグラフ 1000 を提供する。上述したように、光子捕捉の確率及び従って光子生成されたタップ電流の大きさは、センサ面 107b 又はその近くで最も高く、半導体構造における距離が増大するにつれて下がる。この例において、生成された総タップ電流の約 64% が、所与の半導体材料及び所与の波長に対する吸収距離に対応する、センサ面 107b からの初期距離 902 にわたって生成される。

【0044】

図 11 は、例示の吸収深さ曲線 1102 をシリコン半導体構造 101、103 に対する波長（ μm ）の関数として含むグラフ 1100 を示す。この例において、940nm の光子波長において入射する光子の 64% 吸収に対する深さは、約 95 μm である。この原理を用い、所与の光源波長 及び半導体材料に対する所望の収集効率目標を達成するために十分な有効接合距離 D を用いて、所与の光センサ 106 が設計され得る。

【0045】

また、図 12 ~ 図 21 を参照すると、拡張された接合光センサ 106 を用いて、種々の異なる回路構造及びデバイスがつくられ得る。上述したように、或る例は、潜在的に多数

10

20

30

40

50

の個別のセンサセルを含み、センサセルの各々が、横方向センサ面 107b と、所与の光源波長 に対する対応する半導体材料の吸収深さより長い拡張された有効接合距離 D とを有するセルをつくるために、p ドープ部分及び 1 つ又は複数の n ドープ部分を備える半導体構造を含む。直列及び / 又は並列構成において相互接続された複数の横方向セルの組み合わせは、本明細書において、多段光起電力 (L M S P V) センサ構造 106 と称される。

【 0046 】

図 12 は、集積回路ダイ又はパッケージされたマルチダイデバイス 1201 上に実装されるセンサ構造を含む例示の絶縁された低ドロップアウト (L D O) レギュレータデバイス 1200 を図示する。この例において、センサ回路 106 は、上述したように、横方向センサ面 107b から光を受け取るための L M S P V 構造として形成される。L M S P V 106 の n 及び p ドープ部分は、L M S P V 106 の複数の半導体構造 101、103 の p n 接合を電氣的に相互接続するためのスイッチング回路 1202 に電氣的に接続される。一例において、スイッチング回路 1202 は、デバイス 1201 が、構成可能な電圧及び電流値を有する出力信号 (例えば、図 12 における出力電圧 V O) を提供できるよう、直列及び / 又は並列相互接続に対する変更を可能にするように、プログラム可能又はその他の方式で構成可能である。スイッチング回路 1202 を介して L M S P V 106 から提供される電気信号が、L D O レギュレータ回路 1204 に送られる。レギュレータ回路 1204 は、負荷 (図示されない) を駆動するために出力信号 V O を提供する。デバイス 1200 は、有利にも、ガルバニック絶縁障壁を横断して光絶縁を有する一層高効率の電力供給を実装するために、整合された光源 (図示されない) と L M S P V 光センサ 106 との間で高い電流伝達比を提供する。

10

20

【 0047 】

図 13 は、負荷に対して電力を選択的にオンにするために、パルスオン又はオフされる光信号を受け取るためのセンサ面 107b を備える L M S P V 106 を含む絶縁されたソリッドステートリレー (S S R) デバイス 1300 を示す。一例において、デバイス 1300 は、L M S P V 106、上述したような直列 / 並列スイッチング回路 1202、ホストスワップ機能性を実装するための特定用途向けアナログ回路 1302、及び電力スイッチ 1304 を含んで、単一の集積回路ダイ又はパッケージされた複数ダイ構造 1301 内にパッケージされる。一例において、デバイス 1300 は、絶縁電力スイッチのために用いられ得る。デバイス 1300 は、有利にも、電力供給回路の二次側から電氣的に絶縁される信号源から L M S P V 106 を介してオン又はオフ制御シグナリングの提供を促進する。

30

【 0048 】

図 14 は、単一の集積回路ダイ、又は複数の L M S P V 回路 106、及び対応する横方向センサ面 107b、並びに上部及び下部ホールドアップキャパシタ 1402、及びゲートドライブ回路 1404、及び負荷を制御するための D C 又は A C 電力スイッチ 1304 を備えるパッケージされた複数ダイ構造 1401 内にパッケージされる絶縁されたラッチング S S R デバイス 1400 を示す。デバイス 1401 は、上述したように、センサ面 107b において L E D 光源 105、108 から光を受け取る。ホールドアップキャパシタ 1402 は、L M S P V 構造から得た出力信号のラッチングを提供して、受信した光信号を起動させ及び電力スイッチ 1304 をラッチさせる。

40

【 0049 】

図 15 ~ 図 17 は、光リボン又はファイバ 1508 との組み合わせにおいて、図 12 の例示の L D O レギュレータデバイス 1200 を用いる光的に絶縁された電力供給ソリューションを図示する。図 15 及び図 16 はそれぞれ、モールドイングされた化合物材料 1502 内にパッケージされる絶縁された電力供給デバイス 1500 の側面図及び平面図を示す。光源側回路 1501 が、ホスト印刷回路基板 (図示されない) にはんだ付けされ得るピン又はパッド等のリード 1504 及び 1506、光源 (例えば、サイド又は横方向発光 L E D) 105、108、及び光リボン又はファイバ 1508 の入力側に接続される光結

50

合材料 804 を有するリードフレーム構造を含む。光リボン又はファイバ 1508 の出力端部は、対応する光結合材料 804 を介して、LMSPV 構造 106 の横方向センサ面 107b に接続される。電力供給デバイス 1500 はまた、図 12 に関連して上述したような LDO レギュレータデバイス 1200 を含む、負荷又は出力側回路 1511 を含む。この例におけるレギュレータデバイス 1200 は、ホスト印刷回路基板に接続される被駆動負荷回路に電気出力信号（例えば、出力電圧又は電流）を提供するためのリード 1510 及び 1512 を含む出力側リードフレーム構造に取り付けられる。図 15 及び図 16 におけるデバイス 1500 は、有利にも、単一デバイスにおいて光電力供給絶縁ソリューションを提供し、また、有利にも、LMSPV 構造 106 の高電力伝達比及び高効率利点を用いて、電力伝達のための変圧器絶縁技法の欠点であったスペース、コスト、電磁干渉の問題なしに、ガルバニック絶縁障壁を横断して電力を伝達する。

10

【0050】

図 17 は、2 つの離れたシステム間の電力伝達のための別の光絶縁システム 1700 である。この例において、光源側回路要素 1501 は、第 1 の集積回路ダイ、又はリード 1504 及び 1506 を備えるリードフレーム構造を含むパッケージされた複数ダイ構造 1701 内にパッケージされる。光ファイバ又はリボン 1508 が、第 1 の構造 1701 を、第 2 の IC ダイに、又はリード 1510 及び 1512、及び上述のレギュレータデバイス 1200 を備える第 2 のリードフレーム構造を含むパッケージされた複数ダイ構造 1702 に接続する。光絶縁システム 1700 は、ダイ構造 1701 とダイ構造 1702 との間の光リボン又はファイバ 1508 のシンプルな接続によって、絶縁障壁を横断して負荷をバイアス又は駆動するための集積ソリューションを提供する。

20

【0051】

図 18 は、LDO レギュレータシステム 1800 を実装する負荷側回路 1511 の別の例を示す。この例における負荷側回路 1511 は、LMSPV 構造 106、並びに、スイッチング回路 1202 及び上述したようなレギュレータ回路 1204 を備えるレギュレータ構造 1200 を含む。この例における回路及び構造 106、1202、及び 1204 は、単一の半導体ダイ 1200 上につくられる。この例は更に、光絶縁障壁構造 1802 を含む。一例において、光絶縁障壁構造 1802 は、半導体ダイのトレンチに形成されるブラックポリマー又は他の遮光材料を含む。一例において、p 及び n ドープ部分 101 及び 103 を含む LMSPV 半導体構造 106 は、スイッチング回路要素 1202 及びレギュレータ回路要素 1204 とともに、シリコン構造内に形成される。LMSPV 構造 106 をスイッチング回路 120 から分離するようにするようにトレンチが形成され、トレンチはブラックポリマーで充填される。その後、ダイは、トレンチにおけるポリマーを露出するようにバックグラインドされる。結果の構造は、ポリマーによって共に保持され、ポリマーは、LMSPV 構造 106 をスイッチング回路 1202 及び LDO 回路 1204 から絶縁するための光障壁を形成する。

30

【0052】

ここで図 19 及び図 20 を参照すると、光絶縁技法及び図 18 の障壁構造 1802 は、異なるチャネル又は異なる回路を光的に絶縁することが望ましい他の実施形態において用いられ得る。図 19 は、複数の光チャネルを含む別のレギュレータシステム 1900 を示す。この例における各チャネルは、対応する光ファイバ又はリボン 1508 を介して光信号を受信する LMSPV スタック構造 106 を含む。この例において、LMSPV センサ構造 106 の各々の上部及び下部縁部に沿って、ブラックポリマー充填トレンチ絶縁構造 1802 が形成される。これは、LMSPV セクション又はセル 106 間の光クロストークを効果的に防止し、また、デバイス 1200 において形成されるスイッチング回路 1202 及び / 又は LDO レギュレータ回路要素 1204 との光干渉を防止する。

40

【0053】

図 20 は、2 つの図示された LMSPV 部分 106 内に光信号を制限するために、上述のブラックポリマー充填光絶縁構造 1802 を含む別の例を示す。この例において、反射材料充填構造 2002 が、光チャネルの各々の LMSPV 部分 106 の周りに形成される

50

。上述したように、反射材料の使用は、半導体材料及び拡張された p n 接合内の光子捕捉に対する更なる機会を促進することによって L M S P V 構造 1 0 6 の捕捉効率を高める。一実装において、反射器構造 2 0 0 2 は、L M S P V 構造 1 0 6 の長さの大半にわたる直線部分を含み、L M S P V 構造の裏側は、放物面形状の部分等の円弧部分を含む。一例において、構造 2 0 0 2 は、光絶縁構造 1 8 0 2 を形成する際に用いられるものと類似の選択的ディープエッチングプロセスによって形成される。L M S P V 構成要素 1 0 6 の製造後、半導体構造にディープトレンチが形成され、トレンチはガラス等の光反射材料で充填される。ダイは、その後、ガラスを露出するようにバックグラインドされ、半導体構造及びその拡張された p n 接合の 3 つの側面を横方向に囲む反射構造 2 0 0 2 を備える強化された L M S P V 構造 1 0 6 が残される。また、隣接する光チャネル間においてブラックポリマー充填構造 1 8 0 2 は、光チャネル間の光クロストークを軽減又は回避するための光絶縁を提供する。また、上述したように、個々の L M S P V 構造 1 0 6 の頂部及び底部に、例えば、底部 B の上の反射エポキシ、及び頂部側 T (例えば、図 1 における 1 0 9) 上に形成される酸化物層又は材料等の反射材料が追加され得る。

【 0 0 5 4 】

ここで図 2 1 ~ 図 2 3 を参照すると、シリコン光増倍器デバイス (S i P M D) の特異な構成が示される。本開示は、光子がシリコンアレイの頂部表面に入る従来の方式では用いられない S i P M D を提供する。その代わりに、上述された例示のデバイスのように、S i P M D s デバイスは、側部又は縁部において、拡張された収集距離に光子を入らせる。S i P M D は、単一の入力光子を、電子 - 正孔対が生成されるアレイの P N セルにおいて電子のアバランシェに増倍する。図 2 1 の例において、各アレイセルは次のセルから隔離され、従って、アバランシェは構造全体を横断して伝播することはない。セルがそのアバランシェ降伏の近くで動作されるので、アバランシェが起こり、そのため、アバランシェ電流フローを起こすには 1 つの光子で充分である。これは、各セルにおいて高利得増幅を生成し、これを高感度検出器にする。一旦アバランシェにトリップすると、セルはリセットされる必要があり、そのため、図 2 2 及び図 2 3 に示されるように、各セルに対して直列クエンチング抵抗器 R がある。クエンチング回路抵抗器 R は、セル電圧を十分に低下させ、それによってアバランシェから脱出させる。これらのセル及びクエンチング抵抗器は全て並列であり、そのため、組み合わせられた出力電流は、光子密度に非常に大きなゲインファクタを掛けたものを表し、回路は、動作するためにバイアスを用いる。また、横方向の構造は、検出器の感度を高める。

【 0 0 5 5 】

図 2 1 は、アレイに形成される複数の光センサ半導体構造を含む例示の L M S P V アレイ構造 2 1 0 0 を図示する。L M S P V 構造 2 1 0 0 は、横方向センサ面 1 0 7 b、及び上述したように、拡張された有効接合距離 D を有する多数の個々の p n セルのマトリクス又はアレイを含む。この例において、アレイの個々のセルは単一の n ドープ部分 1 0 3 を含み、単一の n ドープ部分 1 0 3 は、実質的に、拡張された有効接合距離 D にわたって配置される個々の p n 接合のアレイをつくるように、隔離された p ドープ領域 1 0 1 において形成される。図 2 1 は更に、一例におけるアレイセルの 2 つの列及び幾つかの行の一部のブレイクアウト図を図示する。また、図 2 2 及び図 2 3 に関連してこれ以降に説明するように、L M S P V 構造 2 1 0 0 は光子センサ応用例にも用いられ得る。

【 0 0 5 6 】

図 2 2 及び図 2 3 に概略的に示されるように、L M S P V 構造 1 0 6 は、複数のセルを備えるアレイであるか、p ドープ部分 1 0 1 及び拡張された接合を形成するための 1 つ又は複数の n ドープ部分 1 0 3 を有する単一の半導体構造 1 0 6 であるかに関わらず、光子検知システム及び回路に用いられ得る。図 2 2 は、上述したような、p ドープ部分 1 0 1 内に配置される複数の n ドープ部分 1 0 3 を含む半導体構造 1 0 1、1 0 3 を備える例示の光子検出器回路 2 2 0 0 を示す。この構造は、光路 1 1 4 に沿って光子を受け取るための横方向センサ面 1 0 7 b を持つ拡張された接合光センサ 1 0 6 を形成する。センサ構造 1 0 6 は、入ってくる光信号の所与の波長 に対応する半導体構造に対する吸収深さに定

10

20

30

40

50

数 K を掛けた有効接合距離 D を有する。図 23 における回路 2300 は、単一の n ドープ部分 103 を有する拡張された接合光センサ回路 106 を用いる類似の配置を示す。図 22 及び図 23 における検出器回路 2200 及び 2300 における光センサは、等価寄生キャパシタ、ダイオード、及びアレイの各ダイオードセルにおける抵抗器を含み、これらは、クエンチング回路を形成し、その際、キャパシタ C が、 p ドープ部分 101 と n ドープ部分 103 との間で、センサ回路ダイオード 111 に並列に結合され、並びに、抵抗器 R がバイアス電圧 V_{BIAS} と n ドープ部分 103 との間に結合される。結果の構造は、横方向センサ構造 106 において小数の光子を検出するため、又は単一の光子の受け取りでさえも検出するためのクエンチング回路を形成する。動作において、抵抗器 R に対するバイアス電圧の印加はキャパシタ C を充電し、一方、センサ回路ダイオード 111 は逆バイアスされる。バイアス電圧 V_{BIAS} は、キャパシタ C を、ダイオード 111 のアバランシェ定格のすぐ下のレベルまで充電する（一方、ダイオード 111 は導通しない）ように、センサ回路ダイオード 111 の仕様に対応するレベルに設定される。寄生キャパシタ C が充電されると、回路 2200 は、センサ面 107b において光路 114 に沿って 1 つ又は複数の光子を受け取る準備ができる。センサ構造 106 における入射光子の捕捉に成功すると、 p n 接合にアバランシェ電流を導通させ、寄生キャパシタ C を放電させる。寄生キャパシタ C が、ダイオード 111 のアバランシェ閾値の下のレベルまで放電すると、ダイオード 111 は導通を中止し、寄生抵抗器 R はキャパシタ C を再び充電させる。寄生キャパシタ C の放電 / 充電は、検出器回路 2200、2300 による光子の捕捉を表す信号をつくる。この増大された電流フローに基づいて検出器出力信号を生成するために電流検知閾値比較が用いられ得る。受け取った電流スパイクにตอบสนองして電圧信号を設定するために、検知抵抗器 RS が比較器 2202 の + 入力から回路接地基準に接続される。図 22 及び図 23 において、 p ドープ部分 101 は、信号電圧を受け取るために、電圧比較器 2202 の非反転 (+) 入力に接続される。比較器 2202 は、信号電圧を閾値電圧 V_{TH} と比較して、電流スパイクにตอบสนองして、検出器出力信号 $DETECT\ OUT$ を生成する。キャパシタ C の放電 / 充電によって生成される電流信号が、電子 - 正孔対の生成によってセンサ構造 106 において生成されるキャリア電流よりもずっと大きいので、回路要素 2200、2300 は、光子検出又は他の有用な応用例において用いられ得る光子増倍回路を提供する。検出器アレイは個々の光子を検出するので、光子源に対して低効率のエミッタを用いることも可能である。これは、GaAs LED の代わりに、低強度 IR 放射に対して、順バイアスのシリコン p n 接合エミッタを備える標準シリコンを用いることを可能にする。低強度可視光を発するために、逆バイアスされたアバランシェ又はツェナー接合も用いられ得る。

【0057】

開示される例は、拡張された長さの有効 p n 接合の中への横方向光子入射を備える、高効率横方向 PV セルを提供する。或る例において、有効な横方向接合距離 D は、高い収集効率を促進するために、所与の波長の光子の吸収深さの倍数に設定される。これは、光センサ 106 の半導体構造における電子 - 正孔対生成に対する機会を大きく増大する。開示される例は、光チャネルを横断する低電力信号伝達において利点を提供し、ガルバニック絶縁障壁を横断する電力の高効率光伝達を可能にする。また、開示される概念は、光子検出器又は光子増倍器において有用性を見出す。或る構成において、より高いレベルの電力供給のために、多くのセンサセル 106 が相互接続され、各セルが低コスト構成である。個々の光起電力セル 106 が、酸化物及び / 又は反射エポキシを介して、頂部 T 、底部 B 、裏側、及び横方向の側面に光反射材料 109 を含み得る場合は、低コストのスタック構成が可能であり、その際、負の (n 型) ノードが 1 つ又は複数の接着パッドによって頂部 T 上に接続され、半導体材料における正の (p 型) が底部 B 上に接続される。この例示の構成は、導電エポキシを備えるシンプルなダイスタッキングが、結果の感光性ダイオードを任意の所望の様式で相互接続することを可能にする。開示される例は、従来の光絶縁技法及びデバイスに比べて、光子から電気への電力伝達に対して、潜在的に大きな効率改善を提供する。また、横方向光子伝達は、光源 108 と光センサ 106 との間の間隔を制

10

20

30

40

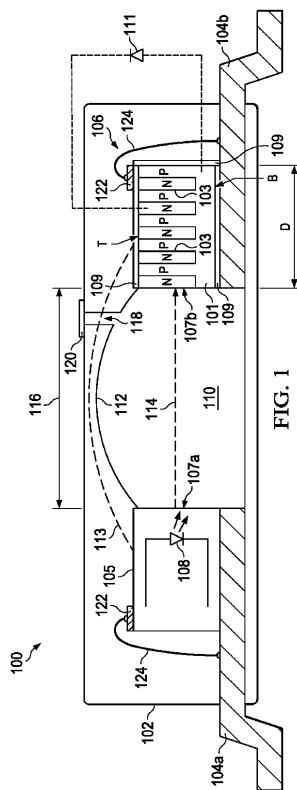
50

御することによって異なる絶縁電圧定格に容易に適応し、任意の適切な光送信媒体（例えば、ガラス、空気、ポリマー）を提供するための能力を備え、また、光ファイバ又は光リボンを用いて、光源とセンサを大きな距離分離することによって、極めて大きい電圧分離定格が達成され得る。

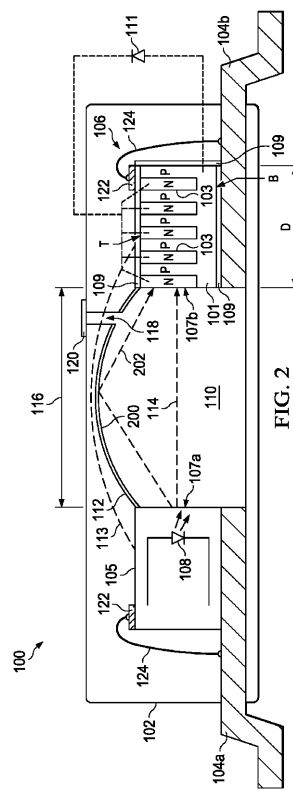
【 0 0 5 8 】

上記の例は、本開示の種々の観点の幾つかの可能な実施形態の例示に過ぎず、当業者であれば、この明細書及び添付の図面を読み理解することによって、等価の改変及び／又は変更が思いつくであろう。特許請求の範囲内で、説明した実施形態における変更が可能であり、他の実施形態が可能である。

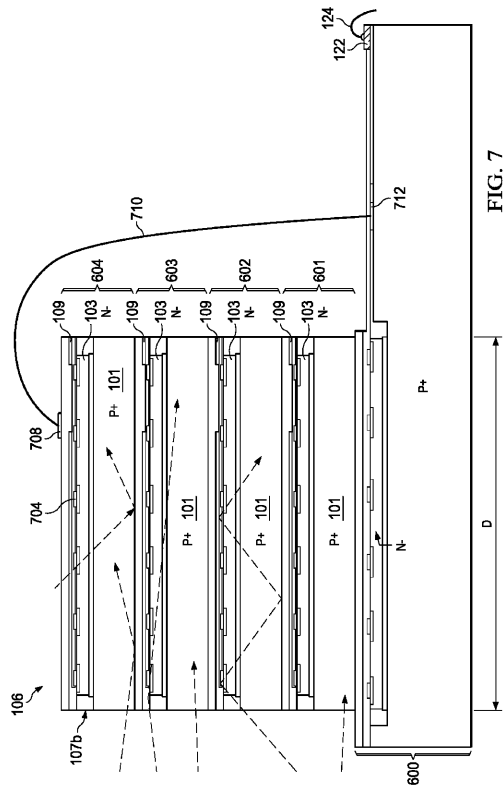
【 図 1 】



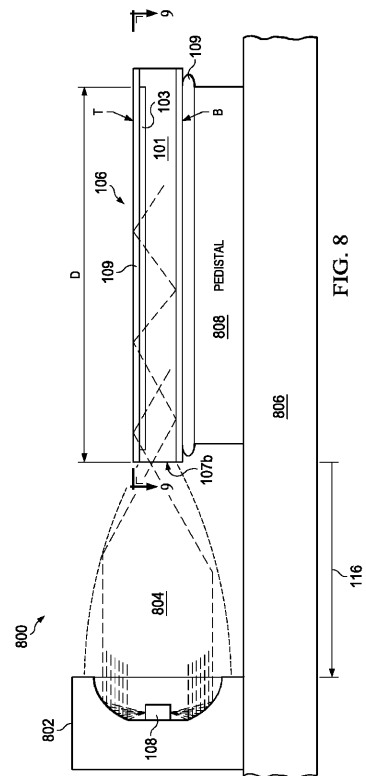
【 図 2 】



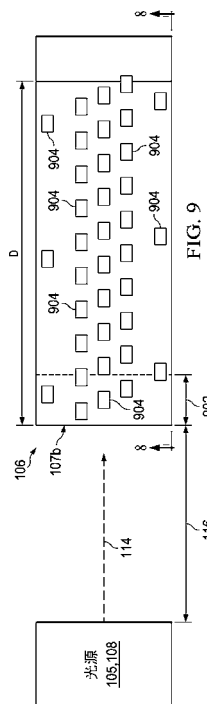
【図 7】



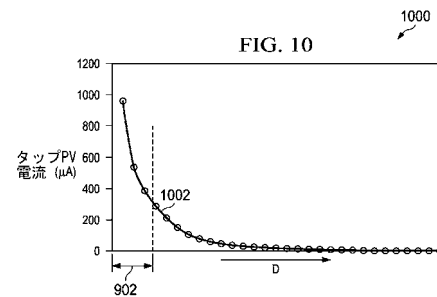
【図 8】



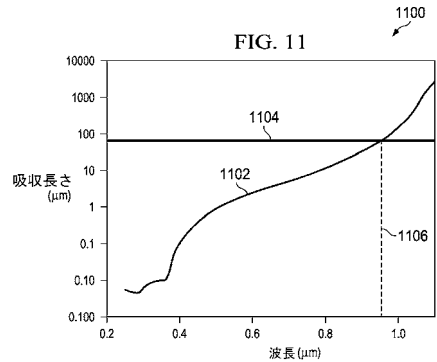
【図 9】



【図 10】



【図 11】



【図 1 2】

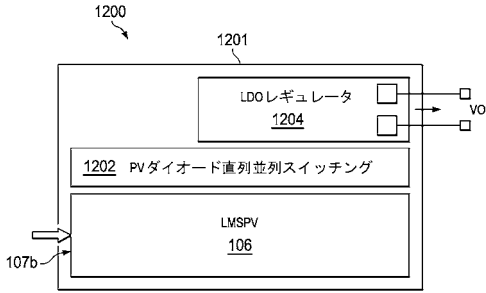


FIG. 12

【図 1 3】

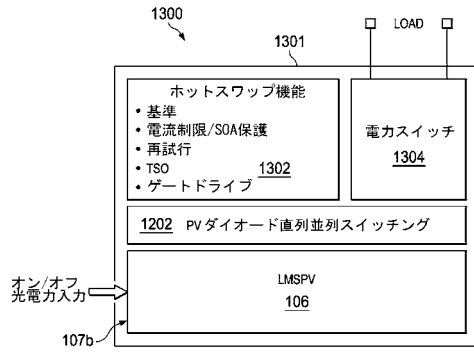


FIG. 13

【図 1 4】

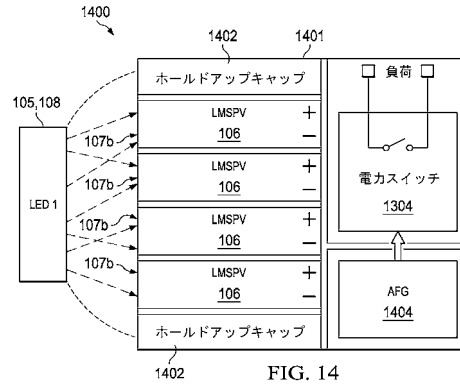


FIG. 14

【図 1 5】

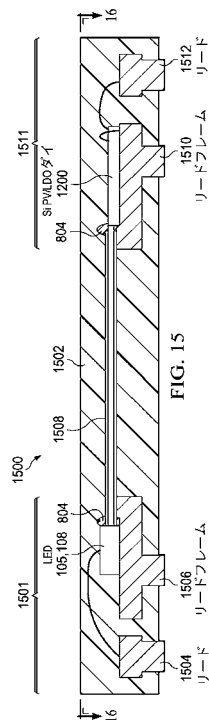


FIG. 15

【図 1 6】

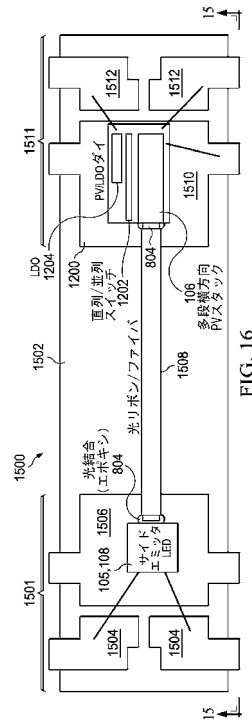


FIG. 16

【図 2 1】

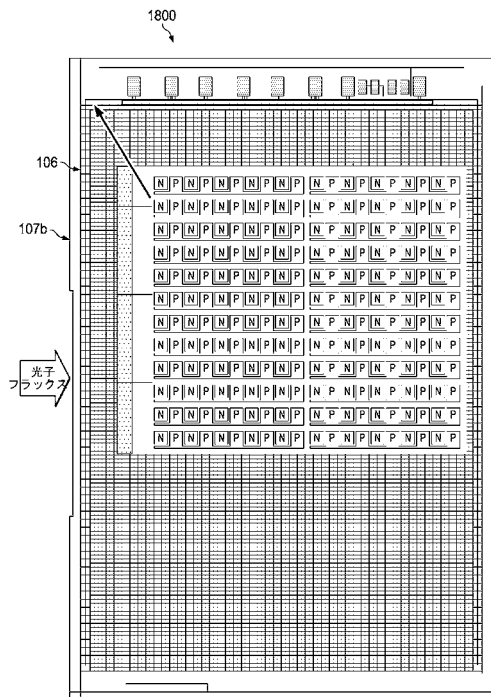


FIG. 21

【図 2 2】

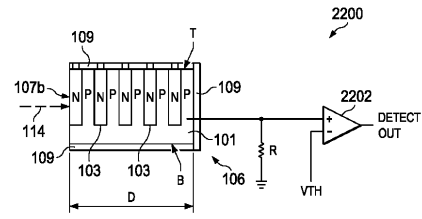


FIG. 22

【図 2 3】

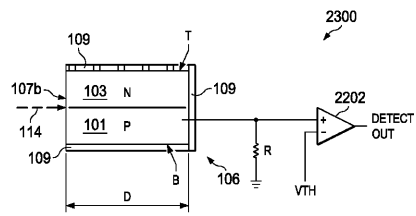


FIG. 23

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 2017/068997
A. CLASSIFICATION OF SUBJECT MATTER <i>H01L 31/16 (2006.01)</i> According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 31/14-31/167 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PatSearch (RUPTO internal), Esp@cenet, PAJ, USPTO, Information Retrieval System of FIPS		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 4996577 A (INTERNATIONAL RECTIFIER CORPORATION) 26.02.1991, col. 4, line 6, claims 1, 3, 10, 15, fig. 9, 10, 12	1-11, 15-18, 20 12, 13 14, 19
Y	US 2005/0218300 A1 (MARIA CLEMENS Y. QUINONES et al.) 06.10.2005, fig. 1, paragraphs [0003] - [0005]	12, 13
A	US 6031251 A (MOTOROLA, INC.) 29.02.2000	1-20
A	RU 2201017 C2 (ZAO "SINTEK") 20.03.2003	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 May 2018 (14.05.2018)		Date of mailing of the international search report 24 May 2018 (24.05.2018)
Name and mailing address of the ISA/RU: Federal Institute of Industrial Property, Berezhkovskaya nab., 30-1, Moscow, G-59, GSP-3, Russia, 125993 Facsimile No: (8-495) 531-63-18, (8-499) 243-33-37		Authorized officer N. Listvina Telephone No. (495)531-64-81

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 31/068 (2012.01) H 0 1 L 31/06 3 0 0

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 バリー ジョン メール
 アメリカ合衆国 0 6 0 9 0 コネティカット州 ウェスト グランビー , デイ ストリート
 サウス 2 9

F ターム(参考) 5F151 AA02 DA03 DA20 EA20 JA24
 5F849 AA07 AB03 BA04 BA17 BB20 DA01 EA03 JA02 JA06 JA09
 JA14 JA19 XB02 XB05 XB38
 5F889 AA10 AB20 AC02 AC05 AC07 AC10 AC11 AC15 AC17 AC21
 AC26 CA11 CA20 DA02 DA05 DA14 EA01 EA04 EA06 FA03
 FA05 FA10