

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4168439号
(P4168439)

(45) 発行日 平成20年10月22日(2008.10.22)

(24) 登録日 平成20年8月15日(2008.8.15)

(51) Int.Cl.		F I			
HO4L	7/00	(2006.01)	HO4L	7/00	Z
HO4L	7/04	(2006.01)	HO4L	7/04	B
HO4L	25/02	(2006.01)	HO4L	25/02	J

請求項の数 7 (全 26 頁)

(21) 出願番号	特願2002-270427 (P2002-270427)	(73) 特許権者	000005496
(22) 出願日	平成14年9月17日(2002.9.17)		富士ゼロックス株式会社
(65) 公開番号	特開2004-112209 (P2004-112209A)		東京都港区赤坂九丁目7番3号
(43) 公開日	平成16年4月8日(2004.4.8)	(74) 代理人	110000039
審査請求日	平成17年8月18日(2005.8.18)		特許業務法人アイ・ピー・エス
		(72) 発明者	逆井 一宏
			神奈川県足柄上郡中井町境430グリーン
			テクなかい 富士ゼロックス株式会社内
		(72) 発明者	鈴木 一広
			神奈川県足柄上郡中井町境430グリーン
			テクなかい 富士ゼロックス株式会社内
		(72) 発明者	馬場 智夫
			神奈川県足柄上郡中井町境430グリーン
			テクなかい 富士ゼロックス株式会社内

最終頁に続く

(54) 【発明の名称】 信号伝送システム

(57) 【特許請求の範囲】

【請求項1】

伝送の対象となる複数の伝送信号と、前記伝送信号と同期する同期信号とを伝送する伝送装置と、

前記伝送装置が伝送する複数の伝送信号と同期信号とを受信する受信装置と、

前記受信装置に対して少なくとも複数の伝送信号を中継する1つ以上のデバイスと、
を有する信号伝送システムであって、

前記受信装置は、

前記複数の伝送信号と同期信号とを受信する受信手段と、

前記受信された複数の伝送信号を、前記受信された同期信号に同期して保持する保持手段と、

前記受信された複数の伝送信号がそれぞれ正しい値で保持されるように、前記受信された同期信号に対する前記受信された複数の伝送信号のタイミングを、前記デバイスごとに調整する受信タイミング調整手段と

を有する信号伝送システム。

【請求項2】

前記伝送装置は、前記伝送信号として、所定のテストパターンを伝送し、

前記受信装置の受信タイミング調整手段は、前記伝送信号として受信されたテストパターンが、正しい値で保持されるように、前記受信された伝送信号または同期信号のタイミングを調整する

請求項 1 に記載の信号伝送システム。

【請求項 3】

前記受信装置は、

前記同期信号から前記受信された伝送信号を保持するために用いられるクロック信号を再生するクロック再生手段

をさらに有し、

前記受信タイミング調整手段は、前記クロック再生手段に対して、前記同期信号を供給するタイミングを調整することにより、前記受信された同期信号との間のタイミングを調整する

請求項 1 または 2 に記載の信号伝送システム。

10

【請求項 4】

複数の前記デバイスを有し、

前記受信装置において、

前記受信手段は、前記複数のデバイスそれぞれから、前記中継された伝送信号と同期信号とを受信し、

前記保持手段は、前記複数のデバイスから受信された伝送信号それぞれを、前記複数のデバイスから受信された同期信号それぞれに同期して保持し、

前記受信タイミング調整手段は、前記複数のデバイスから受信された伝送信号それぞれが正しい値で保持されるように、前記複数のデバイスから受信された伝送信号それぞれと、前記複数のデバイスから受信された同期信号それぞれとの間のタイミングを調整する

20

請求項 1 ~ 3 のいずれかに記載の信号伝送システム。

【請求項 5】

伝送の対象となる複数の伝送信号と、前記伝送信号と同期する同期信号とを伝送する伝送装置と、

前記伝送装置が伝送する複数の伝送信号と同期信号とを受信する受信装置と、

前記受信装置に対して少なくとも複数の伝送信号を中継する 1 つ以上のデバイスと、を有する信号伝送システムであって、

前記受信装置は、

前記複数の伝送信号と同期信号とを受信する受信手段と、

前記受信された複数の伝送信号を、前記受信された同期信号に同期して保持する保持手段と、

30

前記受信された複数の伝送信号がそれぞれ正しい値で保持されたか否かを、前記伝送装置に対して通知する通知手段と

を有し、

前記伝送装置は、

前記受信装置からの通知に基づいて、前記受信された複数の伝送信号がそれぞれ正しい値で保持されるように、前記伝送される複数の伝送信号と、前記伝送される同期信号との間のタイミングを、前記デバイスごとに調整する送信タイミング調整手段

を有する信号伝送システム。

【請求項 6】

40

前記伝送装置は、

前記伝送信号として、所定のテストパターンを伝送するテストパターン伝送手段

を有し、

前記受信装置の通知手段は、前記伝送信号として受信されたテストパターンが、正しい値で保持されたか否かを、前記伝送装置に対して通知する

請求項 5 に記載の信号伝送システム。

【請求項 7】

複数の前記デバイスを有し、

前記受信装置において、

前記受信手段は、前記複数のデバイスそれぞれから、前記中継された伝送信号と同期信

50

号とを受信し、

前記保持手段は、前記複数のデバイスから受信された伝送信号それぞれを、前記複数のデバイスから受信された同期信号それぞれに同期して保持し、

前記通知手段は、前記複数のデバイスから受信された伝送信号それぞれが正しい値で保持されたか否かを、前記伝送装置に対して通知し、

前記送信タイミング調整手段は、前記受信装置からの通知に基づいて、前記複数のデバイスから受信される伝送信号それぞれが正しい値で保持されるように、前記複数のデバイスから受信される伝送信号それぞれと、前記複数のデバイスから受信される同期信号それぞれとの間のタイミングを調整する

請求項 5 または 6 に記載の信号伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、伝送タイミングを調整して信号を伝送する信号伝送システムに関する。

【0002】

【従来の技術】

高速な信号伝送システムにおいては、伝送される複数の信号間に伝送スキューを生じることがある。

信号間の伝送スキューを抑制するためには、同期をとる調整回路を各信号ごとに設けることが知られている。(特許文献 1 ~ 4 参照。)

【0003】

【特許文献 1】

特開平 5 - 3 7 5 8 0 号公報

【特許文献 2】

特開平 1 1 - 3 4 1 1 0 2 号公報

【特許文献 3】

特開平 6 - 2 2 4 9 6 2 号公報

【特許文献 4】

特開 2 0 0 0 - 2 0 1 1 0 5 号公報

【0004】

しかしながら、同期をとる調整回路を各信号ごとに設ける信号伝送システムは、信号の数に応じて調整回路を設ける必要があり、回路の構成が複雑化したり大規模化すること、または、システムが高価になることがある。

【0005】

【発明が解決しようとする課題】

本発明は、上述した背景からなされたものであり、信号ごとに同期をとる調整回路を設けなくても、信号の伝送を中継するデバイスごとに同期をとる調整回路により、正確なタイミングで信号伝送を行なうことができる信号伝送システムを提供することを目的とする。

【0006】

【課題を解決するための手段】

[信号伝送システム]

上記目的を達成するために、本発明にかかる信号伝送システムは、伝送の対象となる複数の伝送信号と、前記伝送信号と同期する同期信号とを伝送する伝送装置と、前記伝送装置が伝送する複数の伝送信号と同期信号とを受信する受信装置と、前記受信装置に対して少なくとも複数の伝送信号を中継する 1 つ以上のデバイスと、を有する信号伝送システムであって、前記受信装置は、前記複数の伝送信号と同期信号とを受信する受信手段と、前記受信された複数の伝送信号を、前記受信された同期信号に同期して保持する保持手段と、前記受信された複数の伝送信号がそれぞれ正しい値で保持されるように、前記受信された同期信号に対する前記受信された複数の伝送信号のタイミングを、前記デバイスごとに調整する受信タイミング調整手段とを有する。

10

20

30

40

50

【 0 0 0 7 】

好適には、前記伝送装置は、前記伝送信号として、所定のテストパターンを伝送し、前記受信装置の受信タイミング調整手段は、前記伝送信号として受信されたテストパターンが、正しい値で保持されるように、前記受信された伝送信号または同期信号のタイミングを調整する。

【 0 0 0 8 】

好適には、前記受信装置は、前記同期信号から前記受信された伝送信号を保持するために用いられるクロック信号を再生するクロック再生手段をさらに有し、前記受信タイミング調整手段は、前記クロック再生手段に対して、前記同期信号を供給するタイミングを調整することにより、前記受信された同期信号との間のタイミングを調整する。

10

【 0 0 0 9 】

好適には、複数の前記デバイスを有し、前記受信装置において、前記受信手段は、前記複数のデバイスそれぞれから、前記中継された伝送信号と同期信号とを受信し、前記保持手段は、前記複数のデバイスから受信された伝送信号それぞれを、前記複数のデバイスから受信された同期信号それぞれに同期して保持し、前記受信タイミング調整手段は、前記複数のデバイスから受信された伝送信号それぞれが正しい値で保持されるように、前記複数のデバイスから受信された伝送信号それぞれと、前記複数のデバイスから受信された同期信号それぞれとの間のタイミングを調整する。

【 0 0 1 0 】

本発明にかかる信号伝送システムは、伝送の対象となる複数の伝送信号と、前記伝送信号と同期する同期信号とを伝送する伝送装置と、前記伝送装置が伝送する複数の伝送信号と同期信号とを受信する受信装置と、前記受信装置に対して少なくとも複数の伝送信号を中継する1つ以上のデバイスと、を有する信号伝送システムであって、前記受信装置は、前記複数の伝送信号と同期信号とを受信する受信手段と、前記受信された複数の伝送信号を、前記受信された同期信号に同期して保持する保持手段と、前記受信された複数の伝送信号がそれぞれ正しい値で保持されたか否かを、前記伝送装置に対して通知する通知手段とを有し、前記伝送装置は、前記受信装置からの通知に基づいて、前記受信された複数の伝送信号がそれぞれ正しい値で保持されるように、前記伝送される複数の伝送信号と、前記伝送される同期信号との間のタイミングを、前記デバイスごとに調整する送信タイミング調整手段を有する。

20

30

【 0 0 1 1 】

好適には、前記伝送装置は、前記伝送信号として、所定のテストパターンを伝送するテストパターン伝送手段を有し、前記受信装置の通知手段は、前記伝送信号として受信されたテストパターンが、正しい値で保持されたか否かを、前記伝送装置に対して通知する。

【 0 0 1 2 】

好適には、複数の前記デバイスを有し、前記受信装置において、前記受信手段は、前記複数のデバイスそれぞれから、前記中継された伝送信号と同期信号とを受信し、前記保持手段は、前記複数のデバイスから受信された伝送信号それぞれを、前記複数のデバイスから受信された同期信号それぞれに同期して保持し、前記通知手段は、前記複数のデバイスから受信された伝送信号それぞれが正しい値で保持されたか否かを、前記伝送装置に対して通知し、前記送信タイミング調整手段は、前記受信装置からの通知に基づいて、前記複数のデバイスから受信される伝送信号それぞれが正しい値で保持されるように、前記複数のデバイスから受信される伝送信号それぞれと、前記複数のデバイスから受信される同期信号それぞれとの間のタイミングを調整する。

40

【 0 0 1 3 】

【 発明の実施の形態 】

以下、本発明の実施形態を説明する。

[信号伝送システム 1]

図 1 は、本発明にかかる信号伝送システム 1 の構成を示す図である。

図 1 に示すように、信号伝送システム 1 は、例えば光信号伝送システムであって、受信側

50

L S I a 2 0、送信側 L S I a 3 0、 n 個のレーザダイオード駆動回路アレイ (L D D アレイ) 4 0 - 1 ~ 4 0 - n (n は整数)、 n 個のレーザダイオードアレイ (L D アレイ) 4 2 - 1 ~ 4 2 - n 、 n 個のフォトダイオードアレイ (P D アレイ) 4 4 - 1 ~ 4 4 - n 、 n 個の増幅器アレイ (A M P アレイ) 4 6 - 1 ~ 4 6 - n および n 個のファイバーアレイ a 5 0 - 1 ~ 5 0 - n から構成される。

L D D アレイ 4 0、L D アレイ 4 2、ファイバーアレイ a 5 0、P D アレイ 4 4 および A M P アレイ 4 6 には、例えば、それぞれの機能の素子が5つずつ並列に設けられている。

【 0 0 1 4 】

送信側 L S I a 3 0 から受信側 L S I a 2 0 に対して伝送される複数の信号のうち、例えば、 n 番目の L D D アレイ 4 0 - n 、L D アレイ 4 2 - n 、ファイバーアレイ a 5 0 - n 、P D アレイ 4 4 - n および A M P アレイ 4 6 - n が中継する信号の1つは、伝送信号の同期をとるために用いられるフレーム信号 F R (図 4 (A) ~ (F) , 図 5 (A) ~ (D) を用いて後述) である。

10

以下、送信側 L S I a 3 0 と受信側 L S I a 2 0 を接続している信号伝送経路を中継する n 番目の L D D アレイ 4 0 - n 、L D アレイ 4 2 - n 、ファイバーアレイ a 5 0 - n 、P D アレイ 4 4 - n および A M P アレイ 4 6 - n などの順に配置されて5チャンネルの光信号伝送経路を構成する部分は、あわせて単に「 n 番目のデバイス群」と略記し、順序を特定しない場合には単に「デバイス群」と略記することがある。

また、L D D アレイ 4 0 - 1 ~ 4 0 - n など複数ある構成部分の、いずれかを特定せず示す場合には、単に「L D D アレイ 4 0」などと略記することがある。

20

【 0 0 1 5 】

図 2 は、図 1 に示した信号伝送システム 1 において、L D D アレイ 4 0、L D アレイ 4 2、P D アレイ 4 4、A M P アレイ 4 6 およびファイバーアレイ a 5 0 の数を 2 ($n = 2$) とした場合の具体例を示す図である。

なお、以下、説明を具体化し、発明の理解を容易にするため、図 2 に示すように、信号伝送システム 1 が L D D アレイ 4 0、L D アレイ 4 2、P D アレイ 4 4、A M P アレイ 4 6 およびファイバーアレイ a 5 0 をそれぞれ 2 個含む場合を具体例として説明する。

送信側 L S I b 3 2 から受信側 L S I b 2 2 に対して伝送される信号のうち、2番目のデバイス群を介して伝送される信号の1つはフレーム信号 F R (図 4 (B)) である。

【 0 0 1 6 】

[受信側 L S I b 2 2]

図 3 は、図 2 に示した受信側 L S I b 2 2 の構成を示す図である。

図 4 は、1つの伝送フレームに対する各信号の関係を示す図であって、図 4 (A) はクロック信号 C L K を示し、図 4 (B) はフレーム信号 F R を示し、図 4 (C) は 1 0 ビットのシリアルデータを示し、図 4 (D) はパラレルデータの例を示し、図 4 (E) は伝送タイミングをテストする際に送信される送信テストパターンの例を示し、図 4 (F) は伝送タイミングをテストする際に受信された受信テストパターンの例を示す図である。

図 3 に示すように、受信側 L S I b 2 2 は、例えば、フレーム信号 F R の遅延を変更する可変遅延回路 2 2 0 - 1、2 2 0 - 2、遅延されたフレーム信号 F R をてい倍してクロック信号 C L K を生成する P L L 2 2 2 - 1、2 2 2 - 2、4チャンネルのラッチ回路 a 2 2 4、4入力シリアル/パラレル変換回路 (S / P 回路) a 2 2 6、5チャンネルのラッチ回路 b 2 2 8、5入力シリアル/パラレル変換回路 (S / P 回路) b 2 3 0、タイミング調整回路 a 2 3 2 および処理部 a 2 3 4 から構成される。

40

【 0 0 1 7 】

[可変遅延回路 2 2 0 - 1]

可変遅延回路 2 2 0 - 1 は、タイミング調整回路 a 2 3 2 から入力される受信遅延指示信号 R D a により制御されて、送信側 L S I b 3 2 (図 2) から 2 番目のデバイス群を介して入力されるフレーム信号 F R を遅延させる。(図 4 (E) , (F) 参照)

受信遅延指示信号 R D a によって遅延されたフレーム信号 F R は、可変遅延回路 2 2 0 - 1 によって、P L L 2 2 2 - 1、S / P 回路 a 2 2 6、タイミング調整回路 a 2 3 2 およ

50

び処理部 a 2 3 4 に対して出力される。

【 0 0 1 8 】

[可変遅延回路 2 2 0 - 2]

可変遅延回路 2 2 0 - 2 は、タイミング調整回路 a 2 3 2 から入力される受信遅延指示信号 R D b に制御されて、送信側 L S I b 3 2 (図 2) から 2 番目のデバイス群を介して入力されるフレーム信号 F R を遅延させる。(図 4 (E) , (F) 参照)

受信遅延指示信号 R D b によって遅延されたフレーム信号 F R は、可変遅延回路 2 2 0 - 2 によって、P L L 2 2 2 - 2 および S / P 回路 b 2 3 0 に対して出力される。

【 0 0 1 9 】

[P L L 2 2 2 - 1]

P L L 2 2 2 - 1 は、可変遅延回路 2 2 0 - 1 から入力されるフレーム信号 F R を、1 0 倍の周波数にてい倍し、ラッチ回路 a 2 2 4、S / P 回路 a 2 2 6 およびタイミング調整回路 a 2 3 2 に対して出力する。(図 4 (A) , (B) 参照)

【 0 0 2 0 】

[P L L 2 2 2 - 2]

P L L 2 2 2 - 2 は、可変遅延回路 2 2 0 - 2 から入力されるフレーム信号 F R を、1 0 倍の周波数にてい倍し、ラッチ回路 b 2 2 8 および S / P 回路 b 2 3 0 に対して出力する。(図 4 (A) , (B) 参照)

【 0 0 2 1 】

[ラッチ回路 a 2 2 4]

ラッチ回路 a 2 2 4 は、4 つの D フリップフロップ (D - F / F ; 図示せず) を含み、送信側 L S I b 3 2 (図 2) から 2 番目のデバイス群を介して入力される 4 チャンネルのシリアルデータ信号 D A T A を、P L L 2 2 2 - 1 から入力されるクロック信号 C L K によりラッチし、S / P 回路 a 2 2 6 に対して出力する。

【 0 0 2 2 】

[S / P 回路 a 2 2 6]

S / P 回路 a 2 2 6 は、可変遅延回路 2 2 0 - 1 から入力されるフレーム信号 F R、および、P L L 2 2 2 - 1 から入力される C L K を用いて、ラッチ回路 a 2 2 4 から入力される 4 チャンネルのシリアルデータ信号 D A T A を、それぞれ 1 0 ビットの平行データに変換し、タイミング調整回路 a 2 3 2 に対して出力する。(図 4 (C) , (D) 参照)

【 0 0 2 3 】

[ラッチ回路 b 2 2 8]

ラッチ回路 b 2 2 8 は、5 つの D フリップフロップ (D - F / F ; 図示せず) を含み、送信側 L S I b 3 2 (図 2) から 1 番目のデバイス群を介して入力される 5 チャンネルのシリアルデータ信号 D A T A を、P L L 2 2 2 - 2 から入力されるクロック信号 C L K によりラッチし、S / P 回路 b 2 3 0 に対して出力する。

【 0 0 2 4 】

[S / P 回路 b 2 3 0]

S / P 回路 b 2 3 0 は、可変遅延回路 2 2 0 - 2 から入力されるフレーム信号 F R、および、P L L 2 2 2 - 2 から入力される C L K を用いて、ラッチ回路 b 2 2 8 から入力される 5 チャンネルのシリアルデータ信号 D A T A を、それぞれ 1 0 ビットの平行データに変換し、タイミング調整回路 a 2 3 2 に対して出力する。(図 4 (C) , (D) 参照)

【 0 0 2 5 】

[タイミング調整回路 a 2 3 2]

タイミング調整回路 a 2 3 2 は、C P U 2 3 6 およびメモリ 2 3 8 などを含み、可変遅延回路 2 2 0 - 1 から入力されるフレーム信号 F R に同期して動作し、S / P 回路 a 2 2 6 および S / P 回路 b 2 3 0 から平行データを受け入れ、処理部 a 2 3 4 に対し所定の平行データを出力する。

タイミング調整回路 a 2 3 2 は、さらに S / P 回路 a 2 2 6 および S / P 回路 b 2 3 0 から入力される平行データと、送信側 L S I b 3 2 (図 2) から 2 番目のデバイス群を

10

20

30

40

50

介して入力されるフレーム信号FRとの受信タイミングのずれを検出し、同一のデバイス群を介して伝送される信号ごとに受信タイミングを調整するため、可変遅延回路220-1, 220-2に対してそれぞれ受信遅延指示信号RDa, RDbを出力する。

【0026】

図5は、可変遅延回路220によってタイミングが変化するクロック信号CLK、およびフレーム信号FRの例を示す図であって、図5(A)はラッチ回路224がデータ信号DATAを取りこむタイミングを示し、図5(B)は図5(A)におけるビットエラーレート(Bit Error Rate; BER)を、横軸にサンプリングのタイミング、縦軸にBERをとって示し、図5(C)は10ビットの平行データに対するフレーム信号FRのタイミングの変化を示す。

10

【0027】

タイミング調整回路a232は、受信遅延指示信号RDa, RDbにより、可変遅延回路220-1, 220-2およびPLL222-1, 222-2を介して、ラッチ回路a224, ラッチ回路b228がデータをサンプリングするクロック信号CLKのタイミングを、例えば、クロック信号CLKの周期(T)の8分の1ごとの遅延で連続的に24ステップ(図5(A))変化させる。

図5(B)に示すように、データをサンプリングするクロック信号CLKのタイミングの変化によって、データを正しくサンプリングできる確率は変化し、タイミング調整回路a232は、データのBERが小さいタイミングの中から、より正しいデータをサンプリングできる最適なタイミングをデバイス群ごとにそれぞれ選択する。(図7を用いて後述)

20

【0028】

すなわち、タイミング調整回路a232は、S/P回路a226およびS/P回路b230から受け入れる平行データに対し、可変遅延回路220-1, 222-2を介してフレーム信号FRを3Tの期間に24ステップでシフト(図5(C)参照)させ、最適なタイミングのフレーム信号FRを選択する。

また、タイミング調整回路a232および可変遅延回路220は、同一のデバイス群を介して伝送される信号ごとに同期をとることにより、それぞれの信号のチャンネル間スキューを抑える。

【0029】

[処理部a234]

処理部a234(図3)は、可変遅延回路220-1から入力されるフレーム信号FRに同期して動作し、例えば、データ信号DATAの記憶など、受信側LSIb22における所定の処理を行なう。

30

【0030】

メモリ238は、タイミング調整に用いるテストパターン(図4(E), 図7(A)参照)などが格納されているROM、および、テストパターンの照合結果などを格納するRAM(図示せず)を含み、CPU236はタイマなど(図示せず)を含む。

【0031】

[送信側LSIb32]

送信側LSIb32は、CPU、ROM、RAMおよびタイマなど(図示せず)を含み、さらに、ROMには受信側LSIb22と同じテストパターン(図4(E), 図7(A)参照)が格納されている。

40

受信調整シーケンス(図6を用いて後述)において、テストパターンはデバイス群を介し受信側LSIb22に対して送信される。

【0032】

[全体動作]

以下、信号伝送システムのタイミング調整について、全体的な動作を説明する。

図6は、図2に示す信号伝送システムにおいて、受信側LSIb22が受信タイミングを調整する受信調整シーケンス(S10)を示すフローチャートである。

図7は、タイミング調整に用いられるテストパターンと、テスト結果の例を示す図であっ

50

て、図7(A)は、送信するテストパターン例(ビット列1)を示し、図7(B)は、ビット列1を受信した受信例(ビット列2)を示し、図7(C)は、フレーム信号FRの遅延を連続的に変化させて、24種類の異なるタイミングでテストパターンを受信した結果の例を示す図表である。(図5(A),(B),(C)参照)

【0033】

図6に示すように、ステップ100(S100)において、受信側LSIb22のタイミング調整回路a232(図3)は、デバイス群ごとに受信タイミング調整を行うため、可変遅延回路220-1, 220-2に対して受信タイミングの初期化を行なう。

【0034】

ステップ102(S102)において、送信側LSIb32(図2)は、例えば、2番目のデバイス群を介し、送信側LSIb32のROM(図示せず)に格納されているテストパターン(図7(A);ビット列1)を受信側LSIb22に対して送信する。送信するテストパターンとして、ビット列1は繰り返して送信される。

10

【0035】

ステップ104(S104)において、送信側LSIb32は、あらかじめ設定された時間が経過するまでテストパターンを送信する。

設定された時間の経過は、例えば、タイマ(図示せず)などによって確認する。

テストパターンの送信に設定される時間は、受信側LSIb22で行われる後述のS106~S126にかかる処理時間よりも十分に長い時間である。

【0036】

20

ステップ106(S106)において、受信側LSIb22は、送信側LSIb32から送信されるテストパターン(図7(A))を、可変遅延回路220-1または220-2から入力されるフレーム信号FR、および、PLL222-1または222-2から入力されるクロック信号CLKに同期して受信する。

【0037】

ステップ108(S108)において、受信側LSIb22は、メモリ238のROM(図示せず)に格納されているテストパターン(正解テストパターン)と受信したテストパターンの照合を行う。

正解テストパターンとの照合は、“個別のビットが正しく受信されているかどうか;(結果1)”および“個別のビットが正しい場合、正解テストパターンと一致するにはビットのシフトがいくつ必要か;(結果2)”について行う。

30

【0038】

例えば、受信されたビット列2(図7(B))の個別のビットは、ビット列1(図7(A))の個別のビットと同じであり、先頭ビットがフレーム信号FRに対して1ビット右にずれているだけとなっている。(図4(E),(F)参照)

【0039】

ステップ110(S110)において、受信したテストパターンと正解テストパターンとの照合結果は、例えば、メモリ238のRAM(図示せず)に格納される。

ビット列2を受信したときの照合結果は、“個別のビットは正しく受信されている(OK);結果1”および“フレーム信号FRを右に1ビット分シフトすると正解テストパターンと一致する;結果2”となる。

40

【0040】

ステップ112(S112)において、フレーム信号FRのタイミングを連続的に変化させて、例えば、テストパターンが24種類の異なるタイミングで受信されたかどうかの判断をする。

24種類受信した場合はS116の処理に進み、その他の場合はS114の処理に進む。

【0041】

ステップ114(S114)において、タイミング調整回路a232は、受信遅延指示信号RDa, RD bをそれぞれ可変遅延回路220-1, 220-2に対して出力し、受信タイミングを変化させてS106を行う。

50

【 0 0 4 2 】

ステップ 1 1 6 (S 1 1 6) において、例えば、図 7 (C) に示すような受信タイミングを連続的に変化させて受信した 2 4 種類のテストパターンの照合結果を、メモリ 2 3 8 の R A M (図示せず) からタイミング調整回路 a 2 3 2 の C P U 2 3 6 が読み込む。

【 0 0 4 3 】

ステップ 1 1 8 (S 1 1 8) において、図 7 (C) に示す照合結果からタイミング調整回路 a 2 3 2 の C P U 2 3 6 は、2 4 種類の受信タイミングの中から最適なタイミングを選択する。

選択は、結果 1 . が “ O K ” である受信タイミング 3 ~ 7 , 1 1 ~ 1 5 および 1 9 ~ 2 3 のうち、結果 2 . の必要なシフト数がなく、良好な受信結果の中央である受信タイミング 1 3 で設定したタイミングを、最適受信タイミングとする方法で行う。

10

【 0 0 4 4 】

ステップ 1 2 0 (S 1 2 0) において、結果 1 . がすべて “ N G ” である場合のように、受信タイミングが設定できない場合は S 1 2 6 の処理に進み、最適受信タイミングが選択された場合は S 1 2 2 の処理に進む。

【 0 0 4 5 】

ステップ 1 2 2 (S 1 2 2) において、デバイス群ごとの最適受信タイミングは、それぞれデバイス群ごとの選択結果として、タイミング調整回路 a 2 3 2 のメモリ 2 3 8 に含まれる R A M (図示せず) に格納する。

【 0 0 4 6 】

ステップ 1 2 4 (S 1 2 4) において、タイミング調整回路 a 2 3 2 の C P U 2 3 6 は、R A M (図示せず) に格納された最適受信タイミングの選択結果をもとに、可変遅延回路 2 2 0 の遅延を設定することにより、受信データに対するフレーム信号 F R の受信タイミングをデバイス群ごとに設定する。

20

【 0 0 4 7 】

ステップ 1 2 6 (S 1 2 6) において、受信側 L S I b 2 2 は、図示しない表示手段に対してエラー表示を指示する。

【 0 0 4 8 】

[第 1 の変形例]

以下、信号伝送システム 1 に対する第 1 の変形例について説明する。

30

図 8 は、図 2 に示した信号伝送システムに対する第 1 の変形例を示す図である。

なお、図 8 に示した第 1 の変形例の構成部分のうち、図 2 に示した信号伝送システムの構成要素と実質的に同じものには、同じ符号を付してある。

図 8 に示すように、第 1 の変形例は、受信側 L S I c 2 4、送信側 L S I c 3 4、L D D アレイ 4 0 - 1 , 4 0 - 2、L D アレイ 4 2 - 1 , 4 2 - 2、P D アレイ 4 4 - 1 , 4 4 - 2、A M P アレイ 4 6 - 1 , 4 6 - 2 およびファイバーアレイ a 5 0 - 1 , 5 0 - 2 から構成される。

送信側 L S I c 3 4 から受信側 L S I c 2 4 に対して、各々のデバイス群を介して伝送される信号の 1 つはそれぞれフレーム信号 F R (図 4 (B)) である。

【 0 0 4 9 】

40

[受信側 L S I c 2 4]

図 9 は、図 8 に示した受信側 L S I c 2 4 の構成を示す図である。

なお、図 9 に示した受信側 L S I c 2 4 の構成部分のうち、図 3 に示した受信側 L S I b 2 2 の構成要素と実質的に同じものには、同じ符号を付してある。

図 9 に示すように、受信側 L S I c 2 4 は、可変遅延回路 2 2 0 - 1 , 2 2 0 - 2、P L L 2 2 2 - 1 , 2 2 2 - 2、ラッチ回路 a 2 2 4 - 1 , 2 2 4 - 2、S / P 回路 a 2 2 6 - 1 , 2 2 6 - 2、タイミング調整回路 b 2 4 0 および処理部 b 2 4 2 から構成される。

【 0 0 5 0 】

[タイミング調整回路 b 2 4 0]

タイミング調整回路 b 2 4 0 は、C P U 2 3 6 およびメモリ 2 3 8 などを含み、可変遅延

50

回路 2 2 0 - 1 から入力されるフレーム信号 F R に同期して動作し、S / P 回路 a 2 2 6 - 1 , 2 2 6 - 2 からパラレルデータを受け入れ、処理部 b 2 4 2 に対して所定のパラレルデータを出力する。

【 0 0 5 1 】

タイミング調整回路 b 2 4 0 は、S / P 回路 a 2 2 6 - 1 から入力されるパラレルデータ（図 5（C）参照）と、送信側 L S I b 3 2（図 2）から 2 番目のデバイス群および可変遅延回路 2 2 0 - 1 を介して入力されるフレーム信号 F R（図 5（B）参照）との受信タイミングのずれを検出し、さらに 1 番目のデバイス群および可変遅延回路 2 2 0 - 2 を介して入力されるフレーム信号 F R に同期した S / P 回路 a 2 2 6 - 2 から入力されるパラレルデータと、送信側 L S I b 3 2 から 2 番目のデバイス群および可変遅延回路 2 2 0 - 1 を介して入力されるフレーム信号 F R との受信タイミングのずれを検出し、同一のデバイス群を介して伝送される信号ごとに受信タイミングを調整するために、可変遅延回路 2 2 0 - 1 , 2 2 0 - 2 に対してそれぞれ受信遅延指示信号 R D a , R D b を出力する。

10

【 0 0 5 2 】

[処理部 b 2 4 2]

処理部 b 2 4 2 は、例えば、データ信号 D A T A の記憶など、受信側 L S I c 2 4 における所定の処理を行なう。

【 0 0 5 3 】

第 1 の変形例では、1 番目のデバイス群による遅延と 2 番目のデバイス群による遅延の差が大きい場合でも、同一のデバイス群を介して伝送されるデータ信号とフレーム信号 F R との間で同期をとることができるため、受信側 L S I c 2 4 において受信タイミングの調整に要する時間を短縮することができる。

20

【 0 0 5 4 】

[第 2 の変形例]

以下、信号伝送システム 1 に対する第 2 の変形例について説明する。

図 1 0 は、図 8 に示した第 1 の変形例を、さらに変形させた第 2 の変形例を示す図である。

なお、図 1 0 に示した第 2 の変形例の構成部分のうち、図 8 に示した第 1 の変形例の構成要素と実質的に同じものには、同じ符号を付してある。

図 1 0 に示すように、第 2 の変形例は、受信側 L S I c 2 4 - 1 , 2 4 - 2、送信側 L S I c 3 4、L D D アレイ 4 0 - 1 , 4 0 - 2、L D アレイ 4 2 - 1 , 4 2 - 2、P D アレイ 4 4 - 1 ~ 4、A M P アレイ 4 6 - 1 ~ 4 および光バスのファイバーアレイ b 5 2 - 1 , 5 2 - 2 から構成される。

30

ファイバーアレイ b 5 2 は、1 つの L D アレイ 4 2 から入力される 5 つの伝送信号を 2 つの P D アレイ 4 4 に対して伝送する光バスのファイバーアレイである。

【 0 0 5 5 】

第 2 の変形例では、送信側 L S I c 3 4 から受信側 L S I c 2 4 - 1 に対する信号伝送において、L D D アレイ 4 0 - 1、L D アレイ 4 2 - 1、P D アレイ 4 4 - 1、A M P アレイ 4 6 - 1 およびファイバーアレイ b 5 2 - 1 を 1 番目のデバイス群とみなし、L D D アレイ 4 0 - 2、L D アレイ 4 2 - 2、P D アレイ 4 4 - 2、A M P アレイ 4 6 - 2 およびファイバーアレイ b 5 2 - 2 を 2 番目のデバイス群とみなすことができる。

40

また、送信側 L S I c 3 4 から受信側 L S I c 2 4 - 2 に対する信号伝送において、L D D アレイ 4 0 - 1、L D アレイ 4 2 - 1、P D アレイ 4 4 - 3、A M P アレイ 4 6 - 3 およびファイバーアレイ b 5 2 - 1 を 1 番目のデバイス群とみなし、L D D アレイ 4 0 - 2、L D アレイ 4 2 - 2、P D アレイ 4 4 - 4、A M P アレイ 4 6 - 4 およびファイバーアレイ b 5 2 - 2 を 2 番目のデバイス群とみなすことができる。

【 0 0 5 6 】

よって、第 2 の変形例は、光バスのファイバーアレイ b 5 2 - 1 , 5 2 - 2 により、同一のデバイス群を介して伝送される信号ごとのタイミング調整、複数のデバイス群を介した信号伝送における 1 つの受信 L S I 内でのタイミング調整、および、1 つの送信 L S I が

50

ら複数の受信 L S I に対して信号伝送されるような 1 対多の信号伝送でのタイミング調整を行なうことが可能である。

【 0 0 5 7 】

また、受信側 L S I c 2 4 - 1 が信号を受信する受信タイミングと、受信側 L S I c 2 4 - 2 が信号を受信する受信タイミングとの差が、伝送経路長の差などにより大きい場合でも、それぞれ同一のデバイス群とみなされる伝送経路を介して伝送されるデータ信号とフレーム信号 F R との間で同期をとることができるため、受信側 L S I c 2 4 - 1 , 2 4 - 2 において受信タイミングの調整を簡易に行うことができる。

【 0 0 5 8 】

[第 3 の変形例]

以下、信号伝送システム 1 に対する第 3 の変形例について説明する。

図 1 1 は、図 2 に示した信号伝送システムを変形させた第 3 の変形例を示す図である。

なお、図 1 1 に示した第 3 の変形例の構成部分のうち、図 2 に示した信号伝送システムの構成要素と実質的に同じものには、同じ符号を付してある。

図 1 1 に示すように、第 3 の変形例は、受信側 L S I d 2 6、送信側 L S I d 3 6、L D D アレイ 4 0 - 1 , 4 0 - 2、L D アレイ 4 2 - 1 , 4 2 - 2、P D アレイ 4 4 - 1 , 4 4 - 2、A M P アレイ 4 6 - 1 , 4 6 - 2 およびファイバーアレイ a 5 0 - 1 , 5 0 - 2 から構成される。

送信側 L S I d 3 6 は、2 番目のデバイス群を介し、受信側 L S I d 2 6 に対して伝送信号を送信する。

受信側 L S I d 2 6 は、1 番目のデバイス群を介し、送信側 L S I d 3 6 に対して伝送信号を送信する。

【 0 0 5 9 】

[送信側 L S I d 3 6]

図 1 2 は、図 1 1 に示した送信側 L S I d 3 6 の構成を示す図である。

なお、図 1 2 に示した送信側 L S I d 3 6 の構成部分のうち、図 3 に示した受信側 L S I b 2 2 の構成要素と実質的に同じものには、同じ符号を付してある。

図 1 2 に示すように、送信側 L S I d 3 6 は、発振回路 3 6 0、分周回路 3 6 2、可変遅延回路 2 2 0 - 1 , 2 2 0 - 2、P L L 2 2 2、ラッチ回路 a 2 2 4 - 1 , 2 2 4 - 2、S / P 回路 a 2 2 6、P / S 回路 3 6 4、タイミング調整回路 c 3 6 6 および処理部 c 3 6 8 から構成される。

【 0 0 6 0 】

[発振回路 3 6 0]

発振回路 3 6 0 は、オシレータなどによりクロック信号 C L K を発生させ、分周回路 3 6 2、タイミング調整回路 c 3 6 6、P / S 回路 3 6 4 およびラッチ回路 a 2 2 4 - 2 に対してクロック信号 C L K を出力する。

【 0 0 6 1 】

[分周回路 3 6 2]

分周回路 3 6 2 は、発振回路 3 6 0 から入力されるクロック信号 C L K を、例えば、1 0 分周してフレーム信号 F R を生成し、可変遅延回路 2 2 0 - 2、P / S 回路 3 6 4、タイミング調整回路 c 3 6 6 および処理部 c 3 6 8 に対してフレーム信号 F R を出力する。

【 0 0 6 2 】

[P / S 回路 3 6 4]

P / S 回路 3 6 4 は、発振回路 3 6 0 から入力されるクロック信号 C L K、および、分周回路 3 6 2 から入力されるフレーム信号 F R に同期して動作し、例えば、タイミング調整回路 c 3 6 6 から入力される 4 つの 1 0 ビットパラレルデータをそれぞれシリアルデータに変換し、ラッチ回路 a 2 2 4 - 2 に対して出力する。

【 0 0 6 3 】

[タイミング調整回路 c 3 6 6]

タイミング調整回路 c 3 6 6 は、C P U 2 3 6 およびメモリ 2 3 8 などを含み、分周回路

10

20

30

40

50

362から入力されるフレーム信号FRに同期して動作し、S/P回路a226からパラレルデータを受け入れ、処理部c368に対し所定の平行データを出し、処理部c368から平行データを受け入れ、P/S回路364に対し所定平行データを出しする。

【0064】

また、タイミング調整回路c366は、受信側LSId26(図11)が2番目のデバイス群を介して受信するデータ信号DATAとフレーム信号FRのずれに対し、受信側LSId26から送信される最適タイミングの選択結果(図14を用いて後述)によって、分周回路362から可変遅延回路220-2を介し受信側LSId26に対して出力されるフレーム信号FRの送信タイミングを調整するため、可変遅延回路220-2に対して送信遅延指示信号TDaを出力する。

10

S/P回路a226は1番目のデバイス群および可変遅延回路220-1を介して入力されるフレーム信号FRに同期して動作しており、タイミング調整回路c366は、S/P回路a226から入力される平行データと、分周回路362から入力されるフレーム信号FRとのタイミングのずれを検出し、1番目のデバイス群を介して伝送される信号の受信タイミングを調整するため、可変遅延回路220-1に対して受信遅延指示信号RDaを出力する。

【0065】

[処理部c368]

処理部c368は、例えば、データ信号DATAの演算や記憶など、送信側LSId36

20

における所定の処理を行なう。

【0066】

[受信側LSId26]

図13は、図11に示した受信側LSId26の構成を示す図である。

なお、図13に示した受信側LSId26の構成部分のうち、図3に示した受信側LSIb22、および、図12に示した送信側LSId36の構成要素と実質的に同じものには、同じ符号を付してある。

図13に示すように、受信側LSId26は、PLL222-1, 222-2、ラッチ回路a224-1, 224-2、S/P回路a226、P/S回路364および受信処理部260から構成される。

30

【0067】

[受信処理部260]

受信処理部260は、CPU236およびメモリ238などを含み、2番目のデバイス群を介して入力されるフレーム信号FR、および、PLL222-2から入力されるクロック信号CLKに同期して動作し、S/P回路a226から平行データを受け入れ、例えば、受信データを記憶するなどの所定の処理、または、送信側LSId36からの最適送信タイミングの選択(図14を用いて後述)などを行って、P/S回路364に対し所定の平行データを出しする。

また、2番目のデバイス群を介して入力されたフレーム信号FRを、P/S回路364、PLL222-1および1番目のデバイス群に対して出力する。

40

【0068】

[第3の変形例の送信調整シーケンス]

以下、第3の変形例の送信調整シーケンスについて説明する。

図14は、図11に示す第3の変形例において、送信側LSId36が受信側LSId26に対する送信タイミングを調整する送信調整シーケンス(S20)を示すフローチャートである。

【0069】

図14に示すように、ステップ200(S200)において、送信側LSId36のタイミング調整回路c366(図12)は、可変遅延回路220-1, 220-2に対して伝送タイミングの初期化を行なう。

50

【 0 0 7 0 】

ステップ 2 0 2 (S 2 0 2) において、送信側 L S I d 3 6 (図 1 2) は、例えば、2 番目のデバイス群を介し、送信側 L S I d 3 6 の R O M (図示せず) に格納されているテストパターン (図 7 (A) ; ビット列 1) を受信側 L S I d 2 6 (図 1 3) に対して送信する。

送信するテストパターンとして、ビット列 1 は繰り返して送信される。

【 0 0 7 1 】

ステップ 2 0 4 (S 2 0 4) において、送信側 L S I d 3 6 は、テストパターンの送信に設定される時間の経過を、例えば、タイマ (図示せず) などによって確認する。

テストパターンの送信に設定される時間は、受信側 L S I d 2 6 で行われる後述の S 2 0 6 ~ S 2 2 6 にかかる処理時間よりも十分に長い時間である。

【 0 0 7 2 】

ステップ 2 0 6 (S 2 0 6) において、受信側 L S I d 2 6 は、送信側 L S I d 3 6 から送信されるテストパターン (図 7 (A)) を、送信側 L S I d 3 6 から 2 番目のデバイス群を介して入力されるフレーム信号 F R、および、P L L 2 2 2 - 2 から入力されるクロック信号 C L K に同期して受信する。

【 0 0 7 3 】

ステップ 2 0 8 (S 2 0 8) において、受信側 L S I d 2 6 は、メモリ 2 3 8 の R O M (図示せず) に格納されているテストパターン (正解テストパターン) と受信したテストパターンの照合を行う。(図 4 (E) , (F) 参照)

【 0 0 7 4 】

ステップ 2 1 0 (S 2 1 0) において、受信したテストパターンと正解テストパターンとの照合結果は、例えば、メモリ 2 3 8 の R A M (図示せず) に格納される。(図 7 (C) 参照)

【 0 0 7 5 】

ステップ 2 1 2 (S 2 1 2) において、フレーム信号 F R のタイミングを連続的に変化させて、例えば、テストパターンが 2 4 種類の異なるタイミングで受信されたかどうかの判断をする。

2 4 種類受信した場合は S 2 1 8 の処理に進み、その他の場合は S 2 1 4 の処理に進む。

【 0 0 7 6 】

ステップ 2 1 4 (S 2 1 4) において、受信処理部 2 6 0 は、1 番目のデバイス群を介して送信タイミング変更指示の信号を、送信側 L S I d 3 6 に対して送信し、S 2 2 8 の処理に進む。

【 0 0 7 7 】

ステップ 2 2 8 (S 2 2 8) において、送信側 L S I d 3 6 は、受信側 L S I d 2 6 から送信された信号が送信タイミング変更指示または選択結果のいずれの信号であるかを判断し、送信タイミング変更指示の場合は S 2 1 6 の処理に進み、選択結果の場合は S 2 3 0 の処理に進み、その他の場合は S 2 0 2 に進む。

【 0 0 7 8 】

ステップ 2 1 6 (S 2 1 6) において、送信側 L S I d 3 6 のタイミング調整回路 c 3 6 は、可変遅延回路 2 2 0 - 2 に対して送信遅延指示信号 T D a を出力し、可変遅延回路 2 2 0 - 2 が 2 番目のデバイス群に対して出力するフレーム信号 F R の送信タイミングを変更する。

【 0 0 7 9 】

ステップ 2 1 8 (S 2 1 8) において、例えば、図 7 (C) に示すような送信側 L S I d 3 6 の送信タイミングを連続的に変化させて受信側 L S I d 2 6 が受信した 2 4 種類のテストパターンの照合結果を、受信側 L S I d 2 6 においてメモリ 2 3 8 の R A M (図示せず) から C P U 2 3 6 が読み込む。

【 0 0 8 0 】

ステップ 2 2 0 (S 2 2 0) において、図 7 (C) に示す照合結果から受信側 L S I d 2

10

20

30

40

50

6のCPU236は、24種類の受信タイミングの中から最適なタイミングを選択する。選択は、結果1.が“OK”である送信側LSId36の送信タイミング3~7, 11~15, 19~23のうち、結果2.の必要なシフト数がなく、良好な送信結果の中央である送信タイミング13で設定したタイミングを、最適送信タイミングとする方法で行う。

【0081】

ステップ222(S222)において、結果1.がすべて“NG”である場合のように、送信側LSId36の送信タイミングが設定できない場合はS226の処理に進み、最適送信タイミングが選択された場合はS224の処理に進む。

【0082】

ステップ226(S226)において、受信側LSId26は、図示しない表示手段に対してエラー表示を指示する。

10

【0083】

ステップ224(S224)において、受信側LSId26は、選択された最適送信タイミングを示す結果を、1番目のデバイス群を介して送信側LSId36に対し送信する。

【0084】

ステップ230(S230)において、送信側LSId36のCPU236は、メモリ238に含まれるRAM(図示せず)に所定のアドレスを指定して、2番目のデバイス群に対する送信タイミングの選択結果を格納する。

【0085】

ステップ232(S232)において、送信側LSId36のCPU236は、RAM(図示せず)に格納された最適送信タイミングの選択結果によって、可変遅延回路220-2の遅延を設定することにより、送信データに対するフレーム信号FRの送信タイミングを設定する。

20

【0086】

[第4の変形例]

以下、信号伝送システム1に対する第4の変形例について説明する。

図15は、図10に示した信号伝送システムを変形させた第4の変形例を示す図である。なお、図15に示した第4の変形例の構成部分のうち、図10に示した信号伝送システムの構成要素と実質的に同じものには、同じ符号を付してある。

図15に示すように、第4の変形例は、受信側LSIe28-1, 28-2、送信側LSIe38、LDDアレイ40-1, 40-2, 40-3、LDアレイ42-1, 42-2, 42-3、PDアレイ44-1, 44-2, 44-3、AMPアレイ46-1, 46-2, 46-3およびファイバアレイb52-1, 52-2から構成される。

30

ただし、受信側LSIe28-1は、LDDアレイ40-2に対してフレーム信号FRを出力し、受信側LSIe28-2は、フレーム信号FRの出力をLDDアレイ40-3に接続しないため、ファイバアレイb52-2に入力されるフレーム信号FRは、受信側LSIe28-1からのみである。

よって、受信側LSIe28-2から送信されるデータ信号DATAは、受信側LSIe28-1から出力されるフレーム信号FRと同期させるようにタイミング調整する。

【0087】

40

[送信側LSIe38]

図16は、図15に示した送信側LSIe38の構成を示す図である。

なお、図16に示した送信側LSIe38の構成部分のうち、図3に示した受信側LSIb22、および、図12に示した送信側LSId36の構成要素と実質的に同じものには、同じ符号を付してある。

図16に示すように、送信側LSIe38は、発振回路360、分周回路362、PLL222、ラッチ回路a224-1, 224-2、S/P回路a226、P/S回路364、タイミング調整回路d380および処理部c368から構成される。

【0088】

[タイミング調整回路d380]

50

タイミング調整回路 d 3 8 0 は、CPU 2 3 6 およびメモリ 2 3 8 などを含み、分周回路 3 6 2 から入力されるフレーム信号 FR に同期して動作し、S / P 回路 a 2 2 6 からパラレルデータを受け入れ、処理部 c 3 6 8 に対し所定のパラレルデータを出力し、処理部 c 3 6 8 からパラレルデータを受け入れ、P / S 回路 3 6 4 に対し所定パラレルデータを出力する。

【 0 0 8 9 】

[受信側 L S I e 2 8]

図 1 7 は、図 1 5 に示した受信側 L S I e 2 8 の構成を示す図である。

なお、図 1 7 に示した受信側 L S I e 2 8 の構成部分のうち、図 3 に示した受信側 L S I b 2 2、および、図 1 2 に示した送信側 L S I d 3 6 の構成要素と実質的に同じものには、同じ符号を付してある。

10

図 1 7 に示すように、受信側 L S I e 2 8 は、可変遅延回路 2 2 0 - 1、2 2 0 - 2、PLL 2 2 2 - 1、2 2 2 - 2、ラッチ回路 a 2 2 4 - 1、2 2 4 - 2、S / P 回路 a 2 2 6、P / S 回路 3 6 4、タイミング調整回路 e 2 8 0 および処理部 d 2 8 2 から構成される。

【 0 0 9 0 】

[タイミング調整回路 e 2 8 0]

タイミング調整回路 e 2 8 0 は、CPU 2 3 6 およびメモリ 2 3 8 などを含み、可変遅延回路 2 2 0 - 1 から入力されるフレーム信号 FR に同期して動作し、S / P 回路 a 2 2 6 からパラレルデータを受け入れ、処理部 d 2 8 2 に対し所定のパラレルデータを出力し、処理部 d 2 8 2 からパラレルデータを受け入れ、P / S 回路 3 6 4 に対し所定パラレルデータを出力する。

20

【 0 0 9 1 】

タイミング調整回路 e 2 8 0 は、S / P 回路 a 2 2 6 から入力されるパラレルデータと、可変遅延回路 2 2 0 - 1 を介し送信側 L S I e 3 8 (図 1 5) から入力されるフレーム信号 FR とのタイミングのずれを検出し、伝送される信号の受信タイミングを調整するため、可変遅延回路 2 2 0 - 1 に対して受信遅延指示信号 R D a を出力する。

また、タイミング調整回路 e 2 8 0 は、送信側 L S I e 3 8 が受信するデータ信号 DATA とフレーム信号 FR のずれに対し、送信側 L S I e 3 8 から送信される最適タイミングの選択結果によって、フレーム信号 FR のタイミングを調整するため、可変遅延回路 2 2 0 - 2 に対して送信遅延指示信号 T D a を出力する。

30

【 0 0 9 2 】

[処理部 2 8 2]

処理部 d 2 8 2 は、可変遅延回路 2 2 0 - 1 から入力されるフレーム信号 FR に同期して動作し、例えば、データ信号 DATA の記憶など、受信側 L S I e 2 8 における所定の処理を行なう。

【 0 0 9 3 】

[第 4 の変形例の送信調整シーケンス]

以下、図 1 8 および図 1 9 において、受信側 L S I e 2 8 が送信タイミングを調整する送信調整シーケンス (S 3 0) についての動作を説明する。

40

図 1 8 は、受信側 L S I e 2 8 の送信調整シーケンス (送信 L S I e 3 8 側) を示すフローチャートである。

なお、S 3 x x は、S 3 0 における送信側 L S I e 3 8 による処理を示す。

図 1 9 は、受信側 L S I e 2 8 の送信調整シーケンス (受信 L S I e 2 8 側) を示すフローチャートである。

なお、S 4 x x は、S 3 0 における受信側 L S I e 2 8 による処理を示す。

【 0 0 9 4 】

図 1 8 に示すように、ステップ 3 0 0 (S 3 0 0) において、送信側 L S I e 3 8 のタイミング調整回路 d 3 8 0 は、受信側 L S I e 2 8 に対して、受信側 L S I e 2 8 - 1 および受信側 L S I e 2 8 - 2 固有の ID を送信する。

50

各 I D は、連続する番号で設定される。

【 0 0 9 5 】

ステップ 3 0 2 (S 3 0 2) において、送信側 L S I e 3 8 は、I D を送信する設定された時間の経過を、例えば、タイミング調整回路 d 3 8 0 に含まれる C P U 2 3 6 のタイマなどによって確認する。

【 0 0 9 6 】

図 1 9 に示すように、ステップ 4 0 0 (S 4 0 0) において、受信側 L S I e 2 8 のタイミング調整回路 e 2 8 0 は、送信タイミングの初期化を行う。

【 0 0 9 7 】

ステップ 4 0 2 (S 4 0 2) において受信側 L S I e 2 8 のタイミング調整回路 e 2 8 0 は、送信側 L S I e 3 8 から送信される信号が I D 信号または終了信号のどちらであるかを確認し、I D 信号である場合は S 4 0 4 に進み、終了信号である場合はシーケンスを終了し、その他の場合は継続して信号を受信する。

10

【 0 0 9 8 】

ステップ 4 0 4 (S 4 0 4) において、受信側 L S I e 2 8 のタイミング調整回路 e 2 8 0 は、送信側 L S I e 3 8 から送信される信号を自己の I D 信号と照合し、結果を、例えば、レジスタに保持する。

【 0 0 9 9 】

ステップ 4 0 6 (S 4 0 6) において、受信側 L S I e 2 8 のタイミング調整回路 e 2 8 0 は、S 4 0 4 で照合した結果が自 L S I を指定している場合は S 4 0 8 に進み、その他の場合は S 4 1 0 の処理に進む。

20

【 0 1 0 0 】

ステップ 4 0 8 (S 4 0 8) において、自 L S I を指定されたタイミング調整回路 e 2 8 0 は、送信側 L S I e 3 8 に対してそれぞれの R O M に格納されているテストパターン (図 4 (E) 参照) を送信する。

【 0 1 0 1 】

ステップ 4 1 0 (S 4 1 0) において、自 L S I が指定されていないノードは、送信側 L S I e 3 8 に対してオール “ 0 ” の値を送信し、S 4 0 6 の処理に進む。

【 0 1 0 2 】

ステップ 3 0 4 (S 3 0 4) において、送信側 L S I e 3 8 は、受信側 L S I e 2 8 から送信されるテストパターン (図 4 (E)) を、発振回路 3 6 0 から入力されるクロック信号 C L K に同期して受信する。

30

テストパターンの受信は、例えば、タイミングを連続的に変化させた 2 4 種類のテストパターン (図 5 参照) を受信する。

【 0 1 0 3 】

ステップ 3 0 6 (S 3 0 6) において、タイミング調整回路 d 3 8 0 の R O M にあらかじめ格納されている正解テストパターンと受信したテストパターンの照合を行う。

正解テストパターンとの照合は、“ 個別のビットは正しく受信されているかどうか ; (結果 1) ”、および “ 個別のビットが正しい場合、正解テストパターンと一致するにはビットのシフトが必要か ; (結果 2) ” について行う。

40

例えば、図 7 (B) に示すビット列 2 は、受信側 L S I e 2 8 から図 7 (A) に示すビット列 1 を送信された場合の、送信側 L S I e 3 8 が受信したビット列を示している。

受信されたビット列 2 は個別のビットはビット列 1 と同じであり、先頭ビットが 1 ビットずれているだけとなっている。

ビット列 2 を受信した送信側 L S I e 3 8 の照合結果は、“ 個別のビットは正しく受信されている (O K) ” および “ 左に 1 ビットシフトすると正解テストパターンと一致する ” となる。

【 0 1 0 4 】

ステップ 3 0 8 (S 3 0 8) において、受信したテストパターンと正解テストパターンとの照合結果を、例えば、タイミング調整回路 d 3 8 0 の R A M に格納する。

50

【 0 1 0 5 】

ステップ 3 1 0 (S 3 1 0) において、例えば、タイミングを連続的に変化させた 2 4 種類のテストパターンを受信したかどうかを確認し、2 4 種類受信した場合は S 3 1 6 に進み、その他の場合は S 3 1 2 の処理に進む。

【 0 1 0 6 】

ステップ 3 1 6 (S 3 1 6) において、例えば、図 7 (C) に示すような受信タイミングを連続的に変化させて受信した 2 4 種類のテストパターンの照合結果を、タイミング調整回路 d 3 8 0 の R A M (図示せず) から C P U 2 3 6 が読み込む。

【 0 1 0 7 】

ステップ 3 1 8 (S 3 1 8) において、図 7 (C) に示す照合結果からタイミング調整回路 d 3 8 0 の C P U 2 3 6 は、2 4 種類の受信タイミングの中から受信側 L S I e 2 8 が送信した最適なタイミングを選択する。

選択は、例えば、結果 1 が “ O K ” である受信側 L S I e 2 8 の送信タイミング 3 ~ 7 , 1 1 ~ 1 5 , 1 9 ~ 2 3 のうち、結果 2 の必要なシフト数がなく、良好な送信結果の中央である送信タイミング 1 3 で設定したタイミングを、最適送信タイミングとする方法で行う。

【 0 1 0 8 】

ステップ 3 2 0 (S 3 2 0) において、送信側 L S I e 3 8 は、選択した最適送信タイミングを受信側 L S I e 2 8 に対して送信する。

【 0 1 0 9 】

ステップ 3 1 2 (S 3 1 2) において、送信側 L S I e 3 8 のタイミング調整回路 d 3 8 0 は、例えば、受信側 L S I e 2 8 の送信タイミングを連続的に変化させた 2 4 種類のテストパターンの受信が終了していない場合、送信タイミングの変更指示を受信側 L S I e 2 8 に対して送信する。

【 0 1 1 0 】

ステップ 3 1 4 (S 3 1 4) において、あらかじめ設定された時間が経過するまで S 3 1 2 の処理に進み、設定された時間経過後は S 3 0 4 の処理に進む。

【 0 1 1 1 】

ステップ 3 2 2 (S 3 2 2) において、タイミング調整回路 d 3 8 0 は、受信側 L S I e 2 8 の全ての I D に対して調整を終了すると S 3 2 6 に進み、終了していない場合は S 3 2 4 の処理に進む。

【 0 1 1 2 】

ステップ 3 2 4 (S 3 2 4) において、I D の番号を 1 つ更新し、S 3 0 0 の処理に進む。

【 0 1 1 3 】

ステップ 4 1 2 (S 4 1 2) において、受信側 L S I e 2 8 のタイミング調整回路 e 2 8 0 は、送信側 L S I e 3 8 から送信された信号が選択結果信号およびタイミング変更指示信号のいずれであるかを確認する。

送信側 L S I e 3 8 から受信した信号がタイミング変更指示信号である場合は S 4 1 4 に進み、選択結果信号である場合は S 4 1 6 に進み、その他の場合は S 4 0 6 の処理に進む。

【 0 1 1 4 】

ステップ 4 1 4 (S 4 1 4) において、受信側 L S I e 2 8 のタイミング調整回路 e 2 8 0 は、送信制御信号 T D a を、可変遅延回路 2 2 0 - 2 に対して出力し、可変遅延回路 2 2 0 - 2 におけるデータ送信のタイミングを変更し S 4 0 6 の処理に進む。

【 0 1 1 5 】

ステップ 4 1 6 (S 4 1 6) において、選択された最適送信タイミングは、デバイス群ごとにそれぞれの選択結果として受信側 L S I e 2 8 のメモリ 2 3 8 に含まれる R A M (図示せず) に格納される。

【 0 1 1 6 】

10

20

30

40

50

ステップ418 (S418)において、タイミング調整回路e280に含まれるCPU236は、RAMに格納された最適送信タイミングの選択結果をもとに、可変遅延回路220-2による遅延を設定し、フレーム信号FRの送信タイミングを設定する。

【0117】

ステップ420 (S420)において、テストパターンを送信していた受信側LSIe28は、テストパターンの送信を中止し、S402の処理に進む。

【0118】

ステップ326 (S326)において、送信側LSIe38は、送信タイミングの調整処理が終了したことを受信側LSIe28に対して通知する。

【0119】

ステップ328 (S328)において、S326の処理を設定時間が経過するまで行なう。

【0120】

ステップ330 (S330)において、送信側LSIe38は、図示しないステータス出力手段に対して送信調整シーケンスの最終結果を出力する。

【0121】

以上のように、デバイス群を構成している同一のデバイス(LDDアレイ40, LDアレイ42など)内では、伝播遅延時間やスキューなどのばらつきが小さいこと、および、光伝送路は同一アレイ内では伝播遅延時間のばらつきが小さいことから、伝送される複数の信号は、同一のデバイス群を介して伝送される信号ごとにタイミング調整を行うことにより、タイミングを調整する回路の規模を大きくすることなくそれぞれの信号のチャンネル間スキューを抑えることができる。

また、複数の受信LSIが、それぞれ異なった伝送経路長などにより異なる受信タイミングで信号を受信する場合も、同一のデバイス群とみなされる伝送経路を介して伝送される信号ごとにタイミング調整を行うことにより、タイミングを調整する回路の規模を大きくすることなくそれぞれの信号のスキューを抑えることができる。

【0122】

同一のデバイス群ごとに同期させるための同期信号は、フレーム信号FRまたはクロック信号CLKのいずれかで伝送されてもよい。

フレーム信号FRを伝送して同期をとる場合の、クロック信号CLKを生成するPLLは、可変遅延回路により遅延を変化させる前または後のいずれに配置されてもよい。

また、タイミング調整回路は、送信LSIおよび受信LSIのいずれかまたは両方に設けられてもよい。

フレーム信号FRなどの同期信号と、データ信号DATAとのタイミングを調整する場合、データ信号DATAに対する同期信号の遅延により同期をさせても、同期信号に対するデータ信号DATAの遅延により同期をさせてもよい。

【0123】

【発明の効果】

以上説明したように、本発明にかかる信号伝送システムによれば、信号伝送経路ごとに伝送タイミングが異なっても、同一の信号伝送経路を構成するデバイス群ごとにタイミングを調整することにより、正確なタイミングで信号伝送を行なうことが可能である。

【図面の簡単な説明】

【図1】本発明にかかる信号伝送システムの構成を示す図である。

【図2】図1に示した信号伝送システムにおいて、LDDアレイ、LDアレイ、PDアレイ、AMPアレイおよびファイバーアレイaの数を2($n=2$)とした場合の具体例を示す図である。

【図3】図2に示した受信側LSIbの構成を示す図である。

【図4】1つの伝送フレームに対する各信号の関係を示す図であって、図4(A)はクロック信号CLKを示し、図4(B)はフレーム信号FRを示し、図4(C)は10ビットのシリアルデータを示し、図4(D)はパラレルデータの例を示し、図4(E)は伝送

10

20

30

40

50

タイミングをテストする際に送信される送信テストパターンの例を示し、図4(F)は伝送タイミングをテストする際に受信された受信テストパターンの例を示す。

【図5】図5は、可変遅延回路によってタイミングが変化するクロック信号CLK、およびフレーム信号FRの例を示す図であって、図5(A)はラッチ回路aがデータ信号DATAを取りこむタイミングを示し、図5(B)は図5(A)におけるビットエラーレート(Bit Error Rate; BER)を、横軸にサンプリングのタイミング、縦軸にBERをとって示し、図5(C)は10ビットの平行データに対するフレーム信号FRのタイミングの変化を示す。

【図6】図2に示す信号伝送システムにおいて、受信側LSIbが受信タイミングを調整する受信調整シーケンスを示すフローチャートである。

10

【図7】図7は、タイミング調整に用いられるテストパターンと、テスト結果の例を示す図であって、図7(A)は、送信するテストパターン例(ビット列1)を示し、図7(B)は、ビット列1を受信した受信例(ビット列2)を示し、図7(C)は、フレーム信号FRの遅延を連続的に変化させて、24種類の異なるタイミングでテストパターンを受信した結果の例を示す図表である。

【図8】図2に示した信号伝送システムに対する第1の変形例を示す図である。

【図9】図8に示した受信側LSIcの構成を示す図である。

【図10】図8に示した第1の変形例を、さらに変形させた第2の変形例を示す図である。

【図11】図2に示した信号伝送システムを変形させた第3の変形例を示す図である。

20

【図12】図11に示した送信側LSIdの構成を示す図である。

【図13】図11に示した受信側LSIdの構成を示す図である。

【図14】図11に示す第3の変形例において、送信側LSIdが受信側LSIdに対する送信タイミングを調整する送信調整シーケンスを示すフローチャートである。

【図15】図15は、図10に示した信号伝送システムを変形させた第4の変形例を示す図である。

【図16】図16は、図15に示した送信側LSIeの構成を示す図である。

【図17】図17は、図15に示した受信側LSIeの構成を示す図である。

【図18】図18は、受信側LSIeの送信調整シーケンス(送信LSIe側)を示すフローチャートである。

30

【図19】図19は、受信側LSIeの送信調整シーケンス(受信LSIe側)を示すフローチャートである。

【符号の説明】

- 1・・・信号伝送システム
- 20・・・受信側LSIa
- 22・・・受信側LSIb
- 222-1, 2・・・PLL
- 224-1, 2・・・ラッチ回路a
- 226-1, 2・・・S/P回路a
- 228・・・ラッチ回路b
- 230・・・S/P回路b
- 232・・・タイミング調整回路a
- 234・・・処理部a 234
- 236・・・CPU
- 238・・・メモリ
- 24-1, 2・・・受信側LSIc
- 240・・・タイミング調整回路b
- 242・・・処理部b
- 26・・・受信側LSId
- 260・・・受信処理部

40

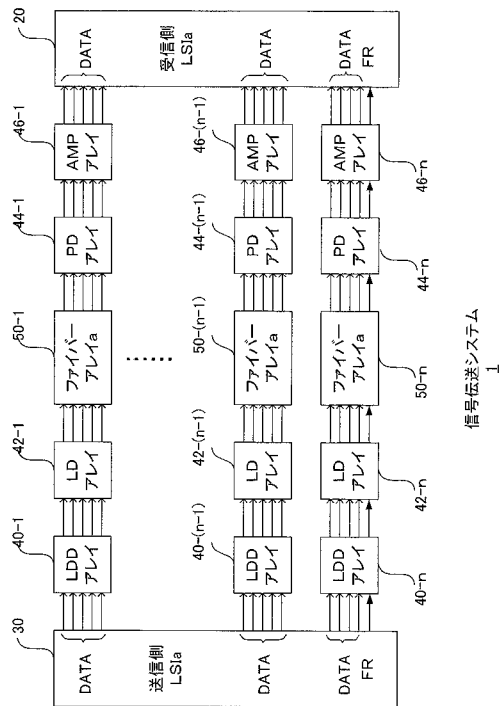
50

- 28 - 1, 2 . . . 受信側 L S I e
- 280 . . . タイミング調整回路 e
- 282 . . . 処理部 d
- 30 . . . 送信側 L S I a
- 32 . . . 送信側 L S I b
- 34 . . . 送信側 L S I b
- 36 . . . 送信側 L S I d
- 38 . . . 送信側 L S I e
- 360 . . . 発振回路
- 362 . . . 分周回路
- 364 . . . P / S 回路
- 366 . . . タイミング調整回路 c
- 368 . . . 処理部 c
- 380 . . . タイミング調整回路 d
- 40 - 1 ~ n . . . L D D アレイ
- 42 - 1 ~ n . . . L D アレイ
- 44 - 1 ~ n . . . P D アレイ
- 46 - 1 ~ n . . . A M P アレイ
- 50 - 1 ~ n . . . ファイバーアレイ a
- 52 - 1, 2 . . . ファイバーアレイ b

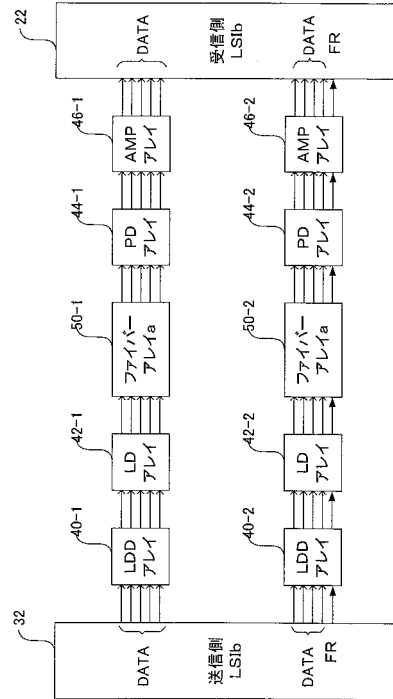
10

20

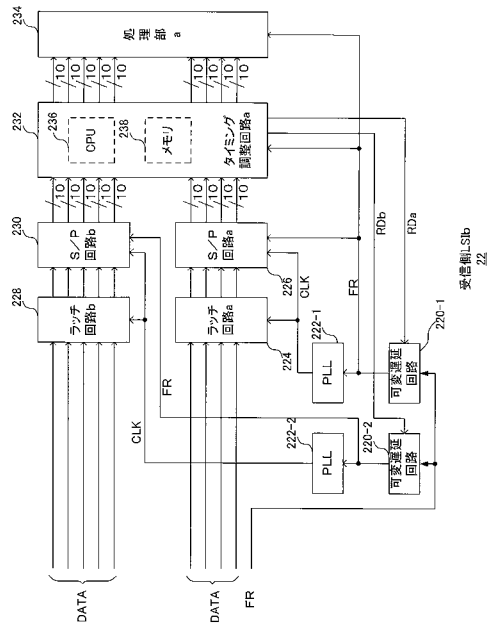
【図 1】



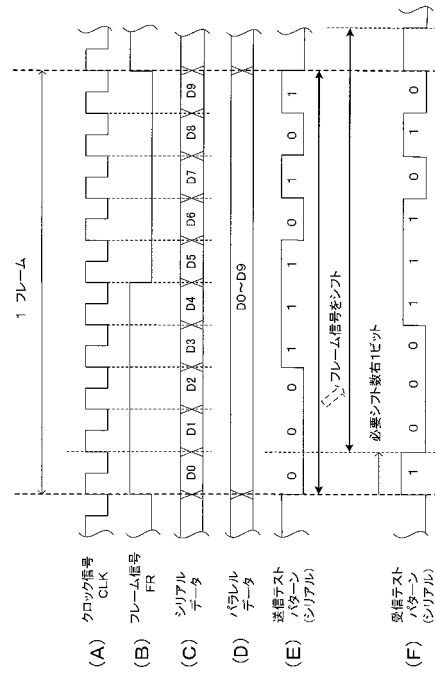
【図 2】



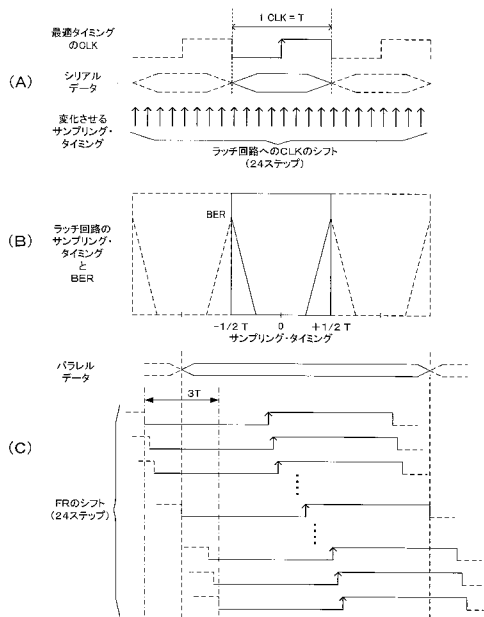
【図3】



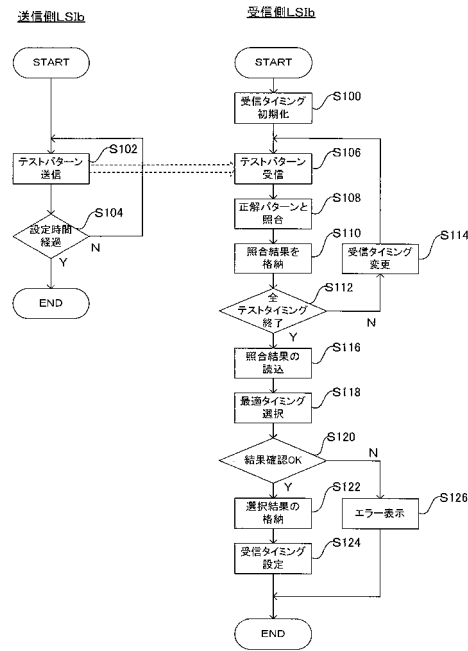
【図4】



【図5】



【図6】



受信側LSibの受信調整シーケンス S10

【図7】

テストパターン(設定)

(A) ビット列1 "0001110101"

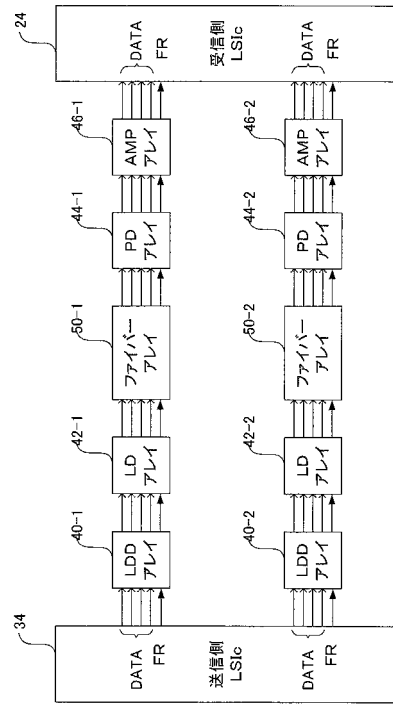
テストパターン(受信例)

(B) ビット列2 "1000111010"

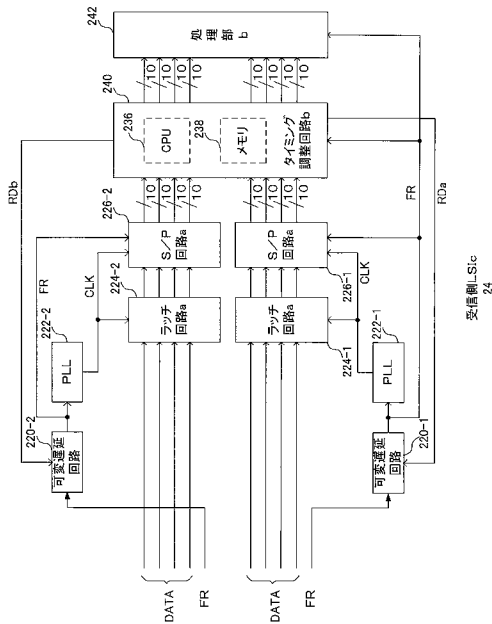
(C)

受信(送信) タイミングの変化	結果1 全ビット受信(送信)の判定	結果2 必要ソフト数	最適受信(送信) タイミング
タイミング1	NG	—	
タイミング2	NG	—	
タイミング3	OK	右1ビット	
タイミング4	OK	右1ビット	
タイミング5	OK	右1ビット	
タイミング6	OK	右1ビット	
タイミング7	OK	右1ビット	
タイミング8	NG	—	
タイミング9	NG	—	
タイミング10	NG	—	
タイミング11	OK	0	
タイミング12	OK	0	0
タイミング13	OK	0	0
タイミング14	OK	0	0
タイミング15	OK	0	0
タイミング16	NG	—	
タイミング17	NG	—	
タイミング18	NG	—	
タイミング19	OK	左1ビット	
タイミング20	OK	左1ビット	
タイミング21	OK	左1ビット	
タイミング22	OK	左1ビット	
タイミング23	OK	左1ビット	
タイミング24	NG	—	

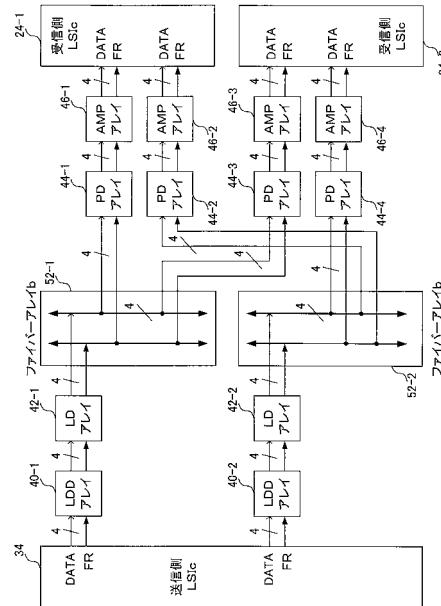
【図8】



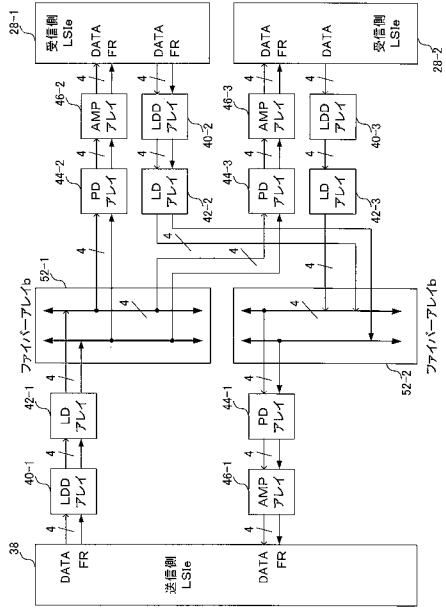
【図9】



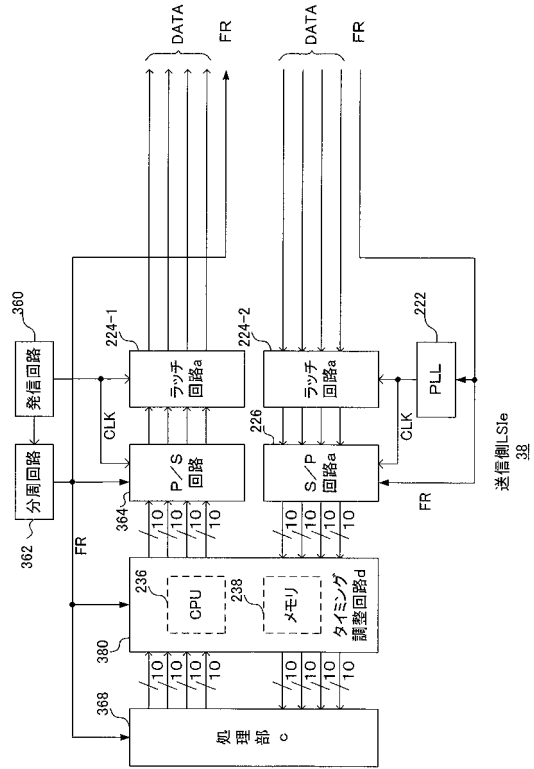
【図10】



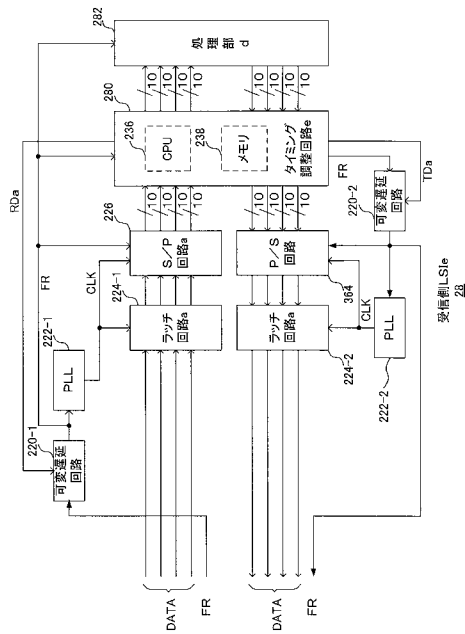
【図15】



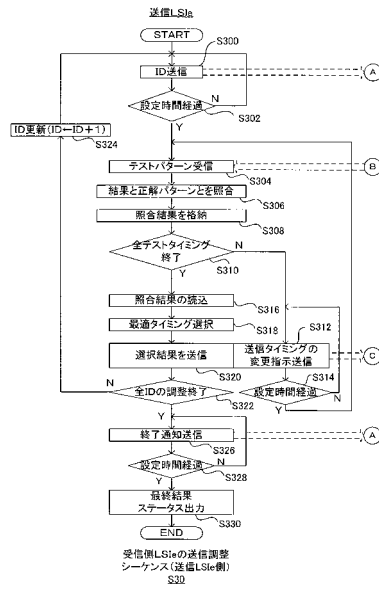
【図16】



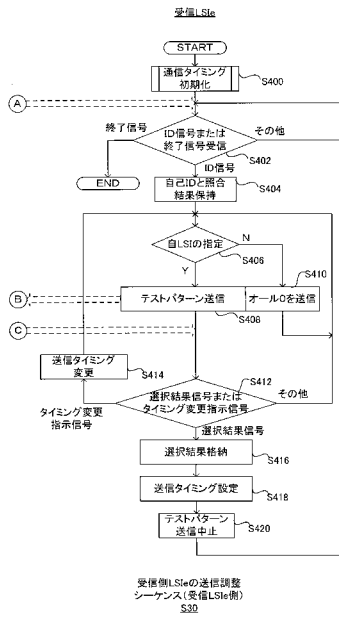
【図17】



【図18】



【図19】



フロントページの続き

- (72)発明者 浜田 勉
神奈川県足柄上郡中井町境430グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 小関 忍
神奈川県足柄上郡中井町境430グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 木島 勝
神奈川県足柄上郡中井町境430グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 三浦 昌明
神奈川県足柄上郡中井町境430グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 上村 健
神奈川県足柄上郡中井町境430グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 佐藤 嘉秀
神奈川県足柄上郡中井町境430グリーンテクなかい 富士ゼロックス株式会社内

審査官 衣鳩 文彦

- (56)参考文献 特開平10-164037(JP,A)
特開平09-284265(JP,A)
特開平11-177540(JP,A)
特開平05-110550(JP,A)
特開平11-112483(JP,A)
特開2002-330120(JP,A)
特開平05-037580(JP,A)
特開平11-341102(JP,A)
特開平06-224962(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 7/00
H04L 25/02
H04L 29/00