



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I638462 B

(45) 公告日：中華民國 107 (2018) 年 10 月 11 日

(21) 申請案號：106121616

(22) 申請日：中華民國 96 (2007) 年 07 月 18 日

(51) Int. Cl. : H01L29/786 (2006.01)

H01L27/12 (2006.01)

(30) 優先權：2006/07/21 日本

2006-199292

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：佐藤瑞季 SATO, MIZUKI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

JP 4-293018A

JP 2003-295793A

JP 2005-128574A

JP 2006-189852A

審查人員：湯欽全

申請專利範圍項數：14 項 圖式數：17 共 73 頁

(54) 名稱

顯示裝置及半導體裝置

DISPLAY DEVICE AND SEMICONDUCTOR DEVICE

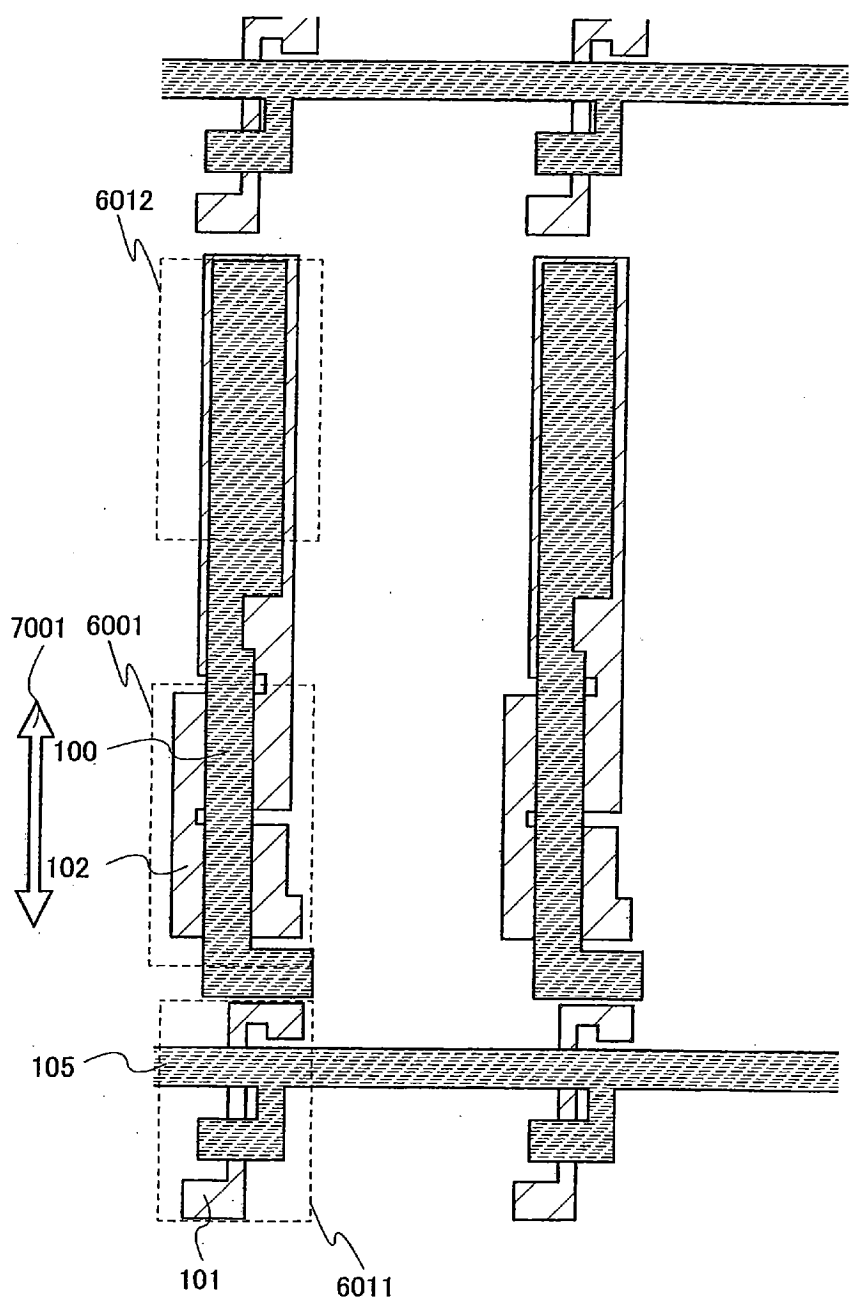
(57) 摘要

本發明的目的在於提供一種開口率高的顯示裝置或元件面積大的半導體裝置。本發明的技術要點如下：在形成在相鄰的像素電極(或元件的電極)之間的佈線下方形成具有多閘結構的 TFT 的溝道形成區域。另外，將多個溝道形成區域的溝道寬度的方向設定為與在所述像素電極形狀中的縱向方向平行。另外，通過使溝道寬度的長度大於溝道長度的長度，來擴大溝道形成區域的面積。

An object is to provide a display device with a high aperture ratio or a semiconductor device in which the area of an element is large. A channel formation region of a TFT with a multi-gate structure is provided under a wiring that is provided between adjacent pixel electrodes (or electrodes of an element). In addition, a channel width direction of each of a plurality of channel formation regions is parallel to a longitudinal direction of the pixel electrode. In addition, when a channel width is longer than a channel length, the area of the channel formation region can be increased.

指定代表圖：

圖 2



符號簡單說明：

- 100 . . . 閘電極
- 101 . . . 第一半導體層
- 102 . . . 第二半導體層
- 105 . . . 閘佈線
- 6001 . . . 虛線部
- 6011 . . . 虛線部
- 6012 . . . 虛線部
- 7001 . . . 箭頭形符號

此外，多閘結構是在一個 TFT 中設置多個溝道形成區域的結構。與此相反，單閘結構是在一個 TFT 中設置一個溝道形成區域的結構。

本發明的顯示裝置包括：設在相鄰的像素電極之間的佈線、以及薄膜電晶體，其中所述薄膜電晶體的溝道形成區域設在所述佈線的下方，所述溝道形成區域設在與所述佈線重疊的位置，並且所述溝道形成區域的溝道寬度的方向與在所述佈線中流過電流的方向平行。

本發明的顯示裝置包括：設在相鄰的像素電極之間的佈線、以及具有多個溝道形成區域的薄膜電晶體，其中所述多個溝道形成區域設在所述佈線的下方，所述多個溝道形成區域設在與所述佈線重疊的位置，並且所述多個溝道形成區域的溝道寬度的方向與在所述佈線中流過電流的方向平行。

本發明的顯示裝置包括：設在相鄰的像素電極之間的佈線、以及薄膜電晶體，其中所述薄膜電晶體的溝道形成區域設在所述佈線的下方，所述溝道形成區域設在與所述佈線重疊的位置，並且所述溝道形成區域的溝道寬度的方向與所述佈線的形狀的縱向方向平行。

本發明的顯示裝置包括：設在相鄰的像素電極之間的佈線、以及具有多個溝道形成區域的薄膜電晶體，其中所述多個溝道形成區域設在所述佈線的下方，所述多個溝道形成區域設在與所述佈線重疊的位置，並且所述多個溝道形成區域的溝道寬度的方向與所述佈線的形狀的縱向方向

平行。

本發明的顯示裝置包括：設在相鄰的像素電極之間的佈線、以及薄膜電晶體，其中所述薄膜電晶體的溝道形成區域設在所述佈線的下方，所述溝道形成區域設在與所述佈線重疊的位置，並且所述溝道形成區域的溝道寬度的方向與所述像素電極的形狀的縱向方向平行。

本發明的顯示裝置包括：設在相鄰的像素電極之間的佈線、以及具有多個溝道形成區域的薄膜電晶體，其中所述多個溝道形成區域設在所述佈線的下方，所述多個溝道形成區域設在與所述佈線重疊的位置，並且所述多個溝道形成區域的溝道寬度的方向與所述像素電極的形狀的縱向方向平行。

在本發明的顯示裝置中，所述薄膜電晶體在線性區工作。

以電晶體的閘極與源極之間的電壓為 V_{gs} ，以電晶體的源極與汲極之間的電壓為 V_{ds} ，並以電晶體的臨限電壓為 V_{th} 。在此情況下，線性區指的是 $|V_{gs}-V_{th}|>|V_{ds}|$ 的關係式成立的範圍。

即，所述薄膜電晶體以閘極與源極之間的電壓（ V_{gs} ）比源極與汲極之間的電壓（ V_{ds} ）大臨限電壓（ V_{th} ）以上的範圍工作。

在本發明的顯示裝置中，所述溝道形成區域的溝道寬度的長度大於所述溝道形成區域的溝道長度的長度。

在本發明的顯示裝置中，使所述溝道形成區域彼此連

接的雜質區域的形狀的縱向方向與溝道寬度的方向平行。

在本發明的顯示裝置中，所述溝道形成區域是非晶半導體或多晶半導體。

在本發明的顯示裝置中，所述溝道形成區域是單晶。

在本發明的顯示裝置中，所述薄膜電晶體具有島狀半導體層、閘絕緣膜、以及閘電極，其中所述島狀半導體層具有所述多個溝道形成區域、多個雜質區域，並且在所述多個溝道形成區域上隔著閘絕緣膜形成有閘電極。

在本發明的顯示裝置中，所述佈線隔著層間絕緣膜形成在所述閘電極上。

在本發明的顯示裝置中，形成有第一電容和第二電容，該第一電容由所述島狀半導體層、在所述島狀半導體層上的所述閘絕緣膜、及在所述閘絕緣膜上的所述閘電極構成；所述第二電容由所述閘電極、在所述閘電極上的層間絕緣膜、及在所述層間絕緣膜上的所述佈線構成。

在本發明的顯示裝置中，所述閘電極的形狀的縱向方向是所述溝道寬度的方向。

在本發明的顯示裝置中，所述佈線形成在覆蓋所述像素電極的端部地形成的隔離壁（絕緣物）的下方。

在本發明的顯示裝置中，所述薄膜電晶體的源極端子（區域）及汲極端子（區域）之一方連接到所述相鄰的像素電極之一方。

在本發明的顯示裝置中，所述薄膜電晶體的源極端子（區域）及汲極端子（區域）之另一方連接到所述佈線。

本發明的半導體裝置包括：設在相鄰的電極之間的佈線、以及薄膜電晶體，其中所述薄膜電晶體的溝道形成區域設在所述佈線的下方，所述溝道形成區域設在與所述佈線重疊的位置，並且所述溝道形成區域的溝道寬度的方向與在所述佈線中流過電流的方向（或者所述佈線的形狀的縱向方向）平行。

本發明的半導體裝置包括：設在相鄰的電極之間的佈線、以及薄膜電晶體，其中所述薄膜電晶體的溝道形成區域設在所述佈線的下方，所述溝道形成區域設在與所述佈線重疊的位置，並且所述溝道形成區域的溝道寬度的方向與所述電極的形狀的縱向方向平行。

本發明的半導體裝置包括：設在相鄰的元件之間的佈線、以及薄膜電晶體，其中所述薄膜電晶體的溝道形成區域設在所述佈線的下方，所述溝道形成區域設在與所述佈線重疊的位置，並且所述溝道形成區域的溝道寬度的方向與在所述佈線中流過電流的方向（或者所述佈線的形狀的縱向方向）平行。

本發明的半導體裝置包括：設在相鄰的元件之間的佈線、以及薄膜電晶體，其中所述薄膜電晶體的溝道形成區域設在所述佈線的下方，所述溝道形成區域設在與所述佈線重疊的位置，並且所述溝道形成區域的溝道寬度的方向與所述元件的形狀的縱向方向平行。

在本發明的半導體裝置中，所述溝道形成區域的溝道寬度的長度大於所述溝道形成區域的溝道長度的長度。

根據本發明，可以實現開口率高的顯示裝置（或者，元件的面積大的半導體裝置）。

此外，不需要爲了提高開口率而使像素電極（或者元件的電極）的形狀複雜。

再者，通過提高開口率，對元件的電流密度降低，因此可以提高元件的使用壽命。

【圖式簡單說明】

圖 1 爲雙閘結構的佈置圖 1；

圖 2 爲雙閘結構的佈置圖 2；

圖 3 爲像素的電路圖；

圖 4A 至 4D 爲 TFT 的製造過程圖（俯視圖）；

圖 5 爲像素電極以及佈線的圖（佈線形狀：直線）；

圖 6 爲像素電極以及佈線的圖（佈線形狀：鋸齒形）；

圖 7 爲像素電極以及佈線的圖（佈線形狀：彎曲形）；

圖 8 爲單閘結構的佈置圖 1；

圖 9 爲單閘結構的佈置圖 2；

圖 10 爲三閘結構的佈置圖 1；

圖 11 爲三閘結構的佈置圖 2；

圖 12A 至 12C 爲無機 EL 元件的截面圖 1；

圖 13A 至 13C 爲無機 EL 元件的截面圖 2；

圖 14A 和 14B 爲顯示裝置的俯視圖以及截面圖；

圖 15A 和 15B 為 DRAM 的電路圖；

圖 16 為 DRAM 的佈置圖；

圖 17A 至 17F 為電子設備的例子。

【實施方式】

下面，基於附圖說明本發明的實施方式。但是，本發明可能通過多種不同的方式來實施，所屬領域的普通人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種各樣的形式，而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在實施方式所記載的內容中。

注意，下面的實施方式 1 至 11 可以適當地組合。

實施方式 1

在本實施方式中，對本發明的顯示裝置的像素結構和佈置圖進行說明。注意，在此對由兩個 TFT 構成的像素進行說明。

首先，將參照圖 3 對本發明的顯示裝置的像素結構進行說明。像素具有連接到像素電極的 TFT（驅動用 TFT 301）、電容 300、開關用 TFT 302、顯示元件 303、掃描線 305、信號線 304、電源供給線 306。注意，驅動用 TFT 301 和開關用 TFT 302 為具有兩個溝道形成區域的雙閘結構。

注意，驅動用 TFT 301 可以為單閘結構，也可以為具

有三個以上的溝道形成區域的多閘結構。

開關用 TFT 302 的源極端子及汲極端子之一方連接到信號線 304。

開關用 TFT 302 的閘端子連接到掃描線 305。

開關用 TFT 302 的源極端子及汲極端子之另一方電連接到驅動用 TFT 301 的閘端子以及電容的電極之一方。

驅動用 TFT 301 的源極端子及汲極端子之一方連接到電源供給線 306。

驅動用 TFT 301 的源極端子及汲極端子之另一方連接到顯示元件 303。

驅動用 TFT 301 的閘端子連接到電容的電極之一方以及開關用 TFT 302 的源極端子及汲極端子之另一方。

電容 300 的另一方端子電連接到電源供給線 306。

電容 300 的一方端子電連接到驅動用 TFT 301 的閘端子以及開關用 TFT 302 的源極端子及汲極端子之另一方。

其次，將參照圖 1 和圖 2 對像素部的佈置圖進行說明。圖 2 為對應於圖 1 的俯視圖，並且為形成了第一半導體層 101、第二半導體層 102、閘佈線 105、閘電極 100 的階段的圖。

對圖 1 及圖 2 與圖 3 的對應關係進行說明。

由虛線部 6001 圍繞的部分對應於驅動用 TFT 301。

由虛線部 6011 圍繞的部分對應於開關用 TFT 302。

由虛線部 6012 圍繞的部分對應於電容 300。

像素電極 107 對應於顯示元件 303 的像素電極。

信號線 104 對應於信號線 304。

電源供給線 106 對應於電源供給線 306。

在圖 1 中，第一半導體層 101 為開關用 TFT 的島狀半導體層。與閘佈線 105 重疊的區域為溝道形成區域，連接到信號線 104 的區域為源極端子（或者汲極端子），而通過接觸孔連接到連接電極 103 的區域為汲極端子（或者源極端子）。注意，開關用 TFT 為具有兩個溝道形成區域的雙閘結構。

注意，開關用 TFT 可以為單閘結構，也可以為具有三個以上的溝道形成區域的多閘結構。

此外，第二半導體層 102 為驅動顯示元件的驅動用 TFT 301 的島狀半導體層。再者，與閘電極 100 重疊的區域為溝道形成區域。驅動用 TFT 301 的閘電極通過接觸孔連接到連接電極 103。驅動用 TFT 301 的源極端子（或者汲極端子）通過接觸孔連接到電源供給線 106。驅動用 TFT 301 的汲極端子（或者源極端子）通過接觸孔連接到連接電極 108。此外，與該連接電極 108 接觸地形成像素電極 107。

此外，在第二半導體層 102 中，在隔著閘絕緣膜重疊於閘電極 100 的溝道形成區域的上方設置電源供給線 106。形成在所述閘電極 100 和電源供給線 106 之間的電容可以用作顯示元件的存儲電容。

在閘電極 100 和電源供給線 106 之間夾有層間絕緣膜。

此外，閘電極 100 為電容的電極之一方，並且在電源供給線中與閘電極重疊的部分為電容的電極之另一方。

此外，為了防止顯示元件的電極的短路，由隔離壁（絕緣物）覆蓋發光區域以外的區域。設在相鄰的左右像素之間的隔離壁的寬度為例如大約 $20\ \mu\text{m}$ 至 $25\ \mu\text{m}$ 。在本實施方式中，在寬度為 $20\ \mu\text{m}$ 的隔離壁的下面（即，在相鄰的像素電極之間）設置信號線 104 和電源供給線 106。

注意，在本實施方式中，使電源供給線 106 的縱向方向與像素電極的形狀的縱向方向（像素電極的縱向方向）平行。再者，在電源供給線 106 的下方重疊地設置驅動用 TFT。並且，使溝道寬度的方向與該縱向方向平行。

但是，本發明不一定需要與像素電極的形狀的縱向方向平行地設置電源供給線 106 且將驅動用 TFT 301 設在電源供給線 106 的下方。

因此，當將信號線 104 設置為與像素電極的形狀的縱向方向平行時，可以在信號線 104 的下方重疊地設置驅動用 TFT 301。

此外，當像素電極的形狀為如正方形、大致正方形（例如，在正方形的角部缺角的形狀；正方形的角部為圓形的形狀等，該形狀不需要所有的角部都為圓形，也可以僅僅一部分的角部為圓形。）、圓形等的沒有縱向方向的形狀時，在電源供給線 106 及信號線 104 中的任何一個的下方設置驅動用 TFT 301 也沒有問題。

注意，作為像素電極的形狀可以採用各種各樣的形狀如長方形、大致長方形（例如，在長方形的角部缺角的形狀；長方形的角部為圓形的形狀等，該形狀不需要所有的角部都為圓形，也可以僅僅一部分的角部為圓形。）、橢圓形、多角形、大致多角形（例如，在多角形的角部缺角的形狀；多角形的角部為圓形的形狀，該形狀不需要所有的角部都為圓形，也可以僅僅一部分的角部為圓形。）等。注意，像素電極的形狀不限於這些例示的形狀。注意，當像素電極的形狀為長方形或者大致長方形時，容易將佈線設置為格子狀，因而容易設計佈置，因此是優選的。

此外，像素電極的尺寸也可以根據每個像素而不同。再者，像素電極的形狀也可以根據每個像素而不同。

此外，當所需要的溝道寬度的長度短於像素電極的形狀的短邊方向的長度時，也可以在與該短邊方向平行地設置的佈線的下方重疊地設置驅動用 TFT 301。

此外，電源供給線 106 的一部分可以設在像素電極的上方或者下方。當採用這種佈置時，與電源供給線 106 的一部分重疊地設置驅動用 TFT 301 的閘電極。

注意，使驅動用 TFT 301 的溝道寬度的方向與在佈線的形狀中的縱向方向（佈線的縱向方向）平行。這是因為可以增加溝道寬度的長度的緣故。此外，因為佈線設在相鄰的像素電極之間，所以通過使佈線的形狀的縱向方向（佈線的縱向方向）與像素電極的縱向方向或者短邊方向

平行，可以提高開口率。

注意，因為通常在佈線的縱向方向上流過電流，所以可以說溝道寬度的方向與在溝道形成區域的上方設置的佈線中流過電流的方向平行。

此外，在本實施方式中，有在線性區工作的情況。當溝道長度為 L ，溝道寬度為 W 時，驅動用 TFT 為 $L < W$ 的雙閘結構。在此，驅動用 TFT 為 $L = 7 \mu\text{m}$ 、 $W = 20 \mu\text{m}$ 的雙閘結構。當進行像素的佈置圖時，通過在寬度為 $20 \mu\text{m}$ 的隔離壁的下面設置佈線並在佈線的下面設置驅動用 TFT，即使驅動用 TFT 的尺寸變大也可以提高開口率。

在本實施方式中，相對於閘電極 100 折彎為“U”形地對半導體層進行構圖（在圖 1 及圖 2 中的虛線部 6001）。因此，可以使溝道寬度的方向與像素電極的形狀的縱向方向平行（在圖 1 及圖 2 中的箭頭形符號 7001）。

注意，優選將使溝道形成區域彼此連接的雜質區域的形狀的縱向方向設定為與溝道寬度的方向平行的方向。這是因為如下緣故：在像素電極之間的狹小的空間（相鄰的像素電極之間的空間）中可以設置盡可能大尺寸的 TFT，因此可以期待提高開口率。再者，在所述雜質區域中，因為在該雜質區域的形狀中的縱向方向流過電流，所以可以提高該雜質區域的電阻值。從而，可以降低截止電流。

注意，在本發明中，當溝道寬度的方向與像素電極的縱向方向垂直時，可以將溝道寬度增加到該縱向方向的長

度。因此，TFT 的島狀半導體層的形狀不限於如本實施方式的“U”形。

注意，電容 300 可以由第二半導體層 102、閘電極 100、形成在第二半導體層 102 與閘電極 100 之間的閘絕緣膜（第一存儲電容）、以及閘電極 100、電源供給線 106、形成在閘電極 100 與電源供給線 106 之間的層間絕緣膜（第二存儲電容）形成。

在此情況下，在虛線部 6012 中，由閘電極 100、第二半導體層 102、及形成在閘電極 100 和第二半導體層 102 之間的閘絕緣膜形成存儲電容。因此，通過增加虛線部 6012 中的閘電極的面積，也可以增大存儲電容的尺寸。

通過採用上述結構，可以在像素電極之間的狹小的空間（相鄰的像素電極之間的空間）中設置盡可能大尺寸的 TFT（特別是溝道寬度大的 TFT）。因此可以提高開口率。

注意，因為 TFT 的尺寸非常小，所以有如下問題；由於閘絕緣膜的膜厚或膜質的不均勻，或者當進行離子摻雜處理時的注入劑量的不均勻等，電特性也會容易不均勻。

特別是當使用非晶矽、微晶矽、或者多晶矽作為 TFT 的半導體時，由半導體的結晶性導致 TFT 特性（例如導通電流、截止電流、臨限電壓、遷移率等）的不均勻。特別是當連接到像素的 TFT 的特性不均勻時，有如下問

題：提供給像素的電流（或者電壓）不均勻，因此顯示裝置的可見度退化。

為了解決上述問題，有採用多閘結構的方法。但是多閘結構的 TFT 與單閘結構的 TFT 相比，其面積變大。因此，當採用多閘結構的 TFT 以減少 TFT 的電特性的不均勻時，開口率降低。但是，通過採用本發明的結構，可以實現減少 TFT 特性的不均勻並提高開口率。

在本實施方式中，說明了使驅動用 TFT 在線性區工作的所謂的恆壓驅動方式的一個例子。下面，對恆壓驅動方式進行說明。

有使 TFT 在飽和區工作的情況和在線性區工作的情況。以電晶體的閘極與源極之間的電壓為 V_{gs} ，以電晶體的源極與汲極之間的電壓為 V_{ds} ，並以電晶體的臨限電壓為 V_{th} 。在此情況下，飽和區指的是 $|V_{gs}-V_{th}|<|V_{ds}|$ 的關係式成立的範圍，而線性區指的是 $|V_{gs}-V_{th}|>|V_{ds}|$ 的關係式成立的範圍。

恆流驅動方式是如下方式：通過使連接到 EL 元件的像素電極的 TFT（下面稱為驅動用 TFT）在飽和區工作，在顯示元件中流過固定的電流。

恆流驅動方式可以在 EL 元件中連續流過固定的電流，所以可以減少顯示元件的退化所引起的不均勻。但是，在恆流驅動方式中，如果驅動用 TFT 退化則流過該驅動用 TFT 的電流也減少。因此，TFT 的不均勻容易影響到顯示元件的亮度不均勻。

另一方面，恆壓驅動方式是如下方式：通過使驅動用 TFT 在線性區工作，對 EL 元件施加固定的電壓。

恆壓驅動方式因為在線性區工作，所以可以使源極與汲極之間的電壓低於顯示元件的兩個電極之間的電壓。因此，可以減少驅動用 TFT 的不均勻給流過 EL 元件的電流帶來的影響。從而，TFT 的退化的不均勻不容易影響到顯示元件的亮度不均勻。

但是，在使用非晶矽、微晶矽、多晶矽等作為 TFT 的半導體層的情況下，即使使驅動用 TFT 在線性區工作，也不能無視在基底面內的結晶性不均勻的影響。

在此，為了抑制驅動用 TFT 的不均勻，優選擴大驅動用 TFT 的溝道形成區域的面積。即，優選使溝道長度和溝道寬度較大。

此外，溝道寬度越大，可以使源極與汲極之間的電壓越低。再者，溝道長度短小，可以使源極與汲極之間的電壓越低。因此，溝道寬度優選大於溝道長度。

因此，在使 TFT 在線性區工作的情況下，為了擴大驅動用 TFT 的溝道形成區域的面積，優選增加溝道寬度。

在此，通常地，通過擴大溝道形成區域的面積，顯示裝置的開口率有下降的趨勢。換言之，當謀求減少 TFT 的特性的不均勻時，開口率降低。即，一般同時實現減少 TFT 的特性的不均勻與提高開口率的雙方是非常困難的。尤其明顯的情況為如本實施方式，當擴大多閘結構的 TFT

的溝道形成區域的面積時。

但是，通過適用本實施方式的結構，可以同時實現減少 TFT 的特性的不均勻與提高開口率的雙方。

通過提高開口率，可以減少耗電並提高顯示元件的可靠性。這是因為當需要固定的亮度時若開口率高即可以以小的電流（或者電壓）獲得所需要的亮度的緣故。而且，還因為若提供給顯示元件的電流（或者電壓）小則顯示元件的退化速度也減低的緣故。

此外，顯示元件的退化速度根據每個顯示元件而不均勻。因此，當提高開口率且減低顯示元件的退化速度時，可以減少顯示元件的亮度退化的不均勻。因此，通過減少 TFT 特性的不均勻與減少由開口率提高導致的不均勻的複合效應，可以提高顯示裝置的可見度。

注意，多閘結構的 TFT 可以減少 TFT 的截止電流。因此，無論 TFT 的半導體為非單晶還是單晶，都優選採用多閘結構的 TFT。

此外，如本實施方式那樣，通過將驅動電晶體和連接到該驅動電晶體的開關電晶體設在佈線（信號線或者電源供給線）的下方，並使開關電晶體的溝道長度的方向與驅動電晶體的溝道長度的方向垂直，並且通過將驅動電晶體的溝道寬度的方向設定為在所述佈線中流過電流的方向，可以提高開口率。

實施方式 2

在本實施方式中，將參照圖 5 至 7 對“佈線形狀的縱向方向（佈線的縱向方向）”的意義具體地進行說明。

“佈線形狀的縱向方向”（溝道寬度的方向）是“與在（所上述的）溝道形成區域的上方設置的佈線中流過電流的方向平行”的。注意，當採用後述的鋸齒形或者彎曲形的佈線時，不一定在佈線中在直線方向上流過電流。在此情況下，“在佈線形狀中的縱向方向”（溝道寬度的方向）是“與在溝道形成區域的上方設置的佈線區域中流過電流的方向大致平行”的。

在此，佈線的形狀不需要一定為如圖 5 所示那樣直線。例如，可以如圖 6 那樣，像第一佈線 501、502 那樣為鋸齒形。此外，也可以如圖 7 那樣，像第一佈線 501、502 那樣為彎曲形。

注意，圖 5 至 7 為表示佈線與像素電極的佈置圖的示意圖。因此，未圖示 TFT。501 至 504 為第一佈線，601 和 602 為第二佈線，701 至 707 為像素電極。注意，第一佈線以及第二佈線之一方為源信號線，另一方為電源供給線。

鋸齒（zigzag）形指的是直線向左右折彎幾次的形狀。此外，彎曲（meander）意味著“彎曲地流動”。彎曲形指的是這樣的形狀。

如圖 5 所示，當第一佈線 501 至 504 及第二佈線 601 為直線的形狀時，“佈線形狀的縱向方向（在圖 5 中的第一箭頭形符號 8001）”與“在溝道形成區域的上方設置的第

一佈線中流過電流的方向（在圖 5 中的第一箭頭形符號 8001）”平行。

如圖 6 所示，當佈線為鋸齒形時，例如在圖 6 中的第一佈線區域 5001 的下面設置 TFT。在此情況下，“佈線形狀的縱向方向（在圖 6 中的第二箭頭形符號 8002）”與“在溝道形成區域的上方設置的佈線中流過電流的方向（在圖 6 中的第二箭頭形符號 8002）”平行。

另一方面，例如當在圖 6 的第二佈線區域 5002 的下面設置 TFT 時，“佈線形狀的縱向方向（在圖 6 中的第三箭頭形符號 8003）”與“在溝道形成區域的上方設置的佈線中流過電流的方向（在圖 6 中的第三箭頭形符號 8003）”平行。

此外，如圖 7 所示，當佈線為彎曲形時，電流也沿著佈線的形狀流過。因此，存在電流向不與在佈線形狀中的縱向方向平行的方向流過的地方。但是，電子到底向與在佈線形狀中的縱向方向平行的方向流過（在圖 7 中的第四箭頭形符號 8004）。因此，當採用這樣的佈線形狀時，將溝道寬度的方向設定為“與在溝道形成區域的上方設置的佈線區域中流過電流的方向大致平行”或者“與佈線形狀的縱向方向平行”。

通過採用上述結構，可以將佈線設在像素電極之間的狹小的空間（相鄰的像素電極之間的空間）。並且，可以在該佈線的下方設置盡可能大尺寸的 TFT（尤其是溝道寬度為大尺寸的 TFT）。因此，可以提高開口率。

實施方式 3

在本實施方式中，示出本發明的驅動電晶體的佈置圖的其他方式。注意，本發明不限於在本實施方式中示出的佈置圖。

圖 8 為單閘結構的佈置圖。第一半導體層 101 為開關用 TFT 的島狀半導體層。與閘佈線 105 重疊的區域為溝道形成區域，通過接觸孔連接到信號線 104 的區域為源極端子（或者汲極端子），並且連接到連接電極 103 的區域為汲極端子（或者源極端子）。

此外，第二半導體層 102 為驅動顯示元件的驅動用 TFT 301 的島狀半導體層。與閘電極 100 重疊的區域為溝道形成區域。驅動用 TFT 301 的閘電極通過接觸孔連接到連接電極 103。驅動用 TFT 301 的源極端子（或者汲極端子）與電源供給線 106 連接。驅動用 TFT 301 的汲極端子（或者源極端子）通過接觸孔連接到連接電極 108。此外，與該連接電極 108 接觸地形成像素電極 107。

圖 8 與圖 3 的對應關係如下面。

由虛線部 6002 圍繞的部分對應於驅動用 TFT 301。

由虛線部 6021 圍繞的部分對應於開關用 TFT 302。

由虛線部 6022 圍繞的部分對應於電容 300。

像素電極 107 對應於顯示元件 303 的像素電極。

信號線 104 對應於信號線 304。

電源供給線 106 對應於電源供給線 306。

圖 9 為對應於圖 8 的俯視圖，是形成了第一半導體層 101、第二半導體層 102、閘佈線 105、閘電極 100 的階段的圖。

半導體層的雜質區域與像素電極的縱向方向（或者，在佈線中流過電流的方向或在佈線形狀中的縱向方向）平行地進行構圖（在圖 8 和 9 中的虛線部 6002）。因此，可以與在像素電極形狀中的縱向方向平行地設定溝道寬度的方向（在圖 8 和 9 中的箭頭形符號 7002）。

圖 10 為三閘結構的佈置圖。第一半導體層 101 為開關用 TFT 的島狀半導體層。與閘佈線 105 重疊的區域為溝道形成區域，連接到信號線 104 的區域為源極端子（或者汲極端子），並且通過接觸孔連接到連接電極 103 的區域為汲極端子（或者源極端子）。

此外，第二半導體層 102 為驅動顯示元件的驅動用 TFT 301 的島狀半導體層。再者，與閘電極 100 重疊的區域為溝道形成區域。驅動用 TFT 301 的閘電極連接到連接電極 103。驅動用 TFT 301 的源極端子（或者汲極端子）通過接觸孔連接到電源供給線 106。驅動用 TFT 301 的汲極端子（或者源極端子）通過接觸孔連接到連接電極 108。此外，與該連接電極 108 接觸地形成像素電極 107。

圖 10 與圖 3 的對應關係如下面。

由虛線部 6003 圍繞的部分對應於驅動用 TFT 301。

由虛線部 6031 圍繞的部分對應於開關用 TFT 302。

由虛線部 6032 圍繞的部分對應於電容 300。

像素電極 107 對應於顯示元件 303 的像素電極。

信號線 104 對應於信號線 304。

電源供給線 106 對應於電源供給線 306。

圖 11 為對應於圖 10 的俯視圖，是形成了第一半導體層 101、第二半導體層 102、閘佈線 105、閘電極 100 的階段的圖。

半導體層的雜質區域與像素電極的縱向方向（或者，在佈線中流過電流的方向或在佈線形狀中的縱向方向）平行地（例如為“S”型）進行構圖（在圖 10 和 11 中的虛線部 6003）。因此，可以與在像素電極形狀中的縱向方向平行地設定溝道寬度的方向（在圖 10 和 11 中的箭頭形符號 7003）。

在本實施方式中，說明了具有一個或三個溝道形成區域的 TFT 的佈置圖。此外，在實施方式 1 中，說明了具有兩個溝道形成區域的 TFT 的佈置圖。但是，本發明的結構不局限於這些實施方式的結構，也可以適用於具有四個以上的溝道形成區域的 TFT。

實施方式 4

本發明不局限於由兩個 TFT 構成的像素。當採用具有 $L < W$ 的雙閘結構的驅動用 TFT 的像素結構時，可以適當地使用本發明以提高開口率並實現簡單的開口部形狀，而且配置為使溝道寬度的長度為大。

實施方式 5

在本實施方式中，對顯示裝置的製造步驟進行說明。注意，僅對像素部進行說明。但是，在驅動電路部中，製造步驟不局限於此，在此省略其說明。

如圖 4A 所示，在由鋇硼矽酸鹽玻璃、或鋁硼矽酸鹽玻璃等的玻璃構成的基底上，形成由氧化矽膜、氮化矽膜、或者氧氮化矽膜構成的基底膜。然後，將通過雷射晶化法或已知的熱晶化法使具有非晶結構的半導體膜結晶化了的結晶半導體膜構圖為所希望的形狀，以獲得島狀半導體層 4101、4102。注意，基底膜以及半導體膜可以通過已知的成膜法（例如，CVD 法、PVD 法等）來形成。

注意，在此，通過使半導體膜結晶化來使用多晶矽膜。但是，本發明可以使用非晶矽或微晶矽。此外，也可以使用單晶矽。

當使用單晶矽時，使用在基底上設置有薄單晶矽層的 SOI 基底（絕緣體上矽基底）等即可。

在此，通過對在島狀半導體層 4101 中的成爲第一電容部分的第一區域添加雜質，可以將第一區域用作第一電容的第一電極。在此，通過離子摻雜法注入賦予 p 型導電性的硼。也可以注入賦予 n 型導電性的雜質。作爲賦予 n 型導電性的雜質，有磷、砷等。注意，對添加雜質可以利用已知的方法（例如，離子摻雜法、離子淋浴法等）。

其次，形成覆蓋島狀半導體層 4101、4102 的閘絕緣

膜。然後，採用選自 Ta、W、Ti、Mo、Al、Cu 等的元素或以這些元素為主要成分的合金材料或者化合物材料來形成用於形成閘電極的導電膜。然後，將它構圖為所希望的形狀，以獲得閘電極 4103、4104（4104 兼用作掃描線）（參照圖 4B）。

其次，通過對在島狀半導體層 4101、4102 中的雜質區域添加雜質，形成源區域、汲區域、溝道形成區域。在此，通過離子摻雜法注入賦予 p 型導電性的硼，以形成 p 溝道型電晶體。在形成 n 溝道電晶體的情況下，也可以注入賦予 n 型導電性的雜質。作為賦予 n 型導電性的雜質，有磷、砷等。注意，對添加雜質可以利用已知的方法（例如，離子摻雜法、離子淋浴法等）。此外，可以在與溝道形成區域接觸的部分形成 LDD 區域。

其次，進行退火來使所添加的雜質活化。作為退火的方法，可以使用爐退火、雷射退火等的已知的技術。注意，退火之前，為了保護閘絕緣膜，也可以通過已知的方法（例如 CVD 法、PVD 法等）形成鈍化膜（例如氧化矽等）。

其次，形成層間絕緣膜。層間絕緣膜可以為有機絕緣膜也可以為無機絕緣膜。作為有機絕緣膜，有丙烯酸、聚醯亞胺、矽氧烷等。作為有機絕緣膜的形成方法可以使用已知的方法（旋塗法、浸漬法等）。此外，作為無機絕緣膜，有氧化矽、氮化矽等。也可以使用已知的方法（例如 CVD 法、PVD 法等）而形成。注意，通過使用氮化矽等

的相對介電常數高的材料，可以增加電容。而當使用有機絕緣膜時，可以實現平坦化。

注意，層間絕緣膜可以通過已知的技術（例如 CMP 法）進行平坦化處理。

其次，如圖 4C 所示，形成達到島狀半導體層 4101、4102、閘電極 4103、4104 的接觸孔 4105，並且形成佈線 4106、4107、4108（4106 成爲源信號線，4107 成爲電源供給線）及電極 4110。

其次，如圖 4D 所示，形成像素電極 4109。作爲像素電極的材料，典型爲氧化銦錫（其通稱爲 ITO）等。關於像素電極 4109，在形成由所述材料構成的膜之後，進行構圖來獲得所希望的形狀。在此，電極 4110 與像素電極 4109 通過接觸孔 4105 接觸。

其次，在相鄰的像素之間形成隔離壁，並進行構圖來使成爲發光區域的部分開口。然後，在開口部分形成 EL 層。

在本實施方式中，說明了頂閘型 TFT 的製造方法。但是，本發明可以適用於底閘型 TFT。

實施方式 6

在本實施方式中，將參照圖 14A 和 14B 對發光顯示面板的外觀的一個例子進行說明。圖 14A 爲由第一密封材料 1205 以及第二密封材料 1206 將第一基底與第二基底之間密封了的面板的俯視圖，圖 14B 相當於分別沿圖 14A

中的線 A-A'、B-B'的截面圖。

圖 14A 示出由虛線所示的像素部 1202、監視器元件部 1230、掃描線驅動電路 1203（閘極線驅動電路）。在本實施方式中，像素部 1202、以及掃描線驅動電路 1203 位於被第一密封材料及第二密封材料密封的區域中。此外，1201 為信號線（源極線）驅動電路，並且在第一基底 1200 上設置有信號線驅動電路。作為第一密封材料優選使用含填料的黏性高的環氧類樹脂。另外，作為第二密封材料優選使用黏性低的環氧類樹脂。另外，第一密封材料 1205 及第二密封材料 1206 優選為盡可能不透過水分或氧的材料。

另外，也可以在像素部 1202 與第一密封材料 1205 之間設置乾燥劑。另外，在像素部中，也可以在掃描線或信號線上設置乾燥劑。作為乾燥劑，優選使用通過化學吸附來吸水（ H_2O ）的物質如氧化鈣（ CaO ）、氧化鋇（ BaO ）等堿土類金屬的氧化物。但不局限於此，也可用通過物理吸附來吸水的物質如沸石、矽膠等。

另外，可以使用含有乾燥劑的粒狀物質的高透濕性樹脂作為層間絕緣膜，並使用密封材料固定層間絕緣膜和第二基底 1204。或者，也可用 PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等的無機物代替高透濕性樹脂。

此外，也可以在與掃描線重疊的區域設置乾燥劑。再者，也可以使用含有乾燥劑的粒狀物質的高透濕性樹脂作為層間絕緣膜，並使用密封材料固定層間絕緣膜和第二基

底 1204。通過設置如上所述的乾燥劑，可以抑制對顯示元件的水分侵入及因此引起的退化而不降低開口率。因此，可以抑制像素部 1202 的周邊部與中央部的顯示元件的退化不均勻。

注意，連接佈線 1210 為用於傳送輸入到信號線驅動電路 1201 及掃描線驅動電路 1203 的信號的連接佈線，並通過連接佈線 1208 從成為外部輸入端子的 FPC 1209（柔性印刷電路）接收視頻信號和時鐘信號。

其次，將參照圖 14B 說明截面結構。在第一基底 1200 上形成有驅動電路及像素部，且具有多個以 TFT 為代表的半導體元件。圖 14B 示出了作為驅動電路的信號線驅動電路 1201 和像素部 1202。此外，在信號線驅動電路 1201 中形成有組合 n 溝道型 TFT 1221 和 p 溝道型 TFT 1222 而成的 CMOS 電路。

在本實施方式中，在同一基底上形成有掃描線驅動電路及像素部的 TFT。因此，可以縮小發光顯示裝置的容積。

另外，像素部 1202 由多個像素構成。該多個像素包括開關 TFT 1211、驅動 TFT 1212、以及電連接到其源極及汲極之另一方並由具有反射性的導電膜構成的第一像素電極（陽極）1213。

另外，在第一像素電極（陽極）1213 的兩端形成有絕緣物 1214（稱為堤岸、隔離壁、阻擋壁、堤壩等）。將具有曲率半徑的曲面形成在絕緣物 1214 的上端部或下

端部，以提高形成在絕緣物 1214 上的膜的覆蓋度（coverage）。另外，也可用由氮化鋁膜、氮氧化鋁膜、以碳為主要成分的薄膜或氮化矽膜構成的保護膜覆蓋絕緣物 1214 的表面。再者，通過使用黑色顏料、色素等的吸收可見光的材料被溶解或分散而成的有機材料作為絕緣物 1214，可以吸收來自後來形成的顯示元件的雜散光。其結果，可以提高各像素的對比度。在本發明中，在該絕緣物的下方設置掃描線、信號線、以及 TFT。此外，在掃描線或信號線的下方設置 TFT。當在掃描線的下方設置 TFT 時，使掃描線形狀的縱向方向（或者流過電流的方向）與 TFT 的溝道寬度的方向平行。當在信號線的下方設置 TFT 時，使信號線形狀的縱向方向（或者流過電流的方向）與 TFT 的溝道寬度的方向平行。

另外，在第一像素電極（陽極）1213 上，通過進行有機化合物材料的蒸鍍，選擇性地形成場致發光層 1215。再者，在場致發光層 1215 上形成第二像素電極（陰極）1216。

這樣，形成了包括第一像素電極（陽極）1213、場致發光層 1215、以及第二像素電極（陰極）1216 的顯示元件 1217。顯示元件 1217 向第二基底 1204 側發光。

另外，形成保護疊層 1218，以便密封顯示元件 1217。保護疊層 1218 由第一無機絕緣膜、應力緩和膜、以及第二無機絕緣膜的疊層構成。其次，用第一密封材料 1205 及第二密封材料 1206 黏接保護疊層 1218 和第二基

底 1204。此外，優選使用滴下密封材料的裝置滴下第二密封材料。可以在從分配器滴下或噴射密封材料來將密封材料形成在有源矩陣基底上之後，在真空中貼合第二基底和有源矩陣基底，並進行紫外線固化來密封。

此外，在第二基底 1204 表面上設置用於防止在基底表面上反射外光的反射防止膜 1226。另外，也可在第二基底和反射防止膜之間設置偏振片及相位差板中的任一或雙方。通過設置相位差板或偏振片，可以防止外部光線在像素電極上反射。此外，若使用具有透光性的導電膜或具有半透光性的導電膜形成第一像素電極 1213 及第二像素電極 1216，並且使用吸收可見光的材料、或者吸收可見光的材料被溶解或分散而成的有機材料形成層間絕緣膜，則也可不用相位差板及偏振片，因為各像素電極不反射外光。

連接佈線 1208 和 FPC 1209 被各向異性導電膜或各向異性導電樹脂 1227 電連接。再者，優選用密封樹脂密封各佈線層和連接端子的連接部。根據所述結構，可以防止來自截面部的水分侵入顯示元件而引起退化。

此外，也可以使用惰性氣體如氮氣代替第二密封材料 1206 來填充第二基底 1204 和保護疊層 1218 之間的空間，以防止退化。

另外，可以在第二基底和偏振片之間設置著色層。這時，通過在像素部設置可發白光的顯示元件，且分別設置呈現 RGB 的著色層，可進行全彩色顯示。或者，通過在

像素部設置可發藍光的顯示元件，且分別設置顏色轉換層等，可進行全彩色顯示。再者，還可在各像素部形成發紅、綠、藍色光的顯示元件，且用著色層。在這樣的顯示模組中，各 RGB 的色純度高，並可顯示高解析度影像。

另外，也可對第一基底 1200 和第二基底 1204 的單方或雙方使用膜或樹脂等的基底，以形成發光顯示模組。這樣，當使用膜或樹脂等的基底時，可以提高顯示器件的輕量化、小型化、以及薄膜化。

再者，也可在成爲外部輸入端子的 FPC 1209（柔性印刷電路）表面或端部設置控制器、記憶體、像素驅動電路之類的 IC 晶片，來形成發光顯示模組。

實施方式 7

發光元件指的是具有由陽極和陰極夾住當產生電場時發射光的有機化合物層的結構的元件（OLED 元件）。然而，不限於此。

另外，發光元件指的是利用當單激子回到基態時發射的光（螢光）的元件，以及利用當三重激子回到基態時發射的光（磷光）的元件。

作爲有機化合物層，可以給出電洞注入層，電洞傳輸層，發光層，電子傳輸層，電子注入層等。發光元件的基本結構是陽極、發光層與陰極按此順序疊在一起。除此之外，還可以將陽極、電洞注入層、發光層、電子注入層與陰極按此順序疊在一起，或將陽極、電洞注入層、電洞傳

輸層、發光層、電子傳輸層、電子注入層和陰極按此順序疊在一起，等等。

注意，有機化合物層並不限於很清楚地區分為電洞注入層、電洞傳輸層、發光層、電子傳輸層、電子注入層等的疊層結構。就是說，有機化合物層也可以是具有混合了形成電洞注入層、電洞傳輸層、發光層、電子傳輸層、電子注入層等的材料的層的結構。

此外，還可以混合無機物。

作為 OLED 元件的有機化合物層，可以使用低分子材料、高分子材料和中分子材料中的任一材料。

注意，在本說明書中，中分子材料是如下材料：分子鏈長度是 $10 \mu\text{m}$ 以下，並不具有昇華性。

實施方式 8

將參照圖 12A 至 12C 以及圖 13A 至 13C 對可適用於本發明的顯示元件的其他結構進行說明。

利用電致發光的發光元件（顯示元件）根據其發光材料是有機化合物還是無機化合物而區別，前者一般稱為有機 EL 元件，而後者一般稱為無機 EL 元件。

無機 EL 元件根據其元件結構被分成分散型無機 EL 元件和薄膜型無機 EL 元件。它們的不同之處在於：前者具有將發光材料的顆粒分散在黏合劑中的場致發光層，而後者具有由發光材料的薄膜構成的場致發光層。然而，它們都需要以高電場加速了的電子。注意，作為能夠獲得的

發光機制，有利用施主能級和受主能級的施主-受主複合型發光、和利用金屬離子的內殼層電子躍遷的局部型發光。一般來說，在很多情況下，當使用分散型無機 EL 元件時為施主-受主複合型發光，而當使用薄膜型無機 EL 元件時為局部型發光。

可以用於本發明的發光材料由母體材料和成為發光中心的雜質元素構成。通過改變所包含的雜質元素，可以獲得各種顏色的發光。作為發光材料的製造方法，可以使用固相法、液相法（共沈澱法）等的各種方法。此外，還可以使用噴霧熱分解法、複分解法、利用前體物質的熱分解反應的方法、反膠團法、組合上述方法和高溫度焙燒的方法、或冷凍乾燥法等液相法等。

固相法是如下方法：對母體材料和雜質元素或包含雜質元素的化合物進行稱量，在乳鉢中混合，在電爐中加熱，並進行焙燒來引起反應，以使母體材料包含雜質元素。焙燒溫度優選為 700 至 1500°C。這是因為在溫度過低的情況下固相反應不能進行，而在溫度過高的情況下母體材料會分解的緣故。注意，也可以在粉末狀態下進行焙燒，然而優選在顆粒狀態下進行焙燒。雖然需要在相對高的溫度下進行焙燒，但是因為該方法很簡單，所以生產率好，因而適合於大量生產。

液相法（共沈澱法）是如下方法：在溶液中使母體材料或包含母體材料的化合物與雜質元素或包含雜質元素的化合物反應，並使它乾燥，然後進行焙燒。發光材料的顆

粒均勻地分佈，並且粒徑小，即使焙燒溫度低也可以進行反應。

作為用於發光材料的母體材料，可以使用硫化物、氧化物、氮化物。作為硫化物，例如可以使用硫化鋅（ ZnS ）、硫化鎘（ CdS ）、硫化鈣（ CaS ）、硫化釷（ Y_2S_3 ）、硫化鎵（ Ga_2S_3 ）、硫化鋇（ SrS ）或硫化鋇（ BaS ）等。作為氧化物，例如可以使用氧化鋅（ ZnO ）或氧化釷（ Y_2O_3 ）等。作為氮化物，例如可以使用氮化鋁（ AlN ）、氮化鎵（ GaN ）或氮化銦（ InN ）等。另外，還可以使用硒化鋅（ ZnSe ）或碲化鋅（ ZnTe ）等，也可以是硫化鈣-鎵（ CaGa_2S_4 ）、硫化鋇-鎵（ SrGa_2S_4 ）或硫化鋇-鎵（ BaGa_2S_4 ）等的三元混晶。

作為局部型發光的發光中心，可以使用錳（ Mn ）、銅（ Cu ）、釷（ Sm ）、鐳（ Tb ）、鉕（ Er ）、銩（ Tm ）、鎔（ Eu ）、鈾（ Ce ）、鐳（ Pr ）等。注意，作為電荷補償，還可以添加有氟（ F ）、氯（ Cl ）等的鹵素元素。

另一方面，作為施主-受主複合型發光的發光中心，可以使用包含形成施主能級的第一雜質元素及形成受主能級的第二雜質元素的發光材料。作為第一雜質元素，例如可以使用氟（ F ）、氯（ Cl ）、鋁（ Al ）等。作為第二雜質元素，例如可以使用銅（ Cu ）、銀（ Ag ）等。

在使用固相法來合成施主-受主複合型發光的發光材料的情況下，對母體材料、第一雜質元素或包含第一雜質

元素的化合物、以及第二雜質元素或包含第二雜質元素的化合物進行稱量，並在乳鉢中混合，然後在電爐中加熱，並進行焙燒。作為母體材料，可以使用上述的母體材料。作為第一雜質元素例如可以使用氟（F）、氯（Cl）等，作為包含第一雜質元素的化合物，例如可以使用硫化鋁（ Al_2S_3 ）等。作為第二雜質元素例如可以使用銅（Cu）、銀（Ag）等，作為包含第二雜質元素的化合物，例如可以使用硫化銅（ Cu_2S ）、硫化銀（ Ag_2S ）等。焙燒溫度優選為 700 至 1500°C。這是因為在溫度過低的情況下固相反應不能進行，而在溫度過高的情況下母體材料會分解的緣故。注意，也可以在粉末狀態下進行焙燒，然而優選在顆粒狀態下進行焙燒。

此外，作為當利用固相反應時的雜質元素，可以組合由第一雜質元素和第二雜質元素構成的化合物來使用。在此情況下，容易擴散雜質元素並且容易進行固相反應，所以可以獲得均勻的發光材料。再者，不需要的雜質元素不會進入，所以可以獲得純度高的發光材料。作為由第一雜質元素和第二雜質元素構成的化合物，例如可以使用氯化銅（CuCl）或氯化銀（AgCl）等。

注意，這些雜質元素的濃度對母體材料為 0.01 至 10atom% 即可，優選在 0.05 至 5atom% 的範圍內。

在使用薄膜型無機 EL 的情況下，場致發光層為包含上述發光材料的層，可以使用如下方法來形成：電阻加熱蒸鍍法、電子束蒸鍍（EB 蒸鍍）法等的真空蒸鍍法、濺

射法等物理氣相澱積法（PVD）、有機金屬 CVD 法、氫化物輸送減壓 CVD 法等化學氣相澱積法（CVD）、原子層外延法（ALE）等。

圖 12A 至 12C 示出了可用作顯示元件的薄膜型無機 EL 元件的一個例子。在圖 12A 至 12C 中，顯示元件包括第一電極層 50、場致發光層 52、以及第二電極層 53。

圖 12B 及 12C 所示的顯示元件具有在圖 12A 的顯示元件中絕緣層形成在電極層和場致發光層之間的結構。圖 12B 所示的顯示元件在第一電極層 50 和場致發光層 52 之間具有絕緣層 54，而圖 12C 所示的顯示元件在第一電極層 50 和場致發光層 52 之間具有絕緣層 54a，並在第二電極層 53 和場致發光層 52 之間具有絕緣層 54b。像這樣，絕緣層可以設在與夾持場致發光層的一對電極層中的一方電極層之間或與雙方電極層之間。此外，絕緣層可以為單層或由多個層構成的疊層。

在圖 12B 中，與第一電極層 50 接觸地設置絕緣層 54，然而也可以將絕緣層和場致發光層的順序反過來，來與第二電極層 53 接觸地設置絕緣層 54。

在使用分散型無機 EL 元件的情況下，通過將顆粒狀的發光材料分散在黏合劑中來形成膜狀的場致發光層。在通過發光材料的製造方法不能充分獲得所需尺寸的顆粒時，使用乳鉢等將它粉碎等而加工成顆粒狀即可。黏合劑是用來以分散狀態固定顆粒狀的發光材料並將它保持為作為場致發光層的形狀的物質。發光材料被黏合劑均勻地分

散在場致發光層中並固定。

在使用分散型無機 EL 元件的情況下，作為場致發光層的形成方法，還可以使用能夠選擇性地形成場致發光層的液滴噴射法、印刷法（絲網印刷或平版印刷等）、旋塗法等、浸漬法、分散器法等。對於其膜厚度沒有特別限制，但優選在 10 至 1000nm 的範圍內。此外，在含有發光材料及黏合劑的場致發光層中，優選將發光材料的比例設定為 50wt% 以上 80wt% 以下。

圖 13A 至 13C 示出了可用作顯示元件的分散型無機 EL 元件的一個例子。圖 13A 中的顯示元件具有第一電極層 60、場致發光層 62 和第二電極層 63 的疊層結構，並且在場致發光層 62 中包含由黏合劑保持的發光材料 61。

對用於本實施方式的黏合劑，可以使用有機材料或無機材料，還可以使用有機材料及無機材料的混合材料。作為有機材料，可以使用氰乙基纖維素類樹脂之類的具有相對高的介電常數的聚合物、聚乙烯、聚丙烯、聚苯乙烯類樹脂、矽酮樹脂、環氧樹脂、氟化乙烯等的樹脂。此外，還可以使用芳香族聚醯胺、聚苯並咪唑（polybenzimidazole）等的耐熱高分子、或矽氧烷樹脂。矽氧烷樹脂相當於包含 Si-O-Si 鍵的樹脂。矽氧烷具有由矽（Si）-氧（O）鍵構成的骨架結構。作為取代基，使用至少包含氫的有機基（例如烷基、芳香烴）。還可以使用氟基作為取代基。此外，還可以使用至少包含氫的有機基和氟基作為取代基。另外，還可以使用聚乙烯醇、聚乙炔醇

縮丁醛等的乙烯樹脂、酚醛樹脂、酚醛清漆樹脂、丙烯酸樹脂、三聚氰胺樹脂、氨基樹脂、惡唑樹脂（聚苯並惡唑）等的樹脂材料。可以對這些樹脂適度混合鈦酸鋇（ BaTiO_3 ）、鈦酸鋇（ SrTiO_3 ）等的高介電常數的微粒，來調整介電常數。

作為包含在黏合劑中的無機材料，可以使用選自含有無機材料的物質中的材料，例如氧化矽（ SiO_x ）、氮化矽（ SiN_x ）、包含氧及氮的矽、氮化鋁（ AlN ）、包含氧及氮的鋁或氧化鋁（ Al_2O_3 ）、氧化鈦（ TiO_2 ）、 BaTiO_3 、 SrTiO_3 、鈦酸鉛（ PbTiO_3 ）、鉍酸鉀（ KNbO_3 ）、鉍酸鉛（ PbNbO_3 ）、氧化鉭（ Ta_2O_5 ）、鉭酸鋇（ BaTa_2O_6 ）、鉭酸鋰（ LiTaO_3 ）、氧化釷（ Y_2O_3 ）、氧化鋯（ ZrO_2 ）、 ZnS 。通過將介電常數高的無機材料（通過添加等）包含在有機材料中，可以進一步控制由發光材料及黏合劑構成的場致發光層的介電常數，且可以進一步增大介電常數。

在製造步驟中，發光材料分散在包含黏合劑的溶液中。作為可以用於本實施方式的含有黏合劑的溶液的溶劑，適當地選擇如下溶劑即可：黏合劑材料被溶解，並可製造具有適合於形成場致發光層的方法（各種濕法加工）及所希望的膜厚度的黏度的溶液。可以使用有機溶劑等，例如在使用矽氧烷樹脂作為黏合劑的情況下，可以使用丙二醇單甲醚、丙二醇單甲醚醋酸酯（也稱為 PGMEA）、3-甲氧基-3-甲基-1-丁醇（也稱為 MMB）等。

圖 13B 及 13C 所示的顯示元件具有在圖 13A 的顯示

元件中絕緣層形成在電極層和場致發光層之間的結構。圖 13B 所示的顯示元件在第一電極層 60 和場致發光層 62 之間具有絕緣層 64，而圖 13C 所示的顯示元件在第一電極層 60 和場致發光層 62 之間具有絕緣層 64a，並在第二電極層 63 和場致發光層 62 之間具有絕緣層 64b。像這樣，絕緣層可以設在與夾持場致發光層的一對電極層中的一方電極層之間或與雙方電極層之間。此外，絕緣層可以為單層或由多個層構成的疊層。

在圖 13B 中，與第一電極層 60 接觸地設置絕緣層 64，然而也可以將絕緣層和場致發光層的順序反過來，與第二電極層 63 接觸地設置絕緣層 64。

對絕緣層如圖 12A 至 12C 中的絕緣層 54 及在圖 13A 至 13C 中的絕緣層 64 沒有特別限制，然而它們優選具有高絕緣耐壓和緻密的膜性質，並優選具有高介電常數。例如，可以使用氧化矽（ SiO_2 ）、氧化釔（ Y_2O_3 ）、氧化鈦（ TiO_2 ）、氧化鋁（ Al_2O_3 ）、氧化鈺（ HfO_2 ）、氧化鉭（ Ta_2O_5 ）、鈦酸鋇（ BaTiO_3 ）、鈦酸鋇（ SrTiO_3 ）、鈦酸鉛（ PbTiO_3 ）、氮化矽（ Si_3N_4 ）、氧化鋯（ ZrO_2 ）等、它們的混合膜或兩種以上的疊層膜。這些絕緣膜可以通過濺射、蒸鍍、CVD 等來形成。此外，絕緣層可以通過將這些絕緣材料的顆粒分散在黏合劑中來形成。黏合劑材料通過使用與包含在場致發光層中的黏合劑相同的材料及方法來形成即可。膜厚度不特別限制，但優選在 10 至 1000nm 的範圍內。

本實施方式所示的顯示元件可以通過在夾持場致發光層的一對電極層之間施加電壓而獲得發光，並在直流驅動及交流驅動中的任一驅動下能夠工作。

實施方式 9

在實施方式 1 至 8 中，主要以利用電致發光的顯示裝置為例子進行了說明。但是，本發明可以適用於各種各樣的有源矩陣型顯示裝置。作為其他顯示裝置，可以舉出如液晶顯示裝置、FED（Field Emission Display；場致發射顯示器）等。

實施方式 10

此外，本發明可以適用於顯示裝置之外的各種各樣的半導體裝置（注意，半導體裝置是包含顯示裝置的概念）。

例如，有 DRAM（動態隨機存取記憶體）等的記憶元件。在圖 15A 中示出 DRAM 的電路圖。以電晶體 401 的一方端子和單元板（cell plate）402（電容）連接的單位為一個單元。而且，由佈線連接每個單元之間。此外，電晶體 401 的另一方端子與位元線 403 連接。此外，電晶體 401 的閘極與字線 404 連接。

下面，對 DRAM 的工作原理進行說明。當電晶體 401 為 N 型電晶體時，在資料寫入期間中將正電壓施加到位元線 403 以及字線 404 來在單元板 402 中存儲電荷。此外，

在資料讀出期間中將正電壓施加到字線，來使存儲在單元板 402 中的電荷流過位元線 403。當電晶體 401 為 P 型電晶體時，只要在每個期間中施加極性相反的電壓，即可。

再者，單元板 402 的面積越大，電容越大。通過增加電容，可以抑制發生軟錯誤（soft error）（因宇宙射線的衝擊等而使存儲在存儲單元中的資訊消失（改寫）的錯誤）等。因此，需要增加電容的表面積，以增加電容的電容。

這裏，可以在相鄰的電極之間設置佈線，並在其下配置與電容連接的薄膜電晶體，並使薄膜電晶體的溝道形成區域的溝道寬度的方向與在所述佈線中流過電流的方向平行或者與所述電極形狀的縱向方向平行，以謀求電容的電容增大。

在本實施方式中，如圖 16 所示那樣使電晶體 401 的溝道寬度的方向與單元板 402（或電容的電極）形狀的縱向方向平行（在圖 16 中的箭頭形符號 7004）。電晶體 401 可以具有單閘結構或多閘結構。

DRAM 的結構可以是疊層型或溝槽型。疊層型通過如下方法形成：在形成絕緣膜之後，通過蝕刻該絕緣膜來在基底上形成臺階，並將電容埋在該臺階中。相反，溝槽型通過如下方法形成：通過蝕刻基底來形成臺階，並將電容埋在該臺階中。

在疊層型 DRAM 的製造方法中，通過已知的方法在 SOI（絕緣體上矽）上形成電晶體，或者，根據實施方式

3 所述的方法製造 TFT。然後，形成絕緣膜（例如，可以使用丙烯酸、聚醯亞胺、矽氧烷、氧化矽、氮化矽等）。接著，在對所述絕緣膜進行構圖之後，通過蝕刻形成臺階。

其次，形成與電晶體的源極區域或汲極區域接觸的下部電極（例如可以使用鋁等的金屬）。然後，形成介電膜（例如可以使用氧化鈦、氧化鋇、氮化矽、氧化矽等）。接著，形成上部電極（例如可以使用矽化鎢、多晶矽等），以在臺階上形成電容。

在溝槽型 DRAM 的製造方法中，首先對基底進行構圖，然後通過蝕刻在基底上形成臺階。接著，通過已知的方法在 SOI（絕緣體上矽）上形成電晶體，或者，根據實施方式 3 所述的方法製造 TFT。

其次，形成與電晶體的源極區域或汲極區域接觸的下部電極（例如可以使用鋁等的金屬）。然後，形成介電膜（例如可以使用氧化鈦、氧化鋇、氮化矽、氧化矽等）。接著，形成上部電極（例如可以使用矽化鎢、多晶矽等），以在臺階上形成電容。

本發明還可適用於除 DRAM 以外的元件，以謀求元件面積的擴大。圖 15B 中示出可使用本發明的元件的電路圖。以電晶體 411 的一方端子和元件 412 連接的單位為一個單元。另外，由佈線連接每個單元之間。此外，電晶體 411 的另一方端子與第一佈線 413 連接。此外，電晶體 411 的閘極與第二佈線 414 連接。

這裏，可以在相鄰的元件之間設置佈線，並在其下配置與所述元件連接的薄膜電晶體，並使薄膜電晶體的溝道形成區域的溝道寬度的方向與在所述佈線中流過電流的方向平行或者與所述元件形狀的縱向方向平行，以謀求元件面積的增大或元件數量的增加。

作為元件 412，例如可以使用有機記憶體、光電二極體、壓電元件等。

在使用有機記憶體作為元件 412 的情況下，可以形成記憶元件。作為有機記憶體的方式，可以舉出通過第一佈線 413 和第二佈線 414 的選擇來實現電存儲的方式；以及通過對使用了有機材料，即摻雜有光酸產生劑的共軛高分子材料的有機記憶元件照射雷射來實現光學存儲的方式等。當形成有機記憶元件時，需要一定程度的面積。另外，為了增加存儲容量，增加記憶元件個數是有效的。因此，採用本發明的結構是有效的，因為可以增加記憶元件個數。

另外，通過使用光電二極體作為元件 412，可以形成光感測器。作為光電二極體的種類，可以採用 PN 光電二極體、PIN 光電二極體、雪崩光電二極體、肖特基光電二極體等。光電二極體隨著面積增大而提高光電轉換效率，因此採用本發明的結構是有效的。

另外，通過使用壓電元件作為元件 412，可以形成壓力感測器。再者，通過在同一基底上形成壓電元件和顯示元件，可以形成觸摸屏。作為壓電元件，可以舉出設有平

行平板電容器的感壓感測器、通過熱擴散將 n 型雜質摻雜到 p 型矽結晶中並將被補償的高電阻本征半導體區域用作應變計的應變計式壓力感測器等。當形成壓電元件時，需要一定程度的面積。另外，作為感測器的靈敏度隨著面積增大而增高。因此，採用本發明的結構是有效的。

如上所述，本發明可以適用於各種各樣的半導體裝置。

實施方式 11

本發明的顯示裝置可以適用於各種電子設備的顯示部。尤其是，被要求薄型及輕量的移動設備優選採用本發明的顯示裝置。另外，本發明的半導體裝置可以適用於各種電子設備。尤其是，被要求薄型及輕量的移動設備優選採用本發明的半導體裝置。

作為在框體中安裝有本發明的顯示裝置或半導體裝置的電子設備，可舉出電視裝置（也簡稱 TV、電視、或電視接收機）、影像拍攝裝置（攝像機、數位照相機等）、頭戴顯示器、導航系統、音響再生裝置（車用音響、組合音響等）、電腦、遊戲機、攜帶資訊終端（移動電腦、手機、攜帶型遊戲機或電子書籍等）、具備記錄媒體的圖像再生裝置（具體地說，再生諸如 DVD（數位多用途光碟），HD DVD（高清晰度 DVD）、藍光碟（Blue-ray Disk）等之類的記錄媒體並具備能夠顯示其圖像的顯示器的裝置）、其他具有顯示部的電子產品等。圖 17A 至 17F

示出電子設備的具體例子。

圖 17A 表示攜帶資訊終端，其包括主體 9201 和顯示部 9202 等。

圖 17B 表示數位攝像機，其包括主體 9702 和顯示部 9701 等。

圖 17C 表示攜帶終端，其包括主體 9101 和顯示部 9102 等。

圖 17D 表示攜帶型電視裝置，其包括主體 9301 和顯示部 9302 等。這種電視裝置可廣泛地應用從搭載於手機等攜帶終端的小型直至可移動的中型、大型（如 40 英寸以上）電視裝置。

圖 17E 表示攜帶型電腦，其包括主體 9401 和顯示部 9402 等。

圖 17F 表示電視裝置，其包括主體 9501 和顯示部 9502 等。

如上所述，本發明的適用範圍極為廣泛，可應用於所有領域的電子設備的製造方法。

本說明書係根據 2006 年 7 月 21 日在日本專利局受理的日本專利申請編號 2006-199292 而製作，其整體內容包括在本說明書中作為參考。

【符號說明】

50：第一電極層

52：場致發光層

- 53 : 第二電極層
- 54 : 絕緣層
- 54a : 絕緣層
- 54b : 絕緣層
- 60 : 第一電極層
- 61 : 發光材料
- 62 : 場致發光層
- 63 : 第二電極層
- 64 : 絕緣層
- 64a : 絕緣層
- 64b : 絕緣層
- 100 : 閘電極
- 101 : 第一半導體層
- 102 : 第二半導體層
- 103 : 連接電極
- 104 : 信號線
- 105 : 閘佈線
- 106 : 電源供給線
- 107 : 像素電極
- 108 : 連接電極
- 300 : 電容
- 301 : 驅動用 TFT
- 302 : 開關用 TFT
- 303 : 顯示元件

- 304 : 信號線
- 305 : 掃描線
- 306 : 電源供給線
- 401 : 電晶體
- 402 : 單元板
- 403 : 位元線
- 404 : 字線
- 411 : 電晶體
- 412 : 元件
- 413 : 第一佈線
- 414 : 第二佈線
- 501 : 第一佈線
- 502 : 第一佈線
- 503 : 第一佈線
- 504 : 第一佈線
- 601 : 第二佈線
- 602 : 第二佈線
- 701 : 像素電極
- 702 : 像素電極
- 703 : 像素電極
- 704 : 像素電極
- 705 : 像素電極
- 706 : 像素電極
- 707 : 像素電極

- 1200 : 第一基底
- 1201 : 信號線驅動電路
- 1202 : 像素部
- 1203 : 掃描線驅動電路
- 1204 : 第二基底
- 1205 : 第一密封材料
- 1206 : 第二密封材料
- 1208 : 連接佈線
- 1209 : 柔性印刷電路
- 1210 : 連接佈線
- 1211 : 開關 TFT
- 1212 : 驅動 TFT
- 1213 : 第一像素電極
- 1214 : 絕緣物
- 1215 : 場致發光層
- 1216 : 第二像素電極
- 1217 : 顯示元件
- 1218 : 保護疊層
- 1221 : n 溝道型 TFT
- 1222 : p 溝道型 TFT
- 1226 : 反射防止膜
- 1227 : 各向異性導電樹脂
- 1230 : 監視器元件部
- 4101 : 島狀半導體層

- 4102 : 島狀半導體層
- 4103 : 閘電極
- 4104 : 閘電極
- 4105 : 接觸孔
- 4106 : 佈線
- 4107 : 佈線
- 4108 : 佈線
- 4109 : 像素電極
- 4110 : 電極
- 5001 : 第一佈線區域
- 5002 : 第二佈線區域
- 9101 : 主體
- 9102 : 顯示部
- 9201 : 主體
- 9202 : 顯示部
- 9301 : 主體
- 9302 : 顯示部
- 9401 : 主體
- 9402 : 顯示部
- 9501 : 主體
- 9502 : 顯示部
- 9701 : 顯示部
- 9702 : 主體

I638462

發明摘要

※申請案號：106121616 (由105109223分割)

※申請日：096年07月18日

※IPC分類：**H01L 29/786** (2006.01)**H01L 27/12** (2006.01)

【發明名稱】(中文/英文)

顯示裝置及半導體裝置

Display device and semiconductor device

【中文】

本發明的目的在於提供一種開口率高的顯示裝置或元件面積大的半導體裝置。本發明的技術要點如下：在形成在相鄰的像素電極（或元件的電極）之間的佈線下方形成具有多閘結構的 TFT 的溝道形成區域。另外，將多個溝道形成區域的溝道寬度的方向設定為與在所述像素電極形狀中的縱向方向平行。另外，通過使溝道寬度的長度大於溝道長度的長度，來擴大溝道形成區域的面積。

【英文】

An object is to provide a display device with a high aperture ratio or a semiconductor device in which the area of an element is large. A channel formation region of a TFT with a multi-gate structure is provided under a wiring that is provided between adjacent pixel electrodes (or electrodes of an element). In addition, a channel width direction of each of a plurality of channel formation regions is parallel to a longitudinal direction of the pixel electrode. In addition, when a channel width is longer than a channel length, the area of the channel formation region can be increased.

圖式

圖 1

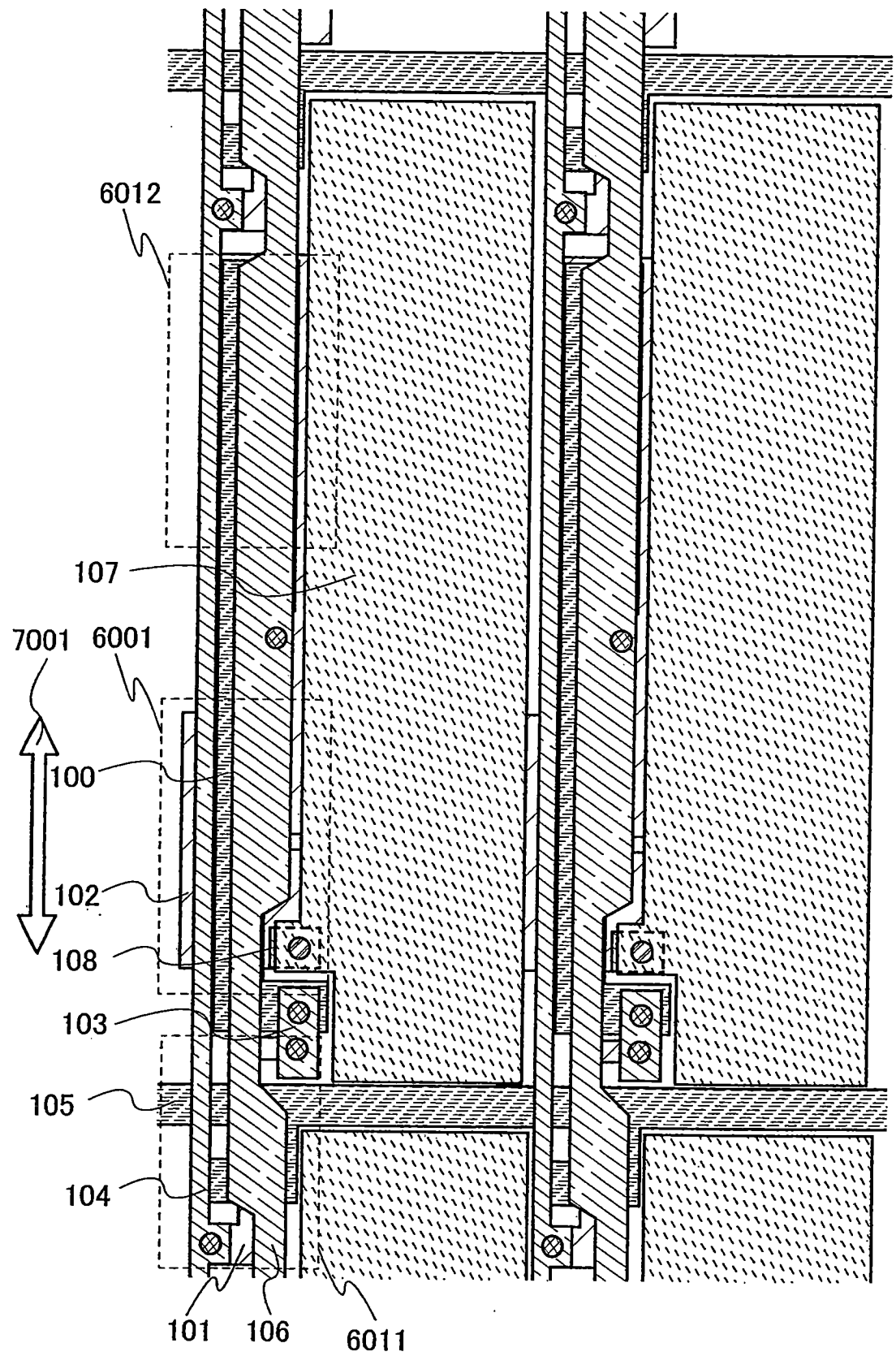


圖 2

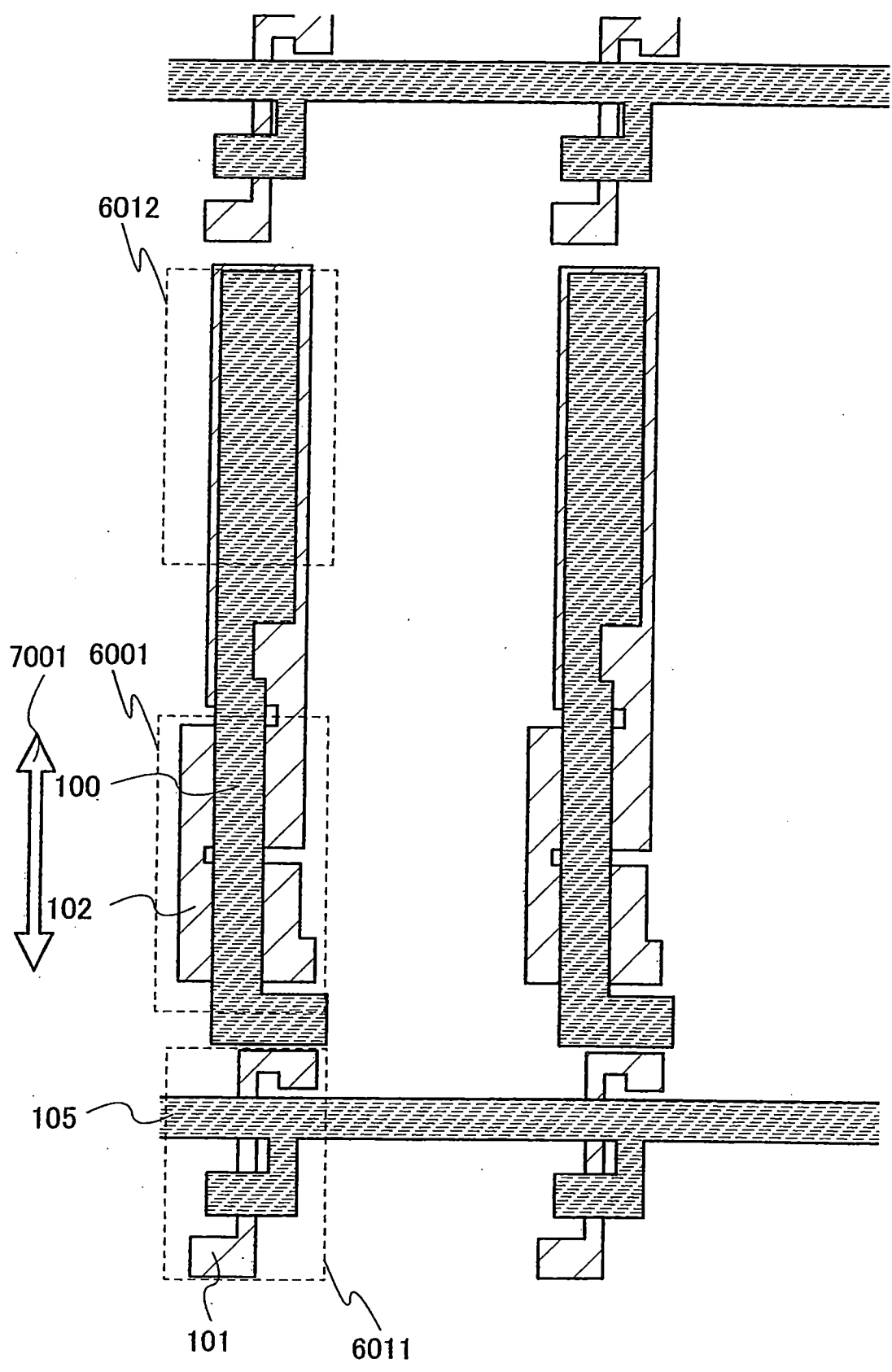


圖 3

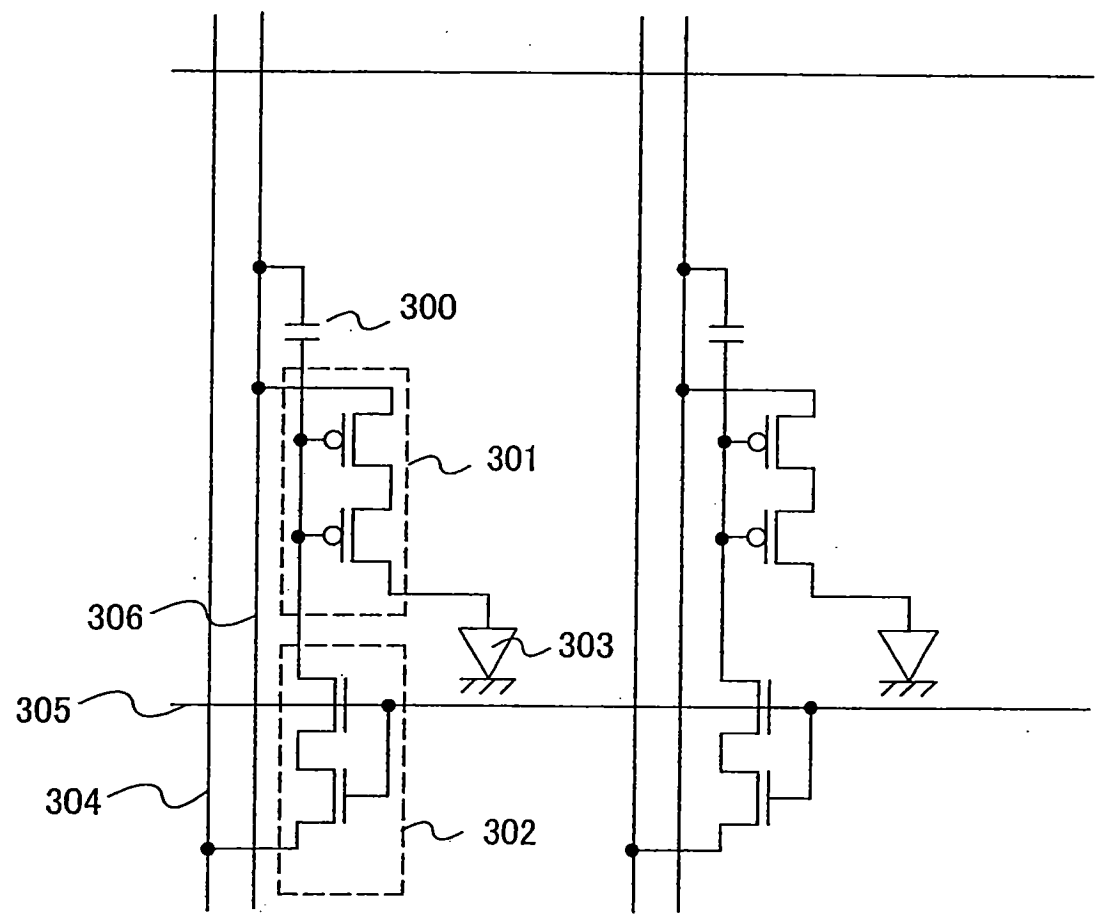


圖 4A

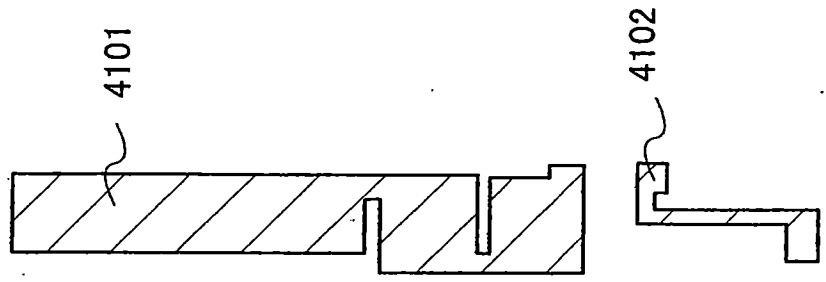


圖 4B

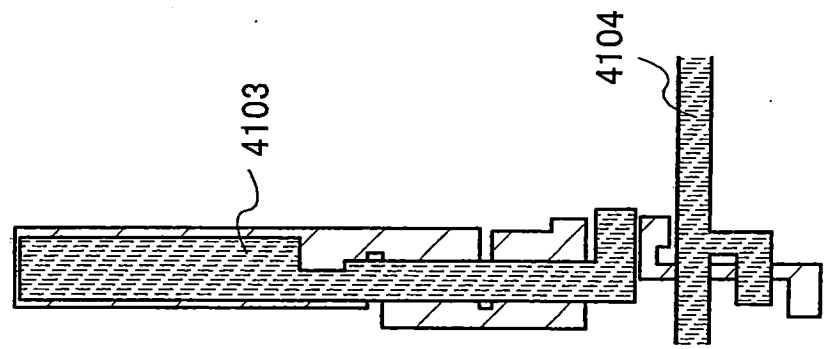


圖 4C

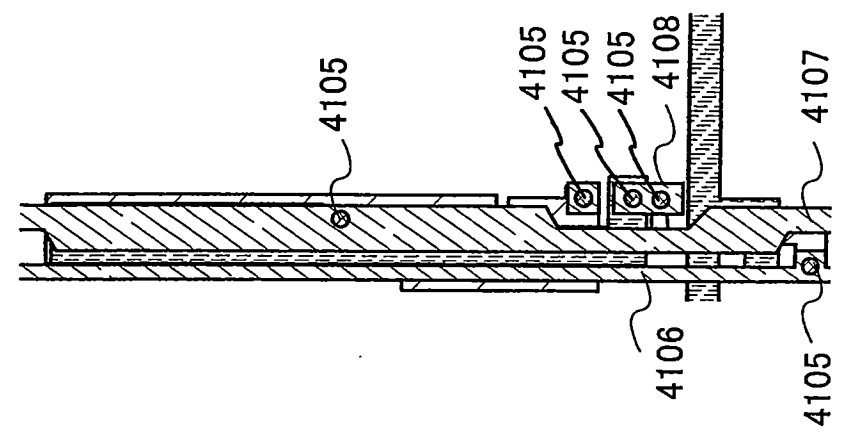


圖 4D

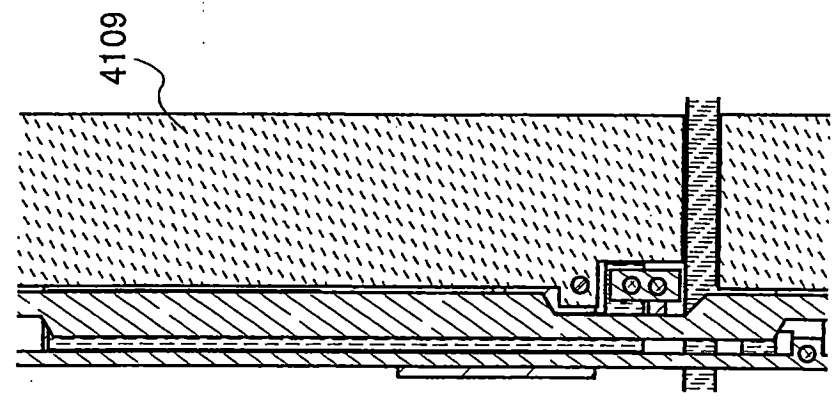


圖 5

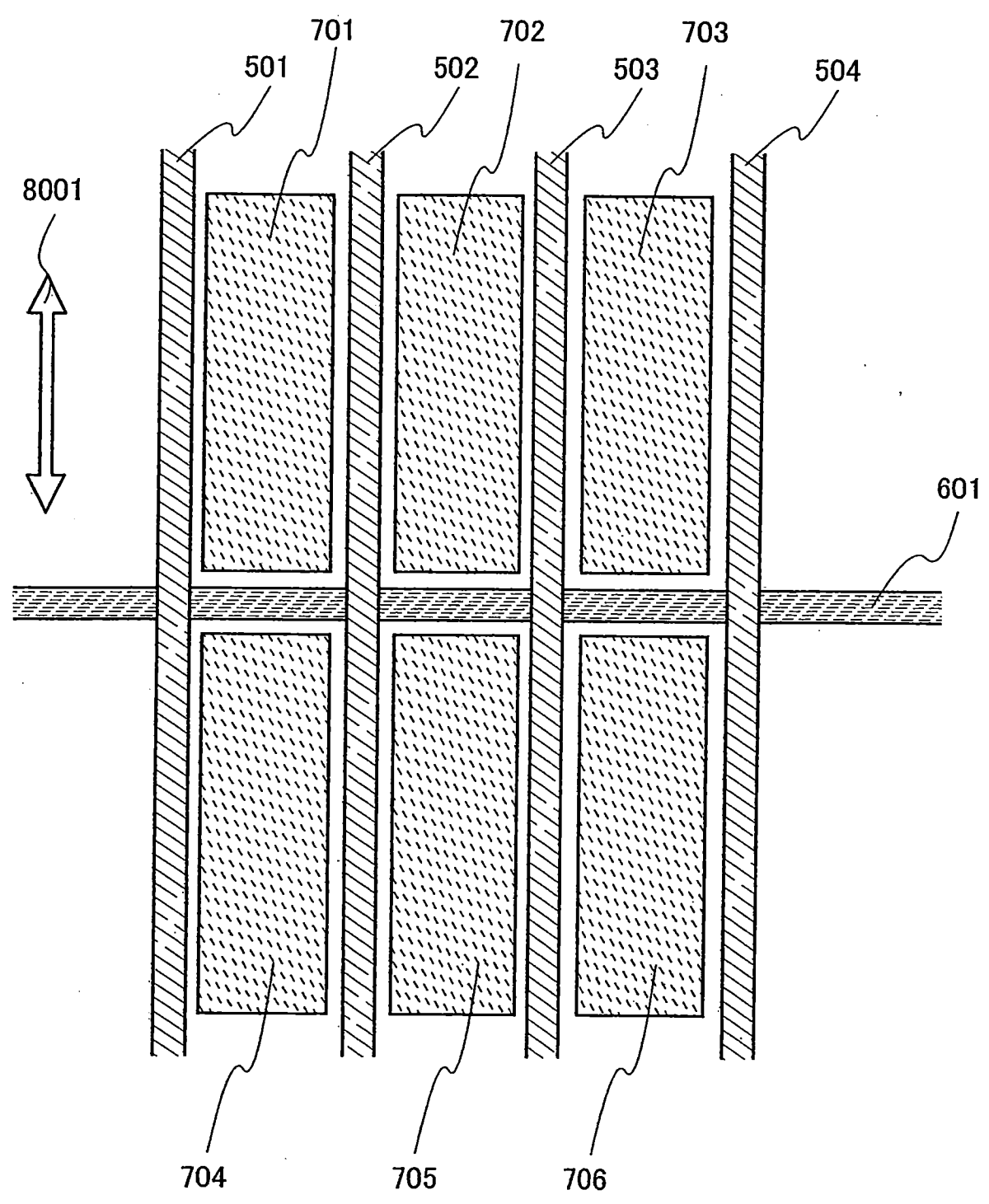


圖 6

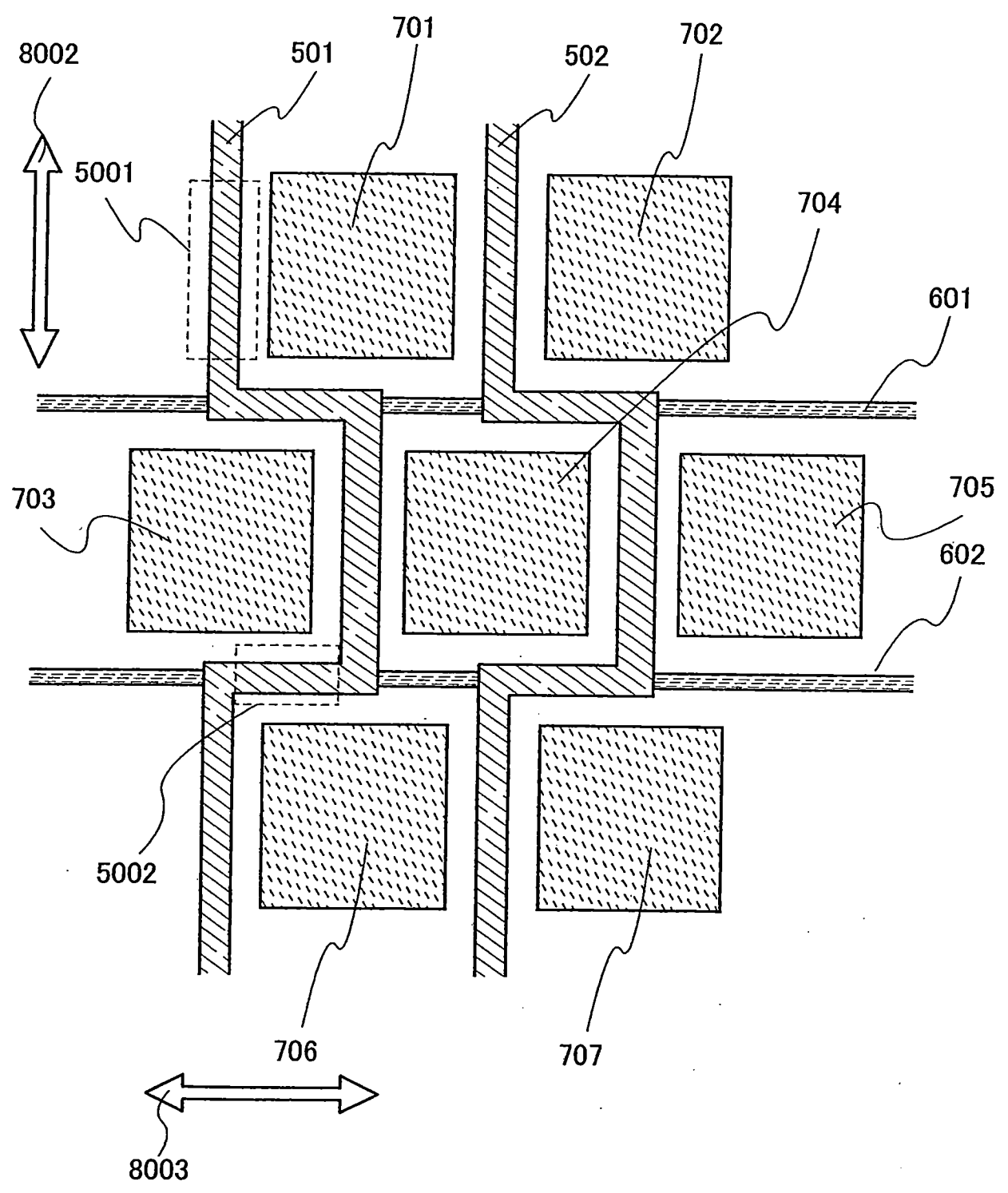


圖 7

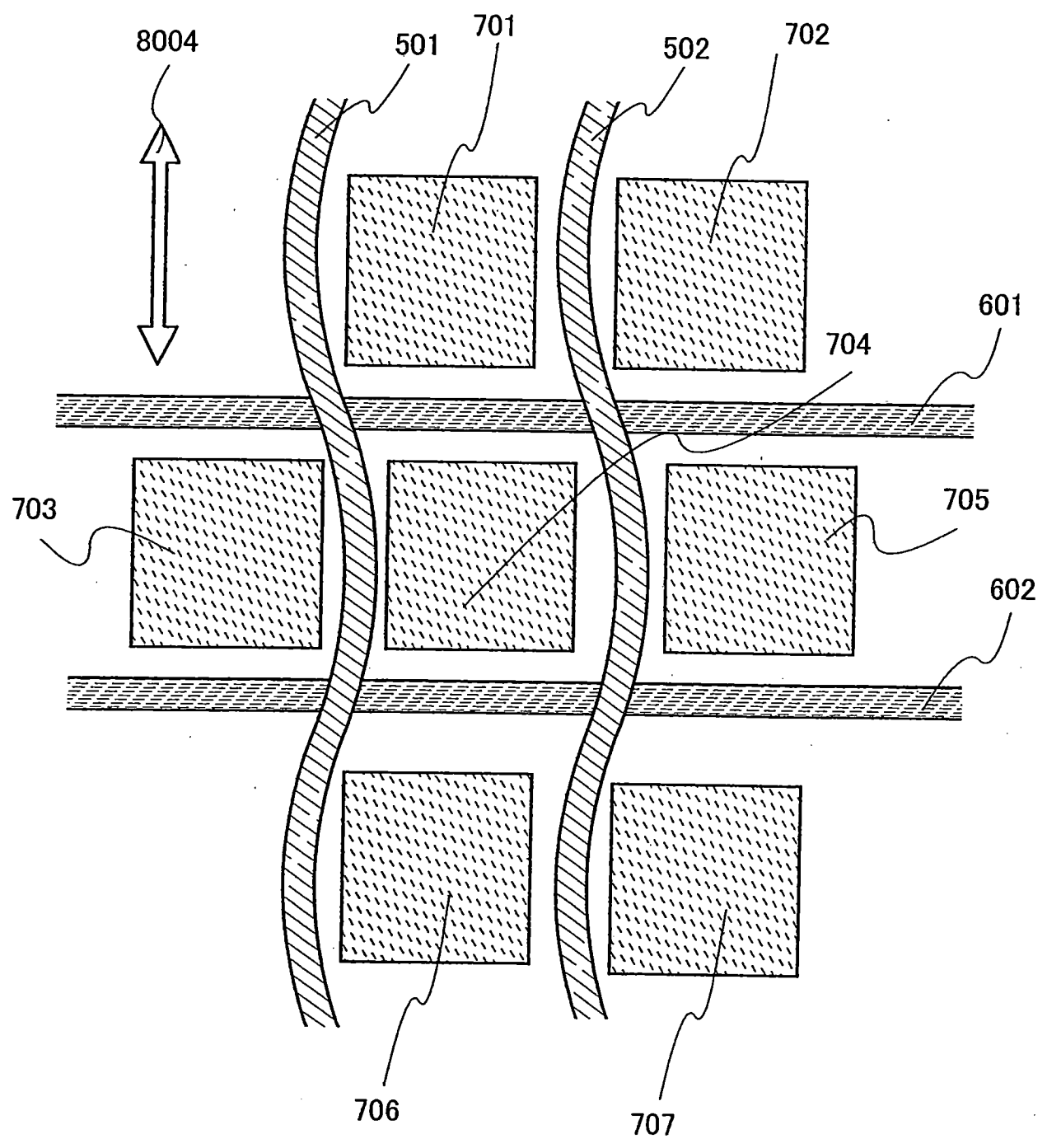


圖 8

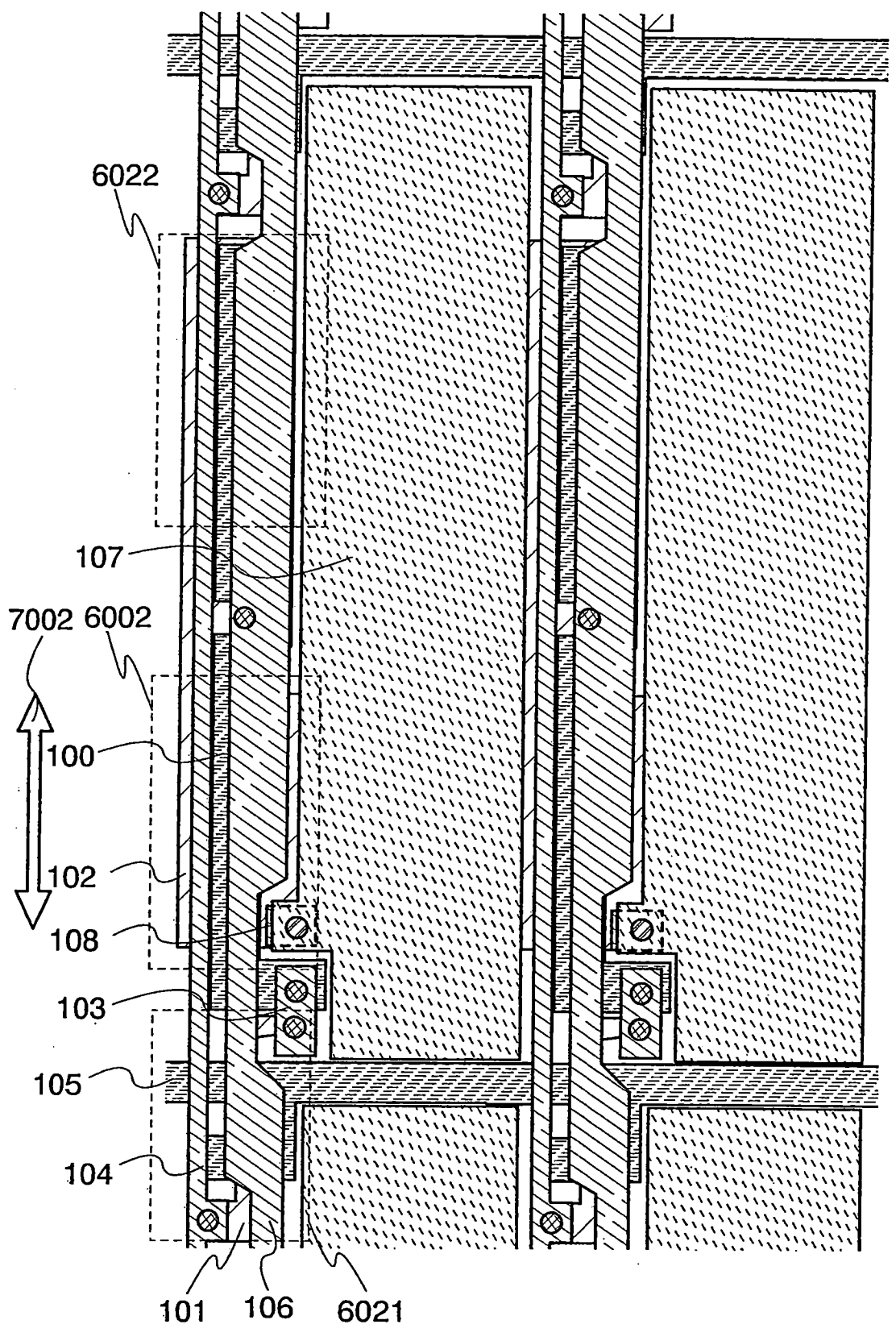


圖 9

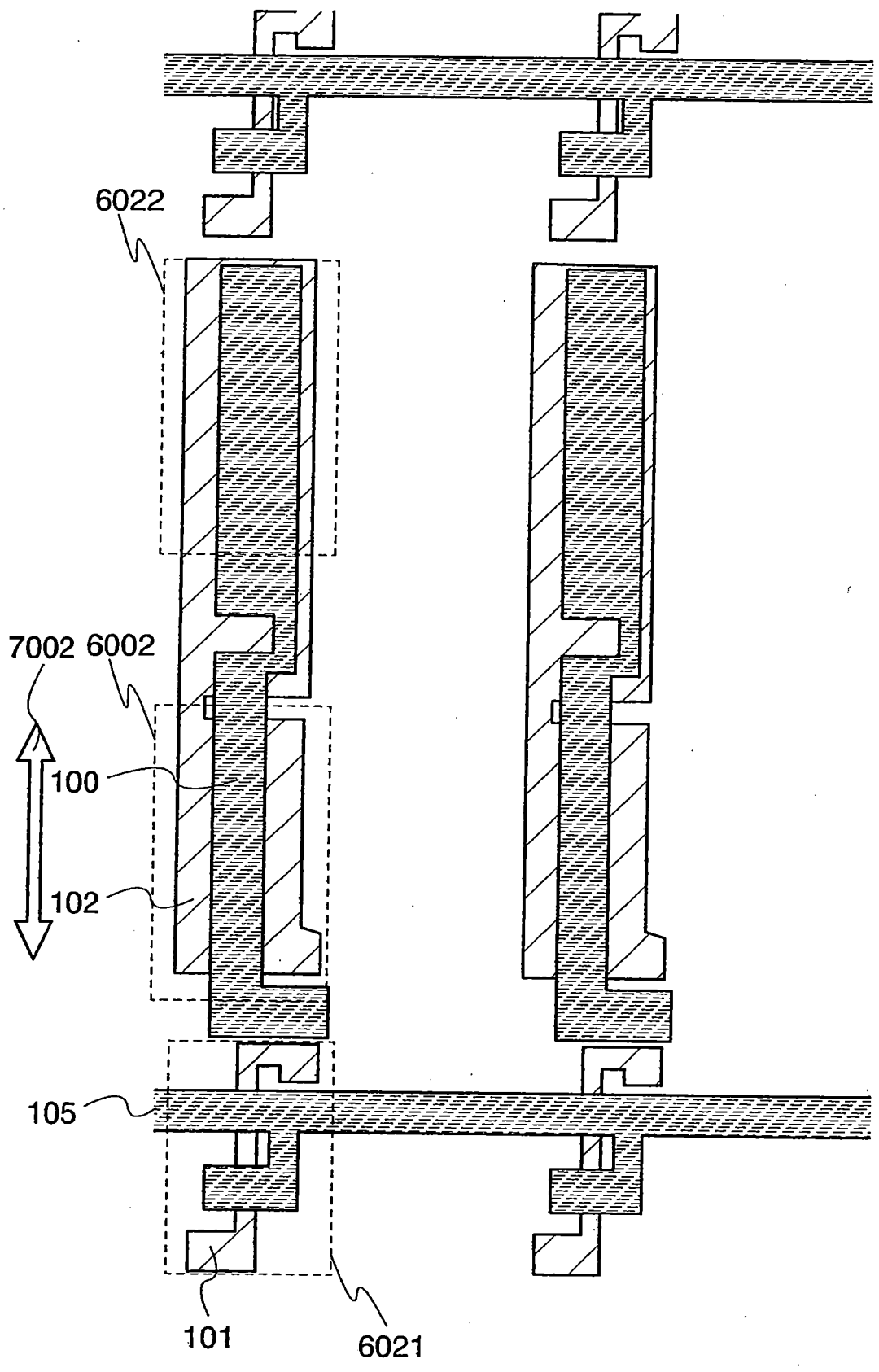


圖 10

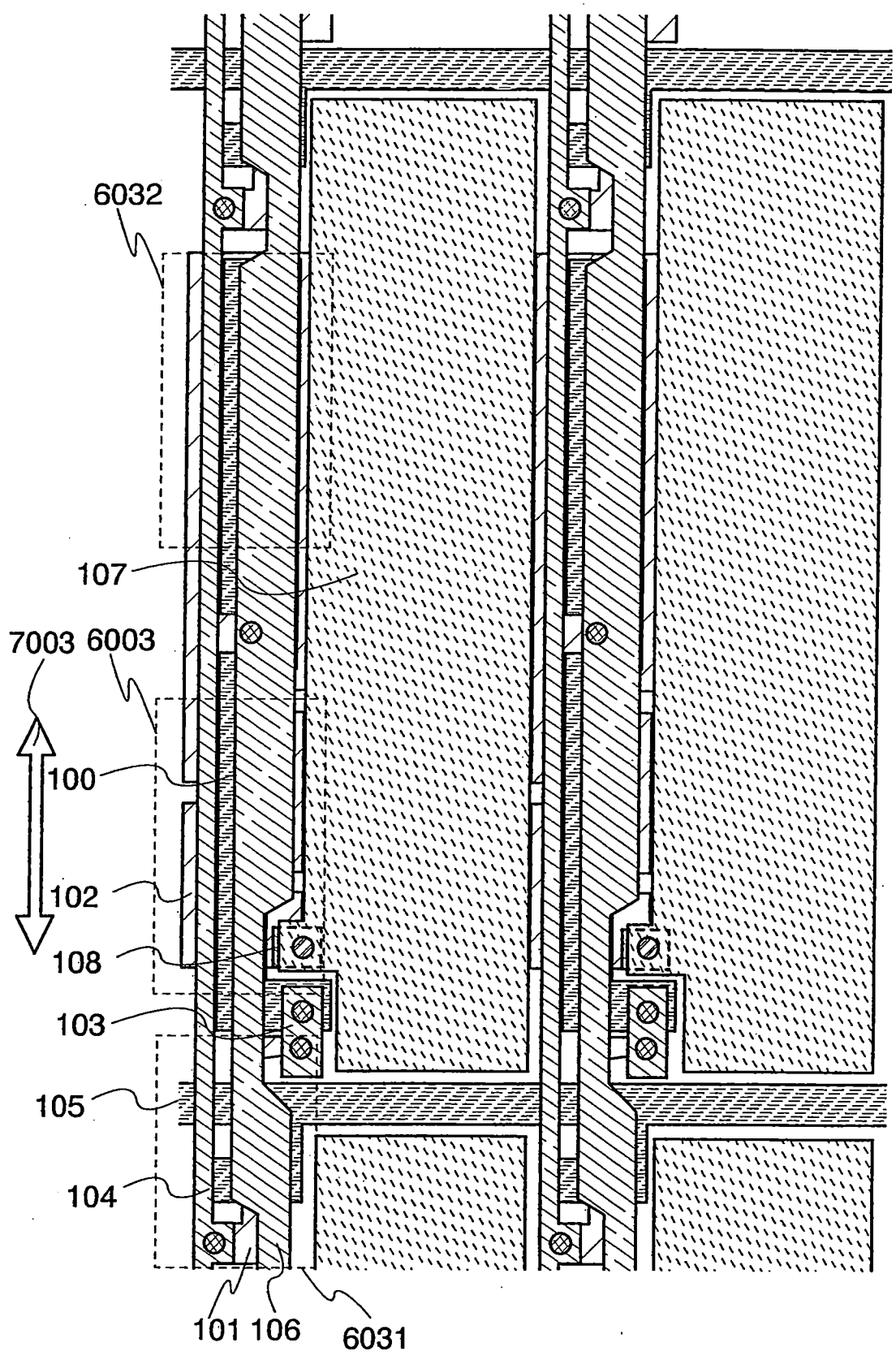


圖 11

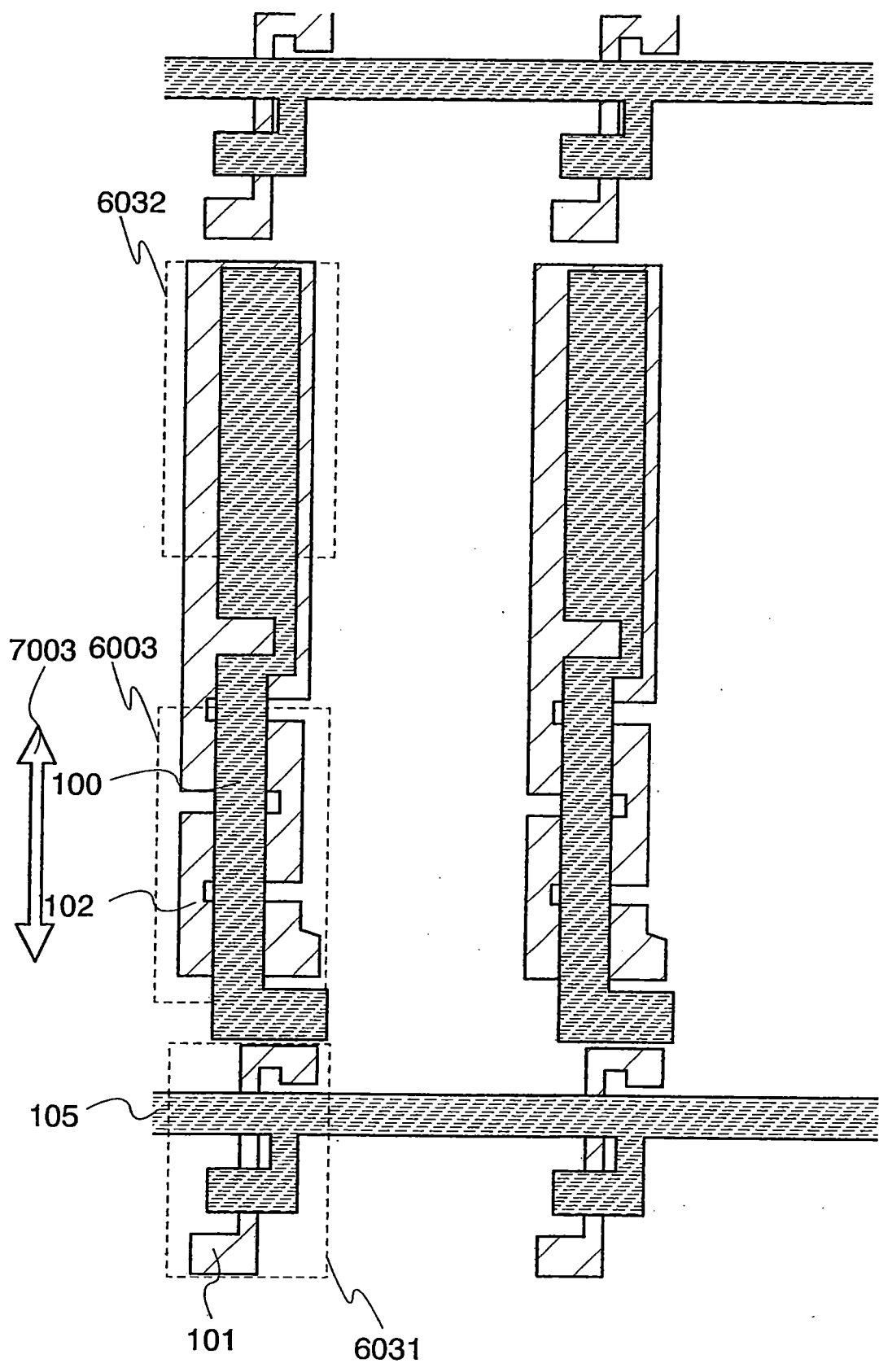


圖 12A

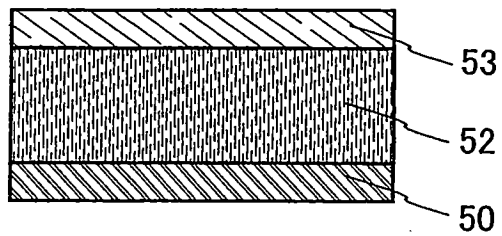


圖 12B

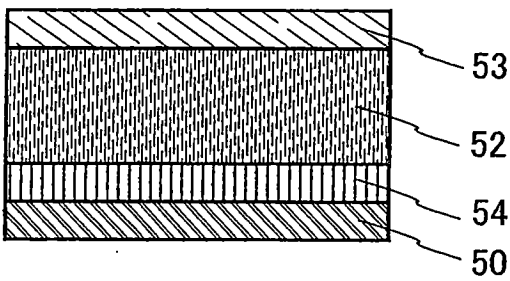


圖 12C

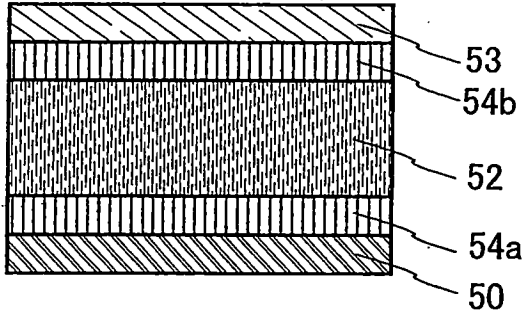


圖 13A

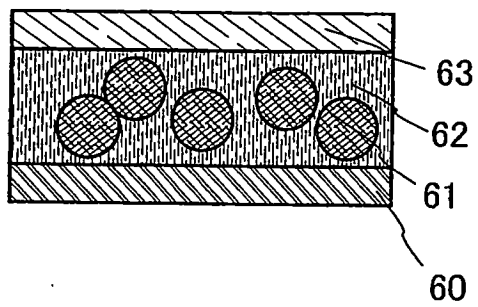


圖 13B

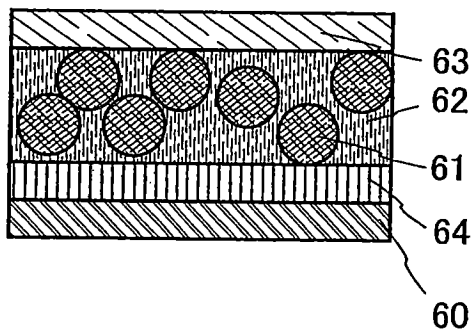


圖 13C

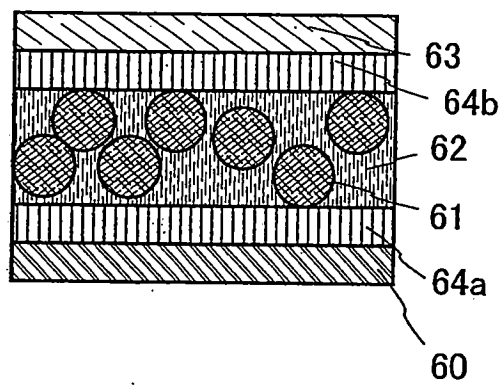


圖 14A

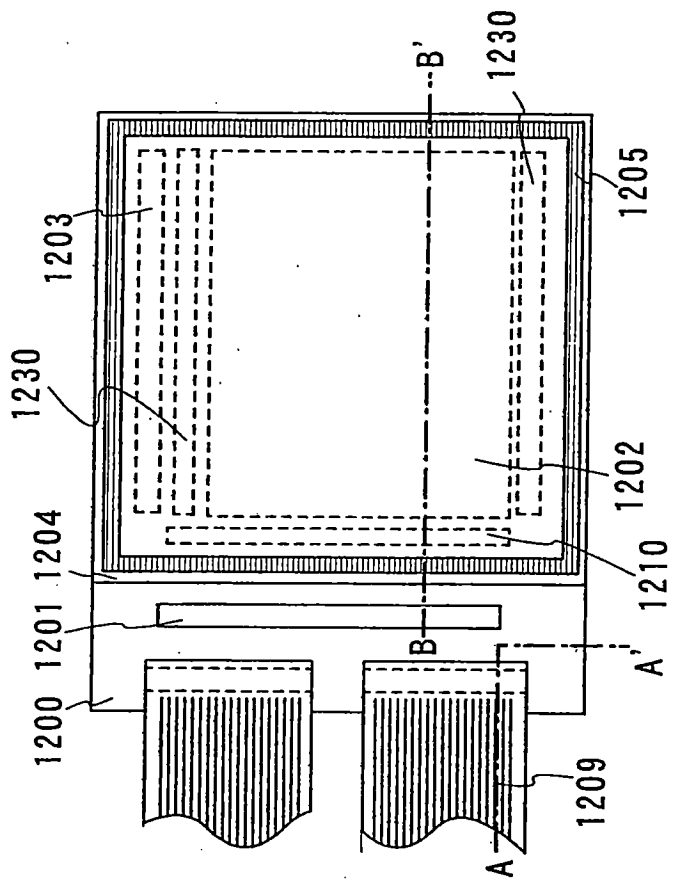


圖 14B

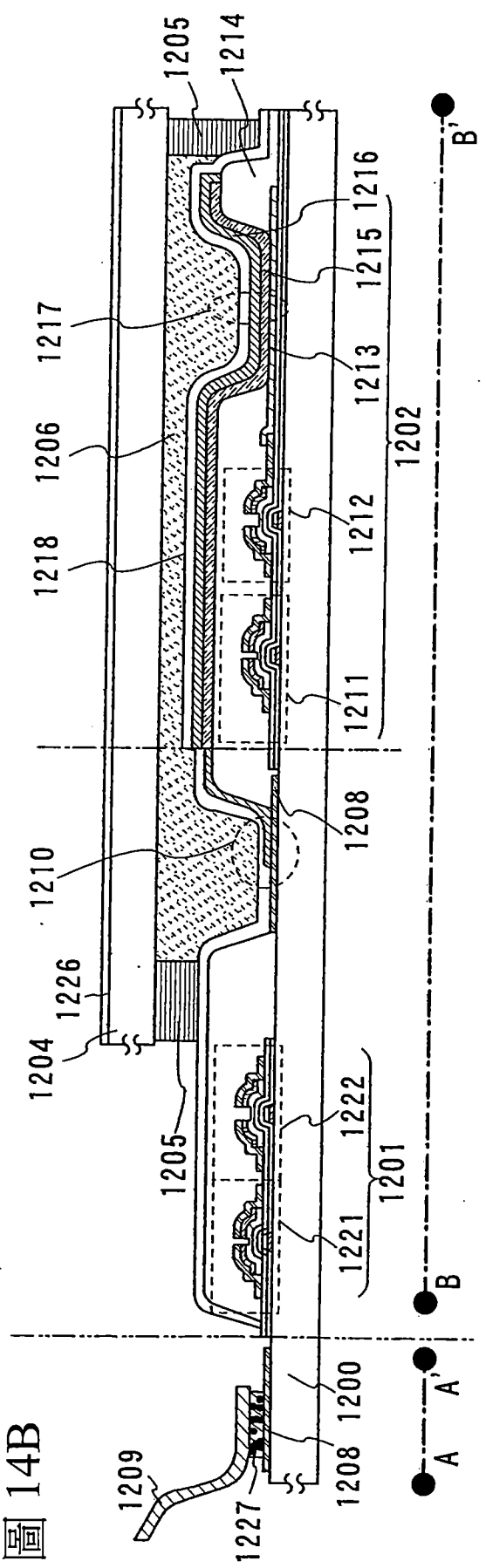


圖 15A

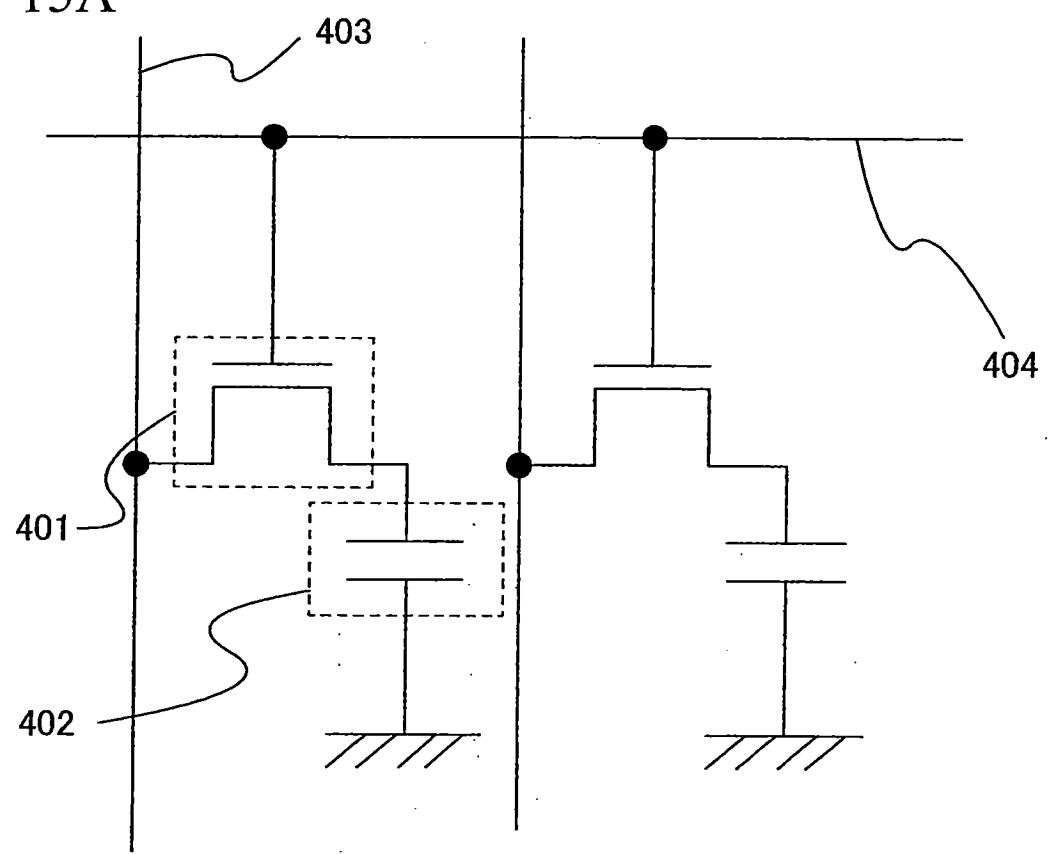


圖 15B

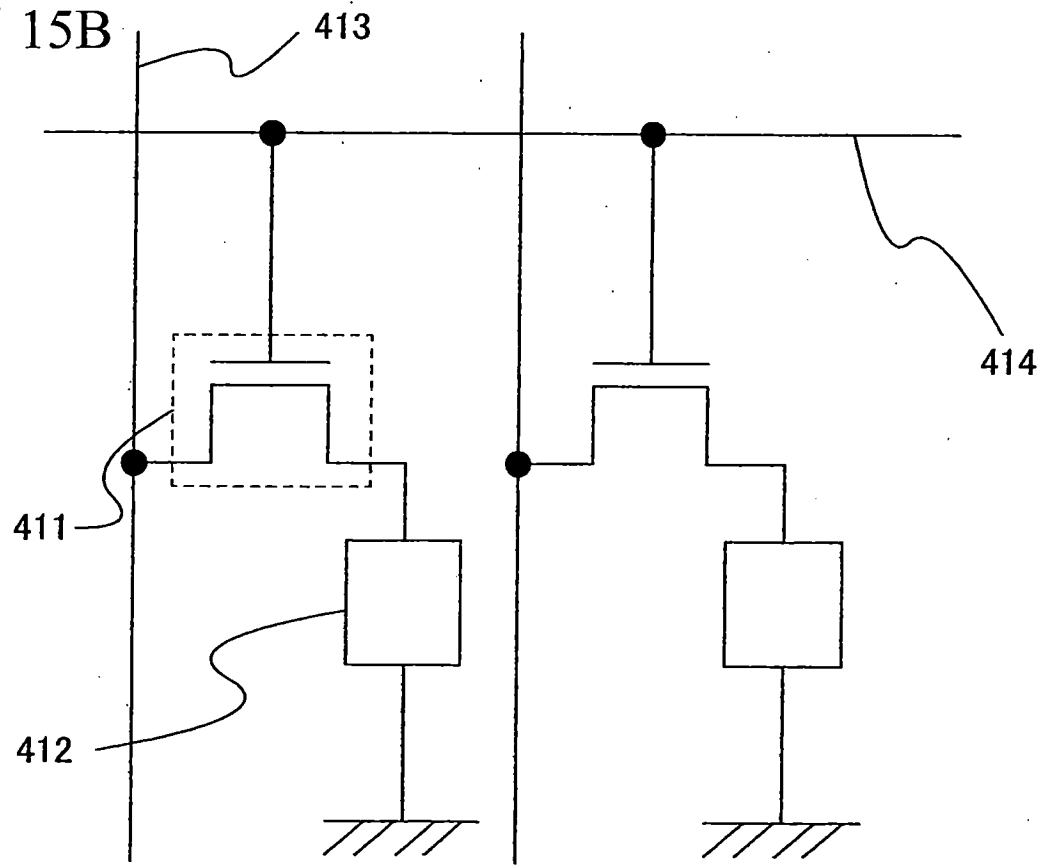


圖 16

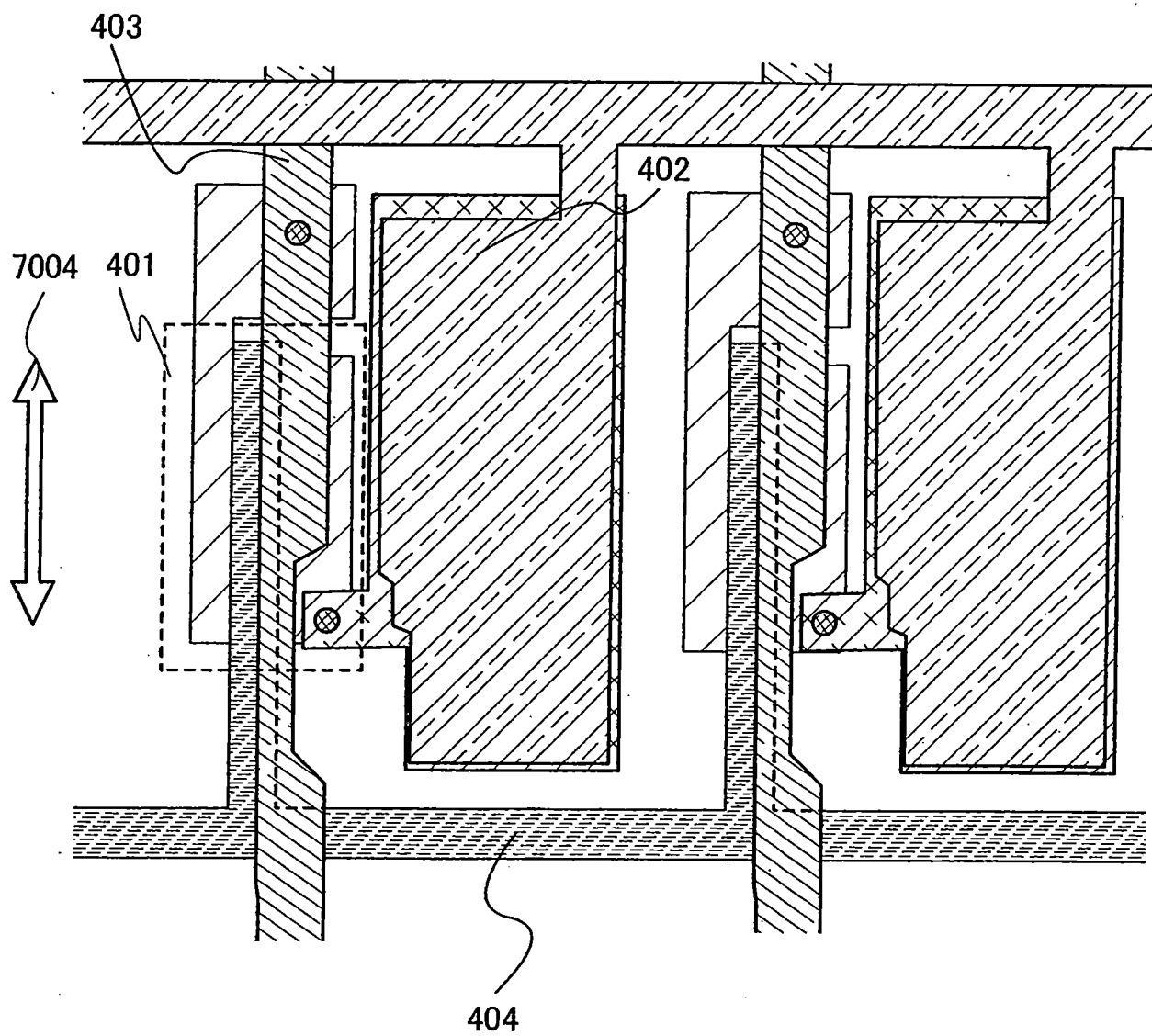


圖 17A

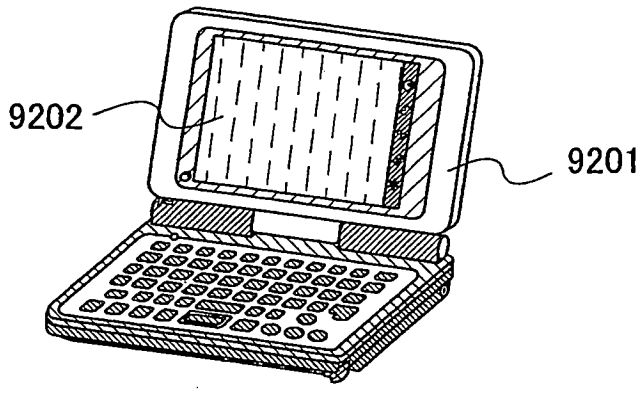


圖 17B

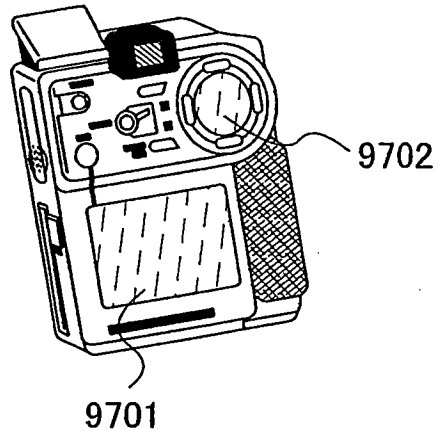


圖 17C

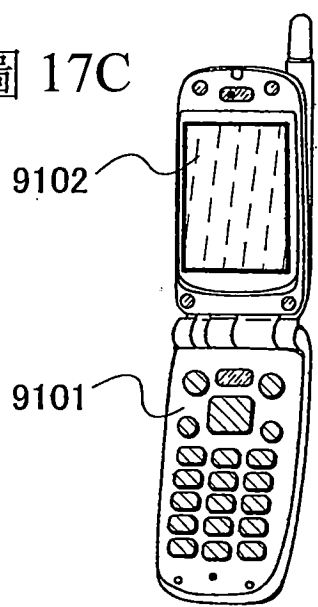


圖 17D

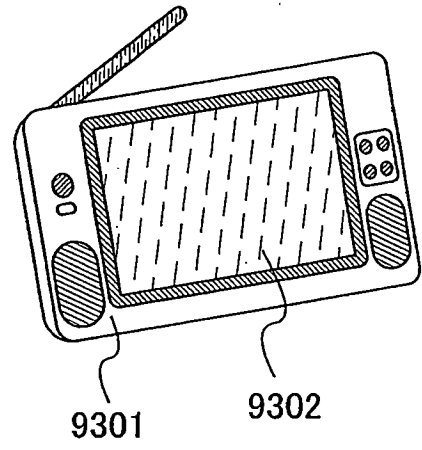
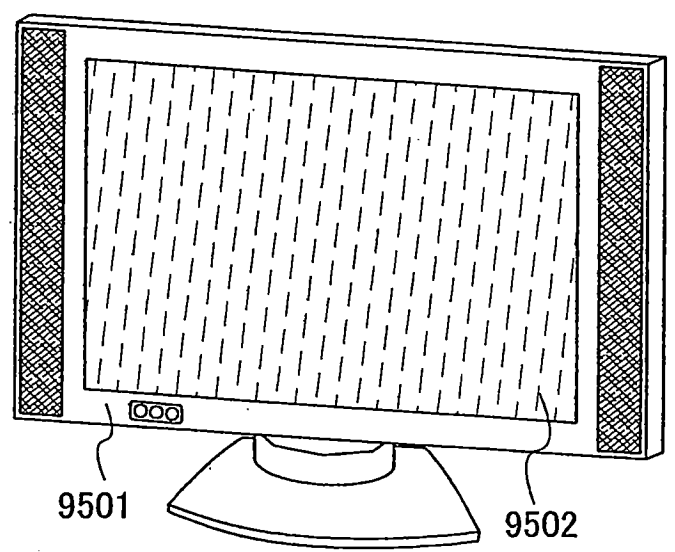
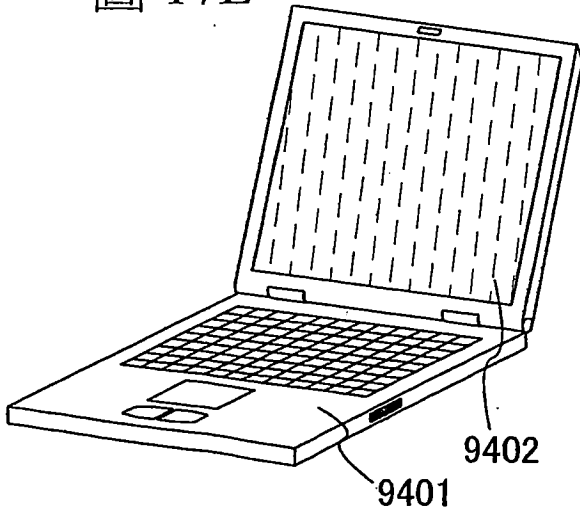


圖 17F

圖 17E



【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

100：閘電極

101：第一半導體層

102：第二半導體層

105：閘佈線

6001：虛線部

6011：虛線部

6012：虛線部

7001：箭頭形符號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

顯示裝置及半導體裝置

Display device and semiconductor device

【技術領域】

本發明關於有源矩陣型顯示裝置、以及元件配置為矩陣狀的半導體裝置。

【先前技術】

從來，作為圖像顯示裝置，已知的是液晶顯示裝置、電致發光 (Electro Luminescence；下面稱為 EL) 顯示裝置等。作為這種顯示裝置的型式，可以舉出無源矩陣型和有源矩陣型。再者，有源矩陣型顯示裝置即使增加像素數，也可以高速地運作。

有源矩陣型顯示裝置因為將 TFT、電容、佈線、像素電極等形成在同一基底上，所以容易降低開口率。因此，可以嘗試通過設法改變它們的材料、形狀、個數、或者佈置等的設計來提高開口率。例如，在專利文件 1 中公開了如下方法：通過使用具有高相對介電常數的氧化鋇作為電容的電介質，謀求電容的小面積化。

[專利文件 1] 日本專利申請公開特開平 11-312808 號公報

另一方面，存在著如下問題：若採用將具有高相對介電常數的材料用於電容的方法，則製造步驟數量會增多。

在此，爲了使製造步驟數量不增加且提高開口率，擴大開口部的面積即可。但是，如果爲了擴大開口部的面積，將開口部設在佈線之間，則開口部的形狀變得複雜。再者，在 EL 顯示裝置中，當使開口部的形狀複雜時，因爲開口部的邊緣（端部）的長度變大，所以產生了助長 EL 發光部的收縮的問題。

在此，EL 發光部的收縮指的不是 EL 層的物理收縮，而是 EL 元件（即，電致發光元件）的有效面積（EL 元件的發光部分的面積）從端部逐漸地收縮的狀態。

此外，在除了顯示裝置以外的半導體裝置（例如 DRAM 等）中，擴大與電晶體連接的元件的面積爲優選。

【發明內容】

因而，本發明的目的在於提供開口率高的顯示裝置（或者元件的面積大的半導體裝置）。

在本說明書中，TFT 的溝道形成區域指的是在閘電極的下面隔著閘絕緣膜設置的半導體區域。此外，溝道長度指的是在溝道形成區域中載流子（亦稱載子）流動的方向的長度。再者，溝道寬度指的是垂直於溝道長度方向的溝道形成區域的長度。

注意，當採用多閘結構的 TFT 時，溝道長度及溝道寬度指的是每一個溝道形成區域的尺寸。

申請專利範圍

1. 一種顯示裝置，包括：

在膜上的第一電晶體；

在該膜上的第二電晶體，該第二電晶體電連接到該第一電晶體；

在該膜上的第一佈線，該第一佈線電連接到該第一電晶體的源極和汲極之一者；

在該膜上的第二佈線，該第二佈線電連接到該第二電晶體的源極和汲極之一者；以及

在該膜上的電致發光元件，該電致發光元件電連接到該第一電晶體的該源極和該汲極之另一者，

其中，包含該第一電晶體的溝道形成區域之半導體層包含具有彎曲形的部分於該半導體層的俯視圖中，

其中，該第一佈線組態用以經由該第一電晶體傳輸流入該電致發光元件的電流，

其中，該第一佈線與該第一電晶體的該溝道形成區域彼此重疊，

其中，該第二佈線與該第一電晶體的該半導體層彼此重疊，

其中，該第一電晶體的該溝道形成區域包含可使載子於一方向流動的區域，

其中，該第一佈線的縱向方向與該方向交叉，並且

其中，該第二佈線的縱向方向與該方向交叉。

2. 一種顯示裝置，包括：

在膜上的第一電晶體；

在該膜上的第二電晶體，該第二電晶體電連接到該第一電晶體；

在該膜上的第一佈線，該第一佈線電連接到該第一電晶體的源極和汲極之一者；

在該膜上的第二佈線，該第二佈線電連接到該第二電晶體的源極和汲極之一者；

在該膜上的第三佈線，該第三佈線電連接到該第二電晶體的閘極；以及

在該膜上的電致發光元件，該電致發光元件電連接到該第一電晶體的該源極和該汲極之另一者，

其中，包含該第一電晶體的溝道形成區域之半導體層包含具有彎曲形的部分於該半導體層的俯視圖中，

其中，該第一佈線組態用以經由該第一電晶體傳輸流入該電致發光元件的電流，

其中，該第一佈線與該第一電晶體的該溝道形成區域彼此重疊，

其中，該第二佈線與該第一電晶體的該半導體層彼此重疊，

其中，該第一電晶體的該溝道形成區域包含可使載子於一方向流動的區域，

其中，該第一佈線的縱向方向與該方向交叉，

其中，該第二佈線的縱向方向與該方向交叉，並且

其中，該第三佈線的縱向方向沿著該方向。

3. 一種顯示裝置，包括：

在樹脂上的第一電晶體；

在該樹脂上的第二電晶體，該第二電晶體電連接到該第一電晶體；

在該樹脂上的第一佈線，該第一佈線電連接到該第一電晶體的源極和汲極之一者；

在該樹脂上的第二佈線，該第二佈線電連接到該第二電晶體的源極和汲極之一者；以及

在該樹脂上的電致發光元件，該電致發光元件電連接到該第一電晶體的該源極和該汲極之另一者，

其中，包含該第一電晶體的溝道形成區域之半導體層包含具有彎曲形的部分於該半導體層的俯視圖中，

其中，該第一佈線組態用以經由該第一電晶體傳輸流入該電致發光元件的電流，

其中，該第一佈線與該第一電晶體的該溝道形成區域彼此重疊，

其中，該第二佈線與該第一電晶體的該半導體層彼此重疊，

其中，該第一電晶體的該溝道形成區域包含可使載子於一方向流動的區域，

其中，該第一佈線的縱向方向與該方向交叉，並且

其中，該第二佈線的縱向方向與該方向交叉。

4. 一種顯示裝置，包括：

在樹脂上的第一電晶體；

在該樹脂上的第二電晶體，該第二電晶體電連接到該第一電晶體；

在該樹脂上的第一佈線，該第一佈線電連接到該第一電晶體的源極和汲極之一者；

在該樹脂上的第二佈線，該第二佈線電連接到該第二電晶體的源極和汲極之一者；

在該樹脂上的第三佈線，該第三佈線電連接到該第二電晶體的閘極；以及

在該樹脂上的電致發光元件，該電致發光元件電連接到該第一電晶體的該源極和該汲極之另一者，

其中，包含該第一電晶體的溝道形成區域之半導體層包含具有彎曲形的部分於該半導體層的俯視圖中，

其中，該第一佈線組態用以經由該第一電晶體傳輸流入該電致發光元件的電流，

其中，該第一佈線與該第一電晶體的該溝道形成區域彼此重疊，

其中，該第二佈線與該第一電晶體的該半導體層彼此重疊，

其中，該第一電晶體的該溝道形成區域包含可使載子於一方向流動的區域，

其中，該第一佈線的縱向方向與該方向交叉，

其中，該第二佈線的縱向方向與該方向交叉，並且

其中，該第三佈線的縱向方向沿著該方向。

5. 如申請專利範圍第 1、2、3 或 4 項所述的顯示裝

置，其中該具有彎曲形的部分為 U 形彎曲部。

6. 如申請專利範圍第 1、2、3 或 4 項所述的顯示裝置，其中該電致發光元件的像素電極包含圓形角部。

7. 如申請專利範圍第 1、2、3 或 4 項所述的顯示裝置，其中該第一電晶體的閘電極可作為電容器的一電極。

8. 如申請專利範圍第 7 項所述的顯示裝置，其中該電容器與該第一電晶體的該半導體層彼此重疊。

9. 如申請專利範圍第 7 項所述的顯示裝置，其中該第一佈線可作為該電容器的另一電極。

10. 如申請專利範圍第 1、2、3 或 4 項所述的顯示裝置，其中該第一電晶體具有多閘結構。

11. 如申請專利範圍第 1、2、3 或 4 項所述的顯示裝置，其中該第二電晶體的該源極和該汲極之另一者電連接到該第一電晶體的閘極。

12. 一種電子裝置，包括如申請專利範圍第 1、2、3 或 4 項所述的顯示裝置。

13. 如申請專利範圍第 1、2、3 或 4 項所述的顯示裝置，其中該第二電晶體組態用以在該第二佈線中供給信號到該第一電晶體的閘極。

14. 如申請專利範圍第 1、2、3 或 4 項所述的顯示裝置，

其中該第一佈線位於相鄰的像素電極之間，

其中該第一電晶體的該溝道形成區域的溝道寬度方向平行於該相鄰的像素電極的一者的縱向方向，並且

其中該第一電晶體的該溝道形成區域的溝道寬度大於該第一電晶體的該溝道形成區域的溝道長度。