

申請日期：93-4-25

IPC分類

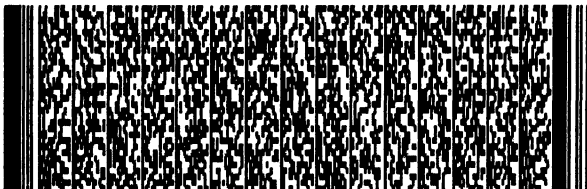
申請案號：73111529

G06F9/00

(以上各欄由本局填註)

發明專利說明書 200535687

一、 發明名稱	中文	週邊裝置之控制系統
	英文	CONTROL SYSTEM OF PERIPHERAL DEVICE
二、 發明人 (共1人)	姓名 (中文)	1. 蔡忠宏
	姓名 (英文)	1. Chung-Hung Tsai
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹縣竹北市十興里33鄰文田街22號
	住居所 (英文)	1.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 聯發科技股份有限公司
	名稱或 姓名 (英文)	1. MEDIATEK INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 300 新竹科學工業園區創新一路1-2號5樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 5F, No. 1-2, Innovation Rd. 1, Science-Based Industrial Park Hsin-Chu City, Taiwan 300, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Ming-Kai Tsai



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

一、發明所屬之技術領域

本發明係提供一種週邊裝置控制系統，用以控制一週邊裝置。

二、先前技術

隨著電腦系統功能的不斷擴充，各種將電腦週邊裝置加以模組化與擴充的方式也越發多元化。習知技術中，電腦系統多具有中央處理器(Central Processing Unit, CPU)，以統籌控制電腦系統中之各元件與周邊裝置。中央處理器多與匯流排相連，並以一預定之頻率，通常俗稱為中央處理器之外頻，傳輸資料至匯流排或與匯流排進行信號的溝通。各週邊裝置之資料處理速度與中央處理器以及匯流排之資料處理速度常常各不相同，彼此間存有相當大的差距，因此，速度較慢的週邊裝置一般則透過晶片組，諸如南北橋晶片組，與匯流排連接。而中央處理器一般並不直接控制週邊裝置之細部或單獨功能。在這種情形下，欲使週邊裝置能正常運作，習知技術之周邊裝置多半具有諸如8032、Z80之類的微控制器。當中央處理器傳送一指令(instruction)至週邊裝置時，該指令由週邊裝置上的微控制器接收，微控制器進而對週邊裝置之各功能模組進行控制，以達成該指令之要求。

由於習知技術中之週邊裝置不能由中央處理器直接控制，而必須包含微控制器，以便控制週邊裝置之各功能並使週邊裝置能正常運作，在這種情形下，各週邊裝置於進



五、發明說明 (2)

行模組化設計時仍需將微控制器之安裝納入考量，這會導致製造成本的增加。

三、發明內容

本發明係提供一種週邊裝置控制系統，可用一處理器配合一橋接裝置來直接控制一週邊裝置，而無須如習知技術必須透過週邊裝置內部的微控制器才能控制週邊裝置之各功能並使其正常運作。

本發明之週邊裝置控制系統主要包含：處理器、第一匯流排、橋接裝置。處理器包含一組控制指令，該組控制指令在第一匯流排上傳送時是使用並符合第一匯流協定，以便能傳送至橋接裝置。而橋接裝置以第一匯流排上之第一匯流協定來與處理器溝通，並且以第二匯流排上之第二匯流協定與該週邊裝置溝通。其中，處理器所發出之控制指令透過第一匯流排至橋接裝置，而橋接裝置則進一步轉換該組控制指令並透過第二匯流排至該週邊裝置，如此一來，不必如習知技術必須透過微控制器，本發明之處理器便可以直接控制週邊裝置執行一特定之功能。

相較於習知電腦系統，本週邊裝置控制系統可直接控制週邊裝置，以使控制系統中之處理器能直接控制該週邊裝置之各功能模組，而不須於該週邊裝置內部另外安裝一微控制器才能達成上述目的，因此可以降低週邊裝置之製造成本。



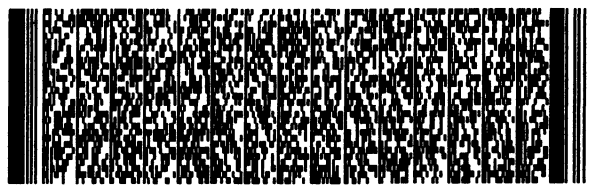
五、發明說明 (3)

四、實施方法

請參閱圖一，圖一為本發明週邊裝置控制系統一實施例之功能方塊圖。週邊裝置控制系統10包含處理器12，第一匯流排14，以及橋接裝置16。本實施例中第一匯流排14可為一進階微控制器匯流架構匯流排(Advanced Micro-controller Bus Architecture Bus，縮寫為AMBA匯流排)，AMBA匯流排連接於處理器12與橋接裝置16之間，以第一匯流協定(或稱AMBA匯流協定)與橋接裝置16傳輸資料或指令。橋接裝置16進一步經由第二匯流排20與週邊裝置18連結，並傳輸資料。該資料之內容可以包含一寫入指令或讀取指令，使處理器12得以藉此等指令直接控制週邊裝置18。

請參閱圖二，圖二為圖一橋接裝置16之功能方塊圖。橋接裝置16具有資料擷取模組30以及匯流協定轉換模組32。資料擷取模組30與第一匯流排14連接，根據第一匯流排14上所傳送資料中之位址訊息進行判斷，並且擷取相關並且適當之資訊。而匯流協定轉換模組32用以將資料擷取模組30所擷取之資料由第一匯流協定轉換為一第二匯流協定，使該資料或指令以符合第二匯流協定之方式經由第二匯流排20傳送至週邊裝置18。

本實施例中，處理器12可為業界常使用如ARM、MIPS等之精簡指令集電腦處理器(Reduced Instruction Set Computer Processor, RISC Processor)。此一處理器12包含一定址區間，處理器12就是以發出落在該定址區間中



五、發明說明 (4)

的位址訊息來控制週邊裝置18之動作。當控制系統10欲要求週邊裝置18執行一特定的周邊動作或功能時，處理器12會產生一組控制指令，該組控制指令包含落在該定址區間中的一位址訊息，該組控制指令並會經由第一匯流排14進行傳送。由於橋接裝置16亦連接於第一匯流排14上，當其中之資料擷取模組30判讀第一匯流排14上之控制指令中所包含之位址訊息與其相關後，便會將該組控制指令之內容擷取至匯流協定轉換模組32。之後匯流協定轉換模組32將該指令之內容暫時儲存，進而以第二匯流協定進行轉換並將轉換後之該組指令傳送至週邊裝置18，使處理器12得以藉該組指令直接控制該週邊裝置18。

請參閱圖三，圖三為本發明週邊裝置控制系統一實施例之時脈圖。以下則以圖三之時脈圖配合一具體之實施例，來說明本發明如何利用橋接裝置16將第一匯流排14傳來之訊息轉換為第二匯流排20之訊息，以控制該週邊裝置18。在本實施例中，當處理器12欲寫入資料至週邊裝置18時，處理器12會產生一組控制指令以便於後續控制週邊裝置18。該組控制指令包含一位址訊息，一寫入訊息，一資料訊息，以及一資料確認訊息。綜合而言，處理器12首先會透過第一匯流排(AMBA匯流排)14以符合AMBA匯流協定之控制指令傳送至橋接裝置16，橋接裝置16於接收到控制指令後會進行必要之信號協定轉換，以便進一步將控制指令傳送至週邊裝置18。

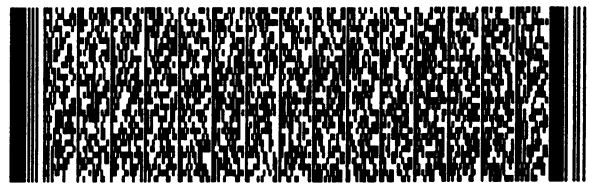
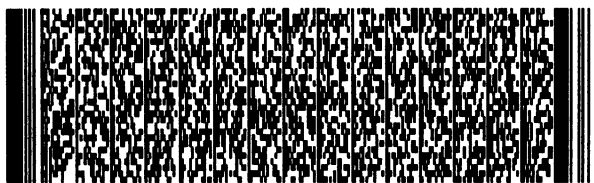
詳細而言可如圖三所示，處理器12經由第一匯流排14



五、發明說明 (5)

首先傳送一位址訊息以及一寫入訊息至橋接裝置16，隨後傳送一資料訊息，並且於資料訊息傳送完畢時，傳送一資料確認訊息至橋接裝置16。這部分的訊息傳送，可參考如圖三上半部所示。當第一匯流排14完成前述之訊息傳送後，則恢復閒置狀態，此時處理器12便可利用第一匯流排14與其他裝置溝通，以便於將處理器12的效能發揮到最大。橋接裝置16之資料擷取模組30會對於第一匯流排14上所傳送的訊息加以判讀，以了解目前的訊息是否和自己所負責的裝置有相關，如果有，則必須進一步加以擷取與處理。因此當資料擷取模組30判讀第一匯流排14上目前之位址訊息指向週邊裝置18時，則將第一匯流排14上之整組控制指令擷取至匯流協定轉換模組32，以便將第一匯流協定轉換為第二匯流協定，並以第二匯流協定將控制指令傳送至該週邊裝置18。這部分的訊息傳送，可參考如圖三下半部所示。橋接裝置16係以分時方式傳送該組控制指令至該週邊裝置18。也就是說，橋接裝置16首先將符合第二匯流協定之位址訊息傳送至該週邊裝置18，並且搭配一位址門鎖訊息，接著橋接裝置16將資料訊息傳送至該週邊裝置18，並且搭配一寫入訊息。如此一來，處理器12經由第一匯流排14、橋接裝置16以及第二匯流排20，就可以成功將資料寫入至週邊裝置18，而不需要如習知技術必須透過週邊裝置內部的微控制器才能完成。

第二匯流排上的信號波形也可參考如圖三所示。第二匯流排上的控制信號主要由位址訊息、資料訊息、寫入訊

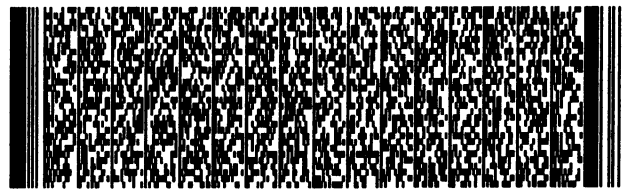


五、發明說明 (6)

息、讀出訊息以及位址門鎖訊息組成。第二匯流排上所產生的信號通常是屬於特定的波形，例如：非同步控制信號的方式，以此來進行資料傳遞或信號產生，而去控制週邊裝置18，其工作時脈通常只有數MHz至30MHz。

本實施例中，週邊裝置18為MSC-51系列的週邊裝置，特別是MSC-51 8032的週邊裝置。此外週邊裝置18還可以為一光碟機(Optical Disc Drive)、一可寫入光碟機(Recordable Optical Disc Drive)、或一通用序列阜轉換器(USB Transceiver)、GPIO控制器、或任何獨立於IC外的週邊裝置等等。這種週邊裝置的共通性是他們通常只是被動的接受來自外部其他命令的控制，發出這些命令者可以是與週邊裝置相連接的電腦系統，或是電腦系統中的中央處理器CPU。而且，只要週邊裝置18可接受外部之微控制器所控制，例如：可接受一51系列(MSC 51 family)之外部微控制器所控制，週邊裝置18內部可以不包含微控制器，或是包含微控制器但是不需要利用微控制器來進行與本發明相關之週邊裝置控制動作。

也就是說，在本實施例所舉例之MSC-51 8032的週邊裝置通常不會內含控制器，但可以接受所相連接的電腦系統所發出之控制指令來加以控制。一個控制指令會對應到一串連續的特定波形，本發明所提出的橋接裝置16就是用來做這種控制指令對應到特定波形的轉換過程，以取代先前技術中微控制器的角色。如果沒有本發明的橋接裝置16，則必須由前端電腦系統中高速主控處理器12去產生這

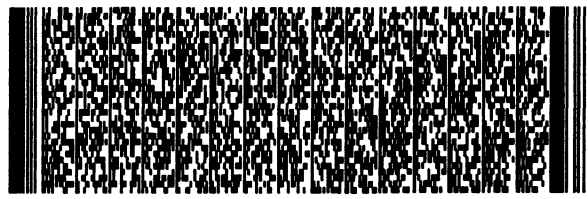
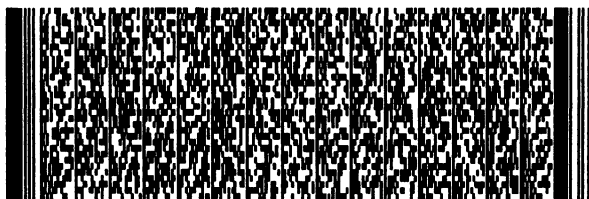


五、發明說明 (7)

種波形，如此一來，也就表示處理器12必須預留出部分系統資源來進行此一工作，這會影響整體週邊裝置控制系統10的效率。在本實施例所舉例之MSC-51系列之週邊裝置，如果其中具有微控制器時，通常也是屬於慢速(<30MHz)且位元數少(8或16位元)的微控制器，但是必須可以接受前端主控的高速處理器12的指令。

於本發明中，處理器12可經由第一匯流排14以及橋接裝置16直接將指令傳送至週邊裝置18，以控制週邊裝置18之一特定功能，例如：處理器12可直接傳送指令分別命令光碟機之讀取頭(pickup head)移動至特定位置，命令轉軸馬達旋轉，以及命令雷射頭讀取資料。是以，由於本發明可直接控制週邊裝置18，所以被控制之週邊裝置18可以不必內含微控制器，只要是可以辨識並接受微控制器的指令即可，如此一來，可以降低週邊裝置之製造成本。

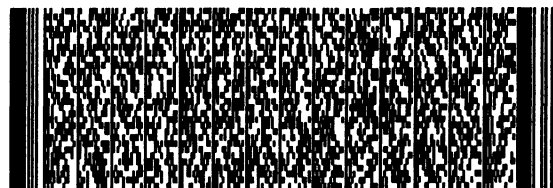
請參閱圖四，圖四為圖一週邊裝置18與橋接裝置16之功能方塊圖。週邊裝置18係以引腳共用方式與橋接裝置16連接。橋接裝置16具有位址資料共用引腳40。位址資料共用引腳40同時連接至週邊裝置18之資料引腳42、一第一暫存器44和一第二暫存器46。此外，橋接裝置16另有第一控制引腳48、第二控制引腳50，分別連接至第一暫存器44，第二暫存器46。週邊裝置18另具有一第一引腳52，一第二引腳54，分別與第一暫存器44、第二暫存器46連接。第一引腳52可以是週邊裝置18的高位址引腳，而第二引腳52可以是週邊裝置18的低位址引腳。橋接裝置16之位址資料共



五、發明說明 (8)

用引腳40分別傳送第一訊號、第二訊號、以及資料訊號至第一暫存器44、第二暫存器46、以及週邊裝置18之資料引腳42。該第一暫存器44則暫時儲存第一訊號，而該第二暫存器46則暫時儲存第二訊號。之後，橋接裝置16之第一控制引腳48以及第二控制引腳50分別傳送一控制訊號以控制第一暫存器44、第二暫存器46，以將第一訊號、第二訊號傳送至週邊裝置18之第一引腳52與第二引腳54。利用第一暫存器44，橋接裝置16之第一控制引腳48就可以分時地使週邊裝置18之資料引腳42以及第一引腳52共用橋接裝置16之位址資料共用引腳40。同樣地，利用第二暫存器46，橋接裝置16之第二控制引腳50就可以分時地使週邊裝置18之資料引腳42以及第二引腳54共用橋接裝置16之位址資料共用引腳40。

圖五為本發明週邊裝置控制系統另一實施例之功能方塊圖。在本發明所提出的架構下，若處理器本身並非使用AMBA匯流排，仍然可以適用本發明。圖五則顯示本發明另一實施例之週邊裝置控制系統60，在此系統60中，處理器62包含一子處理器68以及一內部匯流排(internal bus)66。也就是說，處理器62本身並非使用AMBA匯流排，而是使用專屬的內部匯流排66或是一第三匯流排時，在這種情形下，則可先透過介面匯流單元64進行匯流排轉換之動作，將處理器62內部匯流排或是第三匯流排的信號先轉換成第一匯流排(AMBA匯流排)14的信號規格，然後其餘和橋接裝置16以及週邊裝置18的信號傳輸部分就和前面所述相



五、發明說明 (9)

同，在此不再贅述。如此一來，即使處理器62本身的信號使用其專屬的內部匯流排66，一樣可以適用本發明。

綜合而言，本發明之週邊裝置控制系統之特徵與優點，可以整理如下：

1. 本發明主要是利用處理器配合橋接裝置來直接控制週邊裝置，無須如習知技術必須透過週邊裝置內部的微控制器才能控制週邊裝置之各功能並使其正常運作。在本發明中，週邊裝置主要是由橋接裝置透過第二匯流排來加以控制，這種情形下，週邊控制裝置中是否內含或不內含微控制器就都沒關係，只要可以透過第二匯流排加以控制，甚至可將週邊裝置內部的微控制器加以省略，因此本發明可以在不影響原來系統正常運作下來節省微控制器之製造成本。

2. 本發明所提出的橋接裝置可以將處理器所發出之控制指令轉換為特定波形，以後續控制週邊裝置的各種動作，因此可以取代先前技術中微控制器的角色。而一般微控制器中的內部電路較本發明所提出的橋接裝置複雜許多，能省略微控制器而以橋接裝置達到本發明控制週邊裝置的目的，這是本發明可以節省製造成本之處。

3. 除了成本考量之外，如果沒有本發明的橋接裝置，則必須由週邊裝置控制系統中的處理器去產生後續控制週邊裝置的波形。如此一來，也就表示處理器必須預留出部分系統資源來進行此一工作，這會影響整體週邊裝置控制系統的效率。有了本發明的橋接裝置，可以大量分擔處理



五、發明說明 (10)

器對於控制週邊裝置的工作負荷，使得處理器可以集中系統中有限的資源，處理最核心的計算工作。如此一來，可以提升整體週邊裝置控制系統的效率。

4. 在本發明所提出的架構下，若處理器本身並非使用AMBA匯流排，仍然可以適用本發明。在這種情形下，則可先透過業界所習知匯流排轉換之技術，將處理器之內部匯流排信號先轉換成AMBA匯流排的信號規格，之後就可以採用本發明於最佳實施例中所述之技術。

藉由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。



圖式簡單說明

五、圖示簡單說明

圖一為本發明週邊裝置控制系統之功能方塊圖。

圖二為圖一橋接裝置之功能方塊圖。

圖三為本發明週邊裝置控制系統之時脈圖。

圖四為圖一週邊裝置與橋接裝置之功能方塊圖。

圖五為本發明週邊裝置控制系統另一實施例之功能方塊圖。

六、圖示標號說明

10、60：微控制器裝置控制系統 12、62：處理器

14：第一匯流排

16：橋接裝置

18：微控制器裝置

30：資料擷取模組

32：匯流協定轉換模組

40：位址資料共用引腳

42：資料引腳

44：第一暫存器

46：第二暫存器

48：第一控制引腳

50：第二控制引腳

52：第一引腳

54：第二引腳

64：介面匯流單元

66：內部匯流排

68：子處理器



四、中文發明摘要 (發明名稱：週邊裝置之控制系統)

一種週邊裝置之控制系統，包含處理器、第一匯流排、橋接裝置。處理器包含一組控制指令。第一匯流排使用第一匯流協定與該處理器裝置連接。橋接裝置，以第一匯流協定與第一匯流排溝通，並且以第二匯流協定與該週邊裝置溝通。其中，處理器透過第一匯流排與該橋接裝置，傳送該組控制指令至該週邊裝置，使處理器直接控制該週邊裝置執行一預定之功能。

五、(一)、本案代表圖為：第___一___圖

(二)、本案代表圖之元件代表符號簡單說明：

10：週邊裝置控制系統	12：處理器
14：第一匯流排	16：橋接裝置
18：週邊裝置	20：第二匯流排

六、英文發明摘要 (發明名稱：CONTROL SYSTEM OF PERIPHERAL DEVICE)

A peripheral device control system includes a processor, a first bus and a bridge device. The processor includes an instruction set which has a set of control instruction. The first bus employs a first bus protocol and connects to the processor. The bridge device communicates with the first bus by the first bus protocol and communicates with the peripheral device by a



四、中文發明摘要 (發明名稱：週邊裝置之控制系統)

六、英文發明摘要 (發明名稱：CONTROL SYSTEM OF PERIPHERAL DEVICE)

second protocol. Wherein, the processor transmit a set of control instruction to the peripheral device through the first bus and the bridge device so as to directly control the peripheral device to perform a predetermined function.



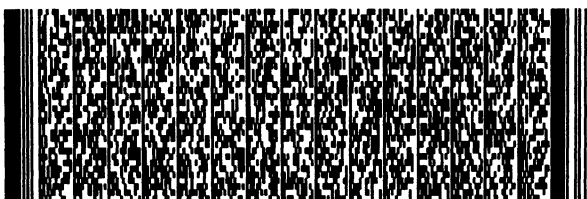
六、申請專利範圍

- 1、一種週邊裝置之控制系統，該控制系統包含
 - 一處理器，可產生一組控制指令；
 - 一第一匯流排，該第一匯流排使用一第一匯流協定，以傳送該處理器所產生之該組控制指令；以及
 - 一橋接裝置，以該第一匯流協定與該第一匯流排溝通，並且以一第二匯流協定與該週邊裝置溝通；其中，該處理器會透過該第一匯流排與該橋接裝置，傳送該組控制指令至該週邊裝置，使該處理器直接控制該週邊裝置執行一預定之功能。
- 2、如申請專利範圍第1項所述之控制系統，該橋接裝置包含：
 - 一資料擷取模組，以該第一匯流協定選擇性地自該第一匯流排接收該組控制指令；以及
 - 一匯流協定轉換模組，連接至該資料擷取模組，將接收到之該組控制指令以該第二匯流協定傳送至該週邊裝置。
- 3、如申請專利範圍第1項所述之控制系統，該組控制指令包含：一位址訊息、一位址門鎖訊息、一寫入訊息、一資料訊息以及一資料確認訊息。
- 4、如申請專利範圍第1項所述之控制系統，該週邊裝置



六、申請專利範圍

- 4、如申請專利範圍第1項所述之控制系統，該週邊裝置不包含一微控制器。
- 5、如申請專利範圍第1項所述之控制系統，該週邊裝置包含一微控制器。
- 6、如申請專利範圍第4項所述之控制系統，該週邊裝置之該微控制器係一51系列(MSC 51 family)微控制器。
- 7、如申請專利範圍第1項所述之控制系統，該處理器為一精簡指令集電腦處理器(Reduced Instruction Set Computer Processor, RISC Processor)。
- 8、如申請專利範圍第1項所述之控制系統，該第一匯流排為一進階微控制器匯流架構匯流排(Advanced Micro-controller Bus Architecture Bus, AMBA Bus)。
- 9、如申請專利範圍第1項所述之控制系統，該處理器包含：
 - 一子處理器；以及
 - 一第三匯流排，連接至該子處理器，該第三匯流排使用一第三匯流協定；



六、申請專利範圍

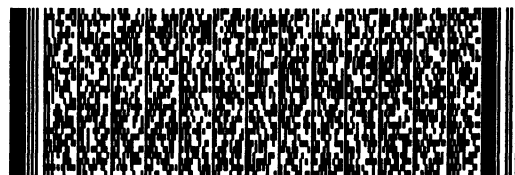
其中，該處理器之第三匯流排會經由一介面匯流單元(Interface Bus Unit)，連接該第三匯流排至該第一匯流排。

10、如申請專利範圍第9項所述之控制系統，該組控制指令由該子處理器經由該第三匯流排並使用該第三匯流協定傳送至該介面匯流單元，該介面匯流單元將所接收到之該組控制指令經由該第一匯流排並使用該第一匯流協定傳送至該橋接裝置。

11、如申請專利範圍第10項所述之控制系統，該第一匯流排為一進階微控制器匯流架構匯流排(Advanced Micro-controller Bus Architecture Bus)，該第三匯流排為一內部匯流排(Internal Bus)，該子處理器為一精簡指令集電腦處理器(Reduced Instruction Set Computer Processor, RISC Processor)。

12、一種電腦系統，該電腦系統包含：

- 一週邊裝置(peripheral device)；
- 一處理器，可產生一組控制指令；
- 一第一匯流排，該第一匯流排使用一第一匯流協定，以傳送該處理器所產生之該組控制指令；以及
- 一橋接裝置，以該第一匯流協定與該第一匯流排溝

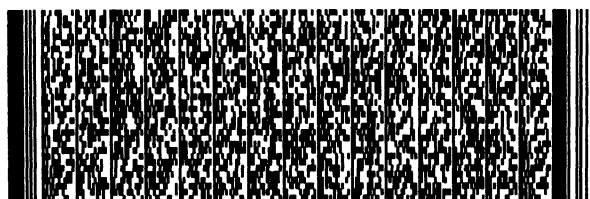


六、申請專利範圍

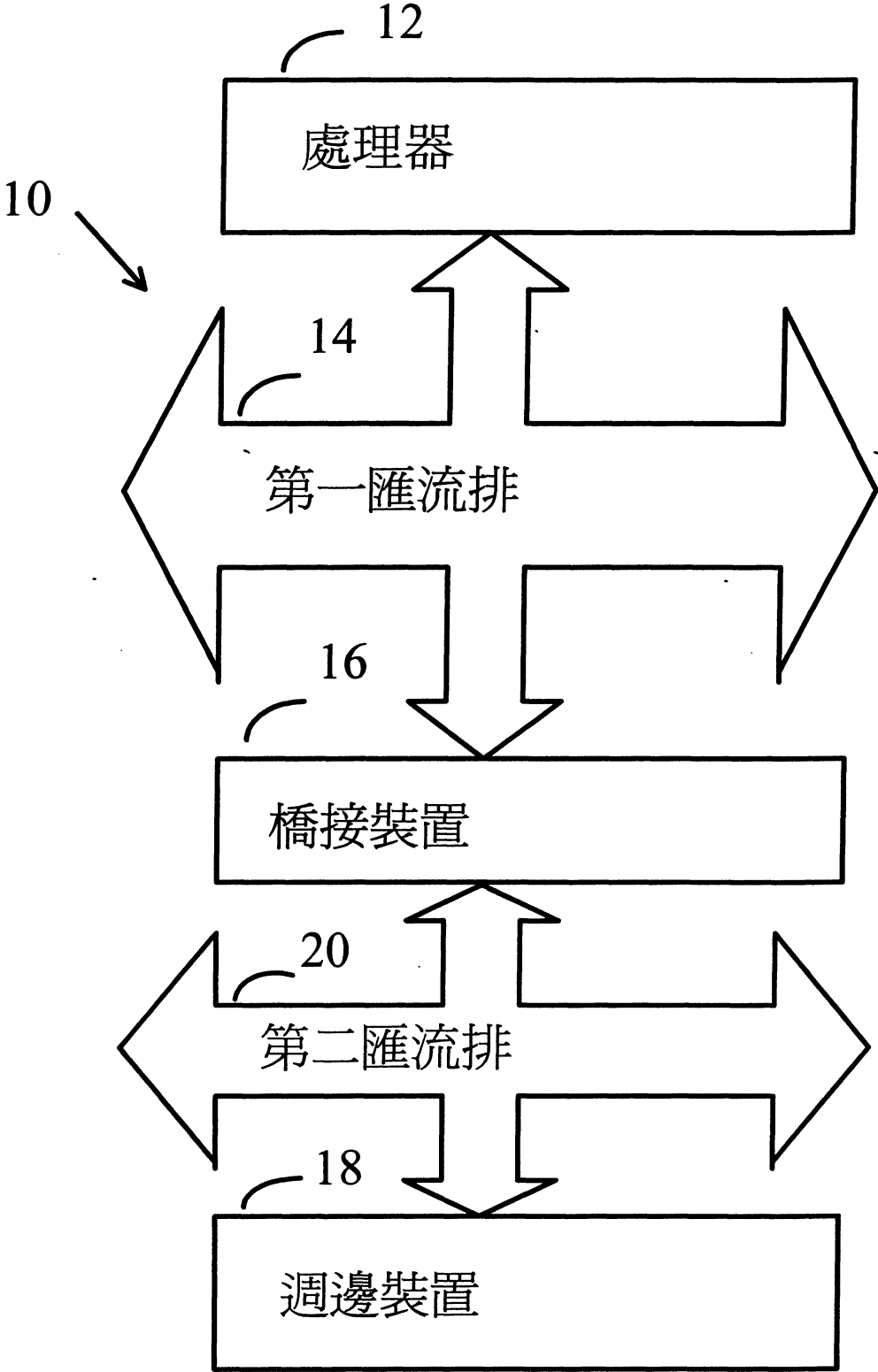
通，並且以一第二匯流協定與該週邊裝置溝通；其中，該處理器透過該第一匯流排與該橋接裝置，傳送該組控制指令至該週邊裝置，使該處理器直接控制該週邊裝置執行一預定功能。

13、如申請專利範圍第12項所述之電腦系統，該橋接裝置之一位址資料共用引腳連接至該週邊裝置之一資料引腳，該位址資料共用引腳則與一第一暫存器連接，該第一暫存器更進一步與該週邊裝置之一第一引腳連接，該橋接裝置之一第一控制引腳連接至該第一暫存器，以分時地使該資料引腳以及該第一引腳共用該橋接裝置之該位址資料共用引腳。

14、如專利申請範圍第13項所述之電腦系統，該橋接裝置之該位址資料共用引腳亦連接至一第二暫存器，該第二暫存器更進一步與該週邊裝置之一第二引腳連接，該橋接裝置之一第二控制引腳連接至該第二暫存器，以分時地使該資料引腳、該第二引腳以及該第一引腳共用該橋接裝置之該位址資料共用引腳。

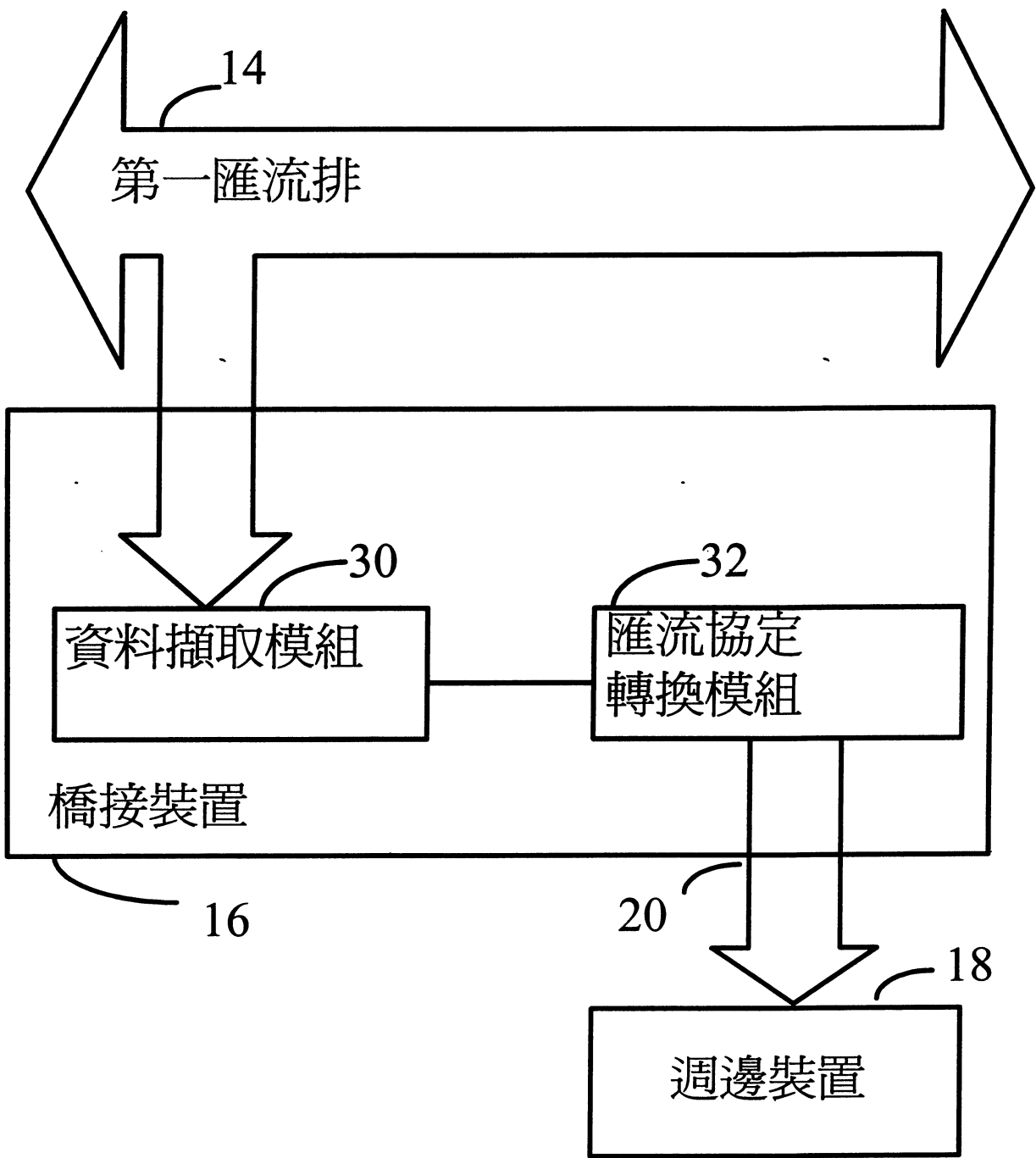


圖示



圖一

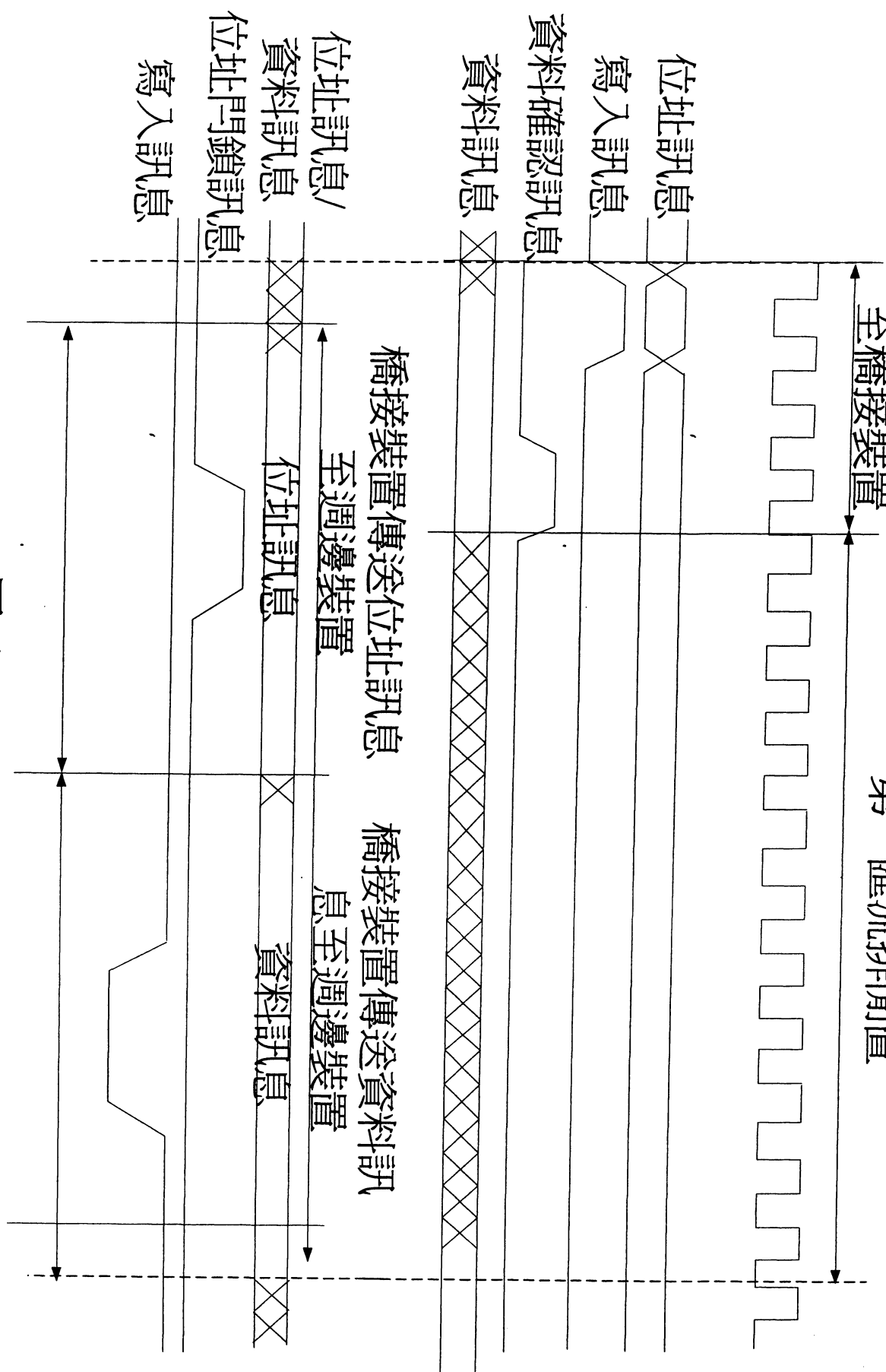
圖式



圖二

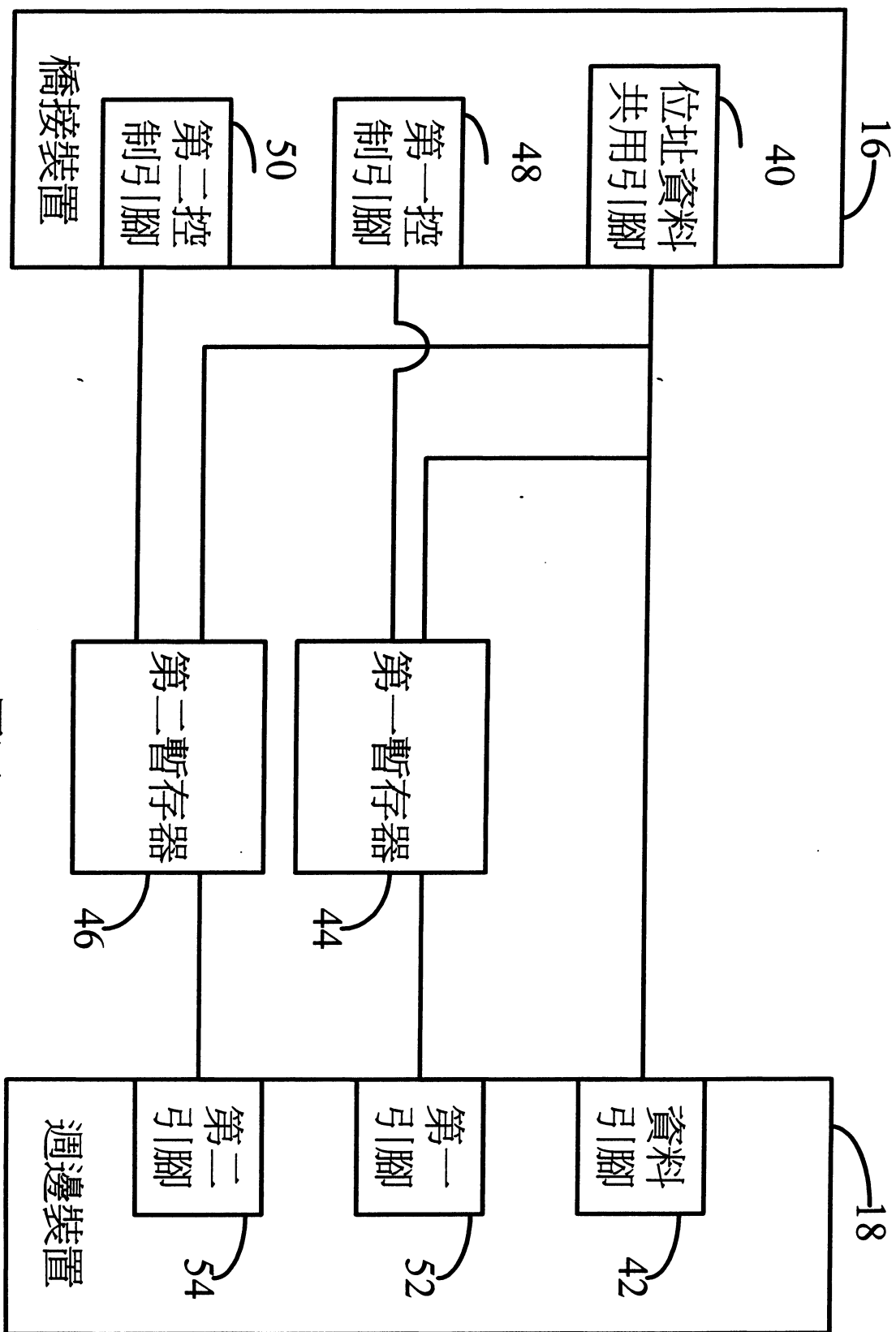
第一匯流排至橋接裝置

第一 匯流排閒置



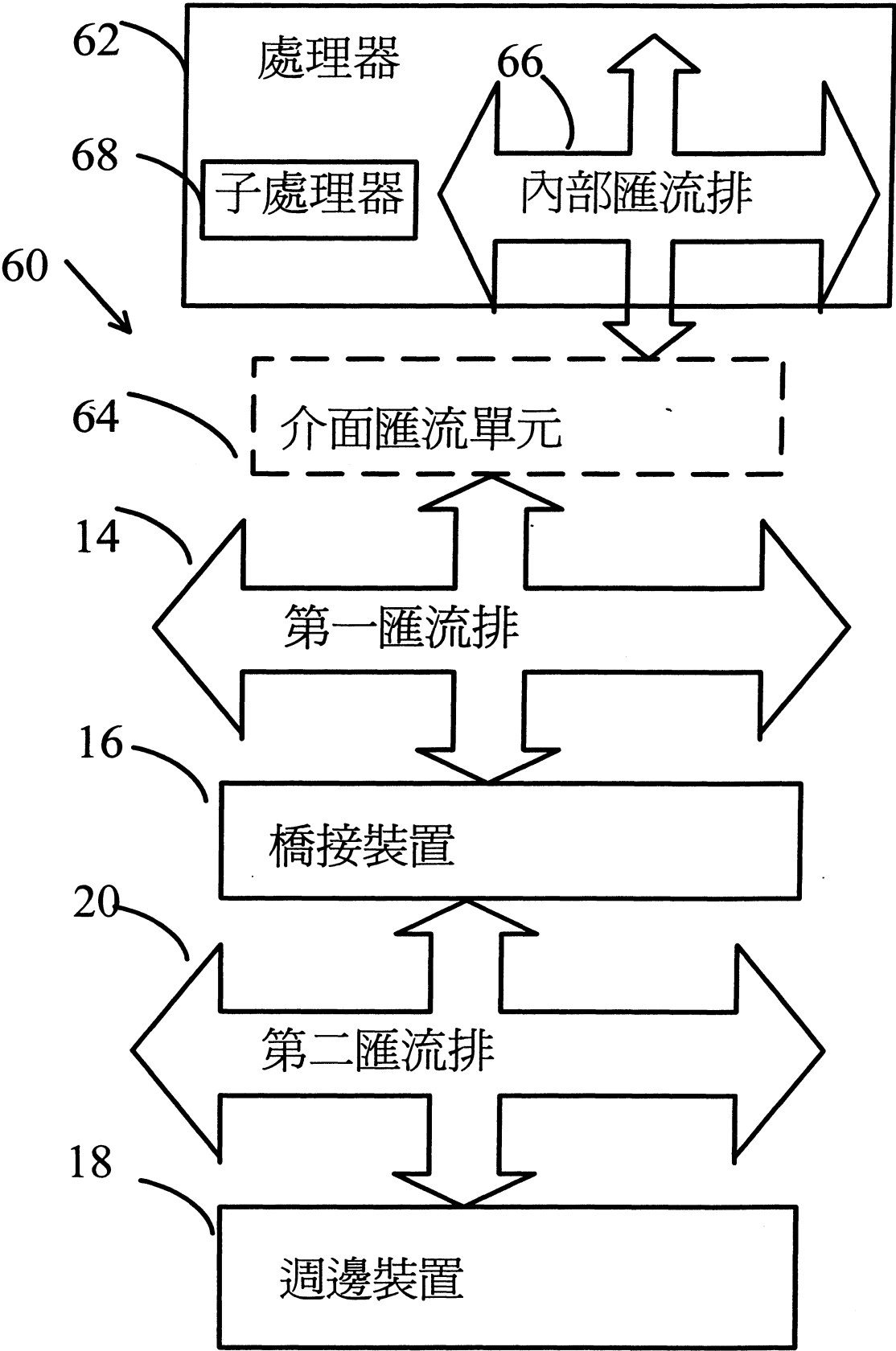
圖

圖示



圖四

圖示



圖五