

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5329024号
(P5329024)

(45) 発行日 平成25年10月30日(2013.10.30)

(24) 登録日 平成25年8月2日(2013.8.2)

(51) Int.Cl.		F I		
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 1 8 F	
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 2 6 C	
		HO 1 L 29/78	6 1 7 T	

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2006-176945 (P2006-176945)	(73) 特許権者	504157024 国立大学法人東北大学 宮城県仙台市青葉区片平二丁目1番1号
(22) 出願日	平成18年6月27日(2006.6.27)	(73) 特許権者	000173658 公益財団法人国際科学振興財団 茨城県つくば市春日三丁目24番16
(65) 公開番号	特開2008-10498 (P2008-10498A)	(74) 代理人	100077838 弁理士 池田 憲保
(43) 公開日	平成20年1月17日(2008.1.17)	(74) 代理人	100082924 弁理士 福田 修一
審査請求日	平成21年3月23日(2009.3.23)	(72) 発明者	大見 忠弘 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内
前置審査			

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の半導体領域と、その上に形成された埋込絶縁物層と、当該埋込絶縁物層の上に形成された第2の半導体領域と、前記第2の半導体領域の少なくとも一部に形成されたチャンネル領域と、前記チャンネル領域の上に設けられたゲート絶縁膜、及び前記ゲート絶縁膜上に形成されたゲート電極を有し、前記埋込絶縁物層の厚さが、20nm以下であって、且つ、次式：

$$0.56T_{SOI} < T_{BOX} < 0.85T_{SOI}$$

(ここで、 T_{BOX} は前記埋込絶縁層のEOT換算の厚さ、 T_{SOI} は前記第2の半導体領域の厚さを、それぞれ示す。)を満足し、

前記第2の半導体領域の少なくとも一部に形成された前記チャンネル領域と、前記チャンネル領域と電気的に接続されたソース領域及びドレイン領域は、同一の導電型の半導体によって構成されたアキュムレーション型であり、且つ、

前記ゲート電極にゲート電圧が印加されない状態で、前記チャンネル領域全体に亘って空乏層を形成でき、前記第2の半導体領域の前記チャンネル領域における不純物濃度が 10^{17} cm^{-3} 以上に設定され、ノーマリオフ状態を形成できることを特徴とする半導体装置。

【請求項2】

請求項1において、前記ゲート電極は前記チャンネル領域とは異なる仕事関数を有する材料を少なくとも一部に用いて構成され、且つ、

10

20

前記チャンネル領域の空乏層の厚さは、前記埋込絶縁層の前記厚さ、前記ゲート電極及び前記チャンネル領域の仕事関数の差、及び、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、及び $1 \times 10^{18} \text{ cm}^{-3}$ から選択された前記第1の半導体領域の不純物濃度によって決定されていることを特徴とする半導体装置。

【請求項3】

請求項2において、前記チャンネル領域の閾値は、前記第1の半導体領域の不純物濃度、前記第2の半導体領域の不純物濃度、前記埋込絶縁物層の前記厚さに依存しており、且つ、前記ゲート電極及び前記チャンネル領域の仕事関数の差によって定まる閾値よりも小さいことを特徴とする半導体装置。

【請求項4】

請求項1～3の一つにおいて、前記第1の半導体領域と前記第2の半導体領域とは反対導電型のシリコンであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、IC、LSI等の半導体装置に関し、特に、アキュムレーション(Accumulation)型MOSトランジスタに関するものである。

【背景技術】

【0002】

この種の半導体装置として、本発明者等によって提案された特許文献1に記載されたものがある。特許文献1は、異なる導電型のトランジスタを少なくとも一対有する回路を備えた半導体装置において、トランジスタの少なくとも一つはSOI基板上に設けた半導体層と、その表面の少なくとも一部を覆うゲート絶縁層と、該ゲート絶縁膜上に形成されたゲート電極とを少なくとも含み、ノーマリオフ(normally off)のアキュムレーション(Accumulation)型として形成され、ゲート電極と半導体層との仕事関数差により半導体層に形成される空乏層の厚さが半導体層の膜厚よりも大きくなるように、ゲート電極の材料および半導体層の不純物濃度を選ぶようにした半導体装置を提案している。

【0003】

更に、特許文献1は、CMOSトランジスタを構成するpチャンネル・トランジスタと、nチャンネル・トランジスタの電流駆動能力を等しくするために、シリコンの(110)面を使うことでpチャンネル・トランジスタの電流駆動能力を向上できることを明らかにしている。この構成によれば、nチャンネル・トランジスタとpチャンネル・トランジスタのスイッチング速度を実質的に等しくできると共に、チャンネル領域上に形成される電極の占有面積を実質的に等しくすることができる。

【0004】

【特許文献1】特願2005-349857

【発明の開示】

【発明が解決しようとする課題】

【0005】

特許文献1は、ゲート電極とSOI層の仕事関数差によって、アキュムレーション型MOSトランジスタをノーマリオフにできることを明らかにしている。例えば、硼素を 10^{20} cm^{-3} 以上含有する多結晶シリコンでゲート電極を形成すると、P+多結晶シリコンの仕事関数は、およそ 5.15 eV であり、SOI層を不純物濃度 10^{17} cm^{-3} のn型シリコン層とするとその仕事関数は、およそ 4.25 eV であるので、およそ 0.9 eV の仕事関数差が発生する。このときの空乏層厚さは約 90 nm 程度であるので、SOI層の厚さを 45 nm としておけばSOI層は完全に空乏化してノーマリオフのトランジスタ得られる。

【0006】

しかしながら、この構造ではゲート電極の材料が制約を受けるといった問題がある。たとえば、Taをゲート電極に用いようとしても、その仕事関数は 4.6 eV であるので、S

10

20

30

40

50

SOI層との仕事関数の差がごく僅かで、適用が困難である。さらに、アキュムレーション(Accumulation)型MOSトランジスタにおいては、トランジスタがオンするときに蓄積層の電流以外にSOI層全体でバルク(Bulk)電流が流れるので、トランジスタの電流駆動能力を高めるためにはSOI層の不純物濃度を高くする必要がある。SOI層の不純物濃度が高ければ高いほど、SOI層全体のバルク電流が大きくなるし、 $1/f$ ノイズも下がる。このようにアキュムレーション型MOSトランジスタにおいてはSOI層を高不純物濃度にするのが望ましいのであるが、SOI層の不純物濃度を1桁大きくすると、空乏層の厚さが $1/4 \sim 1/7$ になってしまう。従って、SOI層の膜厚を薄くしなければならないがそうするとSOI層全体のバルク電流が下がってしまうから、結局ゲート電極の材料を、SOI層との仕事関数差がより大きいものにしなければならない。その結果トランジスタの閾値電圧が大きくなり、低電源電圧で駆動することが困難になってしまう。

10

【0007】

本発明の目的は、閾値電圧を低くすることができ、小型化可能な半導体装置を提供することである。

【0008】

本発明の具体的な目的は、SOI層との仕事関数差が大きくないゲート電極を用いてもノーマリオフとすることができるアキュムレーション型半導体装置を提供することである。

【0009】

本発明の他の目的は、SOI層の不純物濃度を高くしても閾値電圧を高くせずにノーマリオフとすることができるアキュムレーション型半導体装置を提供することである。

20

【0010】

本発明の別の目的は、ゲート電極とSOI層との仕事関数差による以外にSOI層の空乏層の厚さを制御できる新しい手法を提供することにある。

【0011】

本発明の他の目的は、閾値電圧を低くすることができる半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0012】

本発明の第1の態様によれば、第1の半導体領域と、その上に形成された埋込絶縁物層と、その上に形成された第2の半導体領域とを少なくとも有する基板を用いて形成され、前記第2の半導体領域の少なくとも一部をチャンネル領域とし、その上にゲート絶縁膜及びゲート電極を有する半導体装置において、前記埋込絶縁物層の厚さおよび前記第1の半導体領域の不純物濃度によって前記チャンネル領域の空乏層の厚さを制御したことを特徴とする半導体装置が得られる。

30

【0013】

本発明の第2の態様によれば、前記埋込絶縁物層の厚さおよび前記第1の半導体領域の不純物濃度に依存する閾値を有していることを特徴とする半導体装置が得られる。

【0014】

本発明の第3の態様によれば、前記チャンネル領域に電氣的に接続するソース領域およびドレイン領域を備え、前記ゲート電極は前記チャンネル領域とは異なる仕事関数を有する材料を少なくとも一部に用いて構成され、且つ、前記チャンネル領域の空乏層の厚さは、前記ゲート電極及び前記チャンネル領域の仕事関数の差と、前記第1の半導体領域の不純物濃度と、前記埋込絶縁層の厚さとを調整して決定されていることを特徴とする半導体装置が得られる。このとき、前記第2の半導体領域の不純物濃度は好ましくは 10^{17} cm^{-3} 以上、さらに好ましくは $2 \times 10^{17} \text{ cm}^{-3}$ 以上である。

40

【0015】

本発明の第4の態様によれば、前記閾値は前記ゲート電極及び前記チャンネル領域の仕事関数の差によって定まる閾値よりも小さいことを特徴とする半導体装置が得られる。

【0016】

50

本発明の第5の態様によれば、前記第1の半導体領域と前記第2の半導体領域とは反対導電型のシリコンであることを特徴とする半導体装置が得られる。

【0017】

本発明の第6の態様によれば、前記チャンネル領域、前記ソース領域及び前記ドレイン領域が同一の導電型のアキュムレーション型であることを特徴とする半導体装置が得られる。

【0018】

本発明の第7の態様によれば、ノーマリオフ型であることを特徴とする半導体装置が得られる。

【0019】

本発明の第8の態様によれば、前記埋込絶縁層の厚さが20nm以下であり、好ましくは次式を満足することを特徴とする半導体装置が得られる。

【0020】

$$0.56T_{SOI} < T_{BOX} < 1.17T_{SOI}$$

ここで、 T_{BOX} は前記埋込絶縁層のEOT(Effective Oxide Thickness、すなわちSiO₂換算膜厚)を、 T_{SOI} は前記第2の半導体領域の厚さを、それぞれ示す。

【0021】

本発明の第9の態様によれば、埋め込まれた酸化物層を有する基板上に形成され、ゲート電極及び閾値を有する半導体装置の製造方法において、前記基板の不純物濃度を調整することによって、閾値を制御することを特徴とする半導体装置の製造方法が得られる。

【0022】

本発明の第9の態様によれば、前記基板の不純物濃度はイオン注入によって調整されることを特徴とする半導体装置の製造方法が得られる。

【0023】

本発明の他の態様によれば、二つの主面を有する半導体層の一方の主面にゲート絶縁膜を介して設けられたゲート電極を有する半導体装置において、前記半導体層の他方の主面に埋込絶縁物層を介して設けられた導電物層を有し、前記半導体層の少なくとも一部をチャンネル領域とし、前記埋込絶縁物層の厚さを20nm以下とし、前記埋込絶縁物層の厚さ、前記ゲート電極材料と前記半導体層との仕事関数の差、および前記導電物層と前記半導体層との仕事関数の差によって前記チャンネル領域の空乏層の厚さを前記半導体層の厚さよりも大きくするようにしたことを特徴とする半導体装置が得られる。

【発明の効果】

【0024】

本発明によれば、チャンネル領域の空乏層の厚さを、埋込絶縁層膜厚を薄くすることによって薄くし、基板側の半導体領域の不純物濃度で制御する新しい半導体装置が得られる。特に、アキュムレーション型のMOSFETにおいて基板の不純物濃度を調整することによって、ゲート電極とチャンネル領域との仕事関数の差による制御をしなくても、あるいは制御と相乗して、閾値を高めずにノーマリオフを実現できる。本発明では、低い閾値電圧を有し、且つ、小型化された半導体装置を得ることができると云う利点がある。即ち、本発明では、高速且つ低電源電圧の半導体装置を構成できる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の半導体装置について、図面を参照して説明する。

【0026】

図1を参照すると、本発明を適用できるアキュムレーション(Accumulation)型MOSトランジスタおよびインバージョン(Inversion)型MOSトランジスタを示している。ここで、図1(a)及び(b)は、それぞれn及びpチャンネル・アキュムレーション型MOSトランジスタ(NMOSトランジスタ及びPMOSトランジスタ)を示し、図1(c)及び(d)は、それぞれn及びpチャンネルインバージョン型MOSトランジスタを示している。

【0027】

10

20

30

40

50

図1(a)に示されたNMOSトランジスタの場合、p型シリコン基板の表面領域に埋込絶縁層(BOX)が形成され、当該埋込絶縁層(BOX)上に、n型のSOI(Silicon On Insulator)層が形成されている。また、n型のSOI層は、ソース、ドレイン、及び、チャンネル領域を形成している。このうち、ソース及びドレイン領域は、チャンネル領域よりも高不純物濃度を有している。また、ソース及びドレイン領域には、ソース電極S及びドレイン電極Dがそれぞれ接続されている。ここで、チャンネル領域上には、ゲート絶縁膜が形成され、当該ゲート絶縁膜上には、p型多結晶シリコンのゲート電極が設けられている。

【0028】

一方、図1(b)に示されたPMOSトランジスタの場合、n型シリコン基板上に埋込絶縁層(BOX)が形成され、当該埋込絶縁層(BOX)上に、ソース、ドレイン、及び、チャンネル領域を構成するp型のSOI層が形成され、ソース領域及びドレイン領域はチャンネル領域よりも高い不純物濃度を有している。また、チャンネル領域上には、ゲート絶縁膜を介して、n型多結晶シリコンのゲート電極が設けられている。図1(c)及び(d)についても同様に図示した通りである。

【0029】

図1(a)及び(b)のNMOSトランジスタ、及び、PMOSトランジスタは、ゲート電圧 V_g がゼロのとき、空乏層がSOI層全体広がっており、ゲート電圧 V_g が印加されると、空乏層がチャンネル領域の上面まで後退して、更に、ゲート電圧 V_g が高くなると、バルク電流のほかに、蓄積電流も流れるような動作を行う。図1(c)及び(d)のNMOSトランジスタ、及び、PMOSトランジスタは、ゲート電圧 V_g がゼロのときはオフであり、ゲート電圧 V_g が印加されると、反転層がチャンネル領域上面に形成されてソース、ドレイン間に電流が流れる。

【0030】

図2(a)~(d)には、上記したアキュムレーション型NMOSトランジスタの動作原理が示されている。まず、図2(a)に示すように、ゲート電圧 V_g がゼロの場合、空乏層(depletion-layer)がSOI層の全体に広がっている。図2(b)に示すように、ゲート電圧 V_g が印加されると、空乏層がチャンネル上面まで後退してバルク電流 I_{bulk} が流れ出す。更に、ゲート電圧 V_g が増加すると、図2(c)及び(d)に示すように、蓄積電流 I_{acc} も流れ出す。

【0031】

この現象を、NMOSトランジスタを例にとり、図3(a)及び(b)を用いて更に説明すると、SOI構造をとり、ゲート電極とSOI層との仕事関数差で発生する空乏層をSOI層の厚さよりも大きくなるようにすれば、図3(a)に示すようなアキュムレーション構造でノーマリオフ型のMOSトランジスタが可能となる。ここで、図示のようなNMOSトランジスタではp+ポリシリコン(仕事関数 5.2 eV)をゲート電極に用い、pチャンネル・トランジスタではn+ポリシリコン(仕事関数 4.1 eV)をゲート電極に用いることでSOI層との仕事関数差を生じさせることが出来る。

【0032】

空乏層をSOI層よりも厚くし、ゲート電圧 V_g がゼロのとき、オフ状態(即ち、ノーマリオフの状態)を実現するためには、ゲート電極の仕事関数をSOI層の仕事関数に比べて大きく変化させる必要がある。しかしながら、この手法では、先に述べたような問題が生じる。特に、SOI層の不純物濃度を高くすると閾値電圧が高くなってしまふと云う欠点がある。換言すれば、通常のアキュムレーション型NMOSトランジスタの製造方法では、閾値電圧の高いトランジスタしか製造することができず、この結果、トランジスタを小型化できないだけでなく、集積回路の低電圧電源化ができない。また、ゲート電極として、仕事関数差の小さいTa(4.6V)を使用できない。

【0033】

本発明者等は、図1(a)及び(b)に示されたMOSトランジスタ(特に、NMOSトランジスタ)のように、シリコン基板とSOI層とが逆導電型であり、埋込絶縁層(BOX)の厚さが100nmのアキュムレーション型NMOSトランジスタを作成して実験を行った。この実験に用いたNMOSトランジスタの構成は、特許文献1と同様である。尚、実験では、実効チャンネル長(L

10

20

30

40

50

eff) 4.5 nm、チャンネル幅 1 μmで、チャンネル領域における不純物濃度が $2 \times 10^{17} \text{cm}^{-3}$ のNMOSトランジスタを用い、シリコン基板として、 $1 \times 10^{15} \text{cm}^{-3}$ のP型シリコン基板を用いた。

【0034】

ゲート絶縁膜の厚さは $EOT = 1 \text{ nm}$ 、ゲート電極にはp+ポリシリコン(仕事関数5.1 eV)を用いた。SOI層の厚さを1.7 nm程度以下まで薄くすると、シリコン基板の不純物濃度が一定の場合(例えば、 $1 \times 10^{15} \text{cm}^{-3}$)にも、NMOSトランジスタの閾値を制御できることが判った。

【0035】

更に、SOI層の厚さを実効チャンネル長 L_{eff} の1/3(15nm)程度まで薄くすると、短チャンネル現象をも有効に抑制できることも判明した。即ち、SOI層の厚さを制御することによって、アキュムレーション型NMOSトランジスタの閾値を0.4 ~ 0.5 Vに変化させることができた。

【0036】

しかしながら、上記した構成のNMOSトランジスタにおける閾値は、ゲート電極とSOI層の仕事関数差にのみ依存しているため、低電圧電源に適用できる程度の閾値電圧まで、閾値電圧を低下させることはできなかった。すなわち、100nm程度の埋込絶縁層(BOX)を用いたアキュムレーション型NMOSトランジスタでは、シリコン基板の不純物濃度を変化させても、仕事関数差によって定まる閾値電圧を変化させることはできず、またTa(仕事関数4.6 V)をゲート電極に用いるとノーマリオフのトランジスタは実現できなかった。

【0037】

すなわち、先に提案したトランジスタのように、100nm程度の埋込絶縁層(BOX)を備えている場合、図4に示すように、埋込絶縁層(BOX)が厚いため、SOI層の制御はゲート電極側でのみ行われていた。

【0038】

これに対し本発明者は、図5に示すように、埋込絶縁層(BOX)の厚さを薄くすることによって、基板(Base Substrate)側からもSOI層の電位を制御できると云う現象を見出した。

【0039】

すなわち、埋込絶縁層(BOX)の厚さ(T_{BOX})を20nmよりも薄くして、支持基板であるシリコン基板に表面(のちにゲート電極を構成する側)からイオン注入を行い、シリコン基板の不純物濃度(NBase)を変化させたNMOSトランジスタを得、当該トランジスタに1Vのドレイン電圧 V_d を印加して、ドレイン電流の変化を観測したところ、シリコン基板の不純物濃度(NBase)によって、NMOSトランジスタの閾値が変化することが判明した。

【0040】

図5に示すように、SOI層と基板とは逆導電型であり、埋込絶縁層(BOX)を薄くすることで、基板とSOI層との仕事関数差によってSOI層を空乏化させ、結果として、Taゲート電極のようなSOI層との仕事関数差が小さいゲート電極を用いてもノーマリオフを実現でき、高速かつ低電源電圧化が実現できる。この構造によれば、埋込絶縁層(BOX)の厚さおよび/またはSOI層の不純物濃度を調整することで閾値を効果的に制御でき、支持基板濃度を制御することで閾値を微調整することができる。なお、基板材料にSOI層に対する仕事関数差の大きい導電材料を用いることもできる。

【0041】

ここで、基板を所定の不純物濃度(NBase)のシリコンとし、不純物をイオン注入で導入した場合、基板の深さ方向(x)の不純物濃度 $N(x)$ は下記、数1で与えられる。

【数1】

$$N(x) = \frac{Q}{\sqrt{2\pi\Delta R_p^2}} \exp\left\{-\frac{(x-R_p)^2}{2\Delta R_p^2}\right\}$$

10

20

30

40

【 0 0 4 2 】

但し、 Q は注入量、 R_p は投影飛程、 R_p^2 は標準偏差である。

【 0 0 4 3 】

上式において、濃度の最大値は下記、数 2

【 数 2 】

$$N_{\max} = \frac{Q}{\sqrt{2\pi}\Delta R_p^2}$$

【 0 0 4 4 】

であらわすことができ、 $N(x)$ は $0.2N_{\max} \sim 0.5N_{\max}$ で制御する必要がある。このデバイスでのイオン注入条件では、 R_p は $0.3 R_p$ に近似できるので、 $0.36R_p < x < 0.46R_p$ という関係が求められる。よって、 $(0.36/0.64)T_{SOI} < T_{BOX} < (0.46/0.54)T_{SOI}$ から、 $0.56T_{SOI} < T_{BOX} < 0.85T_{SOI}$ という式が導かれる。ここで、 T_{BOX} は埋込絶縁層のEOT(Effective Oxide Thickness、すなわちSiO₂換算膜厚)を、 T_{SOI} はSOI層の厚さを、それぞれ示す。

10

【 0 0 4 5 】

図6を参照すると、シリコン基板の(100)面に、SOI層を形成したアキュムレーション型NMOSトランジスタのゲート電圧(V_g)-ドレイン電流(I_d)(A)の特性が示されている。この場合、当該トランジスタの実効チャンネル長(L_{eff})及びチャンネル幅(W)は、それぞれ、45nm及び1 μ mであり、ゲート絶縁膜のSiO₂換算厚さ(EOT)は1nm、SOI層の厚さ(T_{SOI})を15nmとし、また、SOI層のうち、チャンネル領域の不純物濃度(N_{sub})は $2 \times 10^{17} \text{cm}^{-3}$ とした。更に、ゲート電極として、仕事関数(WF)が4.6Vであるタンタル(Ta)を使用し、ドレイン電極にドレイン電圧 V_d として1Vの電圧を印加した場合の特性が図6に示されている。

20

【 0 0 4 6 】

図6では、上記した条件の下に、埋込絶縁層の厚さ(T_{BOX})とシリコン支持基板の不純物濃度(N_{Base})とを変化させている。即ち、曲線C1は、 N_{Base} が $1 \times 10^{18} \text{cm}^{-3}$ であり、且つ、 T_{BOX} が12nmであるときのゲート電圧-ドレイン電流特性であり、他方、曲線C2は、 N_{Base} が $1 \times 10^{18} \text{cm}^{-3}$ であり、且つ、 T_{BOX} が15nmであるときのゲート電圧-ドレイン電流特性である。

【 0 0 4 7 】

他方、曲線C3は、 N_{Base} が $1 \times 10^{18} \text{cm}^{-3}$ であり、且つ、 T_{BOX} が20nmであるときのゲート電圧-ドレイン電流特性であり、同様に、曲線C4及びC5は、 T_{BOX} が20nmで、且つ、 N_{Base} がそれぞれ、 $1 \times 10^{17} \text{cm}^{-3}$ 及び $1 \times 10^{16} \text{cm}^{-3}$ であるときのゲート電圧-ドレイン電流特性である。

30

【 0 0 4 8 】

曲線C1~C5からも明らかな通り、埋込絶縁層の厚さ(T_{BOX})が20nm以下の範囲では、支持基板であるシリコン基板の不純物濃度(N_{Base})によっても、ゲート電圧-ドレイン電流特性が変化している。この結果、Taゲート電極でもノーマリオフが実現できる。また、埋込絶縁層の厚さ(T_{BOX})に依存して、ゲート電圧-ドレイン電流特性、及び、閾値電圧(定電流法により、1 μ Aの電流が流れるときのゲート電圧が閾値電圧と定義される)を0.05~0.2Vに制御することができる。また、曲線C1及びC5から、20nm以下の埋込絶縁層(T_{BOX})のとき、シリコン基板の不純物濃度(N_{Base})に依存して、NMOSトランジスタの閾値電圧を変化させることができること、曲線C1~C3から埋込絶縁層の厚さ(T_{BOX})を変化させることにより、閾値電圧を可変できることが判る。支持基板の濃度を調整することで閾値の微調整が可能である。

40

【 0 0 4 9 】

一方、埋込絶縁層の厚さ(T_{BOX})が20nmのとき、曲線C3~C5からも明らかな通り、閾値電圧をシリコン基板の不純物濃度(N_{Base})で微調整できるが、それより厚くなるとシリコン基板の不純物濃度に依存しなくなってくる。

【 0 0 5 0 】

以上説明したように、シリコン基板の不純物濃度(N_{Base})を調整することによって閾値

50

電圧を微調整できる。

【 0 0 5 1 】

更に、図7を参照すると、シリコン基板の不純物濃度(NBase)を一定にした状態で、SOI層の不純物濃度(Nsub)及び埋込絶縁層厚さ(TBOX)を変化させた場合におけるゲート電圧-ドレイン電流特性が示されている。ここで、対象となるアキュムレーション型NMOSトランジスタは、図6と同様に、それぞれ、45nm及び1 μ mの実効チャンネル長(L_{eff})及びチャンネル幅(W)を有すると共に、1nmのゲート絶縁膜のSiO₂換算厚さ(EOT)、15nmのSOI層の厚さ(TSOI)を備えている。また、シリコン基板の不純物濃度(NBase)は、 $1 \times 10^{18} \text{cm}^{-3}$ であり、ゲート電極として、仕事関数(WF)が4.6Vであるタンタル(Ta)を使用した。図7においても、ドレイン電極にドレイン電圧V_dとして1Vの電圧を印加した。

10

【 0 0 5 2 】

図7に示された曲線C6及びC7は、埋込絶縁層の厚さ(TBOX)が12nmの場合の特性であり、他方、曲線C8及びC9は、埋込絶縁層の厚さ(TBOX)が15nmの場合の特性である。また、曲線C6及びC8は、SOI層の不純物濃度(Nsub)が $5 \times 10^{17} \text{cm}^{-3}$ のときの特性であり、曲線C7及びC9は、SOI層の不純物濃度(Nsub)が $2 \times 10^{17} \text{cm}^{-3}$ のときの特性である。

【 0 0 5 3 】

曲線C6及びC7、曲線C8及びC9を比較しても明らかな通り、埋込絶縁層の厚さ(TBOX)が一定のときに、SOI層の不純物濃度(Nsub)が高いほど、低いゲート電圧V_gで大きなドレイン電流I_dが流れる。一方、SOI層の不純物濃度(Nsub)が一定のときには、埋込絶縁層の厚さ(TBOX)の厚さが厚いほど大きな電流が流れる。

20

【 0 0 5 4 】

このことから、SOI層における不純物濃度(Nsub)を調整することによって、或いは、埋込絶縁層の厚さ(TBOX)を調整することによっても、閾値電圧を制御できることが判る。

【 0 0 5 5 】

図8を参照して、本発明に係る半導体装置の具体例を説明する。図示された半導体装置は、P型シリコン基板20上に埋込絶縁層24を介して形成されたSOI層22を用いたアキュムレーション型NMOSトランジスタであり、P型シリコン基板20表面には、12nmの厚さ(TBOX)を有するSiO₂からなる埋込絶縁層24が形成されている。また、P型シリコン基板20には、埋込絶縁層24を介して、イオン打ち込みにより不純物がドーピングされ、その表面不純物濃度(Nbase)は 10^{18}cm^{-3} に調整されている。即ち、図示された半導体装置は、埋込絶縁物層24を介してイオンを打ち込む工程を追加することによって製造することができる。

30

【 0 0 5 6 】

一方、SOI層22は、15nmの厚さ(TSOI)を有するシリコン基板20とは逆導電型のN型層であり、当該SOI層22には、ソース領域221、ドレイン領域222、及び、チャンネル領域223が形成されている。このうち、チャンネル領域223の不純物濃度(Nsub)は $2 \times 10^{17} \text{cm}^{-3}$ であり、ソース領域221及びドレイン領域222はチャンネル領域223よりも高い不純物濃度を有している。また、チャンネル領域223の実効長(L_{eff})及び幅(W)はそれぞれ45nm及び1 μ mである。

【 0 0 5 7 】

更に、チャンネル領域223上には、SiO₂換算厚さ(EOT)1nmのゲート絶縁膜26が形成されており、当該ゲート絶縁膜26上には、仕事関数(WF)4.6VのTa材料によって形成されたゲート電極28が設けられている。当該ゲート電極28の長さ(L)は0.045 μ m、幅(W)は1 μ mである。なお、埋込絶縁層24はEOTが12nmの厚さの他の材料、たとえばSi₃N₄で構成しても良い。

40

【 0 0 5 8 】

図8に示されたアキュムレーション型NMOSトランジスタは、図6の曲線C1で示されたようなゲート電圧-ドレイン電流特性を示すため、仕事関数(WF)の低いTaを用いてゲート電極28を形成することができ、結果として、閾値電圧の低いトランジスタを得ることができる。したがって、図示されたNMOSトランジスタは低電圧源を有する回路にも適用できる。

【 0 0 5 9 】

50

上に述べた実施の形態は、アキュムレーション型NMOSトランジスタについてのみ説明したが、同様にアキュムレーション型PMOSトランジスタにも適用できる。

【0060】

また、図1(c)及び(d)に示したn及びpチャンネル インバージョン(Inversion)型MOSトランジスタに本発明を適用しても、BOX層の厚さ、基板不純物濃度、SOI層の不純物濃度を制御することによって、SOI層のチャンネル領域の空乏層を下から制御でき、閾値を調整することが出来る。すなわち基板不純物濃度による基板バイアス効果を利用することができる。

【産業上の利用可能性】

【0061】

本発明は、単一のアキュムレーション型MOSトランジスタについてのみ説明したが、互いに導電型の異なるアキュムレーション型MOSトランジスタを互いに組み合わせて、CMOSを構成することもできるし、本発明をインバージョン型MOSトランジスタに適用することも、アキュムレーション型MOSトランジスタとインバージョン型MOSトランジスタの組み合わせにおいてどちらかまたは両方に適用することもできる。

【図面の簡単な説明】

【0062】

【図1】(a)、(b)、(c)、及び、(d)は、それぞれ本発明を適用できるNMOS及びPMOSトランジスタの概略構成を示す断面図である。

【図2】(a)、(b)、(c)、及び、(d)は、本発明に係るNMOSトランジスタの動作原理を説明する図である。

【図3】(a)及び(b)は、アキュムレーション型NMOSトランジスタにおけるバンド構造をその断面と関連付けて説明する図である。

【図4】先に提案したトランジスタにおけるバンド構造を説明する図である。

【図5】本発明によるトランジスタにおけるバンド構造を説明する図である。

【図6】埋込絶縁層の厚さ(TBOX)及びシリコン基板の不純物濃度を变化させた場合におけるゲート電圧(Vg)-ドレイン電流(Id)特性の変化を示すグラフである。

【図7】SOI層の不純物濃度(Nsub)と埋込絶縁層の厚さ(TBOX)とを变化させた場合におけるゲート電圧(Vg)-ドレイン電流(Id)特性の変化を示すグラフである。

【図8】本発明の実施形態に係るアキュムレーション型NMOSトランジスタの構造を示す断面図である。

【符号の説明】

【0063】

20	シリコン基板
22	SOI層
24	埋込絶縁層
26	ゲート絶縁膜
28	ゲート電極
221	ソース領域
222	ドレイン領域
223	チャンネル領域

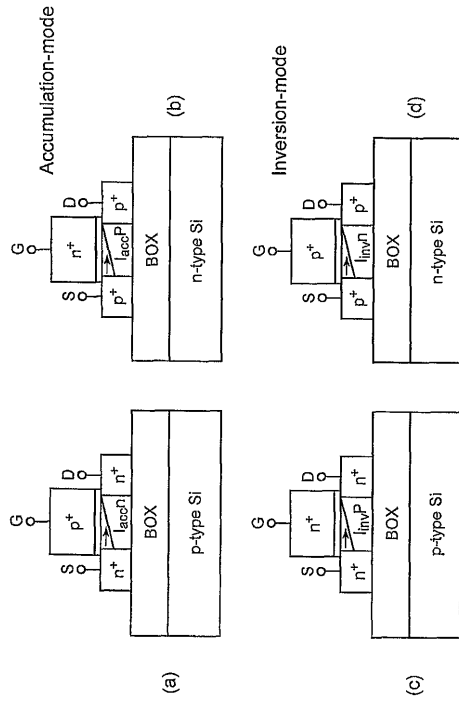
10

20

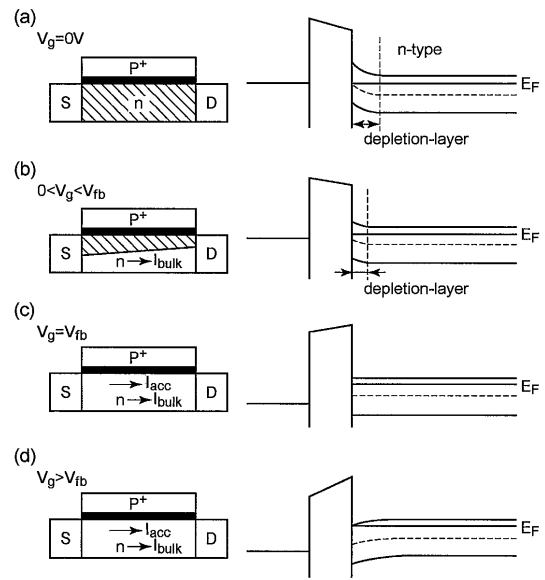
30

40

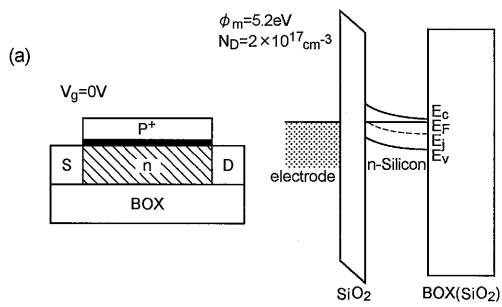
【 図 1 】



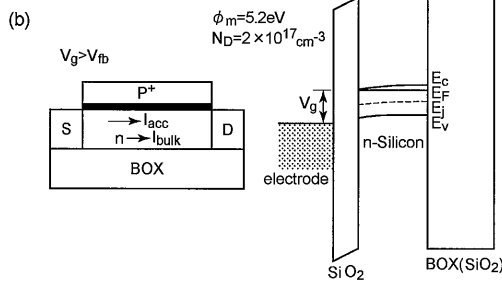
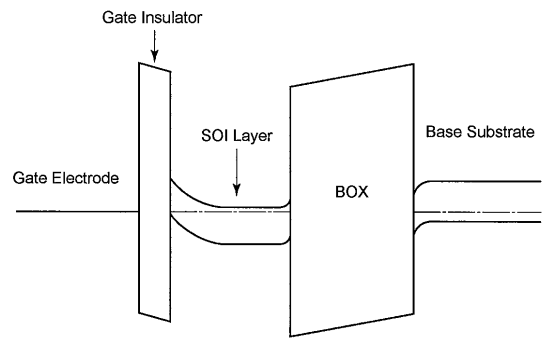
【 図 2 】



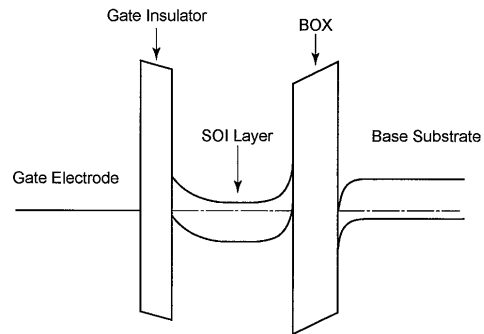
【 図 3 】



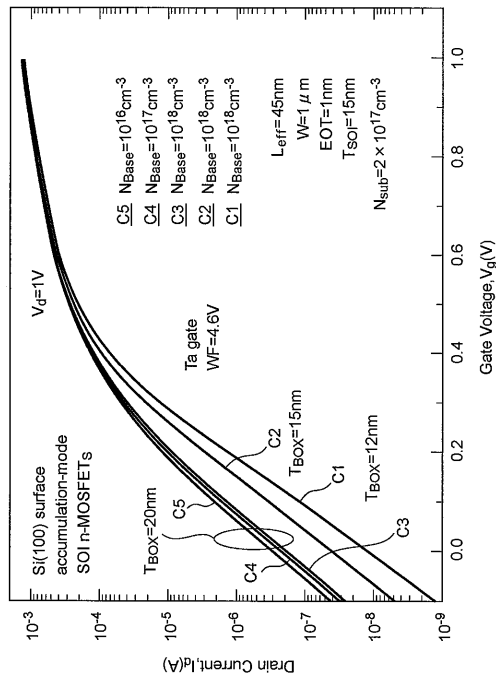
【 図 4 】



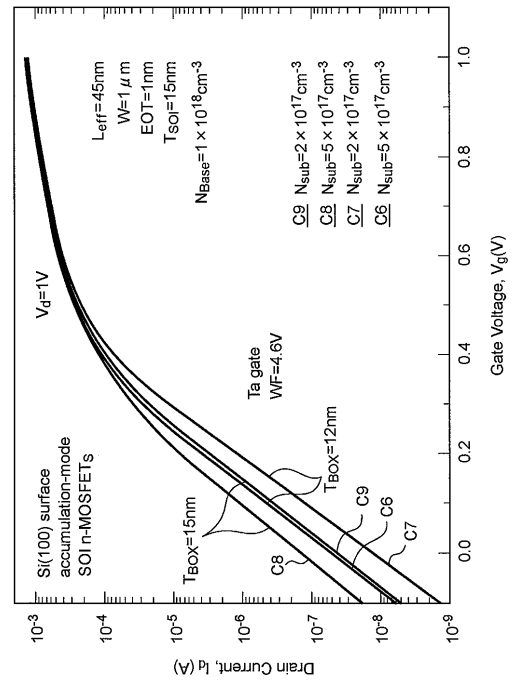
【 図 5 】



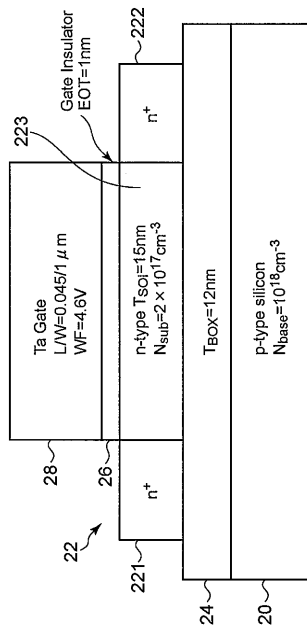
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (72)発明者 寺本 章伸
宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内
- (72)発明者 程 イ 涛
宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

審査官 綿引 隆

- (56)参考文献 特開昭63-198374(JP,A)
特開平08-222705(JP,A)
特開2006-049628(JP,A)
特開平05-235350(JP,A)
特開2004-146550(JP,A)
特開2007-149853(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 21/336 |
| H01L | 29/786 |