



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월23일
(11) 등록번호 10-1084959
(24) 등록일자 2011년11월14일

(51) Int. Cl.

H01L 27/04 (2006.01)

(21) 출원번호 10-2004-0065903
(22) 출원일자 2004년08월20일
심사청구일자 2009년08월20일
(65) 공개번호 10-2005-0020707
(43) 공개일자 2005년03월04일
(30) 우선권주장
10/646,997 2003년08월22일 미국(US)
(56) 선행기술조사문헌
US06025261 A1
전체 청구항 수 : 총 10 항

(73) 특허권자

에이저 시스템즈 인크

미합중국 펜실베니아 18109 알렌타운 노스이스트
아메리칸 파크웨이 1110

(72) 발명자

해리스에드워드비.

미국 플로리다 32821 올란드 #11202 배너 레이크
서클 6717

도우니스티븐더블유.

미국 플로리다 32836 올란드 타라 옥스 코트 8613

(74) 대리인

장훈

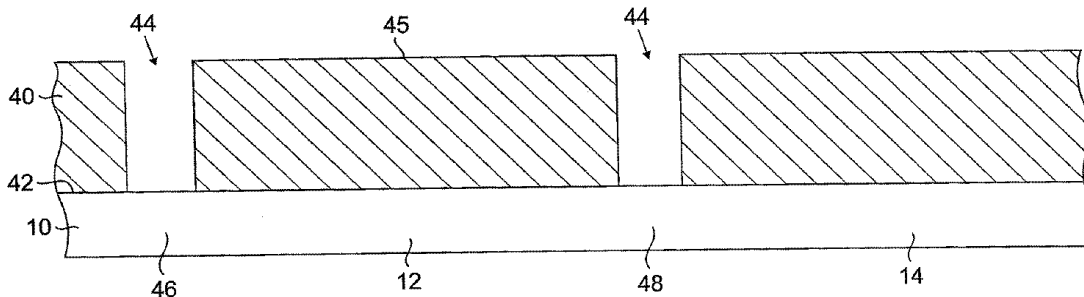
심사관 : 이승주

(54) 반도체 기판에 형성된 스파이럴 인덕터 및 인덕터 형성 방법

(57) 요약

능동 디바이스 영역을 포함하는 인덕터가 반도체 기판 상에 형성된다. 인덕터는 반도체 기판의 위에 놓인 유전체층 상에 형성된 도전성 라인을 포함한다. 도전성 라인은 소정 형상, 일 실시예에서는 평면 스파이럴형으로 패터닝되고 예칭된다. 인덕터의 하부의 기판 영역은 유도 Q 계수를 저하시키기 위해 제거된다.

대표도



특허청구의 범위

청구항 1

반도체 기관;

상기 반도체 기관의 위에 놓인 유전체층; 및

상기 유전체층 상에 배치된 연속적인 도전체를 포함하고,

상기 반도체 기관은 상기 연속적인 도전체의 아래에 놓인 영역의 적어도 일부에서 내부에 개구를 형성하는 반도체 디바이스.

청구항 2

제 1 항에 있어서, 상기 유전체층 내에 실질적으로 수직인 제 1 및 제 2 도전성 비아(vias)를 추가로 포함하고,

상기 연속적인 도전체는 제 1 및 제 2 단자 단부들을 포함하며, 상기 반도체 기관은 능동 영역들을 포함하고,

상기 제 1 및 제 2 도전성 비아는 하나의 능동 영역을 상기 제 1 및 제 2 단자 단부들 각각에 전기적으로 접속시키는 반도체 디바이스.

청구항 3

제 1 항에 있어서, 상기 연속적인 도전체는 인덕터를 포함하는 반도체 디바이스.

청구항 4

제 1 항에 있어서, 상기 개구 내에 배치되는 유전체 재료를 추가로 포함하는 반도체 디바이스.

청구항 5

제 1 항에 있어서, 비-도전성 재료와 비-반도체 재료로부터 선택되어 상기 개구 내에 배치되는 재료를 추가로 포함하는 반도체 디바이스.

청구항 6

제 1 항에 있어서, 상기 반도체 기관은 상부면 및 하부면을 추가로 포함하고, 상기 개구는 상기 연속적인 도전체의 아래에 놓인 영역에서 상기 상부면으로부터 상기 하부면까지 연장하는 반도체 디바이스.

청구항 7

반도체 기관;

상기 반도체 기관내에 형성된 복수의 능동 영역들;

상기 반도체 기관의 위에 놓인 유전체층;

상기 유전체층 위에 놓인 하나 이상의 도전성 상호 접속층들; 및

상기 도전성 상호 접속층들 중 하나에 형성된 연속적인 도전체를 포함하고,

상기 반도체 기관은 상기 연속적인 도전체의 아래에 놓인 영역에서 내부에 제 1 개구를 형성하는 반도체 디바이스.

청구항 8

내부에 형성된 능동 영역들을 갖는 반도체 기관;

상기 반도체 기관의 위에 놓인 유전체층;

상기 유전체층 내에 형성되어 상기 유전체층의 상부면과 하나의 능동 영역 사이에서 연장하는 도전성 비아들; 및

상기 상부면의 위에 놓이게 형성된 인덕터를 포함하고 제 1 및 제 2 단자 단부들을 더 포함하는 도전성 라인들을 포함하고,

상기 제 1 및 제 2 단자 단부들 각각은 도전성 비아와 전기적으로 통하고,

상기 반도체 기판은 상기 도전성 라인들의 적어도 일부의 아래에 놓인 개구를 포함하는 반도체 디바이스.

청구항 9

제 8 항에 있어서, 상기 개구 내에 배치되는 재료는 유전성 재료와 접합 재료로부터 선택되는 반도체 디바이스.

청구항 10

반도체 기판을 형성하는 단계;

상부면을 포함하는 유전체층을 상기 기판의 위에 형성하는 단계;

유도 효과를 나타내는 도전성 라인들을 상기 상부면 상에 형성하는 단계; 및

상기 도전성 라인들 중 적어도 일부의 아래에 놓인 상기 반도체 기판의 영역을 제거하는 단계를 포함하는 인덕터 형성 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0011] 본 발명은 일반적으로 스파이럴(spiral) 인덕터에 관한 것이며, 더 구체적으로는 반도체 기판에 형성된 스파이럴 인덕터에 관한 것이다.
- [0012] 무선 통신에서의 현재의 발전 및 더 소형의 무선 통신 디바이스에 대한 요구는 무선 통신 전자 디바이스의 최적화 및 소형화에 관한 상당한 노력을 야기하고 있다. 수동 소자(인덕터, 커패시터 및 변압기)는 이들 디바이스의 작동에 필수적인 역할을 담당하고, 따라서 이러한 수동 소자의 크기를 감소시키고 성능 및 제조 효율을 향상시키는 것에 노력이 집약되고 있다.
- [0013] 개별 인덕터 및 커패시터는 주파수 의존 효과를 제공하기 위해 발전기, 증폭기 및 신호 필터와 같은 교류 및 무선 주파수 적용에 채용된 전자기 소자이다. 특히, 인덕터를 가로지르는 전압은 인덕터를 통하는 전류의 시간도함수와 인덕턴스의 적(product)의 함수이다. 종래의 인덕터는 강자성 또는 절연 재료로 구성된 코어를 둘러싸는 복수의 권선(winding)을 포함한다. 인덕터 코어가 요구되지는 않지만, 강자성 코어의 사용은, 예를 들면 인덕턴스 값을 증가시킨다. 인덕턴스는 또한 코일 권수(특히, 인덕턴스는 코일 권수의 제곱에 비례함)와 코어 면적의 함수이다. 종래의 개별 인덕터는 나선형(helix)(또한 솔레노이드형이라 칭함) 또는 도넛형(toroid)으로서 형성된다. 코어는 전형적으로 복수의 자기 도메인(magnetic domain)을 포함하는 철, 코발트 또는 니켈(또는 강자성 합금)로 형성된다. 인덕터에 공급된 전류는 코어 재료에 자기장을 유도하여, 도메인 정렬 및 재료 투과성의 최종적인 증가를 유발하고, 이어서 인덕턴스를 증가시킨다.
- [0014] 반도체 산업의 발전은 수년간 소형 크기의 더 높은 성능의 디바이스를 제조하는데 집약되어 왔다. 반도체 회로 설계 및 제조의 하나의 과제는 고성능 커패시터와 인덕터의 반도체 디바이스 내로의 집적화이다. 이상적으로는, 이들 소자는 반도체 제조 분야에 통상적인 방법 및 절차를 사용하여 반도체 기판의 비교적 작은 표면 영역 상에 형성된다. 그러나, 능동 디바이스의 배선 크기(feature size) 및 라인 폭과 비교할 때, 인덕터 및 커패시터는 대형이고 전형적으로 마이크로 이하(sub-micron) 범위의 배선 크기를 갖는 반도체 디바이스에 용이하게 집적화되지 않는다.
- [0015] 반도체 기판 표면 상에 형성된 대부분의 인덕터는 스파이럴 형상을 가지며, 여기서 스파이럴의 평면은 기판 표면에 평행하다. 기판 표면 상에 형성된 도전성 재료의 층을 마스크링, 패터닝 및 에칭하는 등에 의해 스파이럴

인덕터를 형성하기 위한 다수의 기술이 공지되어 있다. 다수의 상호 접속된 스파이럴 인덕터가 또한 소정의 유도 특성을 제공하기 위해 및/또는 제조 프로세스를 단순화하기 위해 형성될 수 있다. 예를 들면, 다층 스파이럴 인덕터를 설명하고 있는 미국 특허 제 6,429,504호 및 두 개 이상의 코일을 포함하는 각각의 층을 갖는 복수의 층으로 형성된 높은 Q 계수를 갖는 고치 인덕터(high value inductor)를 개시하고 있는 미국 특허 제 5,610,433호를 참조. 다수의 층 내의 코일들은 직렬로 상호 접속된다.

[0016] 중요한 인덕터 성능 계수인 Q(또는 품질 계수)는 유도 리액턴스와 저항의 비율로서 정의된다. 높은-Q 인덕터(예를 들면, 낮은 저항을 가짐)는 입력 신호 주파수의 함수로서 좁은 Q 피크를 제공하고, 여기서 피크는 인덕터 공진 주파수에서 발생한다. 높은-Q 인덕터는 협대역(narrow bandwidths)에서 작동하는 주파수 의존 회로에서 사용을 위해 특히 중요하다. 예를 들면, 발진기에서 작동하는 인덕터의 Q의 증가는 발진기 위상 노이즈(phase noise)를 감소시키고, 주파수의 협대역으로 발진기 주파수를 구속한다. Q 값이 인덕터 저항의 역함수이기 때문에, 저항의 최소화는 Q를 증가시킨다. 저항을 최소화하기 위한 하나의 공지된 기술은 인덕터를 형성하는 도전성 재료의 단면적을 증가시키는 것이다. 그러나, 이러한 도전체는 에칭, 세척 및 부동태(passivating) 처리 단계 중에 어려움을 제공할 수 있으며, 반도체 기판 상에 귀중한 공간을 낭비할 수 있다. 또한, 금속 도전체들 사이의 유전체 재료에 간극(gap)이 형성될 때 어려움이 발생하여, 간극이 국부적인 유전성 파괴 및 이에 따른 인덕터 권수(inductor turn)의 단락을 증진할 수 있기 때문에 디바이스 신뢰성 문제점을 발생시킨다.

[0017] 반도체 기판의 표면 상에 형성된 스파이럴 인덕터의 자기장은 기판에 수직하다. 자기장은 능동 반도체 영역에 접속하도록 기판에 형성된 도전성 상호 접속 구조체 및 반도체 기판 내에 에디 전류(와전류)(eddy currents)를 유도한다. 이들 에디 전류는 손실 메카니즘을 나타내기 때문에, 이들은 인덕터 저항을 증가시키고 따라서 인덕터 Q 계수를 저하시킨다. 이러한 손실을 회피하기 위해, 비교적 낮은 작동 주파수에서 능동 디바이스를 갖는 인덕터를 시뮬레이팅함으로써 유도 효과가 달성될 수 있다. 그러나, 능동 디바이스는 유한의 동적 범위를 갖고, 작동 회로 내에 원하지 않는 노이즈를 도입할 수 있으며, 더 높은 작동 주파수에서 허용 가능한 유도 효과를 제공할 수 없다.

[0018] 에디 전류 손실을 제한하기 위한 하나의 공지된 기술은 인덕터와 평행하게 또한 그 아래에 도전성 실드(shield)를 배치하는 것이다. 도전체는 자기장 라인을 단축시켜, 아래에 놓인 반도체 기판 재료 내의 에디 전류를 감소시킨다. 에디 전류는 또한 인덕터의 하부의 실리콘 영역을 제공하기 위한 딥 트렌치(deep trench) 기술을 사용하여 감소될 수 있다. 쌍극 및 CMOS 트랜지스터(상보형 금속 산화물 실리콘 필드 효과 트랜지스터) 모두를 포함하는 집적 회로 내에 절연 영역을 형성하는데 사용될 수 있는 이 기술은 웨이퍼의 전방 또는 상부면으로부터 실리콘을 제거한다. 인덕터와 아래에 놓인 실리콘 사이의 거리의 증가는 또한 에디 전류 손실을 저하시킨다. Q 계수의 최저의 향상은 이들 기술이 이용될 때라는 것이 주목되고 있다.

발명이 이루고자 하는 기술적 과제

[0019] 반도체 기판 상의 능동 디바이스와 관련하여 인덕터의 제조에서 부가의 개선을 제공하기 위해, 반도체 기판과 이 기판의 위에 놓인 유전체층을 포함하는 이러한 인덕터를 형성하기 위한 구조 및 프로세스가 제공된다. 인덕터를 포함하는 도전성 라인이 유전체층의 상부면 상에 형성된다. 도전성 라인들의 아래의 반도체 기판의 영역은 제거된다.

[0020] 반도체 디바이스는 반도체 기판 및 이 반도체 기판의 위에 놓인 유전체층을 포함한다. 연속적인 도전체가 유전체층 상에 배치된다. 반도체 기판은 연속적인 도전체의 아래에 놓인 영역의 적어도 일부에서 내부에 개구(aperture)를 형성한다.

[0021] 본 발명은 첨부 도면과 함께 숙독할 때에 이하의 상세한 설명의 관점을 고려할 때, 더욱 용이하게 이해될 수 있고 그 장점 및 용도가 더욱 명백해질 수 있다.

[0022] 통상적인 실시예에 따르면, 다양하게 설명된 디바이스 특징은 축적대로 도시된 것은 아니며 본 발명에 관한 특정 특징을 강조하기 위해 도시되었다. 유사 도면 부호는 도면 및 명세서 전체에 걸쳐 유사한 요소를 나타낸다.

발명의 구성 및 작용

[0023] 본 발명에 따른 인덕터를 형성하기 위한 하나의 프로세스는 복수의 능동 소자(도시 생략)를 통상적으로 포함하는 집적 회로 반도체 기판(10)을 예시하는 도 1에 도시된 바와 같이 시작된다. 본 발명의 일 실시예에 따르면, 인덕터를 수용하기 위해, 영역들(12, 14) 내에 능동 소자가 형성되어 있지 않다.

- [0024] 유전체층(40)(전형적으로, 3 내지 5 마이크로미터의 두께)이 실리콘 기판(10)의 상부면 상에 형성되고, 이어서 유전체층(40)을 통해 기판(10)의 영역들(46, 48)내의 능동 소자까지 연장하는 윈도우(44)가 형성된다. 윈도우(44)는 공지된 포토리소그래픽 마스크, 패터닝 및 에칭 프로세스를 사용하여 형성된다. 후속의 처리 단계에서, 도전성 재료층이 상부면(45)의 위에 놓이게 형성된다. 도 1에 예시된 실리콘 기판의 영역에서, 인덕터가 도전성 재료층에 형성되고, 상호 접속 소자(예를 들면, 텅스텐 플러그)가 영역들(46, 48) 내의 능동 소자에 인덕터를 접속하기 위해 윈도우(44) 내에 형성된다.
- [0025] 도 2에 도시된 바와 같이, 티타늄 층(50)이 윈도우(44) 내에 및 필드 영역(52), 즉 유전체층(40)의 상부면 상에 증착된다. 윈도우(44)의 하부면(53)에서, 티타늄 층(50)은 국부화 티타늄 실리사이드(silicide) 영역을 형성하기 위해 능동 영역의 아래에 놓인 실리콘과 반응한다. 이 실리사이드 영역은 윈도우(44) 내에 이후에 형성되는 상호 접속 텅스텐 플러그와 능동 영역 사이에 향상된 도전성을 제공한다.
- [0026] 다음, 티타늄-니트라이드(TiN) 층(58)이 윈도우(44) 내에 및 필드 영역(52) 상에 증착된다. 티타늄-니트라이드는 유전체층(40)과 같은 산화물기 재료로부터 층간 분리(delamination)될 수 있다는 것이 공지되어 있다. 티타늄 층(50)은 티타늄-니트라이드 층(58)과 필드 영역(52)의 아래에 놓인 유전체 재료, 측벽(56)과 하부면(53) 사이의 접합을 증진하기 위한 접착층으로서 기능한다. TiN 층(58)은, 플루오르기 가스가 티타늄과 매우 반응성이 있기 때문에, 아래에 놓인 티타늄 층과 이하에 설명하는 텅스텐 증착 단계 중에 사용되는 플루오르기 가스 사이의 배리어로서 기능한다.
- [0027] 도 3에 도시된 바와 같이, 텅스텐 층(60)은 텅스텐 헥사플루오라이드(WF₆) 및 실란(SiH₄)을 포함하는 화학 기상 증착 프로세스에 의해 윈도우(44) 내에 및 필드 영역(52) 내에 형성된다. 다음에, 실리콘 기판(10)에 화학 기계적 연마 단계가 수행되어, 텅스텐 플러그(62)를 형성한다. 도 4 참조.
- [0028] 도 5에 도시된 바와 같이, 하부로부터 상부로, 티타늄 층(67), 티타늄-니트라이드 층(68), 알루미늄 층(69) 및 반사 방지층(70)을 포함하는 알루미늄 적층체(stack)(66)가 필드 영역(52)의 상부에 증착된다. 알루미늄 적층체(66)의 티타늄 층(67) 및 티타늄-니트라이드 층(68)은 상술한 티타늄 및 티타늄-니트라이드 층(50, 58)과 동일한 용도로 기능한다.
- [0029] 알루미늄 적층체(66)의 소정 영역은, 도 6에 도시된 바와 같이 복수의 알루미늄 도전성 라인들(66A)을 포함하는 인덕터(71)를 위한 소정 도전체 형상을 기판(10)의 하나의 영역에 형성하기 위해, 통상적인 마스크, 패터닝 및 에칭 단계를 사용하여 제거된다.
- [0030] 도 6에 도시되지 않은 기판(10)의 다른 영역에서, 도전성 상호 접속 구조체가 마스크, 패터닝 및 에칭 단계에 의해 알루미늄 적층체(66)에 형성되고, 아래에 놓인 도전성 텅스텐 플러그가 기판(10)의 능동 영역과 접촉하여 형성된다. 금속-1 층 또는 제 1 금속화 층이라 칭하는 상호 접속 구조체가 아래에 놓인 텅스텐 플러그에 접속된다. 당 기술 분야의 숙련자에게 공지된 바와 같이, 부가의 상호 접속 구조체, 도전성 비아(via) 및 금속간 유전체층이 집적 회로를 위한 완전한 상호 접속 시스템을 형성하기 위해 알루미늄 적층체(66)의 위에 놓이게 형성된다. 따라서, 인덕터(71)의 형성은, 인덕터가 상호 접속 구조체의 형성과 동시에 형성될 수 있기 때문에 디바이스 상호 접속부를 형성하기 위한 프로세스에 편리하게 통합된다.
- [0031] 도 7의 평면도로부터 알 수 있는 바와 같이(도 6은 도 7의 라인 6-6을 따라 취한 단면도임), 본 실시예에서 도전성 라인들(66A)은 선형이고 약 90° 각도로 교차하여, 선형의 스파이럴 형상의 인덕터(71)를 형성한다. 인덕터(71)의 단자 단부(terminal end)가 텅스텐 플러그(62)에 의해 영역들(46, 48)의 아래에 놓인 능동 디바이스에 접속될 수도 있다.
- [0032] 도 8에 도시된 바와 같은 곡선형 스파이럴 인덕터(80)가 또한 알루미늄 적층체(66)의 재료 영역의 적절한 마스크, 패터닝 및 에칭에 의해 형성될 수 있다. 소정의 인덕터스 값을 갖는 인덕터가, 인덕터(71)를 형성하는 도전체의 크기 및 기하학적 패턴의 적절한 선택에 의해 형성될 수 있다.
- [0033] 도 6에 도시된 본 발명의 실시예에서, 인덕터(71)는 금속-1 층 또는 제 1 금속화 층에 형성된다. 이하에 설명되는 다른 실시예에서, 인덕터는 상부 레벨 금속화 층에 형성된다.
- [0034] 본 발명에 따르면, 인덕터(71)의 아래에 놓인 기판(10)의 영역들(12, 14)(웨이퍼의 배면이라 칭함)은 인덕터(71)의 형성 후에 제거되어, 공동(void)(82)을 형성한다. 최종 구조체는 도 9의 단면도 및 도 10의 평면도에 도시되어 있다. 금속 에칭 프로세스 또는 레이저 미세 가공이 전형적으로 약 300 내지 500 마이크로미터 두께인 영역들(12, 14)을 제거하는데 이용될 수 있는 공지의 기술이다. 공동(82)은 도 10에 직사각형 형상을 갖지만, 이는

단지 예일 뿐이다. 예를 들면, 원형 스파이럴 인덕터의 공동은 전형적으로 원형일 수 있다. 일 실시예에서, 공동(82)은 에폭시 또는 폴리이미드와 같은 비-도전성, 유전성 또는 패키징 재료로 충전된다. 다른 실시예에서, 공동(82)은 인덕터(71)의 형성 전에 기판(10)에 형성되지만, 이러한 기술은 위에 놓인 층의 후속의 형성을 허용하도록 실리콘 디옥사이드(dioxide)와 같은 유전체 재료로 공동을 충전해야 할 필요가 있기 때문에 더 어려울 수도 있다.

- [0035] 상술한 바와 같이, 인덕터(71)의 하부의 반도체 및 도전성 재료의 부재(absence)는 인덕터 유도 에디 전류(와전류)(eddy currents)를 저하시키고 인덕터 Q 계수를 상승시킨다.
- [0036] 도 11은 단자 단부(76)를 연장하기 위해 도전성 라인들(66A)과 동일한 금속화 층에 도전성 소자(90)를 포함하는 인덕터(89)의 실시예를 도시한다. 본 실시예에서, 공동(82)은 도 9의 실시예에서보다 크고, 따라서 도 9의 인덕터(71)와 비교할 때 인덕터(89)의 Q 계수가 증가된다.
- [0037] 도 12는 도 11의 인덕터(89)의 평면도이고, 도 11은 도 12의 평면 11-11을 따라 취한 단면도이다.
- [0038] 도 13은 양 단자 단부(76)가 상술한 실시예에서 제공된 것보다 큰 공동(82)의 형성을 형성하도록 인덕터(71)로부터 이격되어 있는 인덕터(92)의 단면도이다. 본 실시예를 형성하기 위해, 금속간 유전체층(94)이 도전성 라인(66A)의 상부에 배치되고, 금속간 유전체층(94)의 위에 놓인 제 2 금속화 층은 내부에 형성된 도전성 소자(98)를 포함한다. 텅스텐 플러그(100)가 단자 단부(76)를 도전성 소자(98)에 접속시킨다. 텅스텐 플러그(102)는 도전성 라인(98)을 기판(10)의 능동 영역에 접속시킨다. 양 단자 단부(76)가 인덕터(92)의 푸트프린트(footprint)의 외부의 능동 영역에 접속된 상태이고, 공동(82)은 인덕터(92)의 하부의 전체 영역을 실질적으로 포위할 수 있다.
- [0039] 당 기술 분야의 숙련자들에게 공지된 바와 같이, 집적 회로는 일반적으로 반도체 기판 내에 형성된 디바이스 능동 영역을 상호 접속하기 위한 복수의 금속화 층을 포함한다. 이들 층은 전형적으로 금속화 층 1(M1)과 같이 금속화에 대한 문자 "M"을 앞에 붙인 수치 지시값으로 칭한다. 본 발명의 일 실시예에서, 인덕터는, 인덕터 단자 단부를 디바이스 능동 영역 또는 다른 도전성 구조체에 접속하기 위한 상향 및/또는 하향 연장 텅스텐 플러그를 갖는 상부 금속화 층(즉, 상부 M1)에 형성된다.
- [0040] 통상적으로, 제 5 금속화 층(M5)은 반도체 기판(10)으로부터 약 5 미크론 정도 이격된다. 따라서, 내부에 형성된 인덕터는 기판(10)으로부터 약 5 미크론 정도 이격된다. 인덕터와 기판 사이에 5 미크론 간격을 갖는 아래에 놓인 기판 재료의 제거(본 발명의 교시에 따름)는 인덕터 Q를 향상시키는 것으로 관찰되었다. 상술한 공지의 손실 기판 효과가 적어도 인덕터의 직경과 동일한 인덕터 기판 간격 거리까지 관찰되었다. 전형적인 인덕터 직경은 50 내지 100 미크론의 범위일 수도 있다. 따라서, 본 발명의 교시는 인덕터가 금속화 층의 임의의 것에 형성되는 경우에 이용되는 것이 유리할 수도 있는데, 이는 모든 금속화 층이 반도체 기판의 100 미크론 내에 있기 때문이다.
- [0041] 도 14는 인덕터(120)가 집적 회로 디바이스의 제 3 금속화 층 또는 M3에 형성된 본 발명의 실시예를 도시하는 단면도이다. 도 14는 상기 실시예들에 도시된 소정의 보조층(예를 들면, 티타늄 및 티타늄-니트라이드)을 도시하지 않고 있다. 반도체 기판(122)은 공지된 종래 기술에 따라 형성된 복수의 능동 디바이스(도시 생략)를 포함한다. 도전성 비아(124)가 유전체층(126)에 형성된다. 제 1 금속화 층(M1)은 금속간 유전체층(132)에 형성된 위에 놓인 도전성 비아(130)에 도전성 비아(124)를 상호 접속하기 위한 도전성 구조체(128)를 포함한다. 당 기술 분야에 공지된 바와 같이, 도전성 구조체는 또한 도 14의 단면도의 평면으로부터 내향 및 외향으로 연장된다.
- [0042] 제 2 금속화 층(M2)은 금속간 유전체층(144) 내에 형성된 도전성 비아(142)에 접속되고 도전성 비아(130)의 위에 있는 도전성 구조체(140)를 포함한다. 제 3 금속화 층은, 금속간 유전체층(144)의 위에 놓이게 형성된 도전층에 수행된 공지의 마스크링, 패터닝 및 에칭 단계에 의해 동시에 형성된 인덕터(120) 및 도전성 구조체(146)를 포함한다. 부가의 금속화 층 및 금속간 유전체층(도 14에는 도시 생략)이 도시된 구조체의 상부에 형성될 수 있다.
- [0043] 금속간 유전체층(144)의 형성 전에, 통상적인 마스크링, 패터닝 및 에칭 단계를 사용하여 인덕터(120)의 아래에 놓인 영역(150)에 공동이 형성된다. 공동은 그 상부의 금속간 유전체층(144)의 형성 전에 실리콘 디옥사이드(유전체 재료) 또는 다른 비교적 낮은 손실 재료로 충전된다. 다른 실시예(도 14에는 도시 생략)에서, 인덕터(120)의 하부의 기판(122)의 영역은 또한 상기 교시에 따라 제거된다. 이전의 실시예에서와 같이, 인덕터(120)의 하부의 반도체 및 금속화 층의 부재는 에디 전류 손실을 감소시키고 인덕터 Q 계수를 향상시킨다.

[0044] 반도체 기판 상에 인덕터를 형성하기 위해 유용한 바와 같은 구조 및 프로세스를 설명하였다. 본 발명의 특정 적용을 예시하였지만, 본원에 개시된 원리는 다양한 방식 및 다양한 회로 구조로 본 발명을 실시하기 위한 기초를 제공한다. 다수의 변형이 본 발명의 범주 내에서 가능하다. 본 발명은 이하의 청구범위에 의해서만 한정된다.

발명의 효과

[0045] 본 발명에 따르면, 개선된 반도체 기판 상의 능동 디바이스 및 인덕터가 제공된다.

도면의 간단한 설명

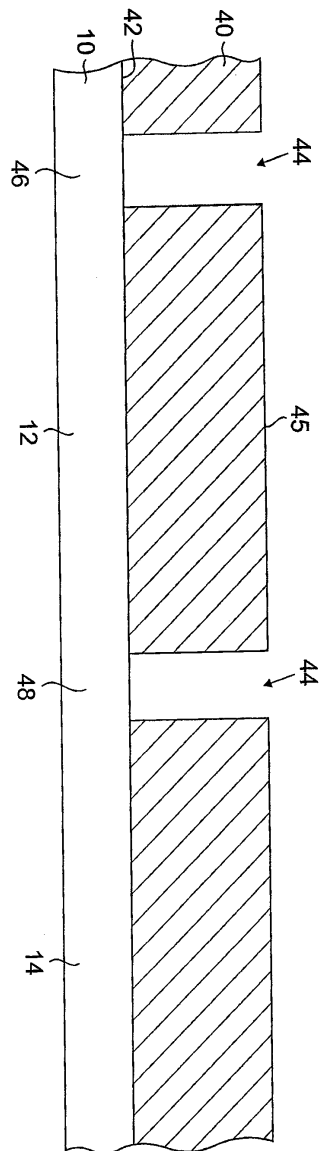
[0001] 도 1 내지 도 14는 본 발명에 따른 다양한 프로세스 단계의 완료 후의 반도체 구조 및 인덕터를 도시하는 도면.

[0002] * 도면의 주요 부분에 대한 부호의 설명 *

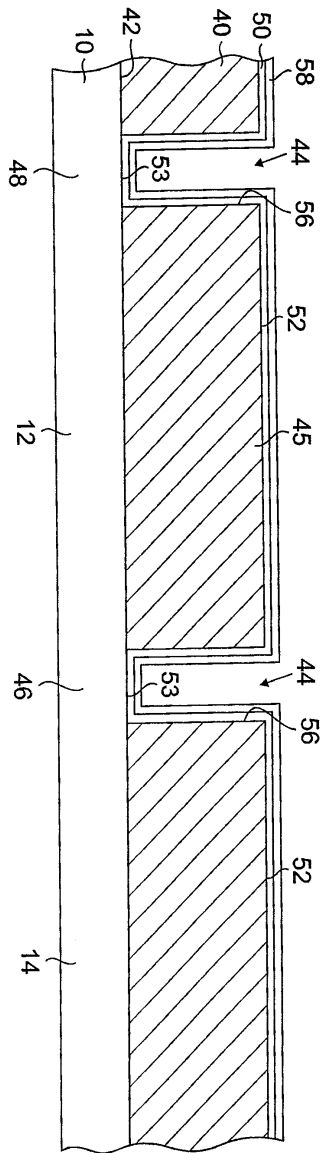
- [0003] 10: 반도체 기판 12, 14: 영역
- [0004] 40: 유전체층 42: 상부면
- [0005] 44: 윈도우 45: 상부면
- [0006] 50: 티타늄 층 52: 필드 영역
- [0007] 53: 하부면 62: 텅스텐 플러그
- [0008] 66A: 도전성 라인 71: 인덕터
- [0009] 76: 단자 단부 80: 인덕터
- [0010] 82: 공동 90: 도전성 소자

도면

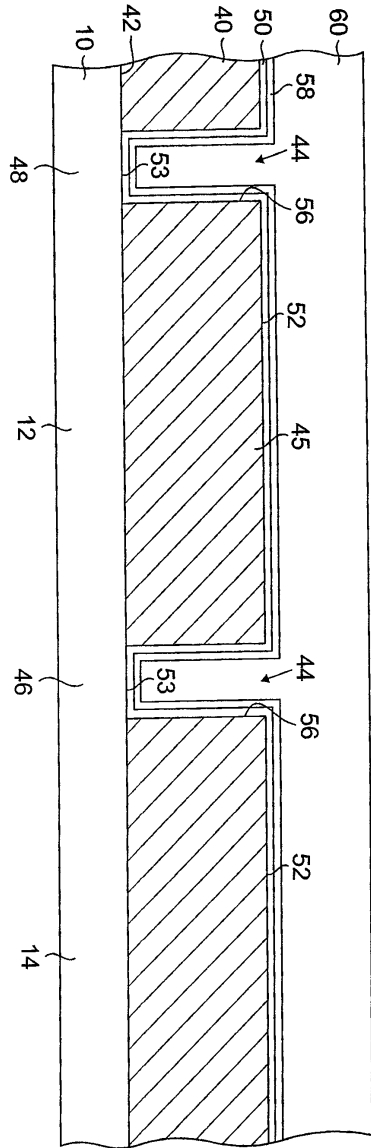
도면1



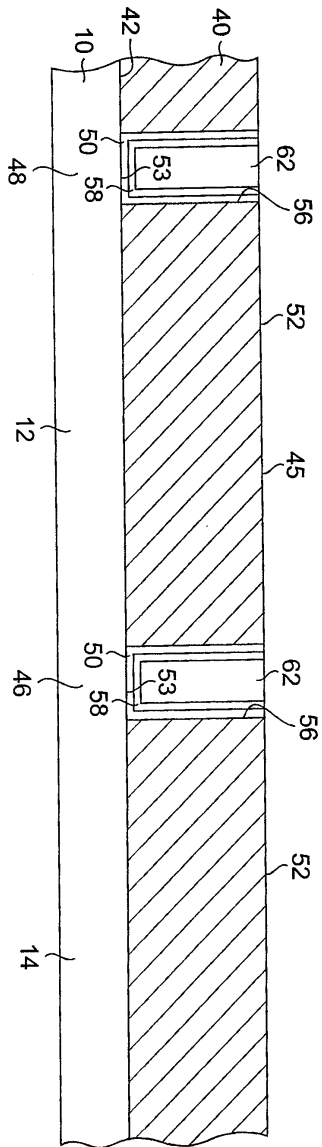
도면2



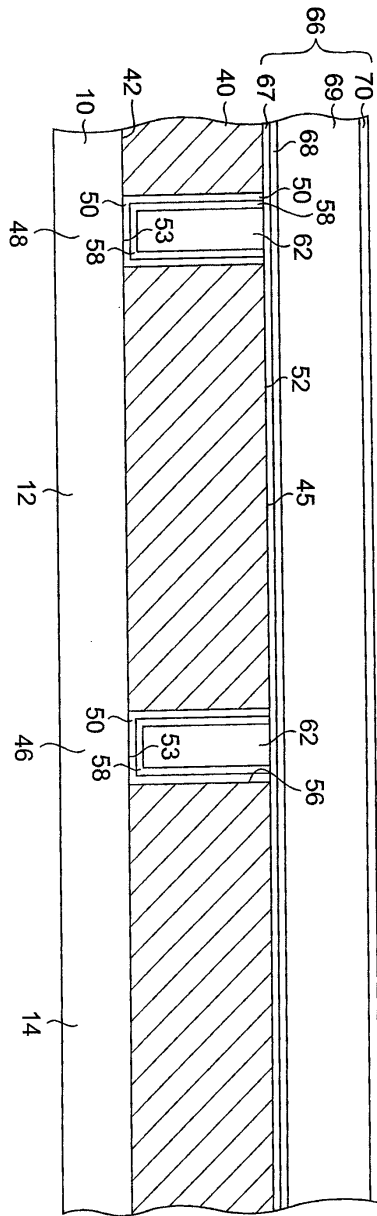
도면3



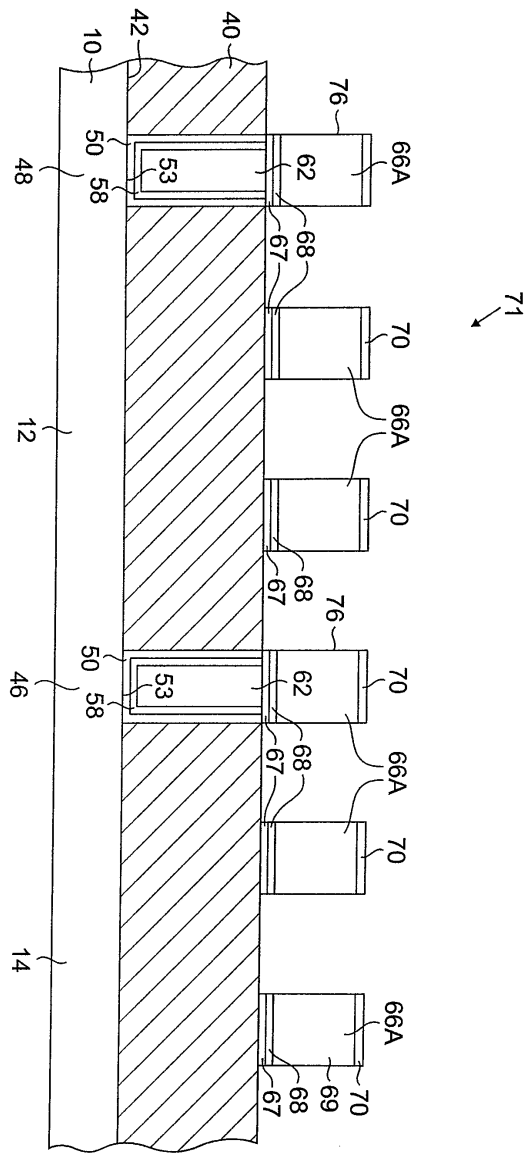
도면4



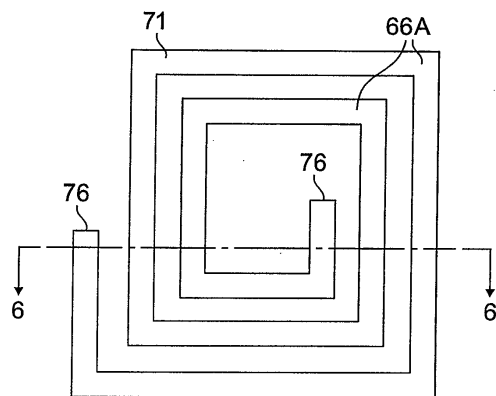
도면5



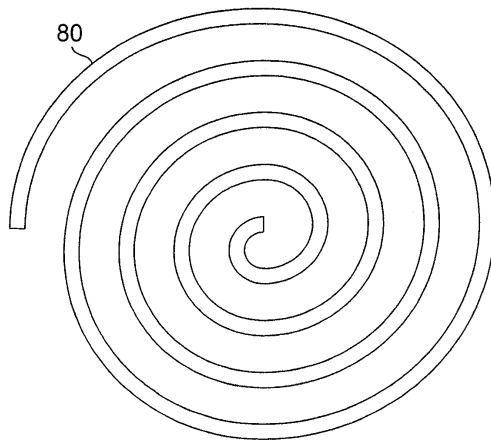
도면6



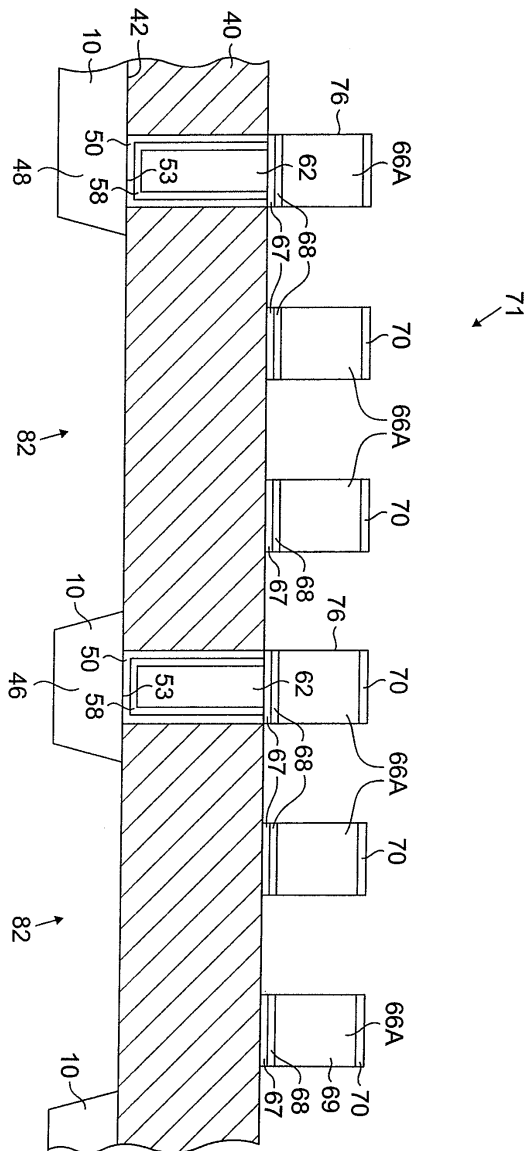
도면7



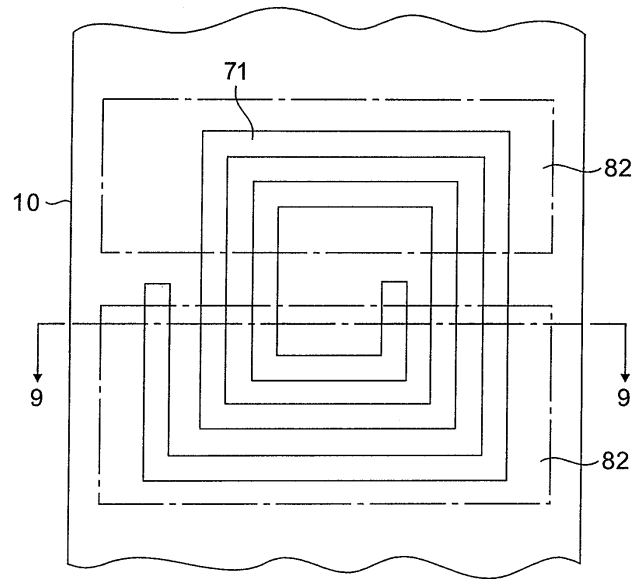
도면8



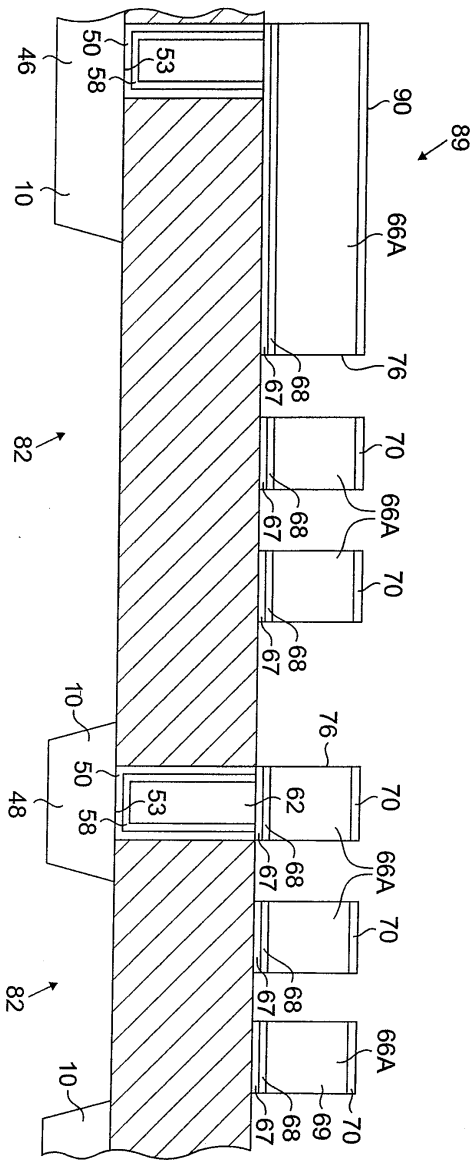
도면9



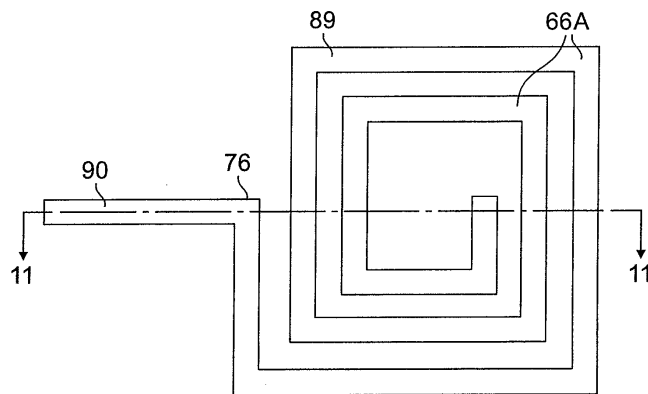
도면10



도면11



도면12



도면14

