

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成25年2月21日(2013.2.21)

【公表番号】特表2012-514943(P2012-514943A)

【公表日】平成24年6月28日(2012.6.28)

【年通号数】公開・登録公報2012-025

【出願番号】特願2011-545399(P2011-545399)

【国際特許分類】

H 04 B 1/16 (2006.01)

H 04 B 1/10 (2006.01)

【F I】

H 04 B 1/16 R

H 04 B 1/10 E

【手続補正書】

【提出日】平成24年12月28日(2012.12.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ワイヤレス通信システムの無線周波数サブシステムの直角位相信号経路における自動利得制御を管理するための方法であって、

デジタル受信機経路中のチャネル選択フィルタへの入力における第1の信号強度および前記チャネル選択フィルタの出力における第2の信号強度を判定するステップと、

前記第1の信号強度と前記第2の信号強度とを比較して受信機の前記直角位相信号経路にいつブロッカ―が存在するかを検出し、前記ブロッカ―が存在する場合は自動利得制御回路のアナログ制御分岐にブロッカ―存在信号を転送するステップと、

前記ブロッカ―存在信号に応答して自動利得制御回路の前記アナログ制御分岐においてアナログ制御信号を生成するステップとを備え、前記アナログ制御信号は、前記ブロッカ―の存在に応答して、アナログ受信機経路中の少なくとも1つの制御可能利得素子を調整して前記無線周波数サブシステムの前記デジタル受信機経路中のアナログ-デジタル変換器の飽和を防止するように構成され、さらに

前記チャネル選択フィルタの前記出力における前記第2の信号強度と参照信号パワーとの間の差を求めるステップと、

前記第2の信号強度と前記参照信号パワーとの間の差を前記自動利得制御回路に適用するステップとを備え、前記自動利得制御回路は、前記アナログ制御分岐およびデジタル制御分岐に結合されるループフィルタを有し、前記デジタル制御分岐は、前記チャネル選択フィルタに結合されるスケーラを調整するように構成されるデジタル制御ワードを生成する、方法。

【請求項2】

前記第2の信号強度の表現を線形目盛から対数目盛に変換して、デシベルでの前記第2の信号強度の変換された表現を生成するステップをさらに備える、請求項1に記載の方法。

【請求項3】

デシベルでの前記第2の信号強度の変換された前記表現を補正アルゴリズムに適用して、デシベルでの前記第1の信号強度の補正された表現を生成するステップをさらに備える

、請求項 2 に記載の方法。

【請求項 4】

前記無線周波数サブシステムにおける平均信号エネルギーおよびピーク信号エネルギーの関数として前記参照信号パワーを求めるステップをさらに備える、請求項 1 に記載の方法。

【請求項 5】

前記参照信号パワーを調整して予め定められたマージンを可能にするステップをさらに備える、請求項 4 に記載の方法。

【請求項 6】

前記ループフィルタは、前記第 2 の信号強度を判定するのに用いられるサンプリング周波数とウインドウとの比で動作する、請求項 1 に記載の方法。

【請求項 7】

前記アナログ制御分岐は、第 1 のフィードバック加算器、プログラマブルヒスチリシス素子、およびルックアップテーブルを備える、請求項 1 に記載の方法。

【請求項 8】

プログラム可能なヒスチリシスはしきい値で実現され、以前の利得値と関連して用いられると新たな利得値を定める、請求項 7 に記載の方法。

【請求項 9】

低雑音増幅器のアナログ利得変更と関連して位相補正制御信号を生成するステップをさらに備える、請求項 8 に記載の方法。

【請求項 10】

アナログ利得の変化率は、前記第 2 の信号強度を判定するのに用いられるウインドウ、サンプリングレート、およびアナログ利得変更ヒスチリシス値の関数である、請求項 8 に記載の方法。

【請求項 11】

前記デジタル制御分岐は、加算器と、前記ループフィルタからのフィルタリングされた誤り信号および前記アナログ制御分岐からのアナログ利得値の関数としてデジタル利得値を求めるプログラマブル遅延素子とを備える、請求項 1 に記載の方法。

【請求項 12】

前記デジタル利得値を対数目盛から線形目盛に変える変換器に前記デジタル利得値を適用するステップをさらに備える、請求項 11 に記載の方法。

【請求項 13】

ベースバンドコントローラからの利得値を挿入するステップと、
前記ルックアップテーブルをロードするステップと、
前記プログラマブルヒスチリシス素子をバイパスするステップと、
前記ルックアップテーブルからのアナログ利得制御信号を適用するステップとをさらに備える、請求項 7 に記載の方法。

【請求項 14】

ワイヤレス通信システムの無線周波数サブシステムにおける自動利得制御のためのシステムであって、

デジタル受信機経路からの第 1 の入力およびチャネル選択フィルタからの第 2 の入力を受け、前記デジタル受信機経路の出力に存在する信号パワーの第 1 の推定値および前記チャネル選択フィルタの前記出力に存在する前記信号パワーの第 2 の推定値を生成するよう構成されるパワー推定器と、

前記パワー推定器からの前記第 1 の推定値および前記第 2 の推定値を受けるように配置され、前記第 1 の推定値および前記第 2 の推定値の関数がしきい値を超えるとブロッカー存在信号を生成するように構成されるブロッカー識別素子と、

前記パワー推定器の出力に結合され、前記デジタル受信機経路における前記パワーの対数表現を生成するように構成される変換器と、

前記ブロッカー存在信号および前記デジタル受信機経路中の前記パワーの前記対数表現と参照信号との差を受けるように配置される自動利得制御回路とを備え、前記自動利得制

御回路は、ループフィルタ、アナログ制御分岐、およびデジタル制御分岐を備え、前記アナログ制御分岐はアナログ受信機経路中の1つ以上の素子に結合される制御信号を生成し、前記デジタル制御分岐はスケーラに結合される制御ワードを生成し、前記制御信号および制御ワードは前記無線周波数サブシステム中で利得を分散させる、システム。

【請求項15】

前記アナログ制御分岐は、第1のフィードバック加算器、プログラマブルヒステリシス素子、およびルックアップテーブルを備える、請求項14に記載のシステム。

【請求項16】

前記アナログ制御分岐は第1の較正值を受け、受信信号強度を示すものをベースバンド素子に与え、前記制御信号を生成する、請求項15に記載のシステム。

【請求項17】

前記アナログ制御分岐は、前記制御信号が低雑音増幅器の利得の変更を命令する場合、位相補償信号を生成する、請求項16に記載のシステム。

【請求項18】

前記デジタル制御分岐は、第2のフィードバック加算器、プログラマブル遅延素子、および変換器素子を備え、前記デジタル制御分岐は、前記ループフィルタから第2の較正信号および誤り信号を受けるように配置される、請求項15に記載のシステム。

【請求項19】

前記デジタル制御分岐は、前記第2のフィードバック加算器で前記アナログ制御信号を受け、前記誤り信号と前記アナログ制御信号の遅延された表現との差に応答する前記制御ワードを生成する、請求項18に記載のシステム。

【請求項20】

前記デジタル制御分岐は、前記誤り信号と前記アナログ制御信号との差を対数目盛上の第1の値から線形目盛上の変換された値に変える、請求項19に記載のシステム。

【請求項21】

ワイヤレス通信システムの無線周波数サブシステムにおける自動利得制御のための回路であって、

デジタル受信機経路に結合されるアナログ受信機経路を備える受信機を備え、前記デジタル受信機経路の出力はスケーラに結合され、さらに

無線周波数自動利得制御回路を備え、前記無線周波数自動利得制御回路は、

第1のフィードバック加算器およびルックアップテーブルを備えるアナログ制御分岐を備え、前記アナログ制御分岐はベースバンド素子から受ける利得値および第1の較正值に応答し、アナログ制御信号を生成する前記アナログ制御分岐は前記アナログ受信機経路中の少なくとも1つの制御可能利得素子を調整するように構成され、さらに前記無線周波数自動利得制御回路は

第2のフィードバック加算器、プログラマブル遅延素子、および変換器素子を備えるデジタル制御分岐を備え、前記デジタル制御分岐は、前記ベースバンド素子から受けた前記利得値に応答する制御ワード、第2の較正值、および前記アナログ制御信号の遅延された表現を生成するように構成される、回路。

【請求項22】

前記アナログ制御分岐はバイパスモードで動作するプログラマブルヒステリシス素子をさらに備える、請求項21に記載の回路。

【請求項23】

前記アナログ制御分岐は受信信号強度を示すものをベースバンド素子に与え、前記アナログ受信機経路中の低雑音増幅器、トランスインピーダンス増幅器、およびプログラマブル利得増幅器のうち1つ以上を調整するように配置される、請求項21に記載の回路。

【請求項24】

前記デジタル制御分岐は、前記ベースバンド素子から受けた前記利得値と、前記第2の較正值と、前記アナログ制御信号の前記遅延された表現との差を対数目盛から線形目盛に変える、請求項21に記載の回路。

【手続補正2】**【補正対象書類名】**明細書**【補正対象項目名】**0035**【補正方法】**変更**【補正の内容】****【0035】**

チャネル選択フィルタ230は、ベースバンドサブシステム110からの1つ以上の信号（図示せず）の制御下で、選択範囲の周波数、すなわち選択受信チャネル、を、接続線235上でRF AGCサブシステム238へ、および接続線233上でスケーラ402へ渡す。接続線235上で選択受信チャネルを受けることに加えて、RF AGCサブシステム238は、接続線120b上の第1の較正信号、接続線120c上の第2の較正信号、および接続線120d上のAGC参照信号を受ける。図2にさらに図示されるように、RF AGCシステム238は3つの出力信号を生成する。受信信号強度インジケータ（RSSI）信号は、接続線120e上をベースバンドサブシステム110に通信される。アナログ制御信号は、AGC回路260からアナログ受信機経路210に通信される。接続線267上のアナログ制御信号は、アナログ受信機経路210中の1つ以上の制御可能素子の利得を設定するかまたはさもなければ制御するための情報を含む。さらに、AGC回路260から接続線265上を、スケーラ402にデジタル制御ワードが通信される。スケーラ402はデジタル利得素子である。すなわち、スケーラ402は、接続線265上のデジタル制御ワードに応答して、接続線233上で与えられた受信信号のデジタル表現を調整し、これを接続線120a上でベースバンドサブシステム110に転送する。

【手続補正3】**【補正対象書類名】**明細書**【補正対象項目名】**0037**【補正方法】**変更**【補正の内容】****【0037】**

簡単に上述したように、コントローラ400に従って動作するAGC回路260は、アナログ制御経路（図示せず）を用いて、アナログ受信機経路210中のミキサ/LNA段、トランスインピーダンス増幅器、およびプログラマブルパワー増幅器のうち1つ以上の利得を制御可能に調整する。LNA利得段を調整する場合、コントローラ400はそのことを示すものを利得/相補償器（図示せず）に転送する。受信機150のRF部またはベースバンドサブシステム110において実現可能な利得/相補償器は、適切な数のデータ信号サンプルが処理された後、IおよびQデータ信号に対して複素乗算演算を行なう。利得および位相補正されたIおよびQデータ信号は、I/O素子112（図1）に転送される前に、ベースバンドサブシステム110によってさらに処理される。以上でも説明したように、コントローラ400に従って動作するAGC回路260は、デジタル制御経路（図示せず）を用いて、接続線265上を転送される制御ワードを生成してスケーラ402を制御可能に調整する。

【手続補正4】**【補正対象書類名】**明細書**【補正対象項目名】**0038**【補正方法】**変更**【補正の内容】****【0038】**

図3は、図1のRF AGCシステム238の実施形態を図示する機能プロック図である。図3に図示されるように、受信機300は、アナログ受信機経路210、デジタル受信機経路220、スケーラ402、およびRF AGCシステム238を含む。アナログ受信機経路210は、接続線142上のRF_IN信号および接続線267上の制御信号を受ける。アナログ受信機経路210は、接続線267上の制御信号中にエンコードされ

た情報に従って信号パワー(すなわち R F _ I N 信号)を増幅または減衰する、直列結合されたアナログデバイスを含む。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 2

【補正方法】変更

【補正の内容】

【0 0 4 2】

I および Q 受信信号の第 2 のデジタル表現は接続線 2 3 3 上をスケーラ 4 0 2 に転送される。スケーラ 4 0 2 はデジタル利得素子である。スケーラ 4 0 2 は、接続線 2 6 5 上を A G C 回路 2 6 0 から通信されたデジタル制御ワードに従って、接続線 2 3 3 上で与えられた I および Q 受信信号のデジタル表現を調整する。以下に説明されるように、A G C 回路 2 6 0 は、受信信号の推定されるパワー、アナログ受信機経路 2 1 0 において与えられたアナログ利得の量、および所望の参照値を含む、受信機 1 5 0 における現在の動作条件に従って制御ワードを調整する。スケーラ 4 0 2 は、接続線 2 6 5 上のデジタル制御ワードに応答して、I および Q 受信信号をベースバンドサブシステム 1 1 0 へ接続線 1 2 0 a 上で転送する前に、I および Q 受信信号をデジタルにスケーリングするまたは調整する。実施形態では、スケーラ 4 0 2 は約 7 2 d B のデジタル利得制御を与える。より小さなまたはより大きな合計利得をデジタル I および Q 受信信号に与える他の実施形態が可能である。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 1

【補正方法】変更

【補正の内容】

【0 0 6 1】

表 1 に図示される実施形態では、- 3 3 d B m の入力信号しきい値が検出されると、アナログ制御分岐 3 5 0 は、接続線 2 6 7 上にアナログ制御信号を生成し、これは、アナログ受信機経路 2 1 0 中で約 0 d B の利得を与えるようにアナログ受信機経路 2 1 0 に命令する。- 3 3 d B m と - 4 4 d B mとの間の入力信号しきい値が検出されると、アナログ制御分岐 3 5 0 は、アナログ受信機経路 2 1 0 中の P G A を介して約 1 0 d B の合計利得を与えるように接続線 2 6 7 上のアナログ制御信号を変更する。同様に、入力信号しきい値が - 4 4 d B m と - 7 2 d B mとの間に下がると、アナログ制御分岐 3 5 0 は、P G A が与える約 1 0 d B の利得と、アナログ受信機経路 2 1 0 中の L N A が与える約 1 2 d B の付加的な利得との合計利得約 2 2 d B を与えるように、接続線 2 6 7 上のアナログ制御信号を変更する。入力信号しきい値が - 7 2 d B m と - 8 2 d B mとの間に下がると、アナログ制御分岐 3 5 0 は、P G A が与える約 1 0 d B の利得と、アナログ受信機経路 2 1 0 中の 1 つ以上の L N A が与える約 2 4 d B の付加的な利得との合計利得約 3 4 d B を与えるように、接続線 2 6 7 上のアナログ制御信号を変更する。入力信号しきい値が - 8 2 d B m と - 9 7 d B mとの間に下がると、アナログ制御分岐 3 5 0 は、P G A が与える約 1 0 d B の利得と、トランスインピーダンス増幅器が与える約 6 d B の利得と、アナログ受信機経路 2 1 0 中の 1 つ以上の L N A が与える約 2 7 d B の付加的な利得との合計利得約 4 3 d B を与えるように、接続線 2 6 7 上のアナログ制御信号を変更する。最後に、入力信号しきい値が - 9 7 d B m と - 1 1 0 d B mとの間に下がると、アナログ制御分岐 3 5 0 は、P G A が与える約 1 6 d B の利得と、トランスインピーダンス増幅器が与える約 1 2 d B の利得と、アナログ受信機経路 2 1 0 中の 1 つ以上の L N A が与える約 2 7 d B の付加的な利得との合計利得約 5 5 d B を与えるように、接続線 2 6 7 上のアナログ制御信号を変更する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正の内容】

【0067】

デジタル制御分岐360は、プログラマブル遅延素子361、第2のフィードバック加算器362、および変換器364を含む。プログラマブル遅延素子361は、接続線267上のアナログ制御信号を、ループフィルタ345からの接続線349上のフィルタリングされた誤り信号と同期させる。第2のフィードバック加算器362は、接続線347上のフィルタリングされた誤り信号、接続線120c上の第2の較正值、および遅延素子361からの遅延されたアナログ制御信号を受信する。図3に図示されるように、第2のフィードバック加算器362は、フィルタリングされた誤り信号と、第2の較正值と、接続線363上の遅延されたアナログ制御信号との差を生成し、これを変換器364に転送する。変換器364は、デジタル利得をデシベルから線形値に変えた後に制御ワードを生成する。制御ワードは、接続線265を介してスケーラ402に転送される。デシベルを線形単位に変換するための方法は、図9に関連して図示され記載される。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

【0070】

状態図404は、状態410、状態420、状態430、状態440、状態450、および状態460を含む。状態410はパワーアップ動作モードである。選択数の繰返しが満たされるまで、矢印412が示すように、パワーアップ条件下で、AGC回路260を動作させるための1組の好適なパラメータが繰返し適用される。AGC回路260が選択数の繰返しを行なうと、コントローラ400は、矢印414が示すように状態430に遷移する。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正の内容】

【0074】

図5は、図3のAGC回路の代替的実施形態を図示する機能ブロック図である。AGC回路560は、トランシーバ動作のGSM/EDGEモードでの使用に好適である。AGC回路560は、図3に図示されかつ上述されるAGC回路260からの回路素子のいくつかを共有する。図5に図示されるように、AGC回路560は、アナログ受信機経路210、デジタル受信機経路220、およびスケーラ402を含む受信機500で実現される。アナログ受信機経路210は、アナログ制御分岐550が与える制御信号に従って動作する。スケーラ402は、デジタル制御分岐360が与える制御ワードに従って動作する。パワー推定器240、変換器334、加算器336、ブロッカー識別素子250、コントローラ400、およびループフィルタ345は、それらがディスエーブルされているかまたはさもなければ受信機500中の他の素子から除かれていることを示すように破線で図示される。図示される実施形態では、スイッチ510は、ベースバンドサブシステム110(図1)から接続線120fを介してアナログ制御分岐550およびデジタル制御分岐360へ利得値を与えるように、制御可能に位置決めされる。図5にさらに図示されるように、スイッチ510は、接続線349(すなわち、ループフィルタ345の出力)をアナログ制御分岐550およびデジタル制御分岐360にもはや結合していない。さらに、プログラマブルヒステリシス素子354はディスエーブルされ、接続線120eを介してバイパスされる。これに代えて、バイパスモードではプログラマブルヒステリシス素

子 3 5 4 が動作され、第 1 の較正值とベースバンドサブシステム 1 1 0 からの利得値との差をルックアップテーブル 3 5 6 に適用する。

【手続補正 1 0】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 6

【補正方法】変更

【補正の内容】

【0 0 7 6】

デジタル受信機経路 2 2 0 は、接続線 2 1 5 上の I および Q 受信信号が増幅されたものを受信する。デジタル受信機経路 2 2 0 は、I および Q 受信信号が横切る通信経路における、周波数にわたるパワーばらつきをサンプリングし、デジタル化し、高域フィルタリングし、かつ補償する 1 つ以上の信号処理素子を含む。さらに、デジタル受信機経路 2 2 0 は、低周波数しきい値より低い所望されない周波数と高周波数しきい値より高い所望されない周波数とを除去するためのチャネル選択フィルタを含んでもよい。デジタル受信機経路 2 2 0 の出力は接続線 2 3 3 上をスケーラ 4 0 2 に転送される。スケーラ 4 0 2 は、デジタル制御分岐 3 6 0 から接続線 2 6 5 上で受信された制御ワードに従って動作するデジタル利得素子である。受信されたアナログ信号から生成されるパワー調整された I および Q 信号は、バス接続線 1 2 0 a を介してベースバンドサブシステム 1 1 0 (図 1) に転送される。1 つの実施形態では、デジタル受信機経路 2 2 0 は約 7 2 d B のデジタル利得制御を与える。より小さなまたはより大きな合計利得をデジタル I および Q 信号に与える他の実施形態が可能である。

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 1

【補正方法】変更

【補正の内容】

【0 0 8 1】

デジタル制御分岐 3 6 0 は、プログラマブル遅延素子 3 6 1、第 2 のフィードバック加算器 3 6 2、および変換器 3 6 4 を含む。第 2 のフィードバック加算器 3 6 2 は、接続線 3 4 9 を介してベースバンドが与える利得値と、接続線 1 2 0 c を介した第 2 の較正值と、プログラマブル遅延素子 3 6 1 からのアナログ利得の遅延された表現とを受ける。図 5 に図示されるように、第 2 のフィードバック加算器 3 6 2 は、利得値と、第 2 の較正值と、接続線 3 6 3 上をプログラマブル遅延素子 3 6 1 から受けたアナログ利得との差を生成し、これを変換器 3 6 4 に転送する。変換器 3 6 4 は、デジタル利得をデシベルから線形値に変えた後に制御ワードを生成する。制御ワードは接続線 2 6 5 を介してスケーラ 4 0 2 に転送される。デシベルを線形単位に変換するための方法は、図 9 と関連して図示され記載される。

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 6

【補正方法】変更

【補正の内容】

【0 0 8 6】

ブロック 7 0 8 に示されるように、ブロッカーが存在する場合、ブロッカー存在信号を自動利得制御回路のアナログ制御分岐に転送することによって、1 つ以上のアナログ利得段が調整される。アナログ制御分岐はルックアップテーブルを含み、ルックアップテーブルは、アナログ受信経路に適用されると、信号パワーを低減して A D C での受信信号の飽和またはクリッピングを防止する制御信号を通信するように配置される情報を有する。そうではなく、ブロッカーが存在しない場合は、第 2 の信号強度 (すなわち、フィルタリングされた受信信号) と参照値との間の差が求められて、誤り信号を生成する。その後、ブ

ロック 712 に示されるように、アナログ制御分岐およびデジタル制御分岐を有する一次フィードバックループに差または誤り信号が適用される。上述のように、アナログ制御分岐は、アナログ利得制御信号をアナログ受信機または信号経路中の制御可能素子に与えて所望のアナログ利得制御を与える。また上述したように、デジタル制御分岐は、誤り信号ヒアナログ利得制御信号との差に従って動作して、チャネル選択フィルタと直列に結合されたスケーラ402を調整する制御ワードを生成して、デジタルドメインで所望の量の利得を与える。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0101

【補正方法】変更

【補正の内容】

【0101】

方法 1100 はブロック 1102 から開始し、ここでパラメータ L2DB および slope が初期化され、アレイ L2frac および L2Thrsh に投入される。例示的な実施形態では、L2DB は 42 に設定され、slope は 4 に設定される。さらに、L2frac アレイには、メンバー 1149、1289、1446、1623、1821、および 2043 が投入され、L2Thrsh アレイには、メンバー 42、84、126、168、210、および 252 が投入される。これらのアレイのメンバーは所望の精度に量子化されてもよい。その後、ブロック 1104 に示されるように、変数 X が (デシベルの) X と L2DB との積に設定される。ブロック 1110 で、変数 Xint は int(X) に設定される。ブロック 1112 で、Xfrac は X と Xint の差に設定される。その後、変数 TEMP が X と slope との積によって決まり、変数 TEMP1 が Xfrac と TEMP との和によって決まる。L2 アレイが探索されて TEMP1 の位置を定める。出力 値が TEMP および定められた位置の関数として設定される。ブロック 1102 から 1126 と関連して記載されたようなデシベルから利得の線形単位への変換のための補正率を生成するための方法は所望のように開始および繰返し可能である。

【手続補正14】

【補正対象書類名】図面

【補正対象項目名】図 2

【補正方法】変更

【補正の内容】

【図2】

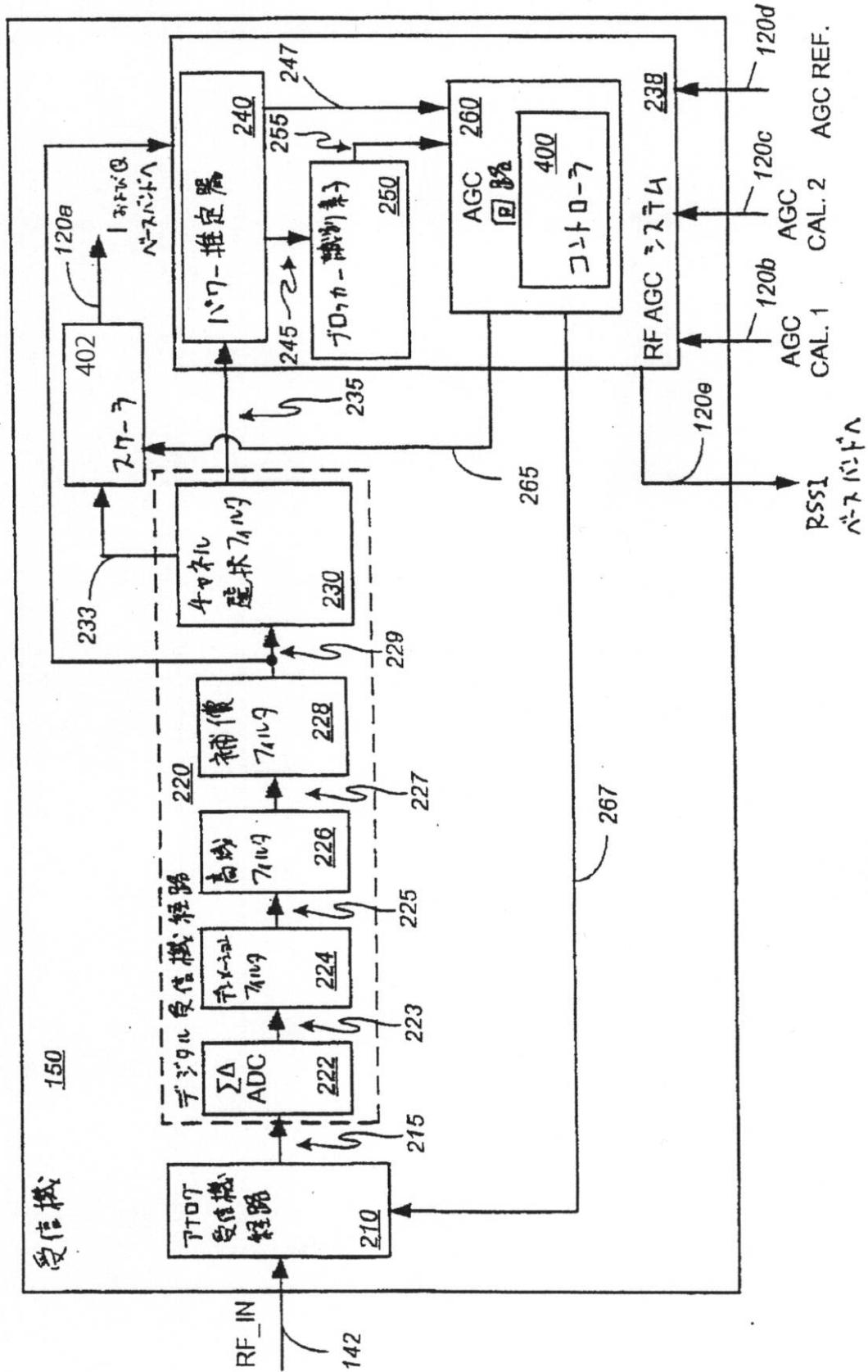


FIG. 2

【手続補正15】

【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正の内容】

【図3】

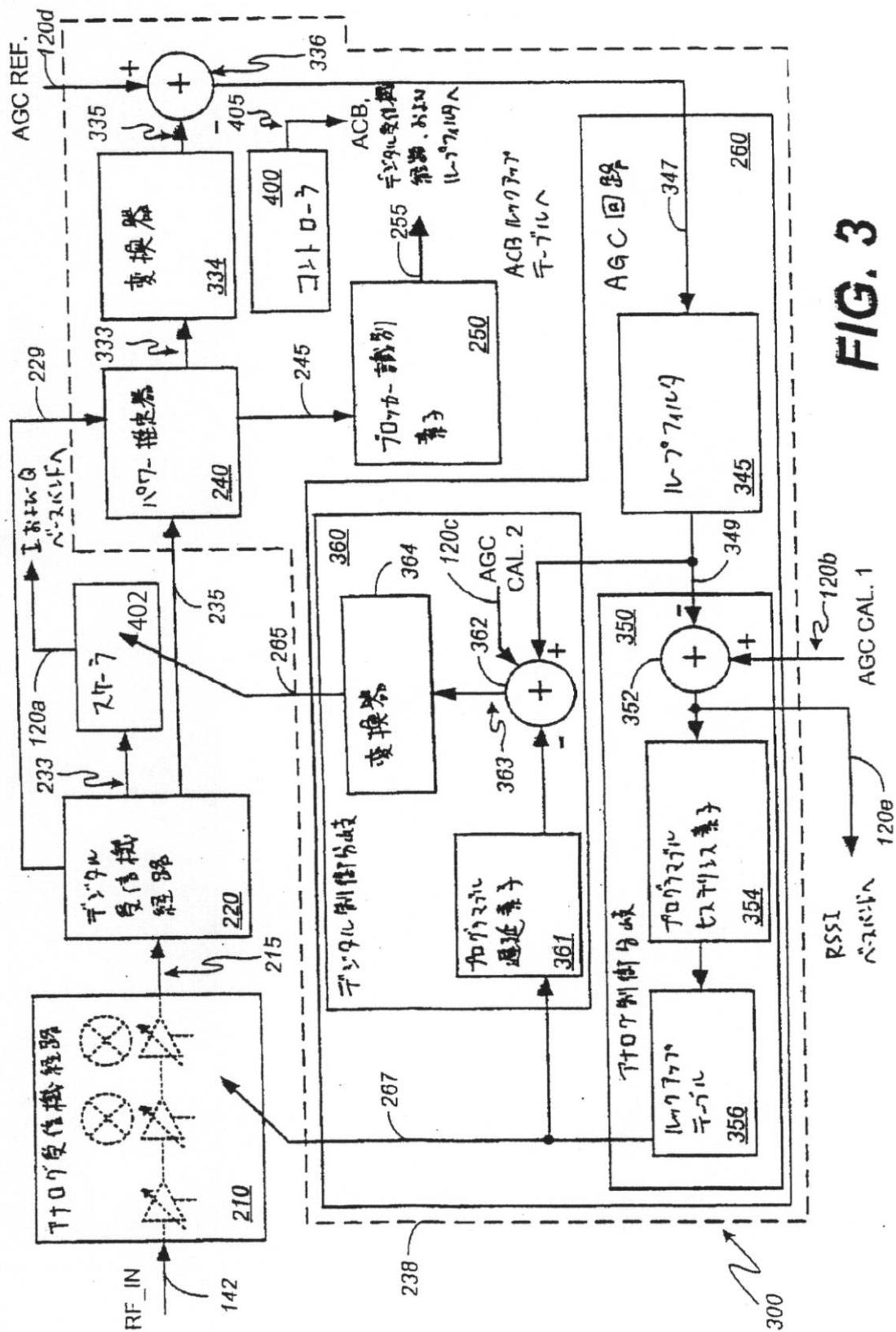


FIG. 3

【手続補正 1 6】

【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】変更

【補正の内容】

【図4】

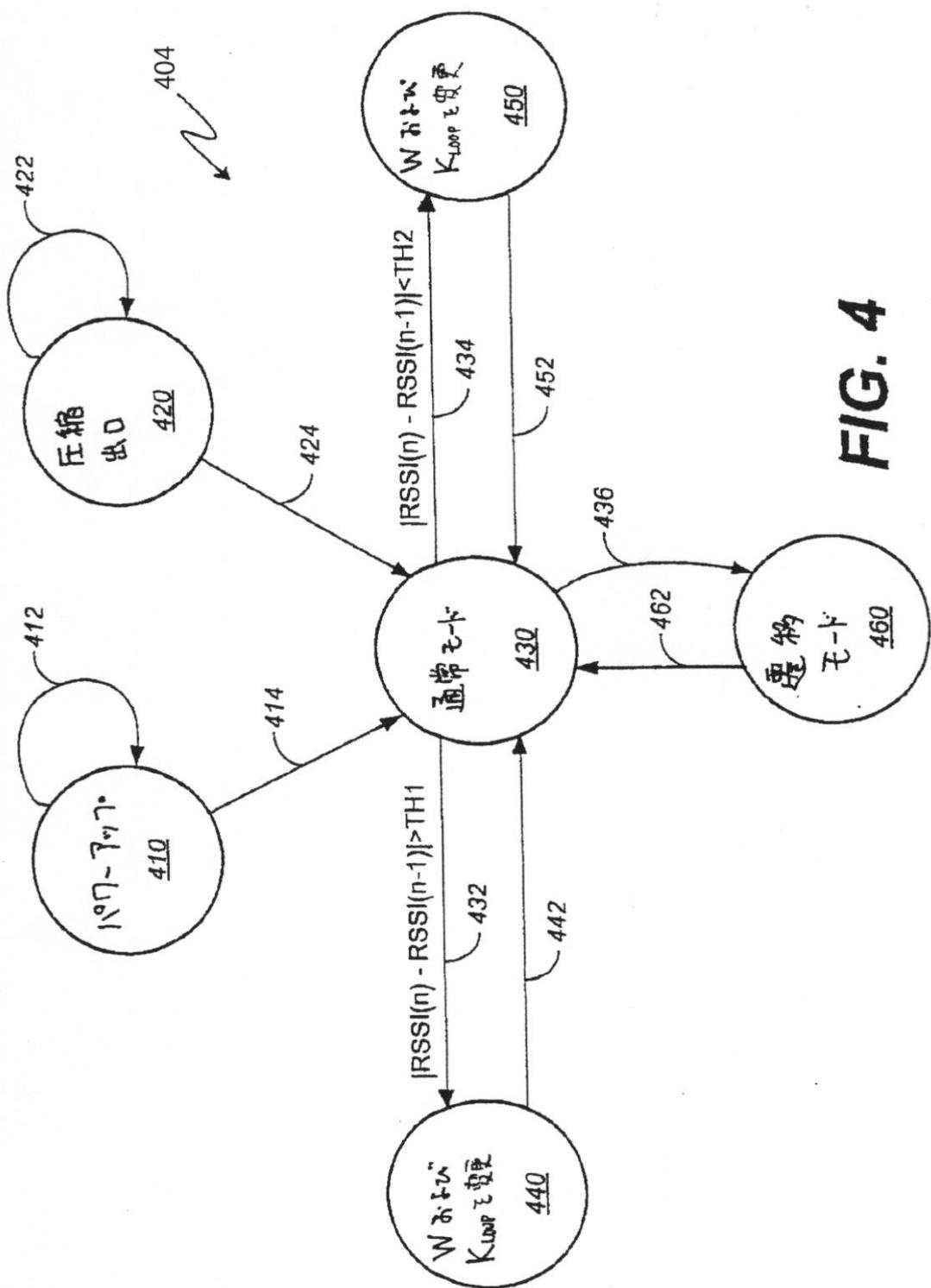


FIG. 4

【手続補正17】

【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正の内容】

【 四 5 】

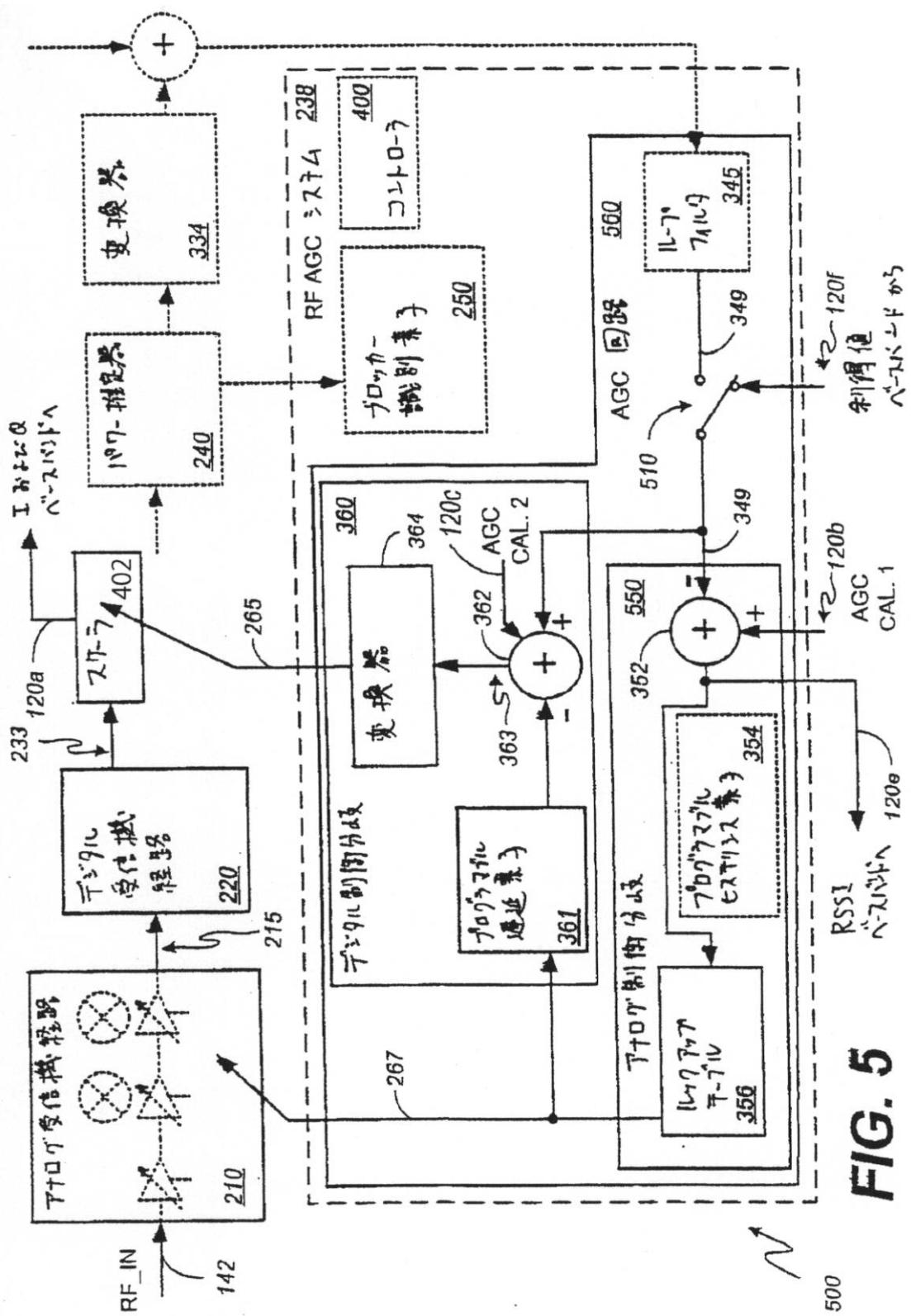


FIG. 5