(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3610999号
(P3610999)
(45)発行日　平成17年1月19日(2005.1.19)　(24)登録日　平成16年10月29日(2004.10.29)

(51)Int.Cl.[7]　F I
H01L 21/60　H01L 21/60　311S
H01L 21/60　311Q
H01L 21/60　301L

請求項の数 1　(全 13 頁)

(21)出願番号　特願平8-145241
(22)出願日　平成8年6月7日(1996.6.7)
(65)公開番号　特開平9-326419
(43)公開日　平成9年12月16日(1997.12.16)
審査請求日　平成13年6月7日(2001.6.7)

前置審査

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100113859
弁理士　板垣　孝夫
(74)代理人　100068087
弁理士　森本　義弘
(72)発明者　塚原　法人
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

審査官　田中　永一

最終頁に続く

(54)【発明の名称】半導体素子の実装方法

(57)【特許請求の範囲】
【請求項１】
回路基板の回路と半導体素子の電極を接続する前記回路基板の箇所に、貫通孔部を形成する工程と、
前記貫通孔部に導電性ペーストを充填し外部電極端子を形成する工程と、
前記半導体素子の電極に円錐形で尖った形状の突起バンプを形成する工程と、
前記外部電極端子が形成された回路基板上、または前記半導体素子の突起バンプ上に、熱硬化系樹脂または熱可塑系樹脂または熱硬化と熱可塑の混合系樹脂を有する接着剤シートを配置する工程と、
前記外部電極端子と前記半導体素子の前記電極に形成された前記突起バンプを位置決めする工程と、
前記半導体素子を押圧し、前記接着剤シートを前記円錐形で尖った形状の突起バンプにより突き破り、前記貫通孔部内の前記導電性ペーストと前記突起バンプとを接触させ、前記半導体素子の前記電極と前記回路基板の前記外部電極端子とを電気的に接続する工程と、
加熱ツールにより前記半導体素子を加熱し、前記接着剤シートを溶融し、硬化する工程とを有することを特徴とする半導体素子の実装方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体素子の回路基板に高信頼性、高密度でフリップチップ型半導体素子を実

装する半導体素子の実装方法に関するものである。
【０００２】
【従来の技術】
従来の半導体素子の実装方法を図面に基づいて説明する。
（従来例１）
図16に従来例１における半導体素子を回路基板に実装した断面図を示す。
【０００３】
図16において、１は半導体素子であり、半導体素子１上に電極２が形成され、電極２上に、ワイヤボンディング法によって金、銅、アルミニウム、半田などからなる突起バンプ（金属ボールバンプ）15が形成されている。
【０００４】
また４は絶縁性基体からなる回路基板であり、この回路基板４上に配線となる銅箔５が形成され、また回路基板４上に銅メッキされた外部電極端子６が形成され、回路基板内の導通をとるため、回路基板４内に形成された孔部８に、導電性ペースト７が充填されている。
【０００５】
また22はフェノールやエポキシ系樹脂に銀、金、ニッケル、カーボンなどの導電粉末を均一分散した導電性ペースト（導電性接着剤）であり、回路基板４の外部電極端子６と半導体素子１の電極２を突起バンプ15を介して電気的に接続しており、また回路基板４上と半導体素子１間にはエポキシ系樹脂20が充填されている。
【０００６】
以上のように構成された半導体素子の実装方法を説明する。半導体素子１の各電極２上に形成された突起バンプ15に転写法により導電性ペースト22を転写した後、実装すべき回路基板４の外部電極端子６に合致されるように積載し、その後加熱し、導電性ペースト22を硬化し、半導体素子１の電極２と回路基板４の外部電極端子６とを電気的に接続している。そして、接続後に半導体素子１と回路基板４の間隔にエポキシ系樹脂20を充填し、その硬化収縮力を利用して、導電性ペースト22の導電粉末の連続的な接触が得られるようにし、電気的、機械的信頼性を確保している。
（従来例２）
図17に従来例２における半導体素子を回路基板に実装した断面図を示す。上記図16の構成と同一の構成には同一の符号を付して説明を省略する。
【０００７】
図17において、23は電極２上に電気メッキ法によって形成された金属バンプであり、金属バンプ23上に、たとえば銅メッキが施され、その上に上に金メッキ24が施されている。25は外部電極端子、16は半導体素子１のアクティブ面を保護するパシベーション膜である。
【０００８】
以上のように構成された半導体素子の実装方法を説明する。半導体素子１の各電極２上に形成された金属バンプ23に転写法により導電性ペースト22を転写した後、実装すべき回路基板４の外部電極端子25に合致されるように積載し、その後加熱し、導電性ペースト22を硬化し、半導体素子１の電極２と回路基板４の外部電極端子25とを電気的に接続している。そして、接続後に半導体素子１と回路基板４の間隔にエポキシ系樹脂20を充填し、その硬化収縮力を利用して、導電性ペースト22の導電粉末の連続的な接触が得られるようにし、電気的、機械的信頼性を確保している。
（従来例３）
図18に従来例３における半導体素子を回路基板に実装した断面図を示す。上記図16，図17の構成と同一の構成には同一の符号を付して説明を省略する。
【０００９】
図18において、３は電極２の上にメッキ法により形成された突起バンプ（突起電極）、26は絶縁性接着剤フィルムであり、絶縁性接着剤フィルム26内にはニッケル、半田、カーボンなどからなる導電粒子27が均一に分散されている。

【００１０】
以上のように構成された半導体素子の実装方法を説明する。
絶縁接着剤フィルム26を半導体素子１および回路基板４の外部電極端子25に挟んで位置合わせして、加熱、加圧を同時に行なう。これにより、接着剤フィルム26は溶融し電極25間のスペースに流動していき、導電粒子27は突起バンプ３と外部電極端子25により固定保持され導通する。一方、スペースでは導電粒子27が接着剤中に分散された状態を保つために絶縁性が確保される。接着剤フィルム26は冷却すると硬化し、半導体素子１と回路基板４を固定し、接続信頼性を確保する。
【００１１】
【発明が解決しようとする課題】
しかし、上記従来例１（または従来例２）の半導体素子の実装方法では、図19に示すように、転写法によって導電性ペースト膜28を突起バンプ15に転写し、バンプ15を回路基板４の外部電極６に接合する際に、転写導電性ペースト22の量のコントロールが困難であり、少しでも多いと電極２間が導電性ペースト22により接続されショート回路30が形成されてしまうという問題があった。また、回路基板４が少しでも反っていると、半導体素子１の電極２と回路基板４の外部電極端子６が導電性ペースト22を介して接触せず、電気的にオープン状態になるという問題があった。
【００１２】
また、図20に示すように、エポキシ系樹脂20を半導体素子１と回路基板４の隙間に充填する際に、シリンジ31に封入されたエポキシ系樹脂20を半導体素子１の周辺部より注入していくため、注入時間が約１０分以上かかり、半導体素子１の生産ラインのタクトタイムの短縮の障害になるという問題があった。
【００１３】
また上記従来例３の半導体素子の実装方法では、導電粒子27を半導体素子１の電極２と回路基板４の電極25間に固定保持することにより導通されるため、図21に示すように、回路基板４に少しでも反り・うねりＡがあれば、導電粒子27が接着剤26中に分散されたままの状態で半導体素子１の突起バンプ３と回路基板４の電極25に接触せず、電気的にオープン状態になるという問題点があった。なお、従来例３の実装方法は、反り・うねりの少ないガラス基板を対象として用いられており、樹脂基板には用いられていないのが現状である。
【００１４】
そこで本発明は、電極間でのショートやオープンといった不良は発生せず、電気的信頼性の高い実装が行え、封止工程の時間の大幅な削減ができ、半導体素子生産ラインのタクトタイムの短縮を可能とする半導体素子の実装方法を提供することを目的とする。
【００１５】
【課題を解決するための手段】
上記目的を達成するため本発明の半導体素子の実装方法は、回路基板の回路と半導体素子の電極を接続する前記回路基板の箇所に、貫通孔部を形成する工程と、前記貫通孔部に導電性ペーストを充填し前記回路基板の裏面側に外部電極端子を形成する工程と、前記半導体素子の電極に円錐形で尖った形状の突起バンプを形成する工程と、前記外部電極端子が形成された回路基板上、または前記半導体素子の突起バンプ上に、熱硬化系樹脂または熱可塑系樹脂または熱硬化と熱可塑の混合系樹脂を有する接着剤シートを配置する工程と、前記外部電極端子と前記半導体素子の前記電極に形成された前記突起バンプを位置決めする工程と、前記半導体素子を押圧し、前記接着剤シートを前記円錐形で尖った形状の突起バンプにより突き破り、前記貫通孔部内の前記導電性ペーストと前記突起バンプとを接触させ、前記半導体素子の前記電極と前記回路基板の前記外部電極端子とを電気的に接続する工程と、加熱ツールにより前記半導体素子を加熱し、前記接着剤シートを溶融し、硬化する工程とを有するものである。
【００１６】
上記半導体素子の実装方法により、回路基板の孔部内の充填された導電性ペーストに半導

体素子の電極に形成した突起バンプを接触させ、前記半導体素子の電極と回路基板の外部電極端子とを電気的に接続することによって、電極間でのショートやオープンといった不良は発生せず、電気的信頼性の高い実装が行える。

【００２１】

【発明の実施の形態】

本発明の請求項１に記載の発明は、回路基板の回路と半導体素子の電極を接続する前記回路基板の箇所に、貫通孔部を形成する工程と、前記貫通孔部に導電性ペーストを充填し外部電極端子を形成する工程と、前記半導体素子の電極に円錐形で尖った形状の突起バンプを形成する工程と、前記外部電極端子が形成された回路基板上、または前記半導体素子の突起バンプ上に、熱硬化系樹脂または熱可塑系樹脂または熱硬化と熱可塑の混合系樹脂を有する接着剤シートを配置する工程と、前記外部電極端子と前記半導体素子の前記電極に形成された前記突起バンプを位置決めする工程と、前記半導体素子を押圧し、前記接着剤シートを前記円錐形で尖った形状の突起バンプにより突き破り、前記貫通孔部内の前記導電性ペーストと前記突起バンプとを接触させ、前記半導体素子の前記電極と前記回路基板の前記外部電極端子とを電気的に接続する工程と、加熱ツールにより前記半導体素子を加熱し、前記接着剤シートを溶融し、硬化する工程とを有することを特徴とする半導体素子の実装方法であり、接着剤シートが溶融・硬化後、半導体素子のアクティブ面および電極の表面を保護するため、より接続の信頼性が増すとともに、接着剤シートの場合、加圧・硬化に要する時間が約３０秒と、エポキシ系樹脂の硬化時間、約４時間に対して大幅に短いため、半導体素子の生産ラインのタクトタイム短縮につながるという作用を有する。

【００２２】

以下、本発明の実施の形態を図面に基づいて説明する。なお、従来例の図16～図18の構成と同一の構成には同一の符号を付して説明を省略する。

（実施の形態１）

図１は本発明の実施の形態１における半導体素子を実装した回路基板の断面図である。

【００２３】

図示するように、半導体素子１の電極２上に形成された突起バンプ３は、回路基板４の孔部８に充填された導電性ペースト７に埋もれる形で、接触しており、回路基板４の外部電極端子６と半導体素子１の電極２が電気的に接続されている。図２の工程図にしたがって本発明の半導体素子の実装方法を説明する。

【００２４】

まず、回路基板４の外部電極端子６と半導体素子１の電極２を接続する、回路基板４の箇所に、孔部８を形成し、図２(a) に示すように、導電性ペースト７を、スキージ９を移動さすことにより前記回路基板４の孔部８に印刷・充填し、回路基板４の外部電極端子33を形成する。

【００２５】

次に、図２(b) に示すように、半導体素子１を吸着ノズル10に吸着させ、突起バンプ３と、孔部８に充填された導電性ペースト７により形成された回路基板４の外部電極端子33との位置合わせを行う。

次に、図２(c) に示すように、半導体素子１を吸着ノズル10により押圧し、図２(d) に示すように、突起バンプ３を回路基板４の孔部８に充填された導電性ペースト７に埋め込む。

【００２６】

その結果、半導体素子１の突起バンプ３が回路基板４の孔部内で導電性ペースト７と接触し、電気的に接続される。また、回路基板４は図３に示すように、インナービアホールにより、基板内層間の導通がとられた多層基板であっても、図４に示すようにスルーホールによって、層間の導通がとられた多層基板であっても良い。

【００２７】

この実施の形態１によれば、半導体素子１の電極２上に形成された突起バンプ３が、回路基板４の孔部８内で導電性ペースト７に埋もれて接触し、電気的に接続されるため、ショ

ートが発生せず、また回路基板４の反り、うねりに対する許容範囲も広がり、オープンが発生せず、高い信頼性をもって半導体素子１と回路基板４を接合することができる。

（実施の形態２）

図５は本発明の実施の形態２におけるワイヤボンディング法を用いた、半導体素子の電極上の突起バンプの形成方法を示す工程図であり、図５を参照しながらワイヤボンディング法を説明する。

【００２８】

まず、図５(a) に示すように、金、銅、アルミニウム、半田などで製作された金属ワイヤ11をセラミックやルビーで作られたキャピラリー13に通し、通した金属ワイヤ11の先端とトーチと呼ばれる電極14との間で放電し、金属ボール12を形成する。

【００２９】

次に、図５(b) に示すように、予熱されている半導体素子１の電極２の上に前記金属ボール12を押圧し、超音波振動を加え、温度、圧力、超音波振動の作用によって、金属ボール12を電極２に接合する。

【００３０】

次に、図５(c) に示すように、キャピラリー13を鉛直方向に上昇させ、金属ワイヤ11を引きちぎって図６に示す、金属ボールによるバンプ15を形成する。そして図５(d) に示すように、キャピラリー13を上昇させた後、金属ワイヤ１１を引きちぎらず、キャピラリー13を横にずらせて下降させ、金属ワイヤ11を金属ボール12上に接触させ、温度、圧力、あるいは、温度、圧力、超音波振動の作用によって金属ワイヤ11を金属ボール12に接合する。

【００３１】

次に、図５(e) に示すように、キャピラリー13を上昇させ、金属ワイヤ11を引きちぎって、図５(f) および図７に示す、金属ボールによる２段突起形状バンプ15を形成する。

【００３２】

上記方法により半導体素子１の電極２上に金属ボールによる突起バンプ15を形成した後、図８に示す方法により、半導体素子１と回路基板４との接合を行う。図８の実装方法は上記実施の形態１で説明した方法と同様であり、説明を省略する。

【００３３】

この実施の形態２によれば、実施の形態１での効果に加えて、突起バンプを電気メッキ法により形成した場合、最大でも２５μｍ程度の高さの低いバンプしか形成できないのに対して、ワイヤボンディング法を使用することにより５０μｍ以上の高さの高いバンプを形成でき、よって図８(e) に示すように、回路基板４の孔部８の導電性ペースト７に埋もれるバンプ15の量が多くなり、回路基板４の反り、うねりに対する許容範囲が広くなり、より信頼性の高い実装を行うことができる。

（実施の形態３）

本発明の実施の形態３における半導体素子の実装方法を図９を参照にしながら説明する。

【００３４】

図９は、半導体素子１を吸着ノズル10に吸着し、突起バンプ15と孔部８に充填された導電性ペースト７により形成された回路基板４の外部電極端子と位置合わせを行なった後、押圧し、突起バンプ15が導電性ペースト７に埋め込まれた状態を示している。その際、吸着ノズル10は、内蔵されているヒータ17により加熱されており、押圧と同時に導電性ペースト７の硬化を行っている。

【００３５】

この実施の形態３によれば、上記実施の形態１，２での効果に加えて、導電性ペースト７を硬化することにより、半導体素子１と回路基板４との固定がより強固となり、より信頼性の高い接合が行えるとともに、従来、導電性ペースト７の硬化は、モジュールをオーブン炉に入れバッチ処理していたのに対して、接合と同時に同一設備で行えるため、半導体素子１の生産ラインのタクトタイム短縮を行うことができる。

（実施の形態４）

本発明の実施の形態４における半導体素子の実装方法を図10を参照にしながら説明する。

【００３６】
図10は、半導体素子１を吸着ノズル10に吸着し、突起バンプ15と孔部８に充填された導電性ペースト７により形成された回路基板４の外部電極端子33と位置合わせを行なった後、押圧し、突起バンプ15が導電性ペースト７に埋め込まれた状態を示している。その際、回路基板４を保持しているステージ18は、内蔵されているヒータ17により加熱されており、半導体素子１の押圧時に熱を加えることにより、押圧と同時に導電性ペースト７の硬化を行っている。
【００３７】
この実施の形態４によれば、上記実施の形態１，２での効果に加えて、導電性ペースト７を硬化することにより、半導体素子１と回路基板４との固定がより強固となり、より信頼性の高い接合が行えるとともに、従来、導電性ペースト７の硬化は、モジュールをオーブン炉に入れバッチ処理していたのに対して、接合と同時に同一設備で行えるため、半導体素子１の生産ラインのタクトタイム短縮を行うことができる。
（実施の形態５）
本発明の実施の形態５における半導体素子の実装方法を図11を参照にしながら説明する。
【００３８】
図11に示すように実施の形態５では、半導体素子１を押圧し、回路基板４の孔部８の導電性ペースト７と半導体素子１の電極２上の突起バンプ15を接触させた後、モジュール（回路基板４および半導体素子１）をコンベア32にのせ、移動させながらモジュール全体をヒータ19によって加熱し、導電性ペースト７の硬化を行う。
【００３９】
この実施の形態５によれば、上記実施の形態１，２での効果に加えて、導電性ペースト７の硬化を、モジュール全体をコンベア32にのせ、移動させながら加熱するリフロー方式で行うため、実装と同一生産ライン上での硬化が可能となり、半導体素子１の生産ラインのタクトには影響を与えず、半導体素子１と回路基板４との固定をより強固にでき、より信頼性の高い接合を行うことができる。
（実施の形態６）
本発明の実施の形態６における半導体素子の実装方法を図12を参照しながら説明する。
【００４０】
図12に示すように実施の形態６では、上記実施の形態１～５の実装の工程において、回路基板４に半導体素子１を実装した後に、半導体素子１と回路基板４との間隔にシリンジ31を用いて、エポキシ系樹脂20を充填する。
【００４１】
この実施の形態６によれば、上記実施の形態１～５での効果に加えて、図13に示すように、エポキシ系樹脂20の充填により、半導体素子１のアクティブ面および電極２の表面が保護されるため、たとえば、モジュールが高温高湿などの環境にさらされても、電極２および突起バンプ３の腐食を防ぐことができ、より信頼性の高い接続を行うことができる。
（実施の形態７）
本発明の実施の形態７における半導体素子の実装方法を図14を参照にしながら説明する。
【００４２】
まず、図14(a) に示すように、回路基板４の孔部８に導電性ペースト７を充填し、外部電極端子33を形成した後、回路基板４上に熱硬化系、または熱可塑系、または熱硬化と熱可塑の混合系樹脂からなる接着剤シート21を配置する。
【００４３】
なお、接着剤シート21には、ニッケル、半田、カーボン、金めっきプラスチック粒子などを均一に分散させておいても良い。次に、図14(b) に示すように、半導体素子１を吸着ノズル10に吸着し、突起バンプ15と孔部８に充填された導電性ペースト７により形成された回路基板４の外部電極端子33と位置合わせを行なう。
【００４４】
次に、図14(c) に示すように、半導体素子１を押圧し、突起バンプ15により接着剤シート

21を突き破り、導電性ペースト７に突起バンプ１５を埋め込む。その際、吸着ノズル10は、内蔵されているヒータ17により加熱されており、押圧と同時に接着剤シート21の溶融・硬化が行われる。

【００４５】

この実施の形態７によれば、上記実施の形態１，２での効果に加えて、図14(d) に示すように、接着剤シート21が溶融・硬化し、半導体素子１のアクティブ面および電極の２表面を保護するため、より接続の信頼性が増すとともに、接着剤シート21の場合、加圧・硬化に要する時間が約３０秒と、エポキシ系樹脂の硬化時間約４時間に対して大幅に短いため、半導体素子１の生産ラインのタクトタイム短縮が可能となる。

（実施の形態８）

本発明の実施の形態８における半導体素子の実装方法を図15を参照にしながら説明する。

【００４６】

まず、図15(a) に示すように、半導体素子１の電極２上に突起バンプ15を形成した後、予め突起バンプ15上に熱硬化系、または熱可塑系、または熱硬化と熱可塑の混合系樹脂からなる接着剤シート21を配置する。なお、接着剤シート21には、ニッケル、半田、カーボン、金めっきプラスチック粒子などを均一に分散させておいても良い。

【００４７】

その後、図15(b) に示すように、半導体素子１を吸着ノズル10に吸着し、突起バンプ15と孔部８に充填された導電性ペースト７により形成された回路基板４の外部電極端子33と位置合わせを行なった後、押圧し、突起バンプ15により接着剤シート21を突き破り、導電性ペースト７に突起バンプ15を埋め込む。その際、吸着ノズル10は、内蔵されているヒータ17により加熱されており、押圧と同時に接着剤シート21の溶融・硬化が行われる。

【００４８】

この実施の形態８によれば、上記実施の形態１，２での効果に加えて、実施の形態７と同様、接着剤シート21が溶融・硬化し、半導体素子１のアクティブ面および電極２の表面を保護するため、より接続の信頼性が増すとともに、接着剤シート21の場合、加圧・硬化に関する時間が約３０秒と、エポキシ系樹脂の硬化時間、約４時間に対して大幅に短いため、半導体素子１の生産ラインのタクトタイム短縮が可能となる。

【００４９】

【発明の効果】

以上のように本発明によれば、半導体素子の電極上に形成された突起バンプを、回路基板の孔部内の導電性ペーストに接触させ、半導体素子の電極と回路基板の外部電極端子とを電気的に接続することにより、電極間でのショートを回避でき、また回路基板の反り、うねりに対する許容範囲が広いことから電極間でのオープンを回避でき、電気的信頼性の高い実装を行うことができる。

【００５０】

また、接着剤シートを予め、回路基板上、もしくは半導体素子の突起バンプ上に配置しておき、実装の際に突起バンプを接着剤シートを突き破って回路基板孔部内の導電性ペーストに接触させ、電気的に接続するとともに、接着剤シートを溶融・硬化することにより、半導体素子のアクティブ面および電極の表面を接着剤シートにより保護することができ、より接続の信頼性が増すことができ、さらに接着剤シートの場合加圧・硬化に要する時間が約３０秒と、エポキシ系樹脂の硬化時間、約４時間に対して大幅に短いため、封止工程の時間を大幅に削減でき、半導体素子生産ラインのタクトタイムの短縮を実現できる。

【図面の簡単な説明】

【図１】本発明の実施の形態１における実装後の半導体素子と回路基板の接合断面図である。

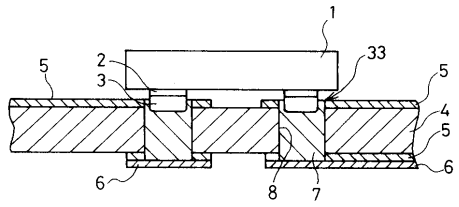
【図２】本発明の実施の形態１における実装の工程を順に示す図である。

【図３】本発明の実施の形態１における実装後の半導体素子と回路基板の接合断面図である。

【図４】本発明の実施の形態１における実装後の半導体素子と回路基板の接合断面図であ

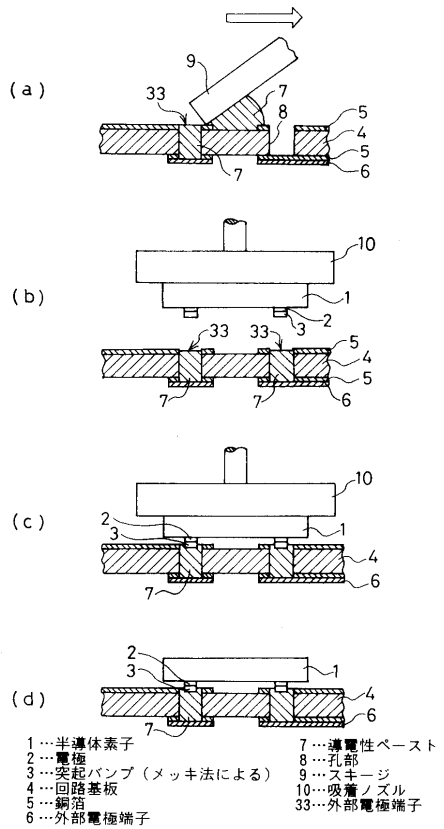
る。
【図５】本発明の実施の形態２におけるワイヤボンディング法の工程を順に示す図である。
【図６】本発明の実施の形態２におけるワイヤボンディング法により形成された突起バンプの側面図である。
【図７】本発明の実施の形態２におけるワイヤボンディング法により形成された２段突起形状突起バンプの側面図である。
【図８】本発明の実施の形態２における実装の工程を順に示す図である。
【図９】本発明の実施の形態３における実装の工程を示す図である。
【図10】本発明の実施の形態４における実装の工程を示す図である。
【図11】本発明の実施の形態５における実装の工程を示す図である。
【図12】本発明の実施の形態６における実装の工程を示す図である。
【図13】本発明の実施の形態６における実装後の半導体素子と回路基板の接合断面図である。
【図14】本発明の実施の形態７における実装の工程を順に示す図である。
【図15】本発明の実施の形態８における実装の工程を順に示す図である。
【図16】従来の半導体素子の実装方法による実装後の半導体素子と回路基板の接合断面図である。
【図17】従来の半導体素子の実装方法による実装後の半導体素子と回路基板の接合断面図である。
【図18】従来の半導体素子の実装方法による実装後の半導体素子と回路基板の接合断面図である。
【図19】従来の実装の工程を順に示す図である。
【図20】従来の実装方法の課題を説明する図である。
【図21】従来の実装方法の課題を説明する図である。
【符号の説明】
1　半導体素子
2　電極
3　突起バンプ（メッキ法による）
4　回路基板
5　銅箔
6　外部電極端子
7　導電性ペースト
8　孔部
9　スキージ
10　吸着ノズル
11　金属ワイヤ
12　金属ボール
13　キャピラリー
14　電極
15　突起バンプ（ワイヤボンディング法による）
16　パシベーション膜
17, 19　ヒータ
18　ステージ
20　エポキシ系樹脂
21　樹脂シート
31　シリンジ
32　コンベヤ
33　外部電極端子

【図１】



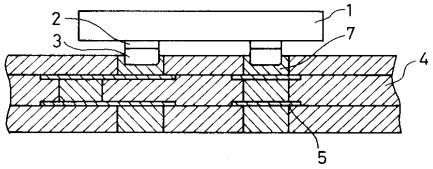
1…半導体素子
2…電極
3…突起バンプ（メッキ法による）
4…回路基板
5…銅箔
6…外部電極端子
7…導電性ペースト
8…孔部
33…外部電極端子

【図２】

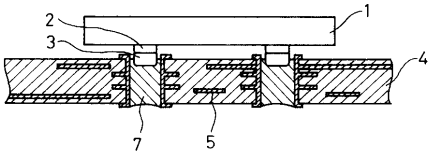


1…半導体素子
2…電極
3…突起バンプ（メッキ法による）
4…回路基板
5…銅箔
6…外部電極端子
7…導電性ペースト
8…孔部
9…スキージ
10…吸着ノズル
33…外部電極端子

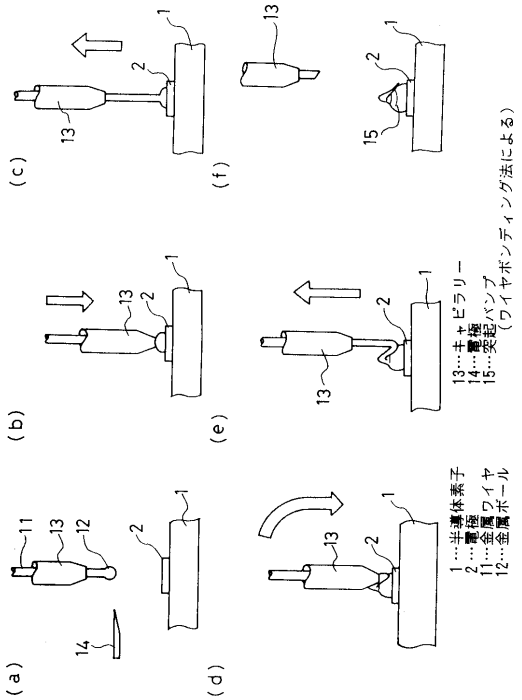
【図３】



【図４】



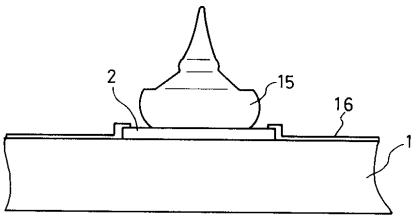
【図５】



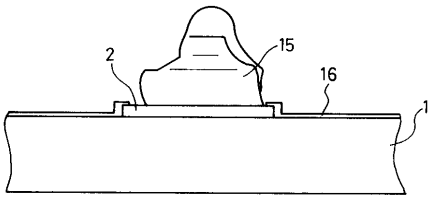
13…キャピラリー
14…電極
15…突起バンプ
（ワイヤボンディング法による）

1…半導体素子
2…電極
11…金属細線ワイヤ
12…金属ボール

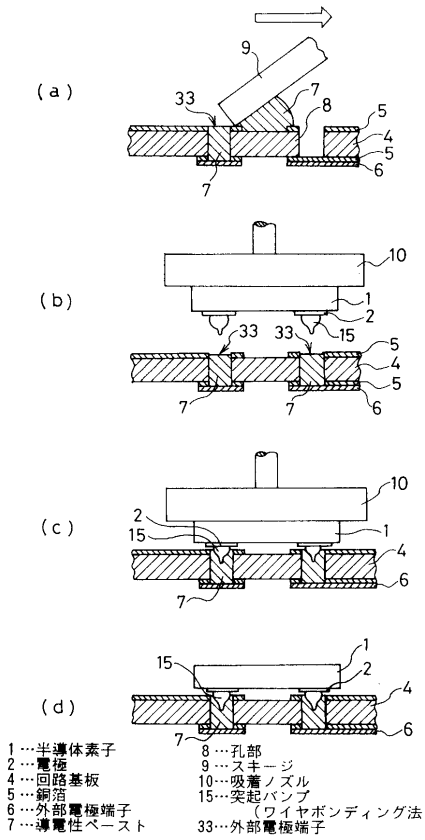
【図６】



【図７】

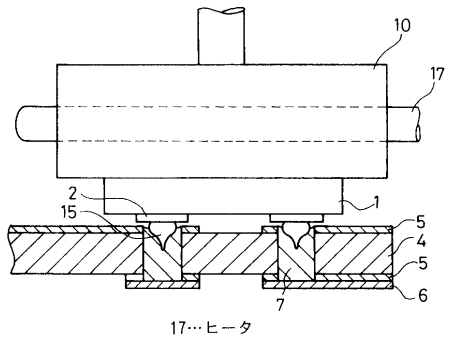


【図８】



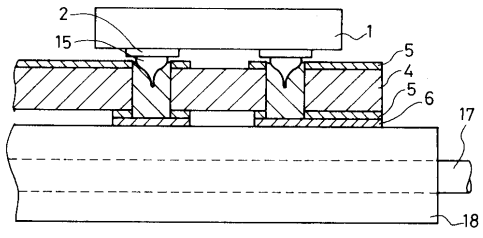
1…半導体素子
2…電極
4…回路基板
5…銅箔
6…外部電極端子
7…導電性ペースト
8…孔部
9…ステージ
10…吸着ノズル
15…突起バンプ
（ワイヤボンディング法による）
33…外部電極端子

【図９】



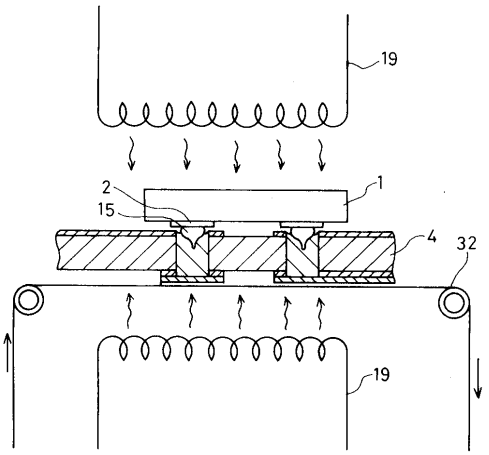
17…ヒータ

【図１０】



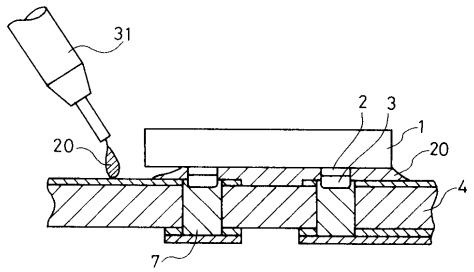
17…ヒータ
18…ステージ

【図１１】



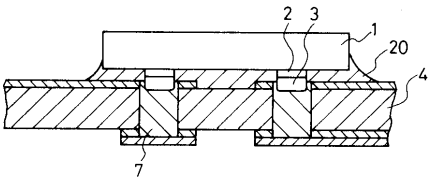
19…ヒータ
32…コンベヤ

【図１２】

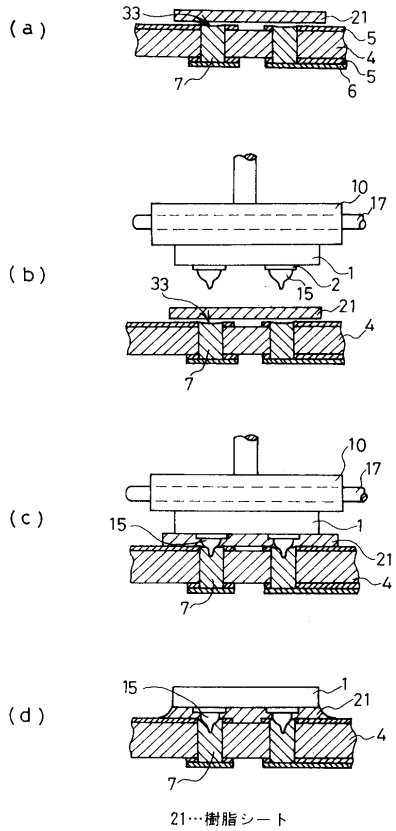


20…エポキシ系樹脂
31…シリンジ

【図１３】

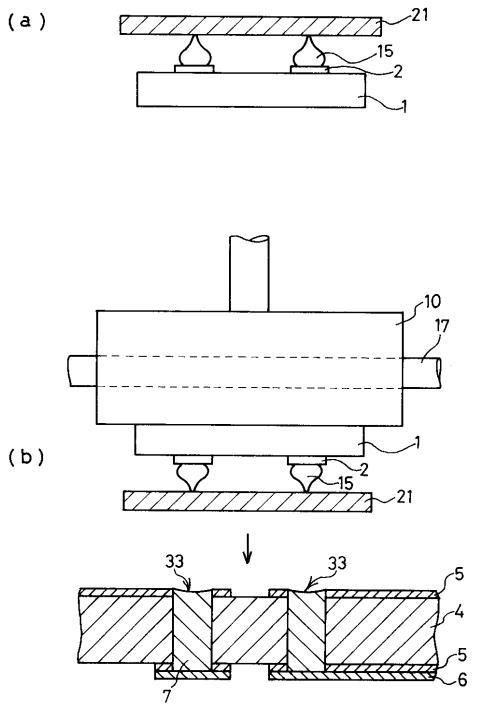


【図１４】

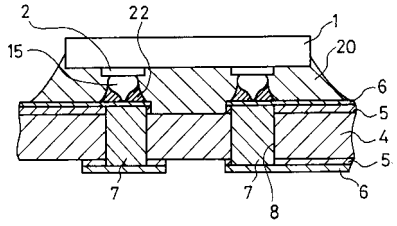


21…樹脂シート

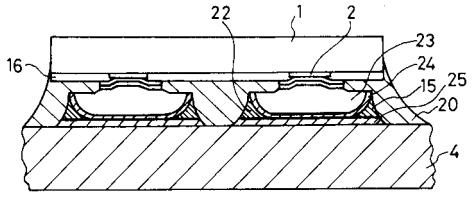
【図１５】



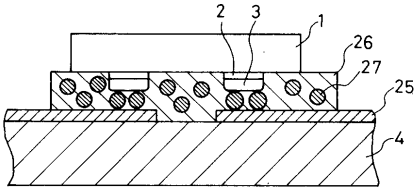
【図１６】



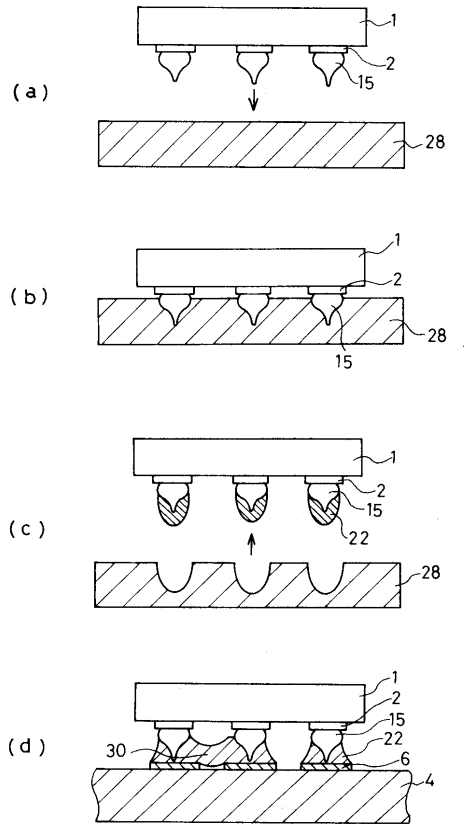
【図１７】



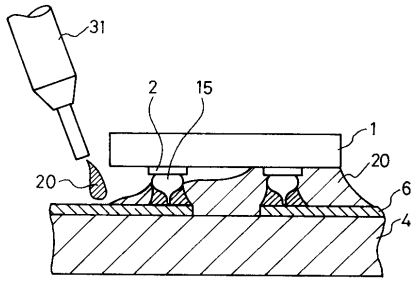
【図１８】



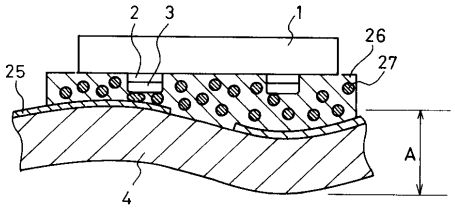
【図１９】


(a)
1
2
15
28
(b)
1
2
28
15
(c)
1
2
15
22
28
(d)
1
2
15
22
30
6
4

【図２０】


31
2
15
1
20
20
6
4

【図２１】


2
3
1
26
27
25
A
4

フロントページの続き

(56)参考文献 特開昭６１－１９４７３２（ＪＰ，Ａ）
特開平０８－２２２５９９（ＪＰ，Ａ）
特開平０７－２１１７４４（ＪＰ，Ａ）
特開平０７－１２２５６５（ＪＰ，Ａ）
特開平０５－２６７３９４（ＪＰ，Ａ）
特開平０５－１４４８７８（ＪＰ，Ａ）
特開平０４－１３７６４１（ＪＰ，Ａ）
実開平０２－１２０８３６（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/60 311
H01L 21/60 301