(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0112854
(43) 공개일자 2024년07월19일

(51) 국제특허분류(Int. Cl.)
G06N 10/40 (2022.01) *G06N 10/20* (2022.01)
H03K 19/195 (2006.01) *H10N 60/01* (2023.01)
H10N 60/12 (2023.01) *B82Y 10/00* (2017.01)
(52) CPC특허분류
G06N 10/40 (2022.01)
G06N 10/20 (2022.01)
(21) 출원번호 10-2024-7018511
(22) 출원일자(국제) 2022년11월11일
심사청구일자 없음
(85) 번역문제출일자 2024년05월31일
(86) 국제출원번호 PCT/CA2022/051671
(87) 국제공개번호 WO 2023/082014
국제공개일자 2023년05월19일
(30) 우선권주장
63/279,333 2021년11월15일 미국(US)
(뒷면에 계속)

(71) 출원인
노드 퀀티크 아이엔씨.
캐나다 퀘벡 제이1케이 0에이5 셔브룩 씨피 피1-아세트 불러바드 드 뤼니베르지트 3000
(72) 발명자
카미랑 르미에르 줄리앙
캐나다 퀘벡 제이1케이 0에이5 셔브룩 씨피 피1-아세트 씨/오 불러바드 드 뤼니베르지트 3000
르미유 파스칼
캐나다 퀘벡 제이1케이 0에이5 셔브룩 씨피 피1-아세트 씨/오 불러바드 드 뤼니베르지트 3000
(74) 대리인
리앤목특허법인

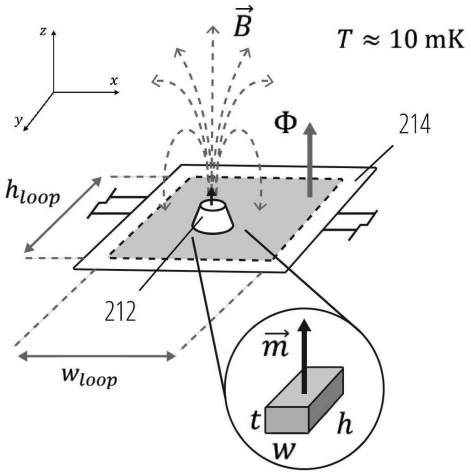
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **양자 디바이스 및 그 작동 방법**

(57) 요 약

양자 디바이스 및 그 작동 방법의 다양한 실시 예가 기재되어 있다. 일 실시 예에서, 상기 양자 디바이스는 기판; 상기 기판의 기판 표면 상에 지지된 초전도 회로 요소 - 초전도 회로 요소는 상기 양자 디바이스의 작동 동안 초전도성을 나타냄 -; 및 수동 자기 요소를 포함하며, 상기 수동 자기 요소는 자기장을 생성하고, 상기 초전도 회로 요소는 상기 양자 디바이스의 작동 중에 상기 자기장 중 적어도 일부에 직접 또는 간접으로 노출된다. 일부 실시 예들에서, 상기 초전도 회로 요소는 자기장의 일부에 간접으로 노출되고, 상기 자기장의 일부는 상기 수동 자기 요소에 근접한 제1 위치로부터 상기 초전도 회로 요소에 근접한 제2 위치로 적어도 부분적으로 하나 이상의 자기장 가이드들에 의해 안내된다.

대 표 도



(52) CPC특허분류
H03K 19/195 (2013.01)
H10N 60/0912 (2023.02)
H10N 60/12 (2023.02)
B82Y 10/00 (2013.01)

(30) 우선권주장
63/279,347 2021년11월15일 미국(US)
18/054,704 2022년11월11일 미국(US)

명 세 서

청구범위

청구항 1

양자 디바이스로서,

상기 양자 디바이스는,

기판;

상기 기판의 기판 표면 상에 지지되는 초전도 회로 요소 - 초전도 회로 요소는 상기 양자 디바이스의 작동 동안 초전도성을 나타냄 -; 및

수동 자기 요소 - 수동 자기 요소는 상기 양자 디바이스의 작동 단계 전체 기간 동안 고정 자기장을 생성하며, 상기 초전도 회로 요소는 상기 양자 디바이스의 작동 단계 동안 고정 자기장 중 적어도 일부에 직접 또는 간접으로 노출됨으로써, 상기 초전도 회로 요소에 일정한 주파수 응답을 제공하게 됨 -

를 포함하는, 양자 디바이스.

청구항 2

제1항에 있어서,

상기 초전도 회로 요소는 해당 지점들에서 분할 및 재결합되는 2개의 분기를 지니는 초전도 루프를 포함하고, 각각의 분기는 적어도 하나의 조셉슨 접합을 지니며, 상기 고정 자기장의 적어도 일부는 상기 초전도 루프에 걸쳐 일정한 자속에 기여하는, 양자 디바이스.

청구항 3

제2항에 있어서,

상기 수동 자기 요소 및 상기 초전도 회로 요소는 양자 모두 상기 기판의 상기 기판 표면에 의해 지지되는, 양자 디바이스.

청구항 4

제3항에 있어서,

상기 수동 자기 요소는 상기 초전도 회로 요소에 인접 배치되는, 양자 디바이스.

청구항 5

제4항에 있어서,

상기 초전도 루프는 적어도 하나의 저감도 축을 포함하고, 상기 수동 자기 요소는 상기 저감도 축 상에 배치되는, 양자 디바이스.

청구항 6

제5항에 있어서,

상기 저감도 축은 상기 초전도 루프의 2개의 분기에 걸쳐 횡방향으로 확장되는, 양자 디바이스.

청구항 7

제4항에 있어서,

상기 수동 자기 요소는 상기 기판 표면에 수직인 자화 방향(magnetization direction)을 지니는, 양자 디바이스.

청구항 8

제7항에 있어서,

상기 수동 자기 요소는 제1 수동 자기 요소이고, 상기 수동 자기 요소는 상기 기판 표면에 의해 지지되는 제2 수동 자기 요소를 더 포함하며, 상기 제2 수동 자기 요소는 상기 초전도 루프에 대해 중앙에 배치되는, 양자 디바이스.

청구항 9

제8항에 있어서,

상기 양자 디바이스는 상기 기판 표면에 의해 지지되는 제3 수동 자기 요소를 더 포함하고, 상기 제3 수동 자기 요소는 상기 제1 수동 자기 요소 반대편의 초전도 루프에 인접 배치되는, 양자 디바이스.

청구항 10

제5항에 있어서,

상기 수동 자기 요소는 상기 기판 표면에 평행한 자화 방향을 지니고, 상기 자화 방향은 상기 초전도 루프의 상기 저감도 축을 따라 배향되는, 양자 디바이스.

청구항 11

제2항에 있어서,

상기 수동 자기 요소는 상기 초전도 루프에 의해 정의된 평면 상측에나 또는 그 하측에 위치하게 되는, 양자 디바이스.

청구항 12

제11항에 있어서,

상기 기판은 제1 기판이고, 상기 제1 기판은 상기 제1 기판으로부터 이격되어 있는 제2 기판을 더 포함하며, 상기 수동 자기 요소는 상기 제2 기판에 의해 지지되는, 양자 디바이스.

청구항 13

제11항에 있어서,

상기 수동 자기 요소는 상기 기판 표면 내에 형성된 함몰부에 위치하게 되는, 양자 디바이스.

청구항 14

제2항에 있어서,

상기 초전도 회로 요소는 자속 큐비트, 초전도 양자 간섭 디바이스(SQUID), 초전도 비선형 비대칭 유도 요소(SNAIL) 및 용량성 분로 SNAIL(SNAILMON)로 구성된 그룹으로부터 선택되는, 양자 디바이스.

청구항 15

제1항에 있어서,

상기 초전도 요소는 복수 개의 초전도 요소들 중 하나이고, 상기 복수 개의 초전도 요소들은 상기 기판 표면 상에 어레이 구성으로 배열되는, 양자 디바이스.

청구항 16

제2항에 있어서,

상기 일정한 자속은 자속 양자(ϕ_0)의 크기 정도(order of magnitude)인, 양자 디바이스.

청구항 17

제1항에 있어서,

상기 초전도 회로 요소는 상기 고정 자기장 중 적어도 일부에 간접으로 노출되고, 상기 고정 자기장 중 적어도 일부는 상기 수동 자기 요소에 근접한 제1 위치로부터 상기 초전도 회로 요소에 근접한 제2 위치로 적어도 부분적으로 하나 이상의 자기장 가이드들에 의해 안내되며, 상기 하나 이상의 자기장 가이드들 각각은 적어도 부분적으로 상기 고정 자기장 중 적어도 일부를 안내하도록 작동 가능하고, 상기 기판의 적어도 하나의 기판 층에 걸쳐 연장되는 관형 통로 - 관형 통로는 제1 단부와 제2 단부를 지니고, 상기 적어도 하나의 기판 층 내 내부 표면을 정의함 -; 상기 양자 디바이스의 작동 중에 초전도성을 나타내는 가이드 재료 층을 포함하며, 상기 가이드 재료 층은 상기 관형 통로의 내부 표면을 적어도 부분적으로 덮고 상기 제1 단부에서부터 상기 제2 단부에 이르기까지 연장되는, 양자 디바이스.

청구항 18

제17항에 있어서,

상기 양자 디바이스는 하나의 자기장 가이드를 포함하고, 상기 기판 표면은 제1 기판 표면이며, 상기 기판은 상기 제1 기판 표면 반대편에 있는 제2 기판 표면을 더 포함하고, 상기 수동 자기 요소는 상기 제2 기판 표면에 의해 지지되며, 상기 관형 통로의 제1 단부는 상기 초전도 회로 요소에 근접한 제1 기판 표면 상에 위치하게 되고, 상기 관형 통로의 제2 단부는 상기 수동 자기 요소에 근접한 제2 기판 표면 상에 위치하게 되는, 양자 디바이스.

청구항 19

제17항에 있어서,

상기 기판은 제1 기판 층과 제2 기판 층을 포함하고, 상기 제1 기판 층은 상기 기판 표면을 포함하며, 상기 제1 기판 층은, 상기 제1 기판 층과 상기 제2 기판 층 사이에 형성된 캐비티(cavity)를 포함하며 내부 캐비티가 내부 캐비티 표면을 정의하는 내부 자기장 가이드; 상기 양자 디바이스의 작동 중에 초전도성을 나타내는 캐비티 가이드 재료 층을 더 포함하며, 상기 캐비티 가이드 재료 층은 적어도 부부적으로 상기 내부 캐비티 표면을 덮고, 상기 양자 디바이스는 2개의 자기장 가이드를 포함하며, 상기 2개의 자기장 가이드 중 제1 자기장 가이드는 싱크 가이드(sink guide)의 역할을 하며 상기 싱크 가이드에서는 상기 싱크 가이드의 제1 단부가 상기 내부 자기장 가이드에 결합되어 있고 상기 싱크 가이드의 제2 단부가 상기 초전도 회로 요소에 근접한 기판 표면 상에 위치하게 되며, 상기 2개의 자기장 가이드 중 제2 자기장 가이드는 소스 가이드의 역할을 하고, 상기 소스 가이드에서는 상기 소스 가이드의 제1 단부가 상기 수동 자기 요소에 근접한 기판 표면 상에 위치하게 되며 상기 소스 가이드의 제2 단부가 상기 내부 자기장 가이드에 결합되어 있고, 상기 고정 자기장 중 적어도 일부는 적어도 부분적으로 상기 내부 자기장 가이드를 통해 상기 소스 가이드의 제1 단부에서부터 상기 싱크 가이드의 제2 단부에 이르기까지 안내되는, 양자 디바이스.

청구항 20

제1항에 있어서,

상기 초전도 회로 요소는 양자 컴퓨터의 양자 서브시스템으로서 작동하도록 구성되고, 상기 초전도 회로 요소는 상기 양자 컴퓨터의 작동 중에 적어도 하나의 큐비트를 내부에 호스팅(hosting)하도록 작동 가능한, 양자 디바이스.

발명의 설명

기 술 분 야

[0001] 본 개시는 양자 컴퓨팅에 관한 것으로, 특히 양자 디바이스 및 그 작동 방법에 관한 것이다.

배 경 기 술

[0002] 수십 년 전에 양자 물리학의 특성이 발견된 이래로 과학자들과 엔지니어들은 양자 물리학의 특성을 다양한 방식으로 활용하는 장치들과 시스템들을 개발해 왔다. 최근에는 특히 양자 컴퓨팅 분야가 현대의 계산, 통신 및 암호화를 방해할 가능성 때문에 특히 활발한 연구 분야가 되었다. 양자 특성을 활용하기 위해 실질적으로나 이론

적으로 다양한 아키텍처가 고려되고 있으며, 특히 초전도 회로는 특히 유망한 것으로 나타난 아키텍처 프레임워크의 한 형태이다.

[0003] 정보가 물리적으로 메모리에 저장되고 2진 형태(비트)로 검색, 전송 및 처리되는 기존 컴퓨터들과의 대조를 이루기 위해, 양자 컴퓨터에서는 이러한 맥락에서 양자 정보로서 언급되는 정보가 이 정보를 양자 알고리즘에 의해 처리되고, 폰 노이만 엔트로피(Von Neumann entropy)를 기반으로 측정(검색)되는 양자 서브시스템 상태(큐비트(qubit))로 인코딩함으로써 메모리에 물리적으로 저장된다.

[0004] 실제의 물리적 장치에서 양자 정보를 인코딩할 때 직면하는 주요 과제들 중 하나는 상충되는 2가지 요구사항의 균형을 맞추는 것이다. 첫째, 본질적으로 양자 정보는 취약하며 결어긋남의 원인에 의한 손실을 입는다. 공교롭게도 원하는("제어") 상호작용을 포함한, 환경과의 거의 모든 상호작용은 잠재적인 결어긋남의 원인이다. 따라서 양자 정보를 저장 및 처리하도록 설계된 시스템은 환경과의 상호작용으로부터 최대한 격리되어 있어야 한다. 둘째, 양자 정보가 유용하려면 양자 정보를 처리하고 궁극적으로는 양자 정보에 액세스할 수 있어야 하는데, 이것이 의미하는 것은 상기 양자 정보가 외부 제어 시스템과의 상호작용을 통해 제어 가능하여야 하며, 높은 충실도 제어를 위해 이러한 제어 상호작용이 일반적으로 고속으로 수행된다는 것이다.

[0005] 따라서, 여기서 이해할 점은 초전도 회로, 및 회로 양자 전기역학 프레임워크(circuit quantum electrodynamic framework; CQED)로 설계된 회로가 예를 들어 양자컴퓨터와 같은 다양한 양자 디바이스의 유망한 아키텍처로서 부상되었지만, 여전히 개선의 여지가 상당하다는 점을 이해할 수 있을 것이다. 특히, 트랜스몬(transmon)들로서 언급되는 일부 초전도 회로 요소들은 특정 수준의 잡음 탄력성을 유지하면서 원하는 비-선형성을 제공할 수 있으므로 유용한다. 초전도 양자 간섭 디바이스(superconducting quantum interference device; SQUID), 초전도 자속 큐비트, 초전도 비선형 비대칭 유도 요소(superconducting nonlinear asymmetric inductive element; SNAIL) 또는 용량성 분로 SNAIL(SNAILMON)과 같은 기타 초전도 회로 요소는 작동 중에도 일정한 자속으로부터 이점을 얻을 수 있거나 또는 심지어는 작동 중에도 일정한 자속을 필요로 한다는 의미에서 "자속 조정가능"하다. 예를 들어 SQUID와 SNAIL은 복수 개의 조셉슨 접합들을 지니는 초전도 루프를 지니며 루프를 가로지르는 자속에 의존하는 주파수 응답을 제공한다. 3차 및 4차 비-선형성이나 큐비트들 간 상호작용과 같은 다른 매개변수들은 몇 가지 예를 열거하면 플럭스에 의해 조정될 수 있다. 자속 조정이 가능한 초전도 회로 요소는 자기장이 있는 상태에서 작동하도록 설계되었으며, 적합한 자기장을 생성하는 것이 실제로 다양한 과제를 안겨준다는 것이 밝혀졌다.

[0006] 이러한 배경 정보는 출원인이 관련성이 있다고 믿는 정보를 드러내기 위해 제공된 것이다. 위의 정보가 선행기술을 구성하거나 관련기술의 일반 상식의 일부를 형성한다고 반드시 인정할 의도는 없으며 해석되어서도 아니 된다.

발명의 내용

[0007] 초전도 회로 루프에 적합한 작동 환경을 제공하는 방식으로 자기장을 생성하는 한 가지 수법은 능동적으로, 다시 말하면 초전도 회로 루프와는 독립된 도체를 따라 전류를 순환시킴으로써 자기장을 생성하는 것이다. 전류는 샘플 칩에 근접해 있는 자기장 코일에서나 또는 동일 칩 상에 있는 자속 바이어스 라인을 따라 순환될 수 있으며 예를 들어 초전도 회로 루프에 근접해 통과할 수 있다. 이러한 수법은 특별한 문제들을 야기시킬 수 있다. 실제로, 초전도 회로 루프는 일반적으로 희석 냉동기를 사용하여 달성되는 극냉온(예컨대, : mK 범위의 온도)에서 작동한다. 따라서 자기장 방출 전도체는 초전도 회로 루프와 가장 근접하게 상기 희석 냉동기 내부에 배치되지만 구동 요소는 상기 희석 냉동기 외부에 위치하게 되므로 실제로 문제들이 야기된다. 양자 컴퓨팅 아키텍처에서 능동적으로 바이어스된 전기 전도체는 원치 않는 상호작용 및 누화의 잠재적인 원인이다. 더욱이, 이러한 바이어스된 전기 전도체는 일반적으로 상당한 풋프린트(footprint)를 점유하며 초전도 루프와 동일한 기판에 통합된 추가 포트들을 요구할 수 있으므로 확장성(scalability)에 잠재적인 제한이 있을 수 있게 된다. 더욱이, 3D 큐비트와 같은 3D 아키텍처의 초전도 회로 루프 부근에 온칩 플럭스 바이어스 라인을 적용하는 것을 고려할 때 특별한 문제가 발생하는데, 여기서 전기 리드가 일반적으로 기판 상의 초전도 요소와 연결되는 갈바닉 접속이 이용 불가능할 수 있다. 마지막으로, 희석 냉동기에 유입되는 DC 전류로 인해 발생할 수 있는 손실은 해결해야 할 추가 하드웨어를 요구하고 상대적으로 많은 비용을 발생시킬 수 있다. 적어도 일부 실시 예들에서는, 반직관성(counter-intuitiveness)에도 불구하고, 초전도 회로 환경에서 고정 자기장 성분을 생성하기 위해 영구자석을 사용하는 대안적인 수법이 전류 순환을 통한 자속 바이어싱에 비해 이점을 가질 수 있음이 밝혀졌다.

[0008] 다양한 매개변수는 초전도 회로 루프에 대한 자기장의 효율성에 영향을 미칠 수 있다. 예를 들어, SQUID에서는 초전도체 자속 루프 내에서 정밀하게 맞춤화되고 일정한 자속(Φ) 값을 달성하는 것이 바람직할 수 있으며, 이

상수 값은 자속 양자($\phi_0 = 2.068 \times 10^{-15}$ Wb)의 크기 정도일 수 있는데, 예를 들어 0과 1 간의 특정 값인 ϕ/ϕ_0 값을 타깃으로 할 수 있다. 많은 실제 실시 예에서, 초전도 루프와 동일한 평면(예컨대, 동일한 웨이퍼 표면) 내 자기장 소스를 통합하는 것은 실용적이지 않을 수 있다. 예를 들어, 이는 예를 들어 초전도 루프 부근에 영구 자석을 형성하는 물질이 존재함으로써 발생하게 되는 손실로 인해 발생할 수 있다. 따라서, 초전도 루프를 지지하는 기판의 반대편 상에 자기장 소스를 배치시키는 것이 바람직할 수 있으며, 이 경우 특히 자기장의 기하학적인 영향으로 인해 원하는 ϕ 값을 달성하기 어려울 수 있다. 실제로 많은 자기장 형상은 초전도 루프 상에 ϕ/ϕ_0 값을 부여하게 되며 이러한 값은 소스와의 거리 r의 전력 함수, 예를 들어 $\phi/\phi^0 \sim 1/r^n$ 으로서 감소하게 되며, 여기서 n은 예를 들어 기하학적 구조의 세부사항에 의존하여 예를 들어 3과 5 사이에서 변할 수 있다. 적어도 일부 실시 예들에서, 초전도 스루 실리콘 비아(superconducting through silicon via)를 사용하여 기판을 가로질러 자기장을 안내하는 것이 적어도 일부 실시 예들에서 적합할 수 있는, n이 1에 상대적으로 근접한 관계를 달성할 수 있음이 밝혀졌다.

[0009] 일 실시형태에 의하면, 적어도 하나의 웨이퍼; 상기 적어도 하나의 웨이퍼에 의해 지지되는 회로 요소를 지니는 초전도 회로 - 초전도 회로는 양자 디바이스의 작동 동안 초전도성(superconductivity)을 나타냄 -; 및 양자 디바이스의 작동 중에 상기 회로 요소에 걸쳐 자속을 생성하는 방식으로 상기 초전도 회로에 대해 주어진 위치에서 상기 적어도 하나의 웨이퍼에 의해 지지되는 수동 자기 요소를 포함하는 양자 디바이스가 제공된다.

[0010] 다른 일 실시형태에 의하면, 양자 디바이스의 회로 요소에 걸쳐 영구 자속을 생성하는 수동 자기 요소로서 웨이퍼에 의해 지지되는 수동 자기 요소를 포함하는 양자 디바이스의 작동 방법이 제공된다.

[0011] 다른 일 실시형태에 의하면, 기판; 상기 기판의 기판 표면 상에 지지되는 초전도 회로 요소 - 초전도 회로 요소는 양자 디바이스의 작동 중에 초전도성을 나타냄 -; 및 수동 자기 요소를 포함하는 양자 디바이스로서, 상기 초전도 회로 요소는 양자 디바이스의 작동 중에 자기장 중 적어도 일부에 직접 또는 간접으로 노출되는, 양자 디바이스가 제공된다.

[0012] 일 실시 예에서, 상기 초전도 회로 요소는 대응 지점들에서 분할 및 재결합하는 2개의 분기(branch)를 지니는 초전도 루프를 포함하고, 각각의 분기는 적어도 하나의 조셉슨 접합(Josephson junction)을 지니며, 상기 자기장 중 적어도 일부는 상기 초전도 루프에 걸쳐 자속에 기여한다.

[0013] 일 실시 예에서, 상기 수동 자기 요소 및 상기 초전도 회로 요소는 양자 모두 상기 기판의 상기 기판 표면에 의해 지지된다.

[0014] 일 실시 예에서, 상기 수동 자기 요소는 상기 초전도 회로 요소에 인접 배치된다.

[0015] 일 실시 예에서, 상기 초전도 루프는 적어도 하나의 저감도 축을 포함하고, 상기 수동 자기 요소는 상기 저감도 축 상에 배치된다.

[0016] 일 실시 예에서, 상기 저감도 축은 상기 초전도 루프의 2개의 분기에 걸쳐 횡방향으로 확장된다.

[0017] 일 실시 예에서, 상기 수동 자기 요소는 상기 기판 표면에 수직인 자화 방향(magnetization direction)을 지닌다.

[0018] 일 실시 예에서, 상기 수동 자기 요소는 제1 수동 자기 요소이고, 상기 수동 자기 요소는 상기 기판 표면에 의해 지지되는 제2 수동 자기 요소를 더 포함하며, 상기 제2 수동 자기 요소는 상기 초전도 루프에 대해 중앙에 배치된다.

[0019] 일 실시 예에서, 상기 디바이스는 상기 기판 표면에 의해 지지되는 제3 수동 자기 요소를 더 포함하고, 상기 제3 수동 자기 요소는 상기 제1 수동 자기 요소 반대편의 초전도 루프에 인접 배치된다.

[0020] 일 실시 예에서, 상기 수동 자기 요소는 상기 기판 표면에 평행한 자화 방향을 지니고, 상기 자화 방향은 상기 초전도 루프의 상기 저감도 축을 따라 배향된다.

[0021] 일 실시 예에서, 상기 수동 자기 요소는 상기 초전도 루프에 의해 정의된 평면 상측에나 또는 그 하측에 위치하게 된다.

[0022] 일 실시 예에서, 상기 기판은 제1 기판이고, 상기 제1 기판은 상기 제1 기판으로부터 이격되어 있는 제2 기판을 더 포함하며, 상기 수동 자기 요소는 상기 제2 기판에 의해 지지된다.

[0023] 일 실시 예에서, 상기 수동 자기 요소는 상기 기판 표면 내에 형성된 함몰부에 위치하게 된다.

[0024] 일 실시 예에서, 상기 초전도 회로 요소는 자속 큐비트, 초전도 양자 간섭 디바이스(SQUID), 초전도 비선형 비대칭 유도 요소(SNAIL) 및 용량성 분로 SNAIL(SNAILMON)로 구성된 그룹으로부터 선택된다.

[0025] 일 실시 예에서, 상기 초전도 요소는 복수 개의 초전도 요소들 중 하나이고, 상기 복수 개의 초전도 요소들은 상기 기판 표면 상에 어레이 구성으로 배열된다.

[0026] 일 실시 예에서, 상기 자속은 자속 양자(Φ_0)의 크기 정도(order of magnitude)이다.

[0027] 일 실시 예에서, 상기 수동 자기 요소는 도트 마이크로자석 또는 막대 마이크로자석이다.

[0028] 일 실시 예에서, 작동 중에 상기 수동 자기 요소의 자속 루프 상의 최대 자기장 진폭($\max\left(|\vec{B}|_{flux\ loop}\right)$)은 상기 초전도 회로 요소의 초전도체 재료의 임계 전계(HC)의 1/10보다 작다.

[0029] 일 실시 예에서, 상기 수동 자기 요소는 자기 터널 접합이다.

[0030] 일 실시 예에서, 상기 초전도 회로 요소는 상기 자기장 중 적어도 일부에 간접으로 노출되고, 상기 자기장 중 적어도 일부는 상기 수동 자기 요소에 근접한 제1 위치로부터 상기 초전도 회로 요소에 근접한 제2 위치로 적어도 부분적으로 하나 이상의 자기장 가이드들에 의해 안내되며, 상기 하나 이상의 자기장 가이드들 각각은 적어도 부분적으로 상기 자기장 중 적어도 일부를 안내하도록 작동 가능하고, 상기 기판의 적어도 하나의 기판 층에 걸쳐 연장되는 관형 통로 - 관형 통로는 제1 단부와 제2 단부를 지니고, 상기 적어도 하나의 기판 층 내 내부 표면을 정의함 -; 양자 디바이스의 작동 중에 초전도성을 나타내는 가이드 재료 층을 포함하며, 상기 가이드 재료 층은 상기 관형 통로의 내부 표면을 적어도 부분적으로 덮고 상기 제1 단부에서부터 상기 제2 단부에 이르기까지 연장된다.

[0031] 일 실시 예에서, 상기 양자 디바이스는 하나의 자기장 가이드를 포함하고, 상기 기판 표면은 제1 기판 표면이며, 상기 기판은 상기 제1 기판 표면 반대편에 있는 제2 기판 표면을 더 포함하고, 상기 수동 자기 요소는 상기 제2 기판 표면에 의해 지지되며, 상기 관형 통로의 제1 단부는 상기 초전도 회로 요소에 근접한 제1 기판 표면 상에 위치하게 되고, 상기 관형 통로의 제2 단부는 상기 수동 자기 요소에 근접한 제2 기판 표면 상에 위치하게 된다.

[0032] 일 실시 예에서, 상기 기판은 제1 기판 층과 제2 기판 층을 포함하고, 상기 제1 기판 층은 상기 기판 표면을 포함하며, 상기 제1 기판 층은 상기 제1 기판 층과 상기 제2 기판 층 사이에 형성된 캐비티(cavity)를 포함하며 내부 캐비티가 내부 캐비티 표면을 정의하는 내부 자기장 가이드; 양자 디바이스의 작동 중에 초전도성을 나타내는 캐비티 가이드 재료 층을 더 포함하며, 상기 캐비티 가이드 재료 층은 적어도 부부적으로 상기 내부 캐비티 표면을 덮고, 상기 양자 디바이스는 2개의 자기장 가이드를 포함하며, 상기 2개의 자기장 가이드 중 제1 자기장 가이드는 싱크 가이드(sink guide)의 역할을 하며 상기 싱크 가이드에서는 상기 싱크 가이드의 제1 단부가 상기 내부 자기장 가이드에 결합되어 있고 상기 싱크 가이드의 제2 단부가 상기 초전도 회로 요소에 근접한 기판 표면 상에 위치하게 되며, 상기 2개의 자기장 가이드 중 제2 자기장 가이드는 소스 가이드의 역할을 하고, 상기 소스 가이드에서는 상기 소스 가이드의 제1 단부가 상기 수동 자기 요소에 근접한 기판 표면 상에 위치하게 되며 상기 소스 가이드의 제2 단부가 상기 내부 자기장 가이드에 결합되어 있고, 상기 자기장 중 적어도 일부는 적어도 부분적으로 상기 내부 자기장 가이드를 통해 상기 소스 가이드의 제1 단부에서부터 상기 싱크 가이드의 제2 단부에 이르기까지 안내된다.

[0033] 일 실시 예에서, 상기 초전도 회로 요소는 양자 컴퓨터의 양자 서브시스템으로서 작동하도록 구성되고, 상기 초전도 회로 요소는 상기 양자 컴퓨터의 작동 중에 적어도 하나의 큐비트를 내부에 호스팅(hosting)하도록 작동 가능하다.

[0034] 다른 일 실시형태에 의하면, 기판; 상기 기판의 적어도 하나의 기판 층에 걸쳐 연장된 관형 통로를 포함하는 자기장 가이드 - 상기 관형 통로는 제1 단부와 제2 단부를 지니며 상기 적어도 하나의 기판 층 내 내부 표면을 정의함 -; 및 양자 디바이스의 작동 중에 초전도성을 나타내는 가이드 재료 층을 포함하는 양자 디바이스로서, 상기 가이드 재료 층은 적어도 부분적으로 상기 관형 통로의 내부 표면을 덮고 상기 제1 단부에서부터 상기 제2 단부에 이르기까지 연장되며, 상기 가이드 재료 층은 상기 자기장 가이드를 따라 자기장 중 일부를 안내하도록 안내하도록 작동 가능한, 양자 디바이스가 제공된다.

[0035] 일 실시 예에서, 상기 디바이스는 적어도 부분적으로 자기장을 생성하도록 구성된 적어도 하나의 자기장 소스를 더 포함한다.

[0036] 일 실시 예에서, 상기 디바이스는 적어도 하나의 초전도 회로 요소를 더 포함하고, 상기 초전도 회로 요소는 상기 자기장 가이드에 의해 안내되는 자기장 중 일부에 노출된다.

[0037] 일 실시 예에서, 상기 적어도 하나의 초전도 회로 요소 각각은 복수 개의 조셉슨 접합들을 지니는 초전도 루프를 포함하고, 상기 자기장 가이드에 의해 안내되는 자기장 중 일부는 상기 양자 디바이스의 작동 중에 상기 초전도 루프에 걸쳐 자속을 부여한다.

[0038] 일 실시 예에서, 상기 적어도 하나의 초전도 회로 요소와 상기 관형 통로의 제1 단부는 상기 기판의 동일한 외부 표면에 위치하게 되고, 상기 초전도 회로 요소는 상기 제1 단부에 근접한다.

[0039] 일 실시 예에서, 상기 관형 통로의 제1 단부는 상기 초전도 루프에 대해 중앙에 위치하게 된다.

[0040] 일 실시 예에서, 상기 관형 통로의 제1 단부는 상기 초전도 루프에 인접해 위치하게 된다.

[0041] 일 실시 예에서, 상기 디바이스는 양자 모두가 상기 외부 표면 상에 지지되는 제1 초전도 회로 요소와 제2 초전도 회로 요소를 더 포함하고, 상기 관형 통로의 제1 단부는 상기 제1 초전도 회로 요소의 초전도 루프와 상기 제2 초전도 회로 요소의 초전도 루프 사이에 배치되어 양자 모두를 상기 자기장 중 일부에 동시에 노출시키게 한다.

[0042] 일 실시 예에서, 상기 외부 표면은 제1 외부 표면이고, 상기 기판은 상기 제1 외부 표면 반대편에 있는 제2 외부 표면을 더 포함하며, 상기 관형 통로의 제2 단부는 상기 제2 외부 표면 상에 위치하게 되고, 상기 자기장 소스는 상기 제2 단부에 근접해 위치하게 된다.

[0043] 일 실시 예에서, 상기 수동 자기장 소스는 상기 관형 통로의 제2 단부에 인접한 제2 외부 표면에 의해 지지된다.

[0044] 일 실시 예에서, 상기 기판은 제1 기판이고, 상기 디바이스는: 제1 기판의 제2 외부 표면으로부터 이격되어 있는 제2 기판을 더 포함하고, 상기 제2 기판은 상기 제1 기판의 제2 외부 표면에 인접한 제3 외부 표면을 지니며, 상기 자기장 소스는 상기 제3 외부 표면에 의해 지지된다.

[0045] 일 실시 예에서, 상기 기판은 제1 기판 층 및 제2 기판 층을 포함하며, 상기 제1 기판 층은 상기 외부 표면을 포함하고, 상기 관형 통로는 상기 관형 통로의 제2 단부가 상기 제1 층과 상기 제2 층 사이에 위치하게 되는 경우에만 상기 제1 층에 걸쳐 연장되며, 상기 자기장 소스는 상기 기판 내 상기 관형 통로의 제2 단부 에 근접해 배치된다.

[0046] 일 실시 예에서, 상기 적어도 하나의 자기장 소스는 수동 자기 요소를 포함한다.

[0047] 일 실시 예에서, 상기 적어도 하나의 자기장 소스는 전기 드라이브에 접속된 전기 도체 요소를 포함하는 능동 자기 요소를 포함한다.

[0048] 일 실시 예에서, 상기 관형 통로에 의해 정의된 내부 용적(inner volume)은 적어도 부분적으로 비전도성 재료로 채워진다.

[0049] 일 실시 예에서, 상기 수동 자기 요소는 상기 기판의 한 표면 상에 지지되고, 상기 자기장 가이드는 상기 수동 자기 요소에 인접한 상기 표면 상에 위치하게 되는 제1 단부를 지니는 제1 자기장 가이드이고, 상기 양자 디바이스는 제2 자기장 가이드를 포함하며, 상기 2 자기장 가이드는 상기 제1 자기장 가이드의 제1 단부 반대편에 있는 상기 수동 자기 소스에 인접한 표면 상에 위치하게 되는 제1 단부를 지니고, 상기 수동 자기 요소는 상기 제1 자기장 가이드와 상기 제2 자기장 가이드에 의해 안내된 자기장의 일부가 각각 반대 자속 극성을 지니게 하기 위해 횡방향으로 배향된 자기장 소스로서 작용하도록 위치 배치된다.

[0050] 본 개선사항에 관한 많은 추가 특징 및 그의 조합은 본 개시 내용을 읽은 후 당업자에게 드러나게 될 것이다.

도면의 간단한 설명

[0051] 도 1a, 도 1b, 도 1c, 및 도 1d는 각각 고전적 고조파 발진기, 트랜스몬의 기본 버전의 트랜스몬 및 자속 조정 가능 초전도 회로 요소들의 개략적인 회로도들이다.

도 1e 및 도 1f는 각각 외부 평행 자기장에 대한 조셉슨 접합 및 그의 주파수 응답을 나타낸 도면들이다.

도 1g는 스핀 큐비트 내 양자 도트에 적용되는 자기장을 개략적으로 나타낸 도면이다.

도 2a 내지 도 2d는 초전도 회로 상에 자기장을 적용하기 위한 대표적인 전위 구성들을 개략적으로 보여준 도면들로서, 도 2a는 능동 방식으로 구동되는 자기장의 일 예를 나타낸 도면이고, 도 2b 내지 도 2d는 영구 자석들의 해당 구성들, 더 구체적으로는 중앙 도트 자석, 측면 막대 자석 및 측면 도트 자석 구성들 각각에 의해 방출되는 자기장의 예들을 나타낸 도면들이다.

도 3은 도트 자석에 대한 초전도 루프에 상대적인 영구 자석의 위치의 함수로서 디바이스 파라미터 변동성에 대한 자속 감도의 시뮬레이션 결과를 그래픽 방식으로 나타낸 도면이다.

도 4, 도 5 및 도 6은 각각 측면 막대 자석, 중앙 도트 자석 및 측면 도트 자석 구성들에 대한 자기장 시뮬레이션의 수치 결과를 그래픽 방식으로 나타낸 도면들이다.

도 7a 및 도 7b는 해당 영구 자석 구성들, 더 구체적으로는 보상된 중앙 도트 구성 및 이중 보상된 중앙 도트 구성에 의해 방출되는 자기장의 예들을 각각 나타낸 도면들이다.

도 8은 다양한 영구 자석 구성에 대한 자속의 변동성을 나타낸 도면이다.

도 9a 및 도 9b는 손실에 대한 시뮬레이션 결과를 그래픽 방식으로 나타낸 도면들이다.

도 10은 손실과 SNAILMON 루프 스케일 인자 간 시뮬레이션 관계를 보여주는 그래프이다.

도 11a, 도 11b 및 도 11c는 2개 이상의 초전도 루프 간 영구 자석을 공유하는 1차원 어레이 구성의 예들을 보여주는 도면들이다.

도 12는 면외 기하학적 구조의 일 예를 보여준 단면도이다.

도 13a 및 도 13b는 추가적인 면외 기하학적 구조를 개략적으로 보여준 도면들이다.

도 14는 자기장이 기판을 가로질러 그리고 비아를 가로질러 초전도 회로 요소로 안내됨을 보여주는 시뮬레이션 결과를 그래픽 방식으로 나타낸 도면이다.

도 15는 도 14에 나타낸 바와 같은 시뮬레이션에서 자속과 기판 두께/비아 길이 간 관계를 그래픽 방식으로 나타낸 도면이다.

도 16은 추가적인 면외 기하학적 구조를 개략적으로 나타낸 도면이다.

도 17은 도 16에 나타낸 바와 같은 구성으로부터 유래된 자기장을 보여주는 시뮬레이션 결과를 그래픽 방식으로 나타낸 도면이다.

도 18은 자속과 플럽 칩 간격 간 관계와 추가로 자석 체적 계수를 그래픽 방식으로 나타낸 도면이다.

도 19는 자기장 가이드의 다른 가능한 실시 예를 개략적으로 보여준 도면이다.

도 20은 초전도 자기 가이드 및 초전도 캐비티를 지니는 양자 디바이스 구성에 대해 수행된 시뮬레이션 결과를 그래픽 방식으로 나타낸 도면이다.

도 21은 초전도 자기장 가이드의 관형 요소에 대한 대표적인 대안 구성을 개략적으로 나타낸 도면이다.

도 22a는 웨이퍼 표면을 따른 자기장 가이드 분포를 개략적으로 나타낸 도면이고, 도 22b는 자기장 가이드 분포 및 관련 자기장 소스를 사용하여 달성될 수 있는 자기 텍스처 프로파일을 개략적으로 나타낸 도면이며, 그리고 도 22c는 단일 자석이 2개의 자기 가이드와 함께 웨이퍼의 다른 측면 상에 반대 극성의 자기장을 생성하도록 사용되는 대표적인 실시 예를 보여준 도면이다.

도 23은 큐비트를 호스트할 수 있는 양자 서브시스템을 형성하는 복수 개의 양자 디바이스들을 포함하는 양자 프로세서로서 구현될 수 있는 양자 시스템을 개략적으로 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0052] 여러 도면 내 요소들은 간결성과 명료성을 위해 예시된 것이며 반드시 일정한 비율로 나타나 있지 않다. 예를 들어, 도면들 내 요소들 중 일부 요소들의 치수들은 현재 개시된 다양한 실시 예의 이해를 용이하게 하기 위해 다른 요소들에 비해 강조될 수 있다. 또한, 상업적으로 실행 가능한 실시 예들에 유용하거나 필요한 공통적이지

만 잘 이해될 수 있는 요소들은 본 개시내용의 이러한 다양한 실시 예의 뷰를 덜 방해하게 하기 위해 종종 도시되어 있지 않다.

[0053] 본 명세서의 다양한 구현 예 및 실시형태는 이하에서 논의되는 세부사항을 참조하여 설명될 것이다. 이하의 설명 및 도면들은 본 명세서를 예시한 것이고 본 명세서를 제한하는 것으로 해석되어서는 아니 된다. 본 명세서의 다양한 구현 예에 대한 철저한 이해를 제공하기 위해 수많은 특정 세부사항이 설명된다. 그러나, 어떤 경우에는, 본 명세서의 구현 예들에 대한 간결한 논의를 제공하기 위해 잘 알려져 있거나 통상적인 세부사항들은 설명되지 않는다.

[0054] 또한, 여기에서 설명한 구현 예들에 대한 철저한 이해를 제공하기 위해 다양한 특정 세부사항이 설명된다. 그러나 관련 기술 분야의 당업자라면 이해하겠지만, 여기에서 설명한 구현 예들이 된 구현이 이러한 특정 세부사항 없이 실행될 수 있다는 것이다. 다른 경우에, 잘 알려진 방법들, 절차들 및 구성요소들은 여기에서 설명한 구현 예들을 모호하게 하지 않기 위해 자세히 설명되어 있지 않다.

[0055] 본 명세서에서, 요소들은 하나 이상의 기능들을 수행하도록 "구성"되거나 그러한 기능들을 "위해 구성"된 것으로서 설명될 수 있다. 일반적으로, 한 기능을 수행하도록 구성되거나 한 기능을 수행하기 위해 구성된 요소는 해당 기능을 수행할 수도 있고, 해당 기능을 수행하는 데 적합할 수도 있으며, 해당 기능을 수행하도록 적응될 수도 있고, 해당 기능을 수행하도록 작동 가능할 수도 있으며, 그렇지 않은 경우 해당 기능을 수행하는 것이 가능할 수도 있다.

[0056] 본 개시내용의 실시형태들 또는 그들의 예들의 요소들을 도입할 때, 관사 "한", "어떤", "그" 및 "상기"는 하나 이상의 요소들이 있음을 의미하도록 의도된 것이다. "구성하는", "포함하는" 및 "지니는"이라는 용어들은 포괄적이며 목록된 요소들과는 다른 추가적인 요소들을 있을 수 있음을 의미하도록 의도된 것이다. "예시적인"이라는 용어는 "~의 예시"를 의미하도록 의도된 것이다. "A, B 및 C 중 하나 이상"이라는 "A 중 적어도 하나 그리고/또는 B 중 적어도 하나 그리고/또는 C 중 적어도 하나"를 의미한다.

[0057] 도 1a-도 1d는 회로 요소들의 개략도이다. 더 구체적으로, 도 1a는 당업계에 잘 알려진 인덕턴스(L)과 커패시턴스(C)를 포함하는 고조파 발진기의 고전적인 전기 회로를 나타낸 것이다. 상기 고조파 발진기는 $\omega_0=1/\sqrt{(LC)}$로서 정의되는 선형 공진 주파수 응답을 지닌다.

[0058] 상기 회로 요소들이 (일반적으로 극저온과 관련된) 작동 중에 초전도성을 나타내는 초전도 회로(102)에서는 인덕턴스 대신 조셉슨 접합(Josephson junction)을 도입함으로써 트랜스몬(transmon)으로서 언급되는 미세한 비고조파 발진기가 달성될 수 있다. 이러한 구성을 이루고 있는 조셉슨 접합(104)은 예를 들어 양자 정보를 인코딩해 조작하는 데 사용될 수 있는 비-선형성을 도입할 수 있다. 상기 트랜스몬은 반도체 및 절연체와 같은 기판을 덮고 있는, 저온에서 초전도성을 나타내는 재료의 트레이스(trace)들로 형성될 수 있다.

[0059] 도 1b에 나타낸 회로 요소의 기본 실시 예에서, 주파수 ω_q는 조정 가능하지 않다. 조셉슨 접합들과 관련된 다른 초전도 회로 요소들은 초전도 루프가 회로에 도입되는 방식으로 개발되어 왔다. 더 구체적으로, 초전도 루프는 초전도 루프의 반대편에 있는 해당 지점들에서 분할 및 재결합하는 2개의 분기(branch)를 포함할 수 있다. 하나 (또는 그 이상)의 조셉슨 접합이 초전도 루프의 각각의 분기에 도입될 수 있으며, 이를 통해 주파수 ω_q가 초전도 루프를 통과하는 자속 ϕ에 의존하는 구성이 이루어질 수 있다. 초전도 디바이스를 (예컨대, 자속 큐비트 단위로 $\phi/\phi0 = 0.5$인) 자속 둔감 지점으로 조정하도록 자속을 설정함과 같은 자속 ϕ 또는 3차 입방 상호작용(third-order cubic interaction) 또는 4차 커르 상호작용(fourth-order Kerr interaction)과 같지만 이에 국한되지 않는 혼합 기능으로 조정 가능하다.

[0060] 루프와 관련된 초전도 회로의 예들은 도 1c 및 도 1d에 제공된다. 더 구체적으로, 도 1c는 당업계에서 SQUID(Superconducting QuantUm Interference Device)로서 일반적으로 언급되고, 초전도 루프(106)의 2개의 분기 중 각각의 분기에 하나의 조셉슨 접합을 지니는 트랜스몬 디바이스의 일 예를 나타낸다. 도 1d는 일반적으로 SNAIL(Superconducting Nonlinear Asymmetric Inductive eLements)로서 언급되고 초전도 루프의 2개의 분기 중 제1 분기에 하나의 소형 조셉슨 접합과 초전도 루프(106)의 2개의 분기 중 제2 분기에 하나 이상의 대형 조셉슨 접합을 지니는 트랜스몬 디바이스의 일 예를 나타낸다. 용량성 분로 SNAIL인 SNAILMON의 상세한 대표적인 실시 예는 "Grimm, A. et al. Stabilization and operation of a Kerr-cat qubit. Nature 584, (2020)"에 기재되어 있다. SNAILMON의 후자의 대표적인 실시 예는 본 명세서에서 개념 증명을 입증하기 위한 참조로서 사용될 것이며 참조의 용이성을 위해 구체적으로 "Grimm SNAILMON"으로서 언급될 것이다.

[0061] 그러나 당업자라면 이해하겠지만 초전도 회로들의 다른 버전과 같은 초전도 루프들을 지니는 초전도 회로 요소들을 포함해, 다른 유형의 초전도 회로 요소들은 일부 다른 실시 예들에서 자기장의 인가로부터 이익을 얻거나 심지어 자기장의 인가를 필요로 할 수 있고 이하에 제시되어 있는 교시들은 그러한 다른 실시 예들에 마찬가지로 적용될 수 있다. 예를 들어, 도 1e는 절연체 층(112) 및 초전도 층(114)을 지니는 것으로 도시된) 터널 접합(116)을 포함하고 도 1f에 도시된 바와 같은 주파수 응답을 터널 접합(116)의 폭을 따라 정렬된 자기장으로 나타낼 수 있는 조셉슨 접합(122)의 한 특정 예를 나타낸 것다. 여기에 포함된 자기장이 SQUID 또는 SNAIL의 초전도 루프와 함께 사용되는 자기장보다 상당히 클 수 있지만, 도면에 도시된 터널 접합 단면(118)에 의해 정의되고 일반적인 자속 루프보다 수 10의배수만큼 작을 수 있는 자속에 대한 작은 활성 영역으로 인해, 그러한 조셉슨 접합은 영구 자기장의 존재로부터 이점을 얻을 수도 있다. 이러한 의미에서, 본 명세서는 시연의 목적으로 사용된 특정 예들의 제한된 부분집합들로 제한되는 것으로 해석되어서는 아니 된다.

[0062] 당업자라면 이해하겠지만 초전도 회로 요소들 이외의 회로 요소들을 지니는 양자 디바이스들은 일부 다른 실시 예들에서 자기장의 인가로부터 이익을 얻거나 심지어는 자기장의 인가를 필요로 할 수도 있다. 예를 들어, 도 1g는 큐비트의 일 예를 보여준다. 자기장 소스(124)는 도시된 바와 같이 스핀 큐비트 내 양자 도트(110)에 대해 횡방향 자기장(120)을 생성하는 데 사용될 수 있다. 또한 도 1g에는 제어 게이트들(108)이 도시되어 있다. 예를 들어 자기장 기울기는 스핀 큐비트를 제어하는 데 기여할 수 있다.

[0063] 양자 디바이스들의 초전도 또는 비-초전도 회로 요소들은 어느 정도 기존의 전자공학에서 사용되는 제조기법들 중 하나를 연상시킬 수 있는 방식으로 웨이퍼로서 언급되고 전기 절연체 또는 반도체 재료로 만들어질 수 있으며 가장 일반적인 것이 실리콘과 사파이어일 수 있는 수동 디바이스에 의해 지지될 수 있다. 초전도 회로 요소들을 제조하려면 마이크로 및 나노-제조 기법들이 필요할 수 있고 결과적으로는 일부 실시 예들에서는 웨이퍼가 이러한 마이크로 및 나노-제조 기법들과 호환되는 것이 필요할 수 있다.

[0064] 도 2a는 초전도 회로의 회로 요소를 통해 자속(ϕ)을 부여하는 방식으로 자기장(B)이 생성될 수 있는 제1 기법을 보여준다. 이러한 기법에서는 예를 들어 전류원과 같은 전기 드라이브가 희석 냉동기의 냉동 용적 외부에 위치하게 된다. 전기 리드들은 희석 냉동기의 벽을 가로질러 연장된다. 초전도 회로(일반적으로 작동 중에 초전도성을 나타내는 재료의 트랙들 또는 라인들의 패턴 형태로 제공됨)는 하나 이상의 웨이퍼들로서 정의될 수 있으며, 하나 이상의 웨이퍼들의 각각의 웨이퍼는 하나 이상의 웨이퍼 층을 지닐 수 있고(웨이퍼는 간결성을 위해 도시되지 않음), 전기 드라이브의 입력에 기초하여 자기장을 생성하는 기능을 수행하는 도체는 또한 동일한 웨이퍼에 일체화될 수 있으며 일반적으로 갈바닉 접속들을 통해 전기 리드들의 양측 단부들에 접속될 수 있다. 이후로, 상기 디바이스의 작동 중에, 주변 온도(예컨대, 300K 정도)에 있을 수 있는 전기 바이어스 소스(202)는 자기장을 생성하는 전기 회로에서 전류를 생성한다. 상기 회로는 희석 냉동기 벽(206)과 갈바닉 접속들을 가로질러 연장되는 전기 리드들(208)과 웨이퍼 상의 도체 바이어스 라인들(210)을 포함한다. 도체 바이어스 라인들(210)을 따라 순환하는 전류는 자기장 B를 생성한다. 상기 도체 바이어스 라인들(210)은 자기장 B가 바이어스 전류 I에 의존하는 진폭을 지니는 초전도 루프(204)를 통해 자속 ϕ를 생성하는 방식으로 초전도 루프(204)에 대해 신중하게 설계된 위치에 배치된다. 이러한 자기장 생성 기법은 자기장을 생성하기 위해 능동적으로 제공되는 전류 순환이 필요하기 때문에 "수동"과 대조하여 "능동"으로 분류될 수 있다.

[0065] 도 2b, 도 2c 및 도 2 d는 초전도 회로의 회로 요소(예컨대, 초전도 루프(214)를 포함함)를 통해 자속(ϕ)을 부여하는 방식으로 자기장(B)이 생성될 수 있는 다른 기법의 대표적인 실시 예들을 보여준다. 도 2b 및 도 2d에서는 자석의 자화 방향이 초전도 루프를 지지하는 표면에 수직인 반면, 도 2c에서는 자기장 방향이 초전도 루프를 지지하는 표면과 평행하다. 각각의 경우에 자석들은 적절한 자속을 부여하는 방식으로 크기와 위치가 결정된다. 도 2b에서는 자석(212)이 루프(214)에 대해 중앙에 배치되는 반면에, 도 2c 및 도 2d에서는, 자석들(216, 218) 각각이 루프(214)에 인접하여(예를 들어, 도 2c에 도시된 바와 같이 거리 *l* 를 두고) 배치된다. 도 2b, 도 2c 및 도 2d의 예들에서, 자기장 B를 생성하기 위해 전류 대신에 영구 자석(예컨대, 자석(212, 216 또는 218) 각각)이 사용된다. 상기 기법은 자기장을 유지하기 위해 고전 회로에서 전류의 순환을 능동적으로 요구하지 않는다는 점에서 "수동" 기법이라고 할 수 있다. 해당 분야에 정통한 자들에게는 자속을 생성하는 그러한 기법이 양자 디바이스의 초전도 회로에서 적합한 해결수법이 될 수 있다고 상상하는 것이 매우 반-직관적이었다. 이러한 반-직관성은 타당성, 변동성, 손실을 포함한 여러 가지 이유와 현장에 존재했던 패러다임에서 비롯될 수 있다.

[0066] 첫째, 타당성의 측면에서, 여기서 유념할 점은 양자 디바이스들의 자속 바이어스된 많은 실제 실시 예, 특히 자속 루프들을 포함하는 실시 예에서 타깃 자속은 자속 양자 ϕ0의 정도일 수 있으며, 여기서 ϕ/ϕ_0은 [0,1] 범

위에 있을 수 있다는 것이다. 한편으로 상대적으로 작은 자속을 달성하면 상대적으로 작은 자석 용적을 사용할 수 있지만, 다른 한편으로 상대적으로 작은 자석들은 생산하기 어렵고 비용이 많이 들 수 있으며, 작은 치수들에서는 생산 프로세스의 변동성으로 한 자석으로부터 다른 한 자석으로의 치수 변동이 더 커지게 된다. 예를 들어, 폭, 높이, 길이 또는 직경의 측면에서 예를 들어 100 nm 미만의 치수들을 지니는 자석들을 생산하는 것은 훨씬 더 어려울 수 있다. 치수의 변동성은 최종 조립 작업 중에 자속의 정밀도와 값에 직접적인 영향을 미칠 수 있다. 또 다른 중요한 인자는 초전도 루프의 자기장 진폭 B이 초전도체의 임계 필드 H_c를 초과하는 경우($B > \mu_0 H_c$), 초전도성을 방해할 수 있는 초전도 회로를 따른 자기장 진폭 B이다. 마지막으로, 초전도 회로의 전자기 환경 내 자석 자체가 존재하면 손실의 형태로 디바이스의 작동이 중단될 수 있다.

[0067] 사례 연구로 넘어가기 전에 유념할 점은 도 2b, 도 2c 및 도 2d에서 보여준 대표적인 실시 예들에서, 영구 자석들이 바이어스하려는 초전도 회로 요소가 지지되는 웨이퍼 표면과 동일한 웨이퍼 표면 상에 배치된다는 것이다. 이러한 구성은 여기서 특히 웨이퍼 표면이 평면인 상황에서 "평면 내(in-plane)"로서 언급될 수 있다. 이하에 예시되는 것과 같은 다른 실시 예들에서, 이러한 웨이퍼 표면에 대한 자석 요소들의 배치는 웨이퍼 내에 리세스(recess)되거나 다른 한 웨이퍼 표면 또는 평면과 정렬되어 배치되는 것과 같이 다양할 수 있다. 일부 다른 실시 예들에서, 웨이퍼 표면들은 만곡되는 것과 같이 평면이 아닐 수 있다.

[0068] 사례 연구 - 소개

[0069] 초전도 루프를 통한 자속 Φ의 소스로서 영구 자석을 사용하는 것이 하나의 특정 실시 예에 적합한 방안이 될 수 있는지 여부를 결정하기 위해 사례 연구가 수행되었다. 이러한 특정 실시 예에서, 위에서 언급한 Grimm SNAILMON의 주파수 ω_q 및 입방 상호작용을 부과(당업계에서는 "미세조정"으로서 언급됨)하는 데 사용되는 자속 소스들로서 다양한 구성의 영구 자석들이 고려되었다. 이러한 특정 실시 예에서는 예를 들어 도 4 및 도 5에 도시된 결과들을 획득하는 데 사용되고 여기서 $b = w_{loop} = 7.94\,\mu m$이고 $a = h_{loop} = 8.20\,\mu m$이다. 자속 양자 Φ_0는 ~ 2.068×10^{-15} Wb이고, 자속 Φ는 초전도 루프에 의해 정의된 영역 내부의 자기장 B의 법선 성분의 표면 적분으로서 정의된다. 전자기 시뮬레이션들은 상대적으로 작은 자석 치수들을 테스트하는 데 편리한 것으로 간주된 $M_R \approx 1.98T$ 인 잔류 자화를 지니는 FeCo로 만들어진 자석들에 기초하여 이루어진다. 실제로, 동일한 주변 자기장을 달성하기 위해 잔류 자화가 감소하는 경우 자석 치수들을 늘려야 하며, 이러한 맥락에서 더 높은 잔류 자화 재료가 선호될 수 있다. 사례 연구는 작성자에게 이러한 특정 실시 예에 대한 주관적 적합성에 결부되어 있는 것처럼 보이는 타깃을 다소 임의로 설정했다. 이러한 맥락에서, 사례 연구에서는 자속 양자의 정도, 예컨대 $\Phi \in [0, 1]\Phi_0$)로 타깃 자속의 타깃; 초전도체의 임계 필드 H_c 보다 한 자릿수(order of magnitude) 낮은 자속 루프 도체 상의 최대 자기장 진폭, 예컨대 $\max\left(|\vec{B}|_{flux\ loop}\right) < 0.1\,H_c$; 최소 자석 치수 100 nm(예: t, w, h [자석의 두께, 너비 및 높이] > 100 nm는 해당 치수 미만의 자석들을 생산할 때 예상되는 어려움 또는 비용 증가와 결부됨); $2\sqrt{\mathrm{Var}(\Phi)} = 2\sigma < 0.05\,\Phi_0$의 자석 제조 공정의 변동성으로부터 유래된 자속의 변동성; 및 자석(들)의 존재로 인한 전자기 손실 $\kappa_m^{tot}/2\pi < 20\ \mathrm{kHz}$을 설정할 수 있다.

[0070] 타당성

[0071] 의도된 기능과 관련하여 자석 설계 및 구성을 최적화하려면 궁극적인 맥락에서 최종 제조 공정 변화의 영향을 고려하는 것이 바람직할 수 있다. 초전도 루프에 대한 자석의 형상, 방향 및 위치 선택은 제조 공정 변화에 대한 민감도에 영향을 미칠 수 있으며, 제조 공정 변화에 대한 민감도가 최소화되는 시나리오가 선호될 수 있다. 이러한 인자들을 평가하기 위해 사례 연구는 각 주요 매개변수인 t, w, h, x, y, z(후자의 세 개는 자속 루프의 중심에 상대적인 자석의 위치 좌표임), h_{loop} 및 w_{loop}에 대한 자속 편도함수(partial derivative)를 평가한다.

[0072] 도 2c는 사례 연구에 따른 자석 형상, 배치 및 방향(20)의 제1 실시 예를 보여준다. 이 경우, 자석은 초전도 루프를 지지하는 웨이퍼 표면과 동일한 웨이퍼 표면 상에 초전도 루프에 대해 측면으로 배치되어 있는 막대 자석이다. 사례 연구에서는 $\Delta V = 0.05 \times V_0$ (자석 용적 V의 5%), Δx, Δy, Δw_{loop}, $\Delta h_{loop} = 50\ nm$, 및 $\Delta z = 10\ nm$; $\Delta\Phi = \frac{\partial\Phi}{\partial Q}\Delta Q$; 및 $Q \in \{V, x, y, z, h_{loop}, w_{loop}\}$의 보수적인 제조 변동성을 설정하며, 여기서

델타(delta)는 매개변수의 분산이고 편의상 가우스 분포가 가정된다. 본 실시 예에 대한 사례 연구 분석의 결과는 도 3에 나타나 있으며, 도 3은 초전도 루프를 가로질러, 더 구체적으로는 초전도 루프의 분기들을 가로질러 횡방향으로 연장되고 저감도 축(302) 주위에 중심을 둔 구역이 최종 작동 모드에서 제조 변동성의 영향을 줄이는 데 바람직할 수 있음을 보여준다. 여기에서 추가 점선들(304, 306)로 도식화된 바와 같은 다른 저감도 축들 또는 구역들도 존재할 수 있다. 따라서, 막대 자석 구성에서, 막대 자석의 길이가 저감도 축을 따라 연장되는 방식으로 초전도 루프에 인접하여 막대 자석을 배치시키는 것이 바람직할 수 있다. 대칭 회로 요소들은 저감도 축을 지닐 수 있지만, 비-대칭 요소들에는 저감도 구역들이 있을 수도 있다. 축들을 따라 중앙에 위치하지 않는 저감도 구역들은 대칭 회로 요소들에도 존재할 수 있다.

[0073] 도 4를 참조하면, 도함수 분석으로부터, 최적의 막대 자석 구성이 자석 두께 0.3μm(타깃>0.1μm), 너비 0.65μm(타깃>0.2μm), 길이 1.94μm(타깃>0.2μm) 및 실현 가능한 치수들인 0.5μm의 웨이퍼 표면으로부터의 Z-오프셋을 통해 결정되었다. 자석 구성은 $\frac{\Phi}{\Phi_0} = 0.260$ 및 $\frac{\max\left(|\vec{B}|_{flux\ loop}\right)}{H_c} \approx 0.027 < 0.1$ 의 값을 초래하였으며, 따라서 사례 연구에서 설정한 모든 타깃을 충족하였다.

[0074] 유사한 시뮬레이션이 도 2b에 도식화되어 있는 바와 같은 중앙 도트 자석 구성으로 수행되었고, 그 결과들은 도 5에 나타나 있으며, 도 2d에 도시화된 바와 같은 측면 도트 자석 구성으로 다른 한 시뮬레이션이 수행되었고, 그 결과는 도 6에 나타나 있다. 이러한 2가지 추가 시뮬레이션은 또한 사례 연구에 의해 설정한 모든 요구사항들을 충족하여 타당성의 측면에서 초전도 루프와 관련하여 자속을 생성하는 영구 자석의 잠재력을 확인하였다.

[0075] 변동성

[0076] 사례 연구는 위에서 드러낸 바와 같이 $2\sigma < 0.05\phi_0$ 인 것을 타깃으로 하고 5가지 다른 영구 자석 구성에서 수행되었다. 제1 영구 자석 구성은 중앙 도트로서 언급되며 도 2b에 나타낸 바와 같고(예컨대, 중앙 도트(212)), 여기서 w(및 h)는 130nm이다. 제2 영구 자석 구성은 보상된 중앙 도트로서 언급되며 도 7a에 도시된 바와 같고 4.62μm의 간격(l)만큼 측면 도트 자석(704)에 의해 분리된 중앙 도트 자석(702)을 포함한다. 중앙 도트(702)의 w_1은 216nm이고 측면 도트(704)의 w_2는 132nm이다. 제3 영구 자석 구성은 이중 보상 도트(dual compensated dot)로서 언급되며 도 7b에 도시된 바와 같고, 이는 제1 측면 도트(704)의 반대편에 제2 측면 도트(706)를 더 포함한다. 이러한 제3 영구 자석 구성의 경우에, 중앙 도트(702)의 w_1은 308 nm이고, 측면 도트(704, 706)의 $w_{2,3}$은 247 nm이고, 간격 l은 5.43 um이다. 제4 영구 자석 구성은 w 625 nm인 도 2d에 나타낸 바와 같은 측면 도트(218)이다. 제5 영구 자석 구성은 w = 3.73μm이고, h = 11.2μm이며 l = 21.9μm인 도 2c에 나타낸 바와 같은 측면 막대(216)이다. 200 nm의 동일한 두께 t가 설계 전반에 걸쳐 사용되었다. 몬테 카를로(Monte Carlo) 시뮬레이션은 전체 자석 배열의 배치를 고려한 Δx 및 Δy에 대한 ±30nm의 Δw, Δh, Δw_{loop}, ±5nm의 Δt, 및 ±10nm의 Δl의 균일 분포에서의 변동을 갖는 100,000 단위의 샘플 크기로 수행되었다. 몬테카를로 시뮬레이션의 결과들은 5개의 서로 다른 설계(예컨대, 플롯들 802, 804, 806, 808 및 810)에 대해 도 8에 나타나 있다. 자속 변동성 타깃은 4개의 후자 설계(예컨대, 804, 806, 808 및 810)에 대해 달성된다. M_R을 줄이면 변동성이 감소하게 되므로 제1 설계(예컨대, 802)도 사례 연구 타깃을 충족할 수 있게 된다.

[0077] 손실

[0078] 손실 시뮬레이션은 위에서 설명한 Grimm SNAILMON 설계를 통한 Ansys 고주파 구조 시뮬레이터(High Frequency Structure Simulator; HFSS)를 사용하여 수행되었다.

[0079] 총 손실 κ_m^{tot}은 $\kappa_m^{tot} = \sum_l \left(\kappa_{ml}^{cap,surf} + \kappa_{ml}^{ind,surf}\right)$로서 모델링되며, 여기서 m은 관심 있는 고유 모드(eigenmode)이고, 여기서 표면 먼지 및 결함으로 인한 표면 용량성 손실은 $\kappa_{ml}^{cap,surf} = \frac{\omega_m}{Q_l^{cap,surf}} \frac{t_l \epsilon_l}{4E_{elec}} \mathrm{Re} \int_{surf_l} \left|\vec{E}_{\max}\right|^2 ds$로서 모델링되며, 표면 전도성 손실은 $\kappa_{ml}^{ind,surf} = \frac{\omega_m}{Q_l^{ind,surf}} \frac{t_l \mu_l}{4E_{mag}} \mathrm{Re} \int_{surf_l} \left|\vec{H}_{\max,\parallel}\right|^2 ds$로서 모델링되고, 여기서 ω_m= 모드의 각주파수이며; t_l = 손실 요소의 소산 층 두께이고; $\epsilon_l, \mu_l, \sigma_l$ = 손실 요소의 유전율, 투자율 및 전도율이고; λ_0 = 금속 표면의 표피

깊이 1이며; Q_l = 손실 요소의 손실 메커니즘의 고유 품질 인자이고; $E_{elec(mag)}$= 모드의 총 전기(자기)-장 에너지이며; $\vec{E}_{\max}$ = 고유모드 전기 페이저이고; $\vec{H}_{\max,\parallel}$ = 표면에 평행한 고유모드 자기 페이저이다.

[0080] 상기 결과들은 도 9a1 및 도 9b에 예시되어 있으며 하기 표 1에 수치적으로 나타나 있다.

표 1

[0081]

	$\kappa_{substrat}^{cap,V}/2\pi$ (Hz)	$\kappa_{circuit,MA}^{cap,S}/2\pi$ (Hz)	$\kappa_{circuit,MS}^{cap,S}/2\pi$ (Hz)	$\kappa_{magnet}^{cap,S}/2\pi$ (Hz)	$\kappa_{magnet}^{ind,S}/2\pi$ (Hz)	$\kappa_{tot}/2\pi$ (Hz)
$Q_{0,magnet}^{ind,S}=1$	766	1 831	25.6	8.11	19 488	22 118.71

[0082] 표 1: 사례 연구에 대한 손실 계산 결과들

[0083] 여기서 V는 용적이고, S는 표면이며, cap은 용량성 손실(전기장 손실)이고, ind는 유도성 손실(자기장 손실)이며, MA는 금속-공기 계면이고, MS는 금속-웨이퍼 계면이며, m은 $\frac{\omega}{2\pi}$에 있는 관심 있는 고유 모드 $\approx$6GHz인 것으로 상정된 것이다.

[0084] 손실은 사례 연구의 목적으로 선택된 타깃을 충족한 못한 것으로 밝혀졌다. 그러나, 도 10에 도시된 바와 같이, $\kappa_{magnet}^{ind,S}$가 SNAILMON 루프 스케일 인자의 함수로서 기하급수적으로 감소하므로, 자석의 존재로 인한 손실은 단순히 자속 루프 크기를 증가시킴으로써 허용 가능한 값들로 감소될 수 있으며, 이는 적어도 일부 실시 예들에서 허용 가능한 트레이드오프(tradeoff)로 간주될 수 있다. 또한 여기서 유념할 점은 손실 문제를 해결하는 다른 한 방법이 초전도 회로를 지지하는 웨이퍼의 반대쪽에 자석을 배치하고 초전도 자기 가이드를 사용하여 자석에 의해 방출된 자기장을 초전도 루프의 영역으로 안내하는 것이라는 점이다. 후자의 방법은 이하에서 더 상세하게 제시될 것이며 영구 자석 기법을 다양한 실시 예 및 적용 예에 적용하는 더 많은 가능성을 열어준다는 점을 알게 해준다.

[0085] 사례 연구 - 결론

[0086] 사례 연구는 초전도 루프에 걸쳐 자속을 적용하는 데 하나 이상의 영구 자석들을 사용하는 것이 적어도 일부 실시 예들에서 적합한 접근법이라는 결론을 내린다.

[0087] 비록 사례 연구에서는 다소 특정한 상황에서 적합한 자속 ϕ의 소스로서 영구 자석을 사용하는 방법을 다루고 있지만, 여기서 이해할 점은 그 결과가 다른 필적할 만한 상황으로 추정될 수 있으므로 사례 연구에서 더 일반적으로 많은 초전도 루프 실시 예들에서 자속 ϕ의 소스로서 영구 자석을 사용하는 것에 대한 적합성을 보여준다는 것이다. 또한, 여기서 특별히 유념할 점은 위에서 제시한 사례 연구에 사용된 특정 예에 부과된 타깃들, 한계들 및/또는 제한들 중 일부가 일부 대체 실시 예들에서 존재하지 않을 수도 있고 완화될 수도 있다는 것이다.

[0088] 자기장의 유형

[0089] 자속을 생성하기 위해 수동 자석 요소들이 사용되는 양자 디바이스의 세부사항과 유형에 의존하여, 다양한 잠재적인 시나리오가 가능하다. 일부 실시 예들에서, 자기장 소스는 주어진 동작 단계의 전체 기간 동안 고정 자기장 성분만을 부여하도록 의도될 수 있다. 이러한 목적으로, 초전도 회로 요소(들)에 대해 적절한 위치들에 배치된 하나 이상의 영구 자석들은 DC 소스, 전기 리드들, 도체 트레이스 및 갈바니 접속들을 포함하는 능동 자기장 요소들을 완전히 대체하게 해줄 수 있으며, 이는 일부 실시 예들에서 매우 유리할 수 있다. 다른 실시 예들에서, 의도된 자기장은 예를 들어 AC 성분 또는 DC 바이어스에 중첩된 다른 가변 성분과 같은 고정 성분 및 가변 성분을 포함할 수 있다. 그러한 후자의 실시 예들에서는, 자기장의 가변 성분을 부여하기 위해 능동 자기

장 요소를 사용하는 것이 여전히 적절할 수 있다. 그러나 수동 자석 요소를 사용하는 것은 능동 자기장 디바이스에 DC 성분을 통합해야 하는 요구사항을 줄이거나 제거하는 것과 같이 여전히 도움이 될 수 있다. 따라서, DC 바이어스 등가물의 일부 또는 전체와 같은 임의의 영구 자기장 성분은 하나 이상의 수동 자석 요소들을 사용하여 적용될 수 있는 반면에, 가변 자기장 성분은 능동 자기장 디바이스를 사용하여 계속 적용될 수 있다. 이러한 방식으로, 상기 능동 자기장 디바이스는 예를 들어 간략화되거나 완화될 수 있다. 따라서, 다양한 구현 방식이 가능하며, 이에 대한 구체적인 사항은 본 명세서의 교시들에 기초하여 구체적인 실시 예들을 설계하는 담당자의 몫에 맡겨둔다.

[0090] 더욱이, 여기서 이해할 점은 강자성체들과 같은 영구 자석들이 수동 자석 요소로 사용하기에 좋은 후보들을 구성할 수 있지만, 이들이 유일하게 가능한 후보들은 아니라는 것이다. 예를 들어, 일 실시 예에서, 수동 자석 요소로서 자기 터널 접합을 사용하는 것이 흥미롭거나 적합한 것으로 간주될 수 있다. 실제로, 자기 터널 접합의 자기장은 전류를 부여함으로써 스위칭될 수 있지만, 일단 스위칭되면 전류의 능동 순환 없이 자기장을 계속 생성하게 된다. 예를 들어, 영구 자석들 또는 동등한 자기장 강도가 산재해 있는 자기 터널 접합들의 스택을 사용하고 자기 터널 접합들의 자기장 방향이 선택적으로 스위칭되어 인접한 영구 자석의 자기장을 상쇄하거나 또는 증폭하게 될 수 있는 경우는, 자기 터널 접합들의 자기장 방향을 제어함으로써 자기장 강도가 디지털 방식으로 미세조정될 수 있는 시스템을 제공할 수 있다.

[0091] 잠재적인 아키텍처

[0092] 도 11a - 도 11c를 참조하면, 일부 실시 예들에서는 정적 자기장이 동일한 초전도 디바이스(예컨대, Flux Qubit, SQUID, SNAIL 또는 SNAILMON)의 일부일 수도 있고 일부가 아닐 수도 있는 하나보다 많은 초전도 루프에 적절하게 영향을 미치는 방식으로 배치되거나 구성되는 하나 이상의 자석들을 사용하는 것이 바람직할 수 있고 이러한 수법들이 경우에 따라 일부 실시 예들에서 바람직할 수 있는 상대적으로 작은 디바이스 풋프린트로 이어질 수 있다는 것이 이해될 것이다. 예를 들어, 도 11c에서, 복수 개의 초전도 루프들(1102)는 서로 인접 배치되고, "측면 도트" 유형 자석들(예컨대, 도트 자석(1104))은 인접한 초전도 루프들 사이에 배치되어 양자 모두의 인접한 초전도 루프들(1102)를 통해 자속에 동시 기여하게 된다. 그러한 실시 예에서, 상기 루프들은 예를 들어 서로 다른 큐비트들의 일부를 형성할 수도 있고 동일한 큐비트의 일부를 형성할 수도 있다. 도 11b에서, 횡방향으로 배향된 막대 자석들(1106)은 인접한 초전도 루프 쌍에 자속을 부여하는 데 사용된다. 도 11a에서, (예컨대, 중앙 도트 자석들(1112)을 사용하는) 이중 보상된 중앙 도트 기하학적 구조는 측면 도트들(1114)을 공유함으로써 복수 개의 인접한 초전도 루프들(1110)로 확장된다.

[0093] 다른 많은 대체 아키텍처가 가능한다. 실제로, 도 11a - 도 11c에 제시된 3가지 예가 상대적으로 단순한 1차원 어레이들을 나타내지만, 개념은 2차원, 심지어는 3차원 어레이들로 확장될 수 있으며 평면 가상 표면들이 아닌 만곡된 가상 표면들로 확장될 수 있다.

[0094] 더욱이, 위에서 제시하고 설명한 실시 예들에서, 하나 이상의 자석(들)은 일반적으로 초전도 루프를 지지하는 웨이퍼 표면과 대략 정렬을 이루는 것을 의미하는 상대적으로 "평면 내"에 배치되었고, "온 칩(on chip)"은 동일한 웨이퍼 상에 있는 것을 의미한다. 평면 내 기하학적 구조에서, 아마도 상상하기 가장 쉬운 기하학적 구조는 초전도 회로 요소(들)을 형성하는 초전도 트레이스들이 지지되는 것과 동일한 웨이퍼 상에 영구 자석을 패터닝하는 것이다. 그러나 다른 실시 예들에서는, 공통의 평면 및 편평한 표면 상에 영구 자석을 패터닝하는 것과는 반대로 영구 자석을 그러한 웨이퍼에 엠베드(embed)하는 것이 어느 정도 바람직할 수 있다. 이는 예를 들어 웨이퍼 내에 형성된 웰(well) 또는 다른 함몰부 내에 영구 자석을 위치시킴으로써 달성될 수 있다. 특히 평면 외부 실시 예들과 같은 여전히 많은 다른 실시 예가 가능하다. 특히, 도 12a는 그러한 다른 가능한 실시 예를 제시한다. 도 12a에 제시된 실시 예에서, 2개의 웨이퍼(1204, 1206)가 사용되고 솔더 볼(1208) 또는 다른 간격 요소에 의해 이격되어 있다. 각각의 웨이퍼는 다른 웨이퍼와 마주하는 표면을 지닌다. 초전도 루프와 같은 초전도 회로 요소(1210)는 이러한 표면들 중 제1 표면 상에 적용될 수 있고, 자석(1202)은 여전히 다른 한 잠재적인 실시 예를 들자면 이러한 표면들 중 다른 표면에 부착될 수 있다.

[0095] 도 12b는 웨이퍼의 동일한 표면에 의해 지지되는 마이크로자석(1216)이 전기적으로 부동하는 절연 칩(1212)으로서 직사각형 3D 캐비티(cavity)(1222)에 수용된 SNAILMON을 지지하는 또 다른 한 대표적인 실시 예를 제시한다. 또한 도 12b에는 또한 동축 케이블(1214), 커넥터 팁/RF 안테나(1218)가 도시되어 있고 화살표(1220)는 상기 캐비티를 폐쇄하는 것을 보여주기 위한 것이다. 이러한 실시 예는 예를 들어 3D 기하학적 큐비트를 구현하는 데 사용될 수 있으며 여기서 수동 자기 요소는 예를 들어 정적 자속 제어 프로세스에 사용될 수 있다.

[0096] 자기장 가이드

[0097] 위에서 언급한 바와 같이, 수동(예컨대, 자석, 자기 터널 접합)이든 능동(예컨대, 전류 순환으로 구동되는 도체)이든 하나 이상의 회로 요소(예컨대, 초전도 루프, 조셉슨 접합, 스핀 큐비트)이든, 하나 이상의 자기장 소스들의 상대 위치의 정확한 선택은 특정 실시 예 또는 적용 예의 특정 맥락을 고려하여 설계자에게 적절하게 맡겨지게 될 수 있고, 많은 잠재적인 구성이 가능하다.

[0098] 일부 실시 예들에서, 자속이 적용될 회로 요소를 지지하는 웨이퍼의 표면 반대쪽인 웨이퍼의 한 측면(예컨대, 제2 측면) 상에 자기장 소스를 배치시키고, 자기장 가이드를 사용하여 웨이퍼의 하나 이상의 층들에 걸쳐 자기장을 전달하는 것이 바람직할 수 있다. 이에 대한 제1 대표적인 실시 예가 도 13a에 제시되어 있다.

[0099] 위에서 제시한 실시 예들과 마찬가지로, 상기 양자 디바이스는 웨이퍼에 의해 지지되는 회로 요소를 지닐 수 있다. 이러한 특정 실시 예에서, 상기 회로 요소는 상기 디바이스의 작동 중에 초전도성을 나타내는 재료의 트레이스 형태로 제공되고 웨이퍼의 제1 표면 상에 지지되는 초전도 루프이다. 더 구체적으로, 상기 웨이퍼는 회로 요소를 지지하는 제1 표면과 제1 표면 반대쪽인 제2 표면을 지닐 수 있다. 다시 말하면 상기 회로 요소는 "온칩"이다.

[0100] 도 13a에 제시된 실시 예에서, 자기장 가이드(1302)가 제공된다. 더 구체적으로, 관형 통로(1310)는 제1 측면 상의 제1 표면(1314)을 통해 개방된 제1 단부(1312)에서부터 제2 측면 상의 제2 표면(1316)을 통해 개방된 제2 단부(1308)에 이르기까지 웨이퍼(1304)를 가로질러 연장된다. 자기장 가이드(1302)는 (예컨대, 희석 냉동기 내부의 극저온 상태에서의) 상기 양자 디바이스의 작동 중에 초전도성을 나타내며, 본 실시 예에서는 웨이퍼(1304) 내부의 관형 통로(1310)의 내부 표면(1318)을 완전히 코팅하는 재료 층을 지닌다. 자기장 가이드(1302)는 여기에서 양자 디바이스의 작동 동안 가이드 층이 초전도성일 때 웨이퍼(1304)를 가로질러, 다시 말하면 제2 측면에서부터 제1 측면에 이르기까지 자기장을 가이드하기 위해 사용된다.

[0101] 이러한 제1 예에서, 자기장 소스는 제2 표면(1316), 다시 말하면 상기 회로 요소(1320) 반대쪽 측면 상에 있으며 자기장 방향이 자기장 가이드를 향해 안내되고 웨이퍼 표면으로부터 약간 오프셋되어 있으며 여기에서 자기장 가이드의 제2 단부와 일치하는 비아(1310)의 제2 단부(1308)에 인접 배치되어 있는 막대 자석(1306)(자기장 방향이 길이와 정렬된 세장(細長)된 직육면체)이다. HFSS 시뮬레이션은 도 14의 좌측면 상에 제시된 모델을 사용하여 수행되었고, 도 14의 중앙 및 우측면은 그 결과들을 나타낸다. 예를 들어, 자속은 상기 비아(1404)의 각각의 단부(1402, 1406)에서 루프를 이룬다. 또한 도 14의 좌측면 상에는 마이크로자석(1408)의 위치가 도시되어 있이다. 웨이퍼는 자속 라인이 웨이퍼 주변에서 스스로 닫히게 하는 유한한 치수들을 지녔다. 흥미로운 점으로는, 자기장은 자기장 가이드 내부에 갇혀 자기장 가이드에 의해 자기장 가이드의 반대쪽에 이르기까지 안내되는 것으로 보일 수 있는 반면에, 자기장 가이드에 인접한 자기장은 역다항식 방식으로 강도가 감소한다. 상기 비아에 의해 안내되는 자기장의 일부는 예를 들어 초전도 루프 또는 다른 초전도 회로 요소에 걸쳐 적절한 자속을 부여하는 방식으로 확장될 수 있다.

[0102] t = 0.5 μm, w = 1 μm, l = 10 μm이고 비아 반경이 2 μm인 막대 자석에 대한 타당성 분석은 $\frac{\Phi}{\Phi_0} = 0.295$ 및 $\frac{\max\left(|\vec{B}|_{flux\ loop}\right)}{H_c} \approx 0.0003 < 0.1$ 을 산출하며 이는 위에서 제시한 사례 연구의 타당성 타깃들을 충족한다. 도 13b에 제시된 바와 같이 비아(1312)의 애퍼처가 초전도 루프(1320)에 인접 배치되는 유사한 사례 연구는 $\frac{\Phi}{\Phi_0} = 0.238$ 및 $\frac{\max\left(|\vec{B}|_{flux\ loop}\right)}{H_c} \approx 0.0003 < 0.1$ 을 산출하며, 이는 다시금 위에서 제시한 사례 연구의 타당성 타깃들을 충족한다.

[0103] 도 15에 도시된 바와 같이, 상대 자속은 일반적으로 r의 복수 승(예컨대, 구성 및 자기 쌍극자 방정식들로부터 예상되는 바와 같이 $1/r^4$)에서 감소하지만, 비아를 사용하면 이러한 관계를 변경하는 것이 허용되며 상대 자속은 이때 r에 반비례하거나(예컨대, 1/r) 2 미만, 그리고 심지어는 1.5 미만의 거듭제곱에서 r에 반비례하여 변할 수 있다. 초전도 회로 루프 외부에 배치된 애퍼처를 지니는 자기장 가이드에 대한 관계는 유사하다.

[0104] 도 16에 도식화된 제2 예에서는, 자기장 소스가 도트 자석(1608)(축과 정렬된 자기장 방향을 지니는 원통형/절단 원추형 기하학적 구조)이다. 초전도 루프(1616)는 제1 기판 또는 웨이퍼(1602)(여기에서는 실리콘 웨이퍼)의 제1 면(1620)에 의해 지지되고, (초전도) 자기장 가이드(1614)는 초전도 루프(1616)에 근접한 제1 단부(1618)에서부터 제1 웨이퍼(1602)를 가로질러 제1 웨이퍼(1602)의 반대 표면(1622)에 있는 제2 단부(1612)에 이르기까지

정의된다. 다른 한 실리콘 웨이퍼와 같은 제2 웨이퍼(1604)는 제1 웨이퍼(1602)에 인접 배치되지만, 솔더 볼 범프(1606) 등과 같은 스페이서 요소에 의해 그로부터 주어진 갭만큼 이격되어 유지된다. 도트 자석(1608)은 자기장 가이드(1614)의 길이와 정렬되어 자기장 가이드의 제2 단부(1612)에 인접한 제2 웨이퍼(1604)의 표면(1610)에 배치되며, 이러한 구성에서 "플립 칩(flip chip)"으로서 언급될 수 있다. 또한, 표면들(1610, 1622) 간 간격 또는 거리(1624)는 "플립 칩 간격"으로서 또한 언급된다. 도 17은 HFSS 모델(좌측)의 세부사항을 나타낸 것이며 HFSS 시뮬레이션 결과들은 중앙과 우측에 나타나 있다(플립 칩 간격은 0.01㎜, 자석 용적 승수는 각각 1과 2이다). 도 17에는 좌측편에 자속 루프(1702), 마이크로자석(1704), 비아(또는 자기장 가이드)(1706) 가 도시되어 있다.

[0105] 상대 자속, 플립 칩 간격 및 자석 용적 스케일링 인자(초기 자석 용적이 4.69 um^3인 경우) 간 관계가 비아 시나리오가 있는 경우와 비아 시나리오가 없는 경우를 비교하는 방식으로 도 18에 제시되어 있다.

[0106] 다양한 대체 실시 예가 가능하다. 예를 들어, 도 19는 웨이퍼가 하나보다 많은 웨이퍼 층, 더 구체적으로 여기에서는 2개의 웨이퍼 층(예컨대, 층들(1902, 1912))을 지니는 또 다른 한 가능한 실시 예를 제시한다. 자기장 가이드(1906)의 관형 통로는 제1 웨이퍼 층(1902)을 가로질러서만 연장된다는 점에서 블라인드(blind)이다. 그러나 여기에서 마이크로자석(1904)의 형태로 제공된 자기장 소스는 자기장 가이드(1906)의 제2 단부(1914)에 인접하여 2개의 웨이퍼 층 사이에 배치될 수 있고, 회로 요소(1908)는 제1 단부(1916)에 인접 배치될 수 있으며, 자기장 가이드(1906)는 초전도 중에 양자 디바이스 회로 요소(1908)로 자기장을 안내하는 데 사용될 수 있다. 또한 도 19에는 다른 회로 요소들(1908)이 도시되어 있다.

[0107] 일부 실시 예들에서, 자기장 가이드가 만족스럽게 효과적이기 위해서는 자기장 가이드를 관통한 후 자속 라인들이 스스로 닫히게 되는 능력이 제공되어야 한다. 실제로, 자기장 가이드의 단부가 닫혀진 초전도 캐비티에 대해 열리게 되면 자기장이 되돌아갈 길이 없게 되며 자기장 가이드를 가로질러 닫혀진 초전도 캐비티를 관통하지 못할 수 있다. 유한한 치수들의 웨이퍼에 걸쳐 자기장 가이드를 제공하는 것은 일부 실시 예들에서 자기장이 웨이퍼의 에지들 주위에서 스스로 닫히게 되는 것을 허용하기에 만족스러울 수 있다. 다른 실시 예들에서, 하나 이상의 "복귀(return)" 자기 가이드들이 웨이퍼를 가로질러 도입되어 복귀 자기 가이드들을 가로지르는 자기장의 폐쇄를 촉진할 수 있게 된다. 하나의 특정 실시 예가 도 20에 제시되어 있다. 도 20에 제시된 실시 예에서, 캐비티(2002)는 2개의 웨이퍼 층(2004, 2006) 사이에 형성되고, 캐비티(2002)의 표면들은 초전도 재료 층으로 전체적으로 코팅된다. 여기에서 소스(source) 가이드(2008)로 언급될 수 있는 하나의 자기 가이드는 자기장 소스(마이크로자석(2010))의 자기장을 캐비티 내로 안내하기 위해 제공되며, 싱크(sink) 가이드들로서 언급될 수 있는 2개의 복귀 자기 가이드(2012, 2014)는 초전도 캐비티(2002)로부터 복귀 통로들을 제공하는 데 사용된다. 흥미롭게도, 예시된 시뮬레이션 결과들에 도시된 바와 같은 이러한 구성에서, 자기장은 검출 가능하거나 상당한 자기 손실 없이 초전도 캐비티(2002)에 의해 소스 가이드(2008)로부터 다양한 거리에 위치한 많은 싱크 자기 가이드(예컨대, 싱크 가이드들(2012, 2014))로 안내될 수 있다. 예를 들어 대체 구성들에서는 하나 이상의 싱크 자기 가이드들이 사용될 수도 있고 두 개 이상의 소스 자기 가이드들이 사용될 수도 있다. 소스 가이드와의 거리가 동일하지 않더라도 싱크 가이드들 간에 자기장이 균등하게 분리될 수 있다. 각각의 싱크 가이드는 동일한 자기장 최대 진폭을 수용할 수 있으며 자속은 관형 통로의 면적에 의존할 수 있다. 결합은 아마도 소스 가이드가 전류원이고, 전류가 소스 가이드 내부 자속이며, 싱크 가이드들이 초전도 코팅들 내 관형 통로의 면적에 비례하는 임피던스를 지니는 저항성 부하들인 것으로 시각화될 수 있고, 이 경우에 오옴 법칙이 전기 회로들에서 존중되는 방식과 유사하게 존중되는 것으로 보일 수 있다.

[0108] 일부 실시 예들에서, 자기장 가이드의 가이드 층이 관형 통로의 내부 표면을 완전히 덮는 것이 바람직할 수 있다. 도 21에 개략적으로 제시된 바와 같은 다른 실시 예들에서, 자기 가이드의 가이드 층(2102)이 관형 통로의 내부 표면의 전부는 아니지만 대부분을 덮는 것이 바람직할 수 있다. 예시된 예에서, 특히, 관형 통로 직경의 15% 미만과 같은 비교적 얇은 간격(2104)이 여기에서 이해의 용이성을 위해서만 도시된 가이드 층의 전체 길이를 따라 남게 되었다. 실제로, 일부 실시 예들에서, 그러한 갭의 존재는 자기장 가이드의 기능을 보조할 수 있고, 특히 가이드 층의 비초전도 상태와 가이드 층의 초전도 상태 간 전이에서 자기장의 침투를 촉진할 수 있다. 이는 자기장을 수용하는 회로 요소가 초전도 루프이고, 초전도 루프가 비초전도 상태로부터 초전도 상태로 이동하는 중에 이를 횡단하는 자속의 변화에 저항할 수 있으며, 그리고 간격이 있으면 상기 전이를 수용하는데 도움이 되는 일부 실시 예들에서 특히 도움이 될 수 있다. 일부 실시 예들에서, 이러한 구조는 비제한적인 예에서 증착이 방향성인 각도 증발 기법, 예를 들어 e-비임 증발을 통해 실현될 수 있다. 특정 각도로 증발하면서 샘플을 360° 미만으로 천천히 회전시킴으로써 비아의 길이 전체에 원하는 간격을 남기면서 비아의 내부 부분이 초전도 재료로 덮일 수 있다. 일부 실시 예들에서, 동일한 기법의 변형은 음영 증발(Dolan 기법 또는 각도 증발로

서 또한 공지됨)을 통해 현수 마스크(suspended mask)를 사용하는 것일 수 있다.

[0109] 다양한 구성이 가능하다. 예를 들어, 지지 웨이퍼의 다른 측면 상에 연관된 능동 또는 수동 자기장 소스를 지니는 자기장 가이드들이 도 11c에 제시된 바와 같은 실시 예에서 마이크로자석들 대신에 사용되어, 양자 디바이스의 2개 이상의 회로 디바이스에 자기장을 공유하게 될 수 있다. 더욱이, 복수 개의 자기장 가이드들(2202)은 도 22a에 제시된 바와 같이 배열되고, 도 22b에 제시된 것과 같이 주어진 웨이퍼 표면을 따라 자기 텍스처 프로파일(2204)을 생성하는 데 사용될 수 있으며, 여기서 $|\vec{B}_{\perp}|$ 는 상부 기판에 수직인 자기장이다. 여기서 이해할 점은 이러한 자기 텍스처 프로파일이 도 22c에 제시된 바와 같이 각각 2개의 자기 가이드(2212, 2214)의 대향 단부들(2208, 2210) 사이에 횡방향으로 배향된 자기장 소스(2206)를 사용함으로써 하나의 자속 극성뿐만 아니라 2개의 반대되는 자속 극성을 포함할 수 있다는 것이다. 이러한 실시 예들에서, 주어진 웨이퍼 표면에서 진출하는 자기장의 강도는 연관된 자기장 소스(들)의 강도뿐만 아니라 자기장 가이드의 반대쪽 단부와 연관련 자기장 소스(들) 간 거리에 의해 측정될 수 있다.

[0110] 도 13a 및 도 16에 제시된 실시 예들에서는 자석이 자기장 소스로서 사용되었지만, 여기서 이해할 점은 영구 자석들을 적절한 기하학적 구조를 지니는 필적할 만한 자속 바이어스 라인들로 교체하는 것이 유사한 결과들을 생성할 것으로 예상되며, 일부 실시 예들에서는 능동 자기장 소스가 수동 자기장 소스에 대한 적절한 대안이 될 수 있다는 것이다.

[0111] 도 13a 및 도 16의 양자 모두 실시 예들에서, 초전도 회로는 제1 단부에 근접 배치되고, 자기장 소스는 제2 단부에 근접 배치된다.

[0112] 흥미롭게도, 도 13a 및 도 16에 제시된 예들의 경우와 같이 자석들이 초전도 루프의 웨이퍼 표면(예컨대, 평면) 외부에 완전히 위치하게 되고 자기장 가이드를 통해 자기장을 전달할 때, 자석들은 전도로 인한 손실을 유발하지 않거나 상당히 낮출 수 있다. 따라서 위에서 제시한 "전면(front plane)" 자석들을 사용한 시뮬레이션 사례들보다 손실들이 훨씬 작을 것으로 예상될 수 잇다.

[0113] 자기장 가이드 및 이에 연관된 자기장 소스가 도 1e에 제시된 바와 같은 조셉슨 접합들, 또는 도 1g에 제시된 바와 같은 스핀 큐비트와 같은 초전도 루프들 이외의 다른 양자 디바이스 회로 요소들에 대한 자기장 소스로서 사용될 수 있는 실시 예들이 있을 수 있다.

[0114] 일 실시 예에서, 가이드 층 내 용적은 비어 있을 수 있는 반면에, 다른 일 실시 예에서는 상기 용적이 예를 들어 비전도성 재료로 채워질 수 있다.

[0115] 위에서 제시하고 예시한 일부 예들이 영구 자석들에 의해 방출된 자기장을 안내하는 데 사용되는 자기장 가이드들을 제공하지만, 여기서 이해할 점은 자속 바이어스 라인들 등에 의해 방출된 필적할 만한 자기장들이 유사한 방식으로 비아들에 의해 안내될 것으로 예상될 수 있고 결과적으로는 자기장 가이드들이 수동 또는 능동 자기장 소스의 자기장을 안내함으로써, 다양한 실시 예에서 수동 또는 능동 자기장을 안내하는 데 사용될 수 있다는 것이다. 자속 바이어스 라인은 전기 드라이브에 접속된 주어진 구성/형상을 이루는 초전도 요소의 형태로 제공될 수 있다. 전자석을 원격 위치에 배치하고 비아를 통해 그의 자기장을 안내하면 자속 바이어스 라인이 초전도 루프의 가상 표면 내에 있거나 초전도 루프에 더 가까이에 초전도 루프에 인접 배치되는 시나리오에 비해 자기장 생성 회로와 양자 디바이스의 초전도 회로(예컨대, 큐비트 호스팅) 간 누화(cross-talk)를 줄이는 것이 허용될 수 있다. 특히, 예를 들어, 초전도 루프 외부에 비아의 단부를 배치시키는 것은 초전도 회로에 의해 경험되는 임의의 손실을 감소시키고 그리고/또는 자속 라인에 의해 전달되는 자기장을 예를 들어 하나보다 많은 초전도 루프에 공유하는 것을 허용할 수 있다.

[0116] 잠재적인 적용

[0117] 자기장들을 사용하고 하나 이상의 영구 자석들, 웨이퍼에 걸쳐 자기장을 전달하기 위한 하나 이상의 자기장 가이드, 또는 양자 모두의 사용으로부터 이점을 얻을 수 있는 양자 디바이스들은 여러 다양한 적용에서 사용될 수 있다. 이러한 적용들 중 한 대표적인 적용은 초전도 회로들이 큐비트들 또는 커플러들을 구현하는 데 유용할 수 있는 양자 컴퓨터이다. 전형적인 양자 컴퓨터 아키텍처가 도 23에 제시되어 있다.

[0118] 실제로 큐비트들에서 수행되는 작동들은 전체 프로세서의 아키텍처 선택에 따라 어느 정도 의존한다. 경쟁하는 아키텍처가 많이 있다. 이들 중 2가지, 다시 말하면 양자 어닐러(quantum annealer)들 및 게이트 기반 양자 프로세서들에 대한 대표적인 실시예들이 아래에 제공된다.

[0119] 아키텍처의 유형과 논리 상태들의 기초로서 사용되는 양자 서브시스템의 유형에 의존하여, 양자 프로세서 구현에 대한 세부사항은 실시 예마다 크게 달라질 수 있다. 그러나 일반적으로 많은 아키텍처와 유형에는 양자 계산을 수행하기 위해 2개 이상의 양자 서브시스템의 사용이 포함된다. 실제로, 도 23에 도시된 바와 같이, 전형적이면서 대표적인 양자 프로세서는 양자 상태가 일반적으로 양자 얽힘(entanglement)을 수반하는 상호작용에서 서로 상호작용하도록 상호접속될 적어도 2개의 양자 서브시스템(예컨대, 2302a, 2302b, … 2302N)을 요구하게 된다. 양자 서브시스템의 유형은 아키텍처에 의존하여 달라지게 된다. 보소닉(bosonic) 기반 양자 프로세서들로서 구체화되는 대부분의 양자 시스템은 양자 상태들을 호스팅하기 위한 특정 형태의 공진기를 포함하며, 상기 양자 상태들은 양자 서브시스템들에서 여러 보존(boson)을 제어할 수 있는 특정 형태의 구동 하드웨어(예컨대, 2304a, 2304b, …, 2304N)를 사용하여 양자 서브시스템에서 구동되게 된다. 구동 하드웨어는 여기에서 컨트롤러(2306)로서 언급되며 일반적으로 고전적인 컴퓨터의 형태로 제공되는 구성요소에 의해 제어된다. 양자 서브시스템들은 일반적으로 극저온으로 냉동되고 환경으로부터 분리된다. 양자 어닐링 유형 아키텍처 또는 측정 기반 양자 컴퓨팅 아키텍처와 같은 일부 아키텍처들에서는 양자 서브시스템들이 서로 작동 가능하게 직접 상호접속될 수 있다. 게이트 기반 양자 컴퓨팅과 같은 일부 아키텍처들에서 양자 서브시스템들은 일반적으로 양자 서브시스템들 간의 상호작용을 선택적으로 제어하는 데 사용되는 커플러들(예컨대, 2308a, ..., 2308N)를 통해 서로 상호접속된다. 상기 커플러들(2308a, ..., 2308N)은 또한 2개 이상의 접속 양자 서브시스템의 양자 상태들이 상호작용하는 호스트 상태들로 작동 가능한 양자 서브시스템들이며, 또한 편의상 동일한 컨트롤러(2306)에 의해 제어될 수 있는 구동 하드웨어(예컨대, 커플러 드라이브들(2310a, ..., 2310N)에 의해 구동된다. 또한 도 23에는 예를 들어 상기 고전적 컴퓨터(도시되지 않음)의 비-휘발성 메모리에 저장된 제어 명령어들(2312)에 작동 가능하게 연결되어 있는 컨트롤러(2306)이다. 일부 실시 예들에서, 상기 컨트롤러(2306)는 양자 서브시스템들(2302a, ..., 2302N)에서 생성될 논리 상태들의 정의(2314)와 구동 하드웨어들(2304a, 2304b, …, 2304N)를 작동시키기 위한 하나 이상의 기능들(1316)을 포함하는 제어 명령어들(2312)을 실행하도록 구성되고 이를 수행하도록 커플러 드라이브들(2310a, …2310N)이 구성되어 있다.

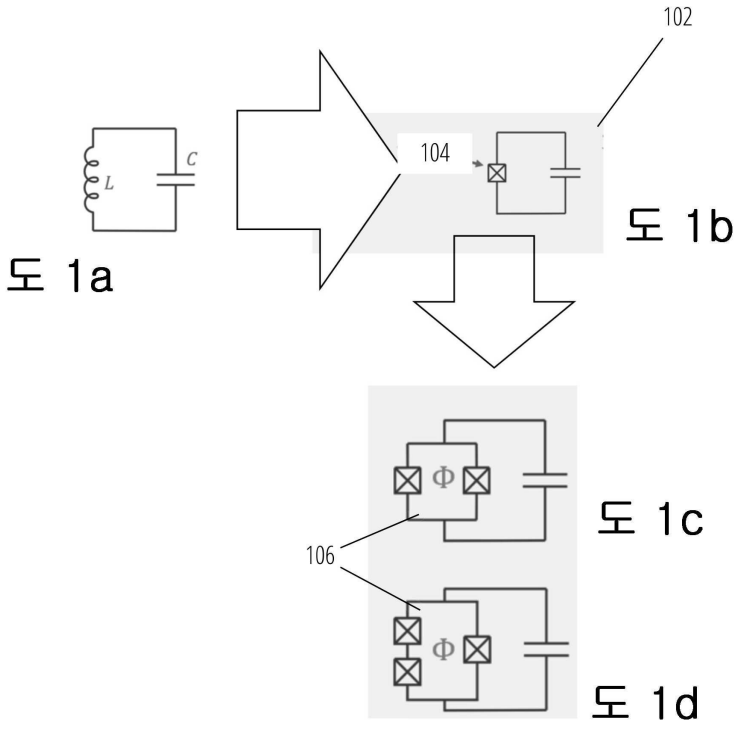
[0120] 당업자는 예를 들어 위에서 논의한 가이드 층들에 사용되는 초전도성을 나타내는 재료들이 제한 없이 니오븀(Nb), 니오븀 질화물(NbN) 니오븀 티타늄 질화물(NbTiN) 탄탈륨(Ta) 탄탈륨 질화물(TaN) 및 알루미늄(Al)을 포함한다는 것을 이해할 것이다. 마찬가지로, 조셉슨 접합을 제조하는 데 사용되는 초전도 재료는 일반적으로 Al이다. 그러나, 당업자가 쉽게 이해하겠지만, 본 개시내용은 조셉슨 접합들에 사용되는 다른 초전도 재료들을 배제하지 않는다.

[0121] 일부 실시 예들에서, 자기장 가이드들은 하나 이상의 기판 표면들에 대해 특정 각도로 배향될 수 있고 그리고/또는 만곡된 부분들을 포함할 수 있다. 일부 실시 예들에서, 2개 이상의 자기장 가이드 또는 비아는 자기장의 일부를 안내하기 위해 서로 직접 연결될 수 있다.

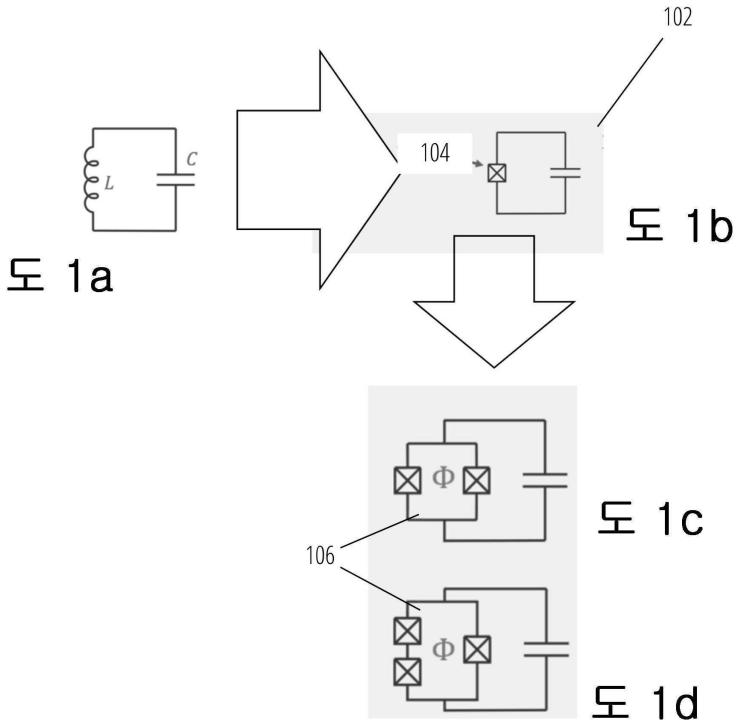
[0122] 본 개시내용에는 예시를 목적으로 다양한 실시 예가 기재되어 있지만, 그러한 기재는 상기 실시 예들로 제한되도록 의도된 것이 아니다. 이와는 반대로, 여기에서 기재되고 도시된 출원인의 교시들은 상기 실시 예들로부터 벗어나지 않고 다양한 대안, 수정 및 등가물을 포함하며, 그 일반적인 범위는 첨부된 청구범위에 정의되어 있다. 여기에서 도시되고 상세하게 기재된 정보는 본 개시내용의 현재 바람직한 실시 예인 본 개시내용의 위에서 설명한 목적을 충분히 달성할 수 있고, 따라서 본 개시내용에 의해 광범위하게 고려되는 주제를 대표한다.

도면

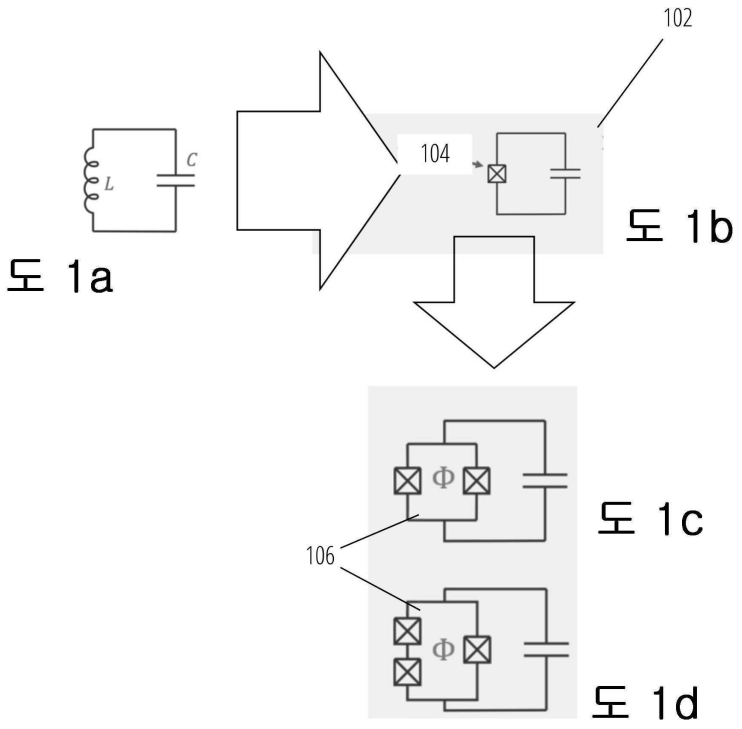
도면1a


102
104
L
C
도 1a
도 1b
Φ
106
도 1c
Φ
도 1d

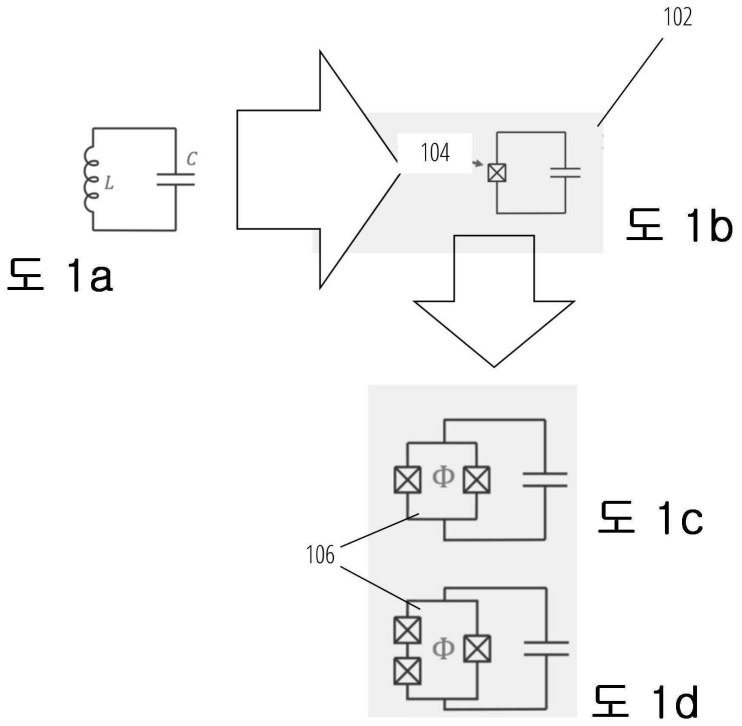
도면1b


102
104
L
C
도 1a
도 1b
Φ
106
도 1c
Φ
도 1d

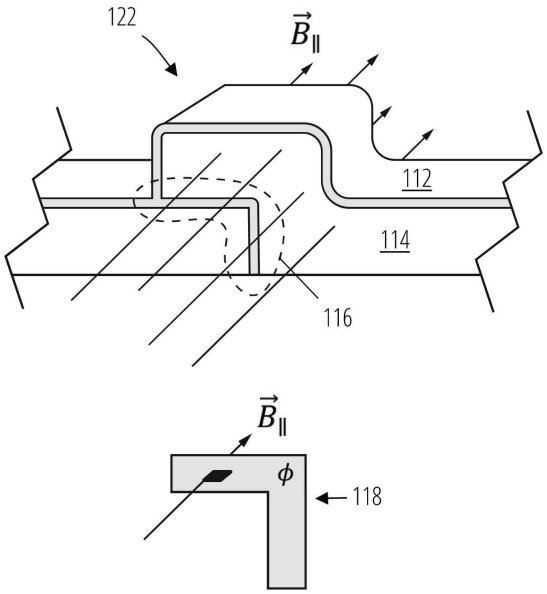
도면1c



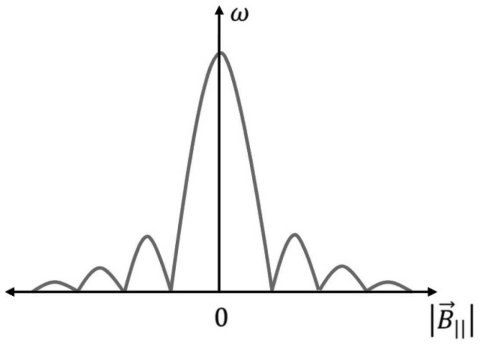
도면1d



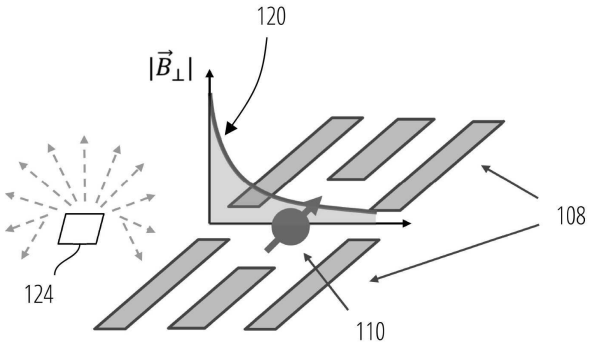
도면1e



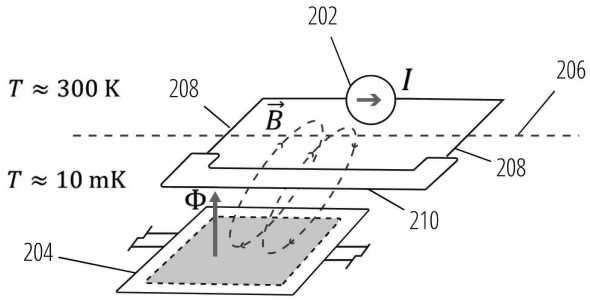
도면1f



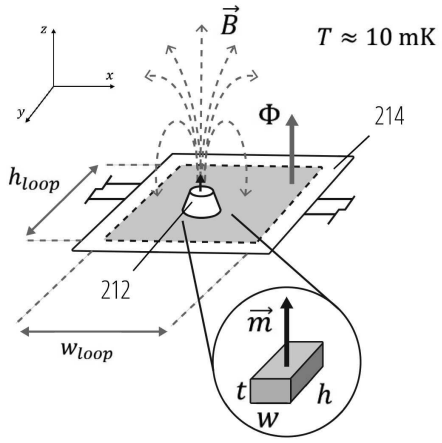
도면1g



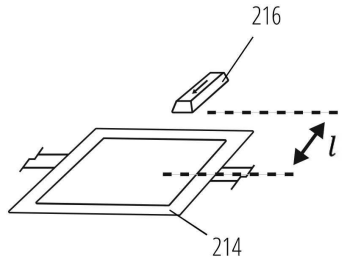
도면2a



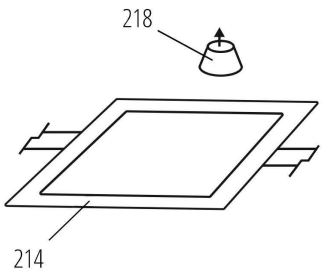
도면2b



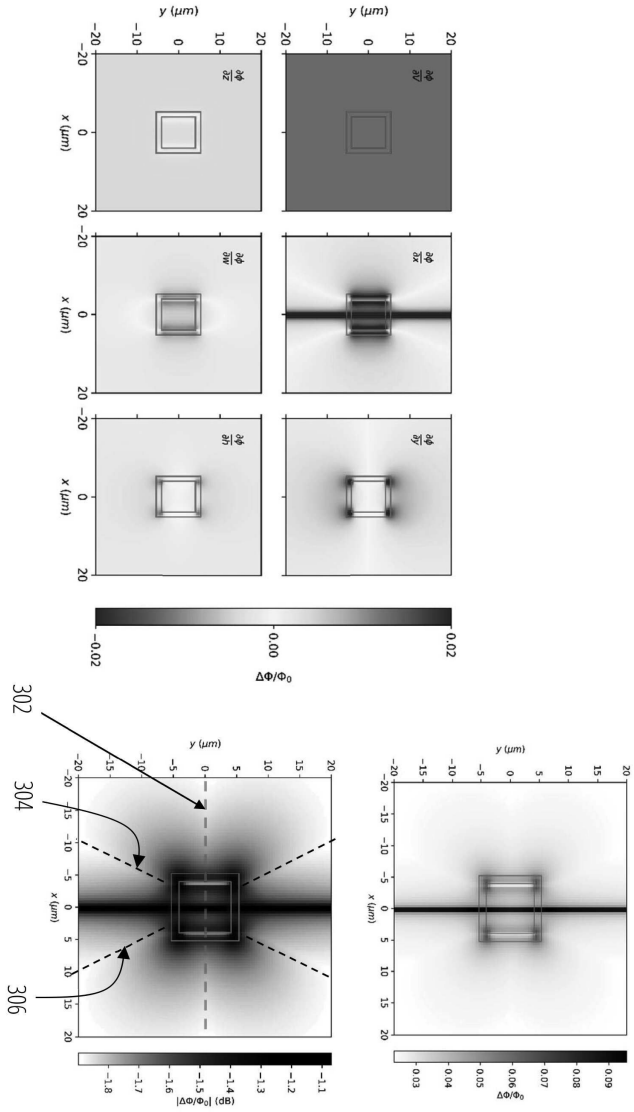
도면2c



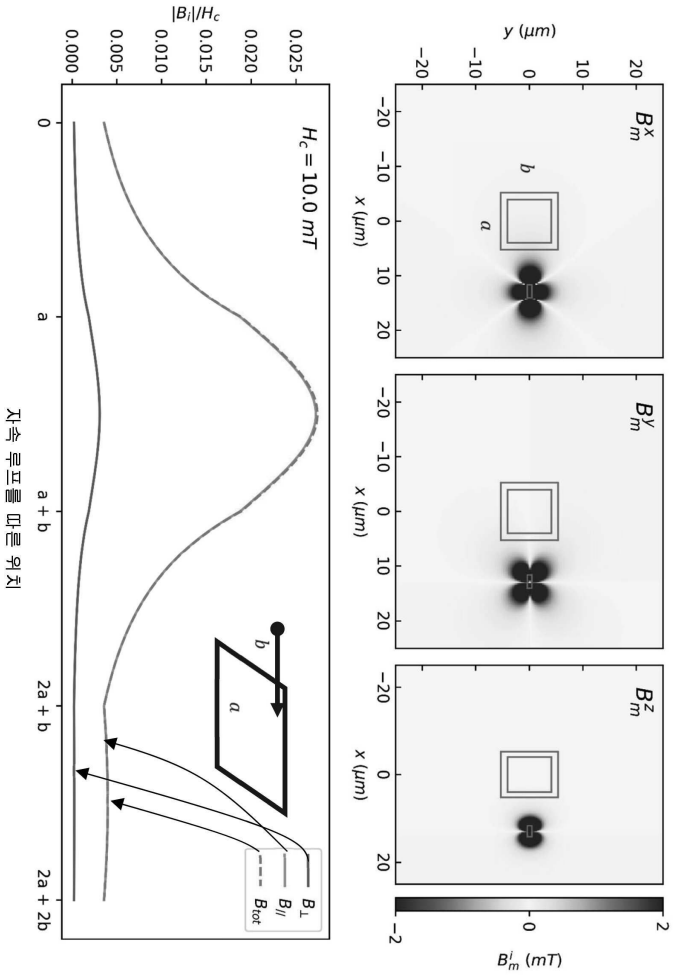
도면2d



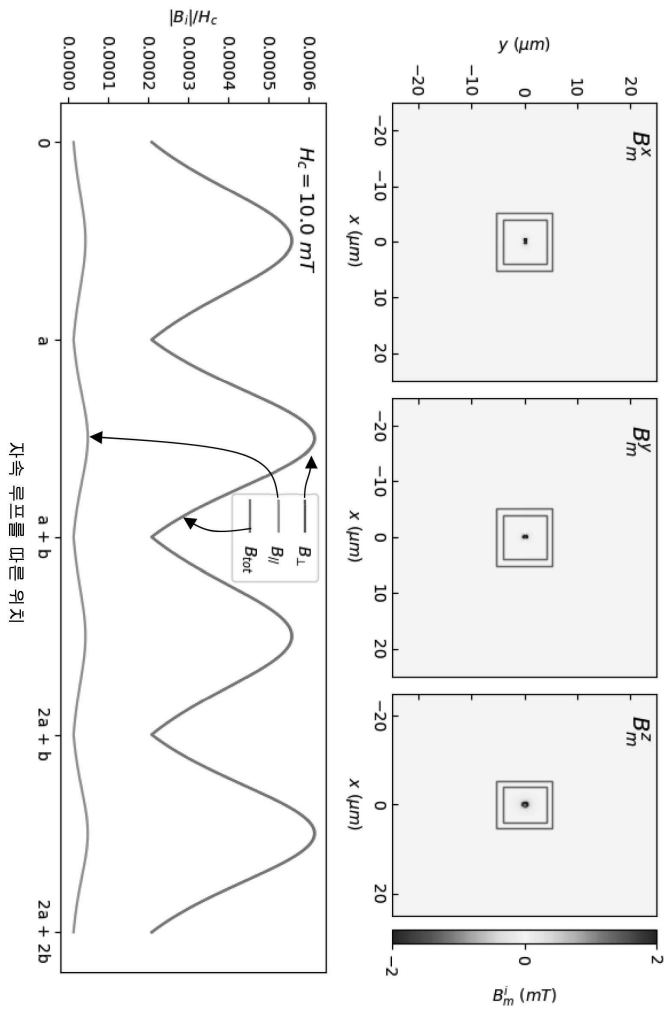
도면3



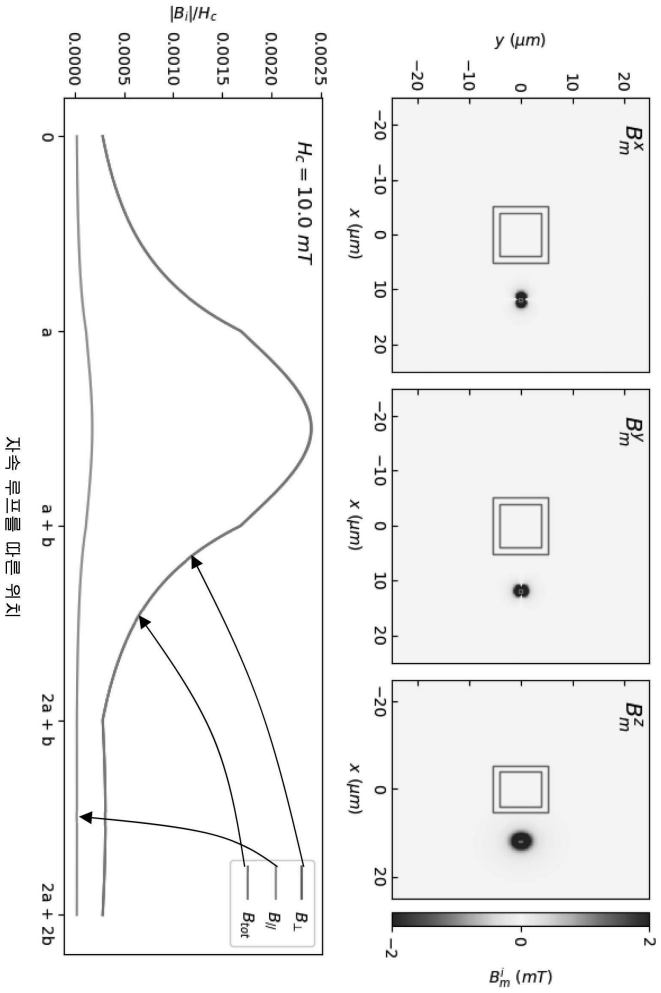
도면4


B_m^x
B_m^y
B_m^z
$y\ (\mu m)$
$x\ (\mu m)$
$B_m^i\ (mT)$
$|B_i|/H_c$
$H_c = 10.0\ mT$
$B_\perp$
$B_{//}$
B_{tot}
a
b
0
a
a + b
2a + b
2a + 2b
자속 루프를 따른 위치

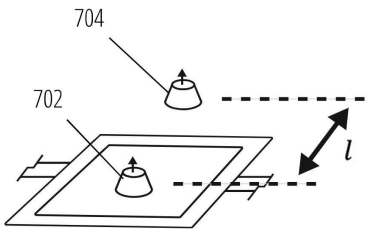
도면5


B_m^x
B_m^y
B_m^z
y (μm)
x (μm)
B_m^i (mT)
$|B_i|/H_c$
H_c = 10.0 mT
$B_\perp$
$B_{//}$
B_{tot}
0
a
a + b
2a + b
2a + 2b
자속 루프를 따른 위치

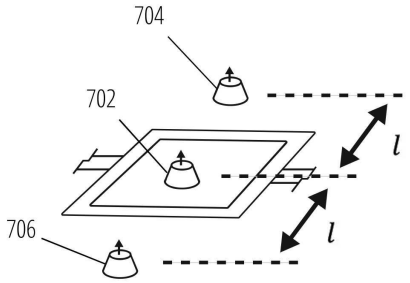
도면6


$|B_i|/H_c$
0.0000
0.0005
0.0010
0.0015
0.0020
0.0025
H_c = 10.0 mT
0
a
a + b
2a + b
2a + 2b
자속 루프를 따른 위치
B_{tot}
$B_{//}$
$B_\perp$
y (μm)
x (μm)
B_m^x
B_m^y
B_m^z
B_m^i (mT)

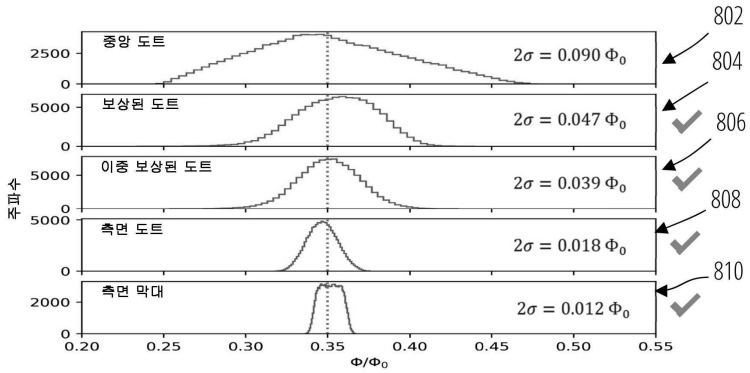
도면7a


704
702
l

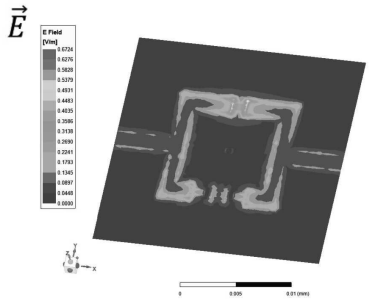
도면7b



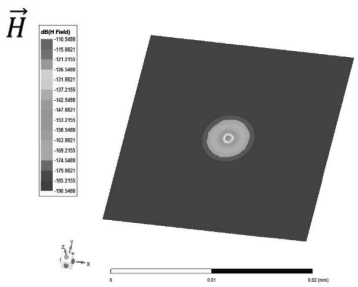
도면8



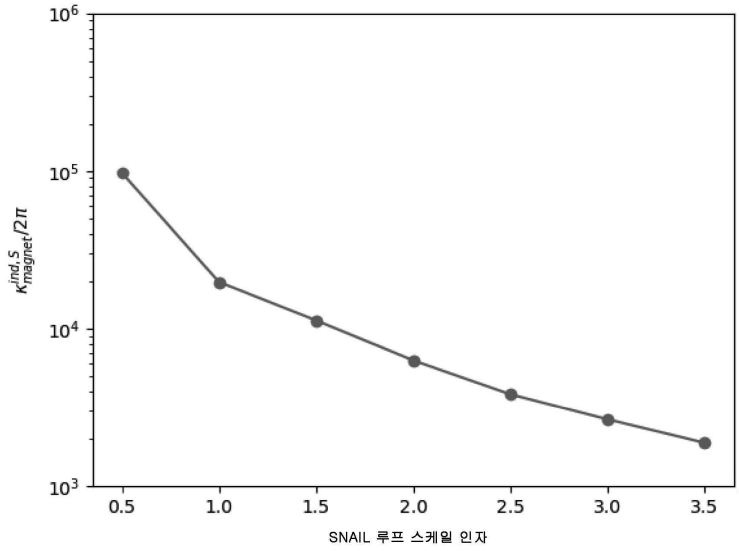
도면9a



도면9b

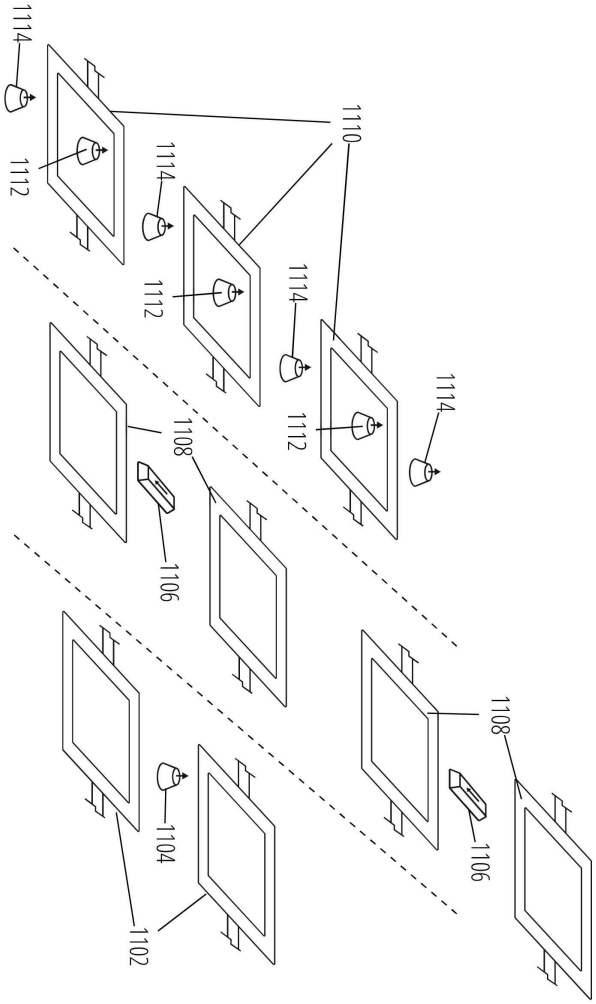


도면10

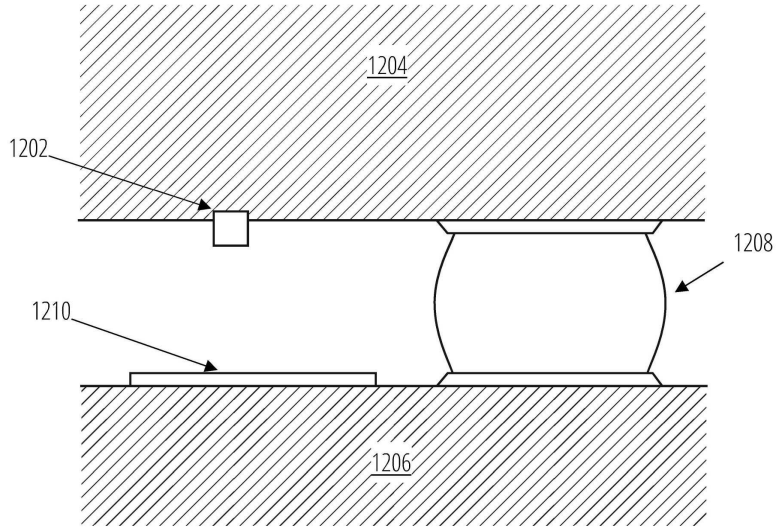


도면11

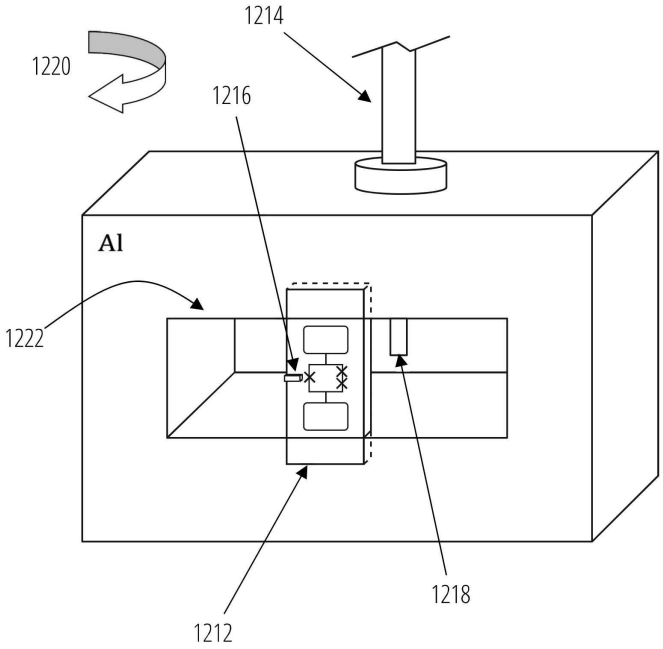
도 11a 도 11b 도 11c



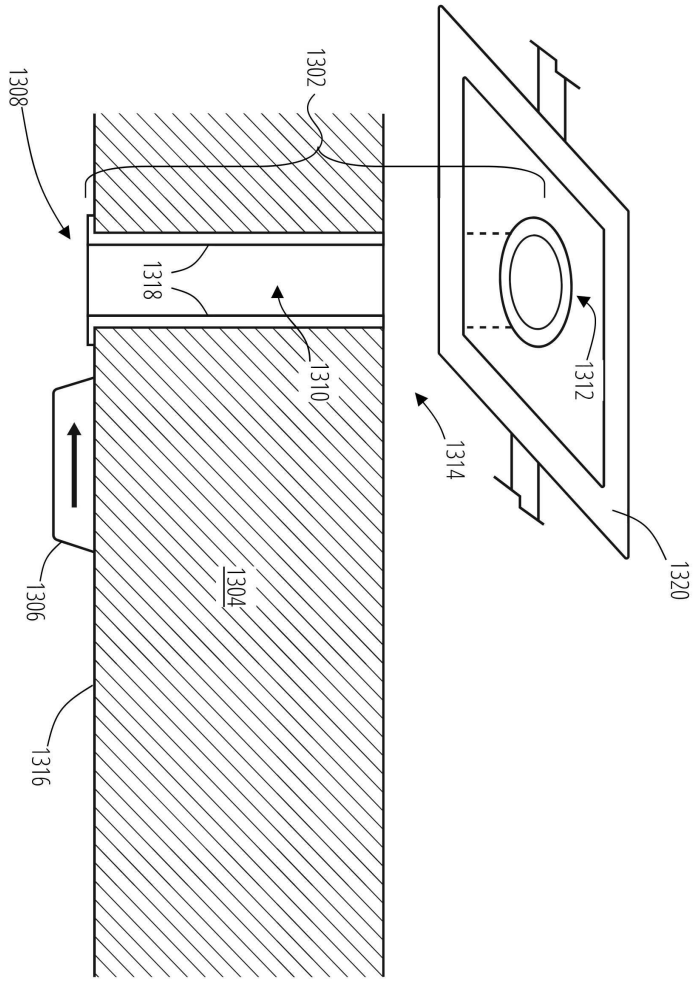
도면12a



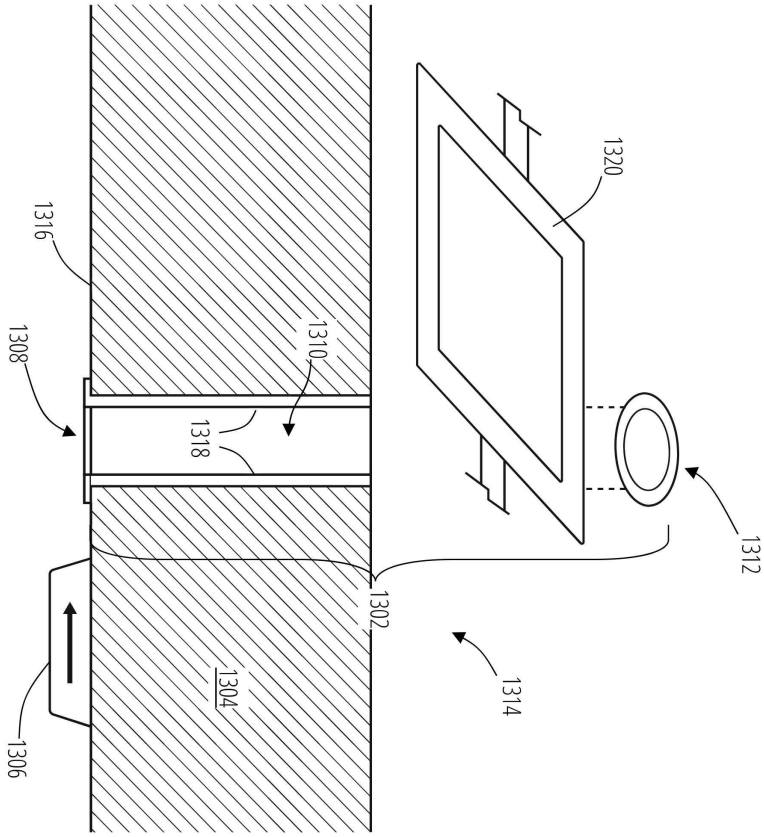
도면12b



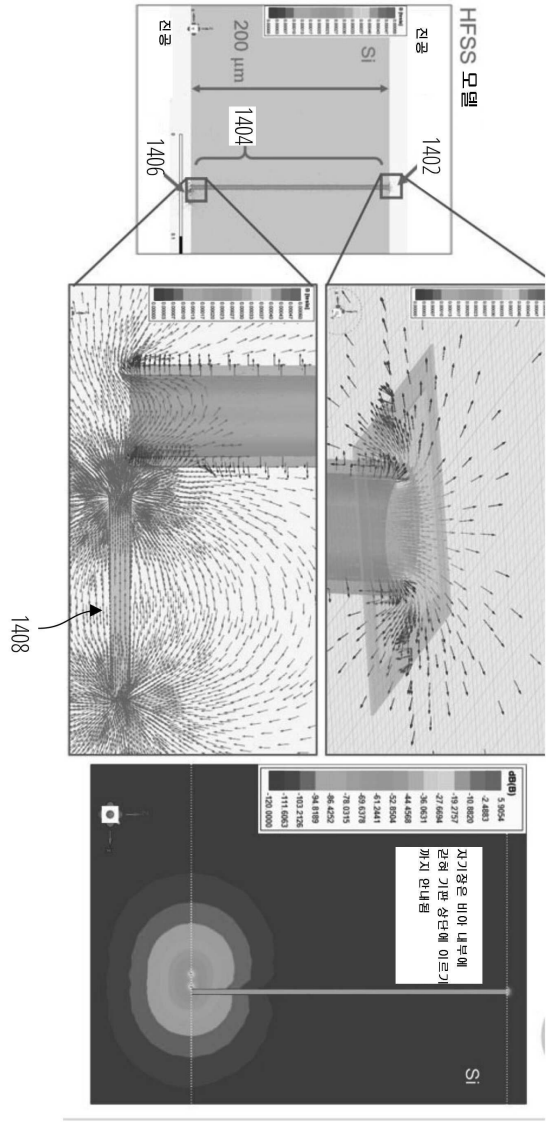
도면13a



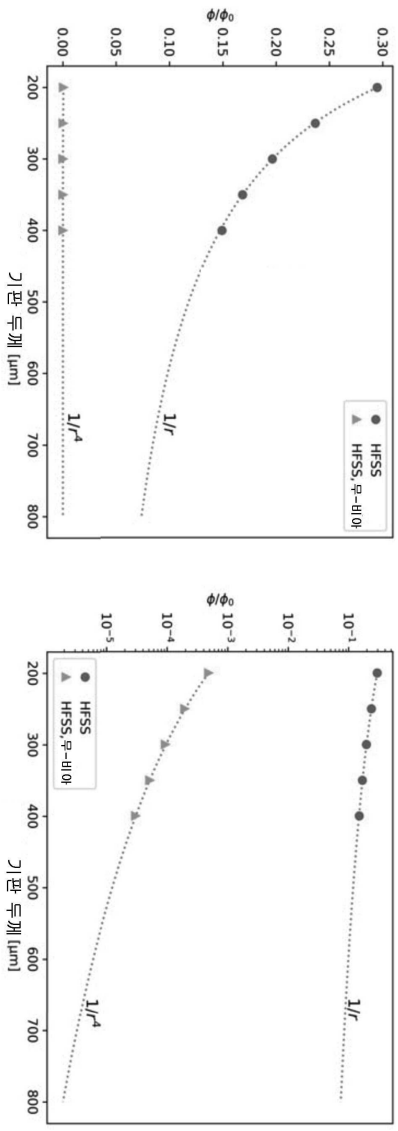
도면13b



도면14

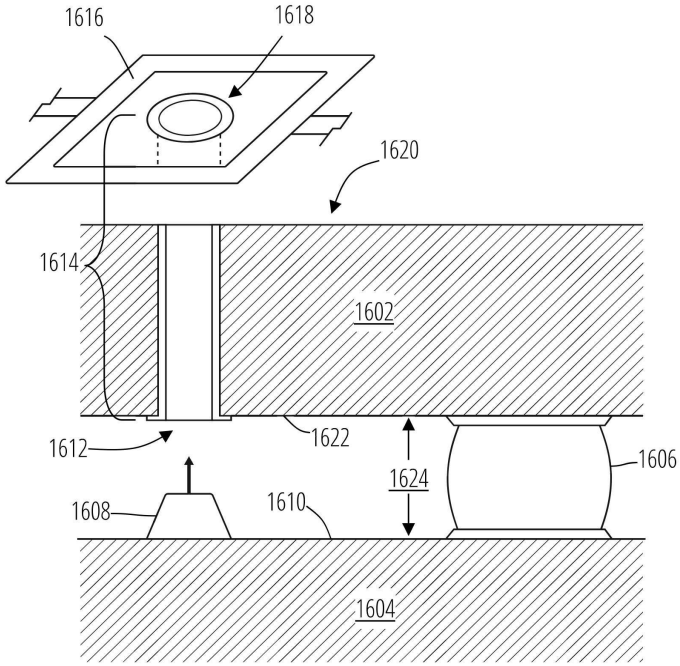

HFSS 모델
전공
200 μm
Si
전공
1404
1406
1402
1408
dB(B)
5.9054
-2.4883
-10.8820
-19.2757
-27.6694
-36.0631
-44.4568
-52.8504
-61.2441
-69.6378
-78.0315
-86.4252
-94.8189
-103.2126
-111.6063
-120.0000
자기장은 비아 내부에
같혀 기판 상단에 이르기
까지 안내됨
Si

도면15

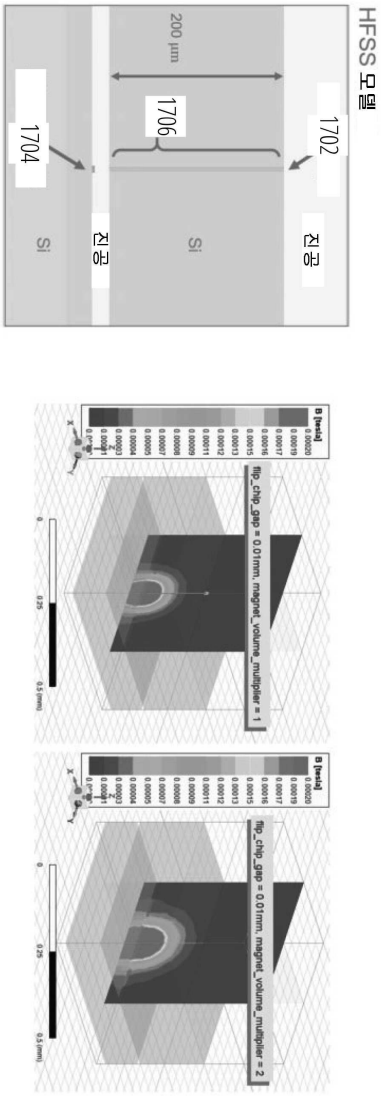

ϕ/ϕ_0
0.30
0.25
0.20
0.15
0.10
0.05
0.00
200
300
400
500
600
700
800
기판 두께 [μm]
HFSS
HFSS, 무-비아
$1/r$
$1/r^4$

ϕ/ϕ_0
10^{-1}
10^{-2}
10^{-3}
10^{-4}
10^{-5}
200
300
400
500
600
700
800
기판 두께 [μm]
HFSS
HFSS,무-비아
$1/r$
$1/r^4$

도면16

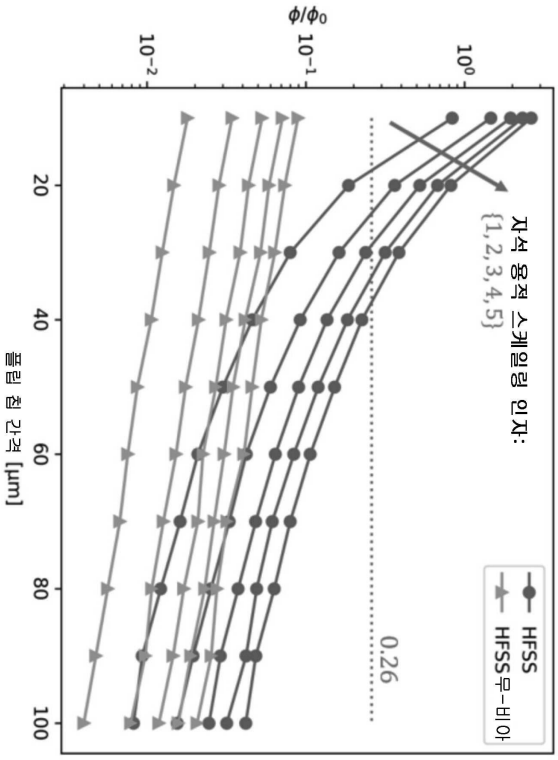


도면17

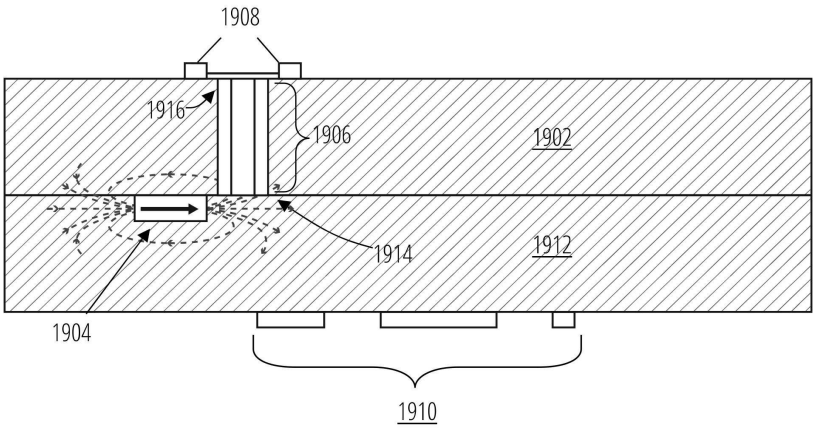

HFSS 모델
1702
진공
200 μm
1706
1704
Si
진공
Si

flip_chip_gap = 0.01mm, magnet_volume_multiplier = 1
flip_chip_gap = 0.01mm, magnet_volume_multiplier = 2

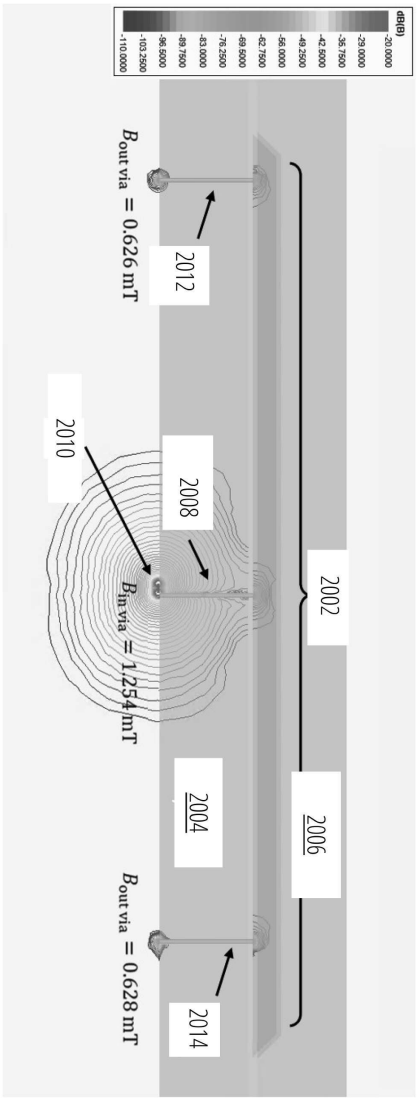
도면18


ϕ/ϕ0
10-2
10-1
100
20
40
60
80
100
플럭 칩 간격 [μm]
자석 용적 스케일링 인자:
{1,2,3,4,5}
0.26
HFSS
HFSS무-비아

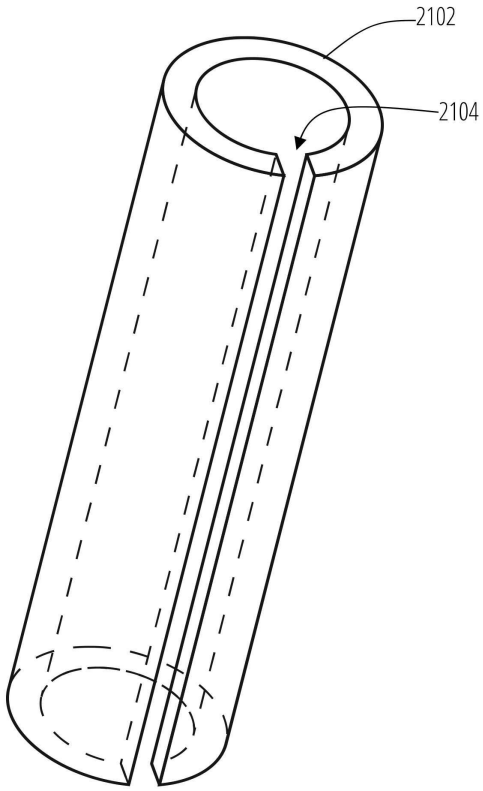
도면19


1908
1916
1906
1902
1914
1912
1904
1910

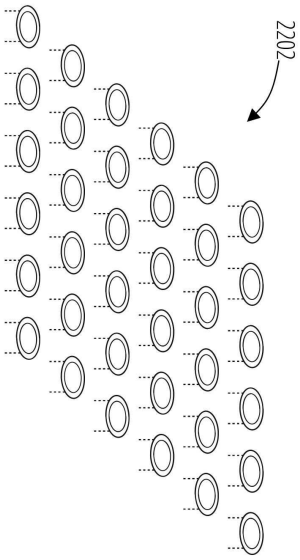
도면20


dB(B)
-20.0000
-29.0000
-35.7500
-42.5000
-49.2500
-56.0000
-63.7500
-69.5000
-76.2500
-83.0000
-89.7500
-96.5000
-103.3500
-110.0000
$B_{out\,via}$ = 0.626 mT
2012
2010
2008
$B_{in\,via}$ = 1.254 mT
2002
2004
2006
$B_{out\,via}$ = 0.628 mT
2014

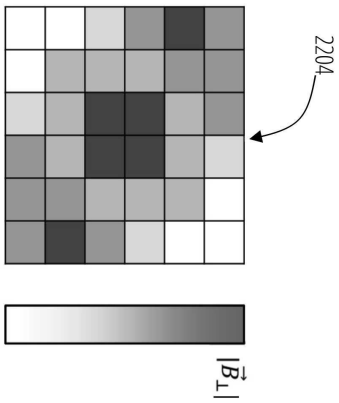
도면21



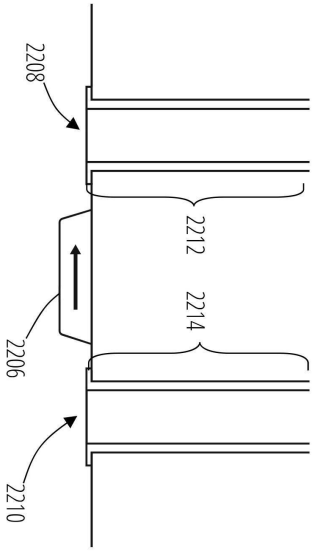
도면22a



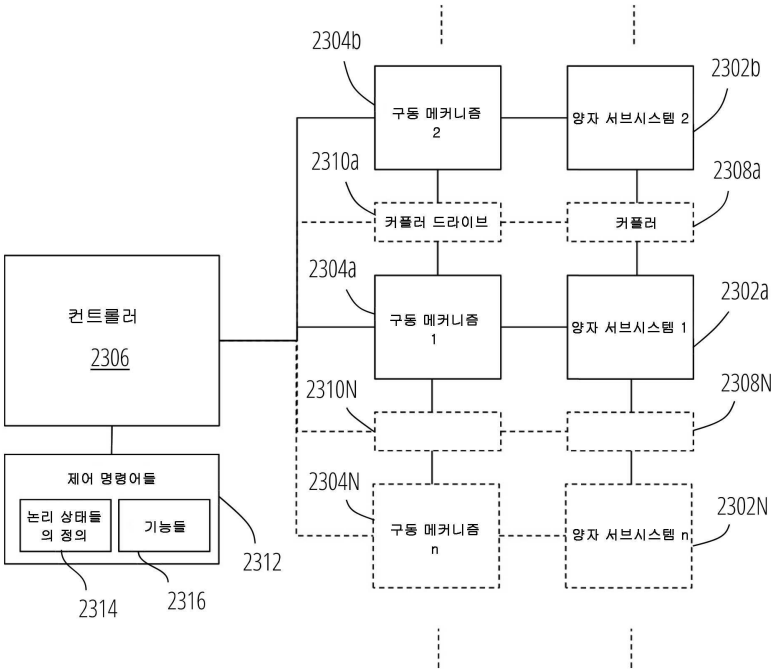
도면22b



도면22c



도면23


2304b
구동 메커니즘 2
2302b
양자 서브시스템 2
2310a
2308a
커플러 드라이브
커플러
2304a
구동 메커니즘 1
2302a
양자 서브시스템 1
컨트롤러
2306
2310N
2308N
제어 명령어들
논리 상태들의 정의
기능들
2304N
구동 메커니즘 n
2302N
양자 서브시스템 n
2312
2314
2316