



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0017035
(43) 공개일자 2018년02월20일

- (51) 국제특허분류(Int. Cl.)
G06F 11/22 (2017.01) *G06F 1/08* (2006.01)
G06F 11/263 (2006.01) *G06F 13/364* (2006.01)
G06F 13/40 (2006.01) *G06F 13/42* (2006.01)
- (52) CPC특허분류
G06F 11/221 (2013.01)
G06F 1/08 (2013.01)
- (21) 출원번호 10-2017-7035693
- (22) 출원일자(국제) 2016년06월13일
 심사청구일자 없음
- (85) 번역문제출일자 2017년12월11일
- (86) 국제출원번호 PCT/US2016/037282
- (87) 국제공개번호 WO 2016/205142
 국제공개일자 2016년12월22일
- (30) 우선권주장
 62/175,723 2015년06월15일 미국(US)
 15/179,470 2016년06월10일 미국(US)
- (71) 출원인
 켈컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
 피티고이-아론 라두
 미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
- (74) 대리인
 특허법인코리아나

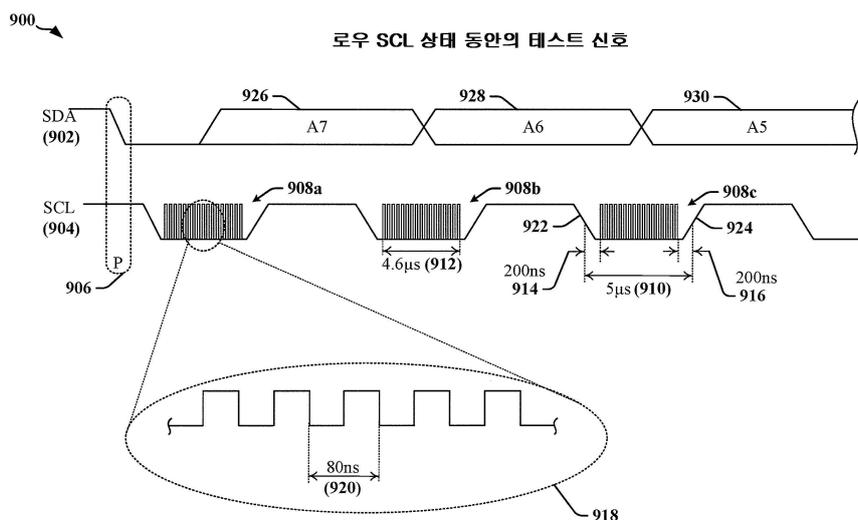
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 50 나노초 스파이크 필터를 위한 테스트

(57) 요약

집적 회로간 (I2C) 버스의 개선된 성능을 제공하는 시스템, 방법들 및 장치가 기재되어 있다. 레거시 I2C 디바이스에서 스파이크 필터를 테스트하는 방법은 I2C 프로토콜에 따라 직렬 버스 상에 송신될, 레거시 슬레이브 디바이스에 대응하는 어드레스를 포함하는, 커맨드를 생성하는 단계, 테스트 신호를 얻기 위해 커맨드를 펄스들의 시퀀스와 병합하는 단계, 직렬 버스 상에 테스트 신호를 송신하는 단계, 및 레거시 슬레이브 디바이스가 테스트 신호를 확인응답하는지 여부에 기초하여 제 1 슬레이브 디바이스에서 스파이크 필터의 효력을 결정하는 단계를 포함한다. 펄스들의 시퀀스에서의 각각의 펄스는 50 ns 미만의 지속기간을 갖는다. 스파이크 필터는 50 ns 미만의 지속기간을 갖는 펄스들을 억제할 것으로 예상된다.

대표도



(52) CPC특허분류

G06F 11/2289 (2013.01)

G06F 11/263 (2013.01)

G06F 13/364 (2013.01)

G06F 13/404 (2013.01)

G06F 13/4282 (2013.01)

G06F 13/4291 (2013.01)

명세서

청구범위

청구항 1

직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법으로서,

집적 회로간 (I2C; Inter-Integrated Circuit) 프로토콜에 따라 상기 직렬 버스 상에 송신될, 제 1 슬레이브 디바이스에 대응하는 어드레스를 포함하는, 커맨드를 생성하는 단계;

테스트 신호를 얻기 위해 상기 커맨드를 펄스들의 시퀀스와 병합하는 단계로서, 상기 펄스들의 시퀀스 내의 각각의 펄스는 50 나노초 미만의 지속기간을 갖는, 상기 커맨드를 펄스들의 시퀀스와 병합하는 단계;

상기 직렬 버스 상에서 상기 테스트 신호를 송신하는 단계; 및

상기 제 1 슬레이브 디바이스가 상기 커맨드에 정확하게 응답하는지 여부에 기초하여 상기 제 1 슬레이브 디바이스에서 스파이크 필터의 효력을 결정하는 단계를 포함하고,

상기 스파이크 필터는 50 나노초 미만의 지속기간을 갖는 펄스들을 억제할 것으로 예상되는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법.

청구항 2

제 1 항에 있어서,

상기 커맨드에 응답하여 상기 제 1 슬레이브 디바이스로부터의 확인응답을 수신하는 단계를 더 포함하고, 상기 확인응답은 상기 제 1 슬레이브 디바이스에서의 상기 스파이크 필터가 효과적으로 동작하고 있음을 나타내는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법.

청구항 3

제 1 항에 있어서,

상기 스파이크 필터의 효력을 결정하는 단계는,

상기 제 1 슬레이브 디바이스의 레지스터에 제 1 값이 기록되게 하는 단계;

상기 제 1 슬레이브 디바이스 내의 상기 레지스터로부터 제 2 값을 판독하는 단계; 및

상기 제 1 값이 상기 제 2 값과 동일한 때 상기 스파이크 필터가 효과적이라고 결정하는 단계를 더 포함하는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법.

청구항 4

제 1 항에 있어서,

상기 펄스들의 시퀀스없이 하나 이상의 클록 주파수들에서 상기 커맨드를 송신함으로써 상기 제 1 슬레이브 디바이스의 존재를 결정하는 단계를 더 포함하고, 상기 제 1 슬레이브 디바이스는 제 1 디바이스가 직렬 버스 상에 존재하고 상기 하나 이상의 클록 주파수들 중 적어도 하나를 사용하여 통신하기 위해 조정되는 때 상기 커맨드를 확인응답하도록 구성되는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법.

청구항 5

제 4 항에 있어서,

상기 테스트 신호는 상기 하나 이상의 클록 주파수들의 최저 주파수에 대응하는 클록 주파수에서 송신되는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법.

청구항 6

제 1 항에 있어서,

상기 커맨드를 펄스들의 시퀀스와 병합하는 단계는:

상기 펄스들의 시퀀스를, 상기 직렬 버스 상에 송신된 클록 신호가 로우 상태에 있을 때 복수의 간격들의 각각으로 병합하는 단계를 포함하는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법.

청구항 7

제 1 항에 있어서,

상기 커맨드를 펄스들의 시퀀스와 병합하는 단계는:

상기 펄스들의 시퀀스를, 상기 직렬 버스 상에 송신된 클록 신호가 하이 상태에 있을 때 복수의 간격들의 각각으로 병합하는 단계를 포함하는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법.

청구항 8

제 1 항에 있어서,

각각의 펄스는, 상기 각각의 펄스가 하이 상태에 있는, 40 나노초 기간을 포함하는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법.

청구항 9

제 1 항에 있어서,

상기 펄스들의 시퀀스는 상기 직렬 버스의 직렬 클록 라인 (SCL) 상에서 송신되는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법.

청구항 10

제 1 항에 있어서,

상기 펄스들의 시퀀스는 상기 직렬 버스의 직렬 데이터 라인 (SDA) 상에서 송신되는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 방법.

청구항 11

직렬 버스에 커플링된 장치로서,

집적 회로간 (I2C) 프로토콜에 따라 상기 직렬 버스 상에 송신될, 제 1 슬레이브 디바이스에 대응하는 어드레스를 포함하는, 커맨드를 생성하는 수단;

테스트 신호를 얻기 위해 상기 커맨드를 펄스들의 시퀀스와 병합하는 수단으로서, 상기 펄스들의 시퀀스 내의 각각의 펄스는 50 나노초 미만의 지속기간을 갖는, 상기 커맨드를 펄스들의 시퀀스와 병합하는 수단;

상기 직렬 버스 상에서 상기 테스트 신호를 송신하는 수단; 및

상기 제 1 슬레이브 디바이스가 상기 커맨드에 정확하게 응답하는지 여부에 기초하여 상기 제 1 슬레이브 디바이스에서 스파이크 필터의 효력을 결정하는 수단을 포함하고,

상기 스파이크 필터는 50 나노초 미만의 지속기간을 갖는 펄스들을 억제할 것으로 예상되는, 직렬 버스에 커플링된 장치.

청구항 12

제 11 항에 있어서,

상기 효력을 결정하는 수단은:

상기 커맨드에 응답하여 상기 제 1 슬레이브 디바이스로부터 확인응답을 수신하고; 그리고

상기 제 1 슬레이브 디바이스에서의 스파이크 필터가 상기 확인응답의 수신에 기초하여 효과적으로 동작하고 있

다고 결정하도록 구성되는, 직렬 버스에 커플링된 장치.

청구항 13

제 11 항에 있어서,

상기 스파이크 필터의 효력을 결정하는 수단은,

상기 제 1 슬레이브 디바이스의 레지스터에 제 1 값이 기록되게 하고;

상기 제 1 슬레이브 디바이스 내의 상기 레지스터로부터 제 2 값을 판독하고; 그리고

상기 제 1 값이 상기 제 2 값과 동일한 때 상기 스파이크 필터가 효과적이라고 결정하도록 구성되는, 직렬 버스에 커플링된 장치.

청구항 14

제 11 항에 있어서,

상기 펄스들의 시퀀스없이 하나 이상의 클록 주파수들에서 상기 커맨드를 송신함으로써 상기 제 1 슬레이브 디바이스의 존재를 결정하는 수단을 더 포함하고, 상기 제 1 슬레이브 디바이스는 제 1 디바이스가 직렬 버스에 존재하는 때 및 상기 제 1 슬레이브 디바이스가 상기 하나 이상의 클록 주파수들 중 적어도 하나를 사용하여 통신하기 위해 조정되는 때 상기 커맨드를 확인응답하도록 구성되는, 직렬 버스에 커플링된 장치.

청구항 15

제 14 항에 있어서,

상기 테스트 신호는 상기 하나 이상의 클록 주파수들의 최저 주파수에 대응하는 클록 주파수에서 송신되는, 직렬 버스에 커플링된 장치.

청구항 16

제 11 항에 있어서,

상기 커맨드를 펄스들의 시퀀스와 병합하는 수단은:

상기 펄스들의 시퀀스를, 상기 직렬 버스 상에 송신된 클록 신호가 로우 상태에 있을 때 복수의 간격들의 각각으로 병합하도록 구성되는, 직렬 버스에 커플링된 장치.

청구항 17

제 11 항에 있어서,

상기 커맨드를 펄스들의 시퀀스와 병합하는 수단은:

상기 펄스들의 시퀀스를, 상기 직렬 버스 상에 송신된 클록 신호가 하이 상태에 있을 때 복수의 간격들의 각각으로 병합하도록 구성되는, 직렬 버스에 커플링된 장치.

청구항 18

제 11 항에 있어서,

각각의 펄스는, 상기 각각의 펄스가 하이 상태에 있는, 40 나노초 기간을 포함하는, 직렬 버스에 커플링된 장치.

청구항 19

제 11 항에 있어서,

상기 펄스들의 시퀀스는 상기 직렬 버스의 직렬 클록 라인 (SCL) 상에서 송신되는, 직렬 버스에 커플링된 장치.

청구항 20

제 11 항에 있어서,

상기 펄스들의 시퀀스는 상기 직렬 버스의 직렬 데이터 라인 (SDA) 상에서 송신되는, 직렬 버스에 커플링된 장치.

청구항 21

프로세싱 시스템을 포함하는 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 장치로서,

상기 프로세싱 시스템은:

집적 회로간 (I2C) 프로토콜에 따라 상기 직렬 버스 상에 송신될, 제 1 슬레이브 디바이스에 대응하는 어드레스를 포함하는, 커맨드를 생성하고;

테스트 신호를 얻기 위해 상기 커맨드를 펄스들의 시퀀스와 병합하는 것으로서, 상기 펄스들의 시퀀스 내의 각각의 펄스는 50 나노초 미만의 지속기간을 갖는, 상기 커맨드를 펄스들의 시퀀스와 병합하고;

상기 직렬 버스 상에서 상기 테스트 신호를 송신하고; 그리고

상기 제 1 슬레이브 디바이스가 상기 커맨드에 정확하게 응답하는지 여부에 기초하여 상기 제 1 슬레이브 디바이스에서 스파이크 필터의 효력을 결정하도록 구성되고,

상기 스파이크 필터는 50 나노초 미만의 지속기간을 갖는 펄스들을 억제할 것으로 예상되는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 장치.

청구항 22

제 21 항에 있어서,

상기 제 1 슬레이브 디바이스는 상기 커맨드에 확인응답함으로써 상기 커맨드에 정확하게 응답하는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 장치.

청구항 23

제 21 항에 있어서,

상기 프로세싱 시스템은:

상기 제 1 슬레이브 디바이스의 레지스터에 제 1 값이 기록되게 하고;

상기 제 1 슬레이브 디바이스 내의 상기 레지스터로부터 제 2 값을 판독하고; 그리고

상기 제 1 값이 상기 제 2 값과 동일한 때 상기 스파이크 필터가 효과적이라고 결정하도록 구성되는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 장치.

청구항 24

제 21 항에 있어서,

상기 프로세싱 시스템은:

상기 펄스들의 시퀀스를, 상기 직렬 버스 상에 송신된 클록 신호가 로우 상태에 있을 때 복수의 간격들의 각각으로 병합하도록 구성되는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 장치.

청구항 25

제 21 항에 있어서,

상기 프로세싱 시스템은:

상기 펄스들의 시퀀스를, 상기 직렬 버스 상에 송신된 클록 신호가 하이 상태에 있을 때 복수의 간격들의 각각으로 병합하도록 구성되는, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하는 장치.

청구항 26

프로세서 판독가능 저장 매체로서,

집적 회로간 (I2C) 프로토콜에 따라 직렬 버스 상에 송신될, 제 1 슬레이브 디바이스에 대응하는 어드레스를 포함하는, 커맨드를 생성하기 위한 코드;

테스트 신호를 얻기 위해 상기 커맨드를 펄스들의 시퀀스와 병합하기 위한 코드로서, 상기 펄스들의 시퀀스 내의 각각의 펄스는 50 나노초 미만의 지속시간을 갖는, 상기 커맨드를 펄스들의 시퀀스와 병합하기 위한 코드;

상기 직렬 버스 상에서 상기 테스트 신호를 송신하기 위한 코드; 및

상기 제 1 슬레이브 디바이스가 상기 커맨드에 정확하게 응답하는지 여부에 기초하여 상기 제 1 슬레이브 디바이스에서 스파이크 필터의 효력을 결정하기 위한 코드를 포함하고,

상기 스파이크 필터는 50 나노초 미만의 지속시간을 갖는 펄스들을 억제할 것으로 예상되는, 프로세서 판독가능 저장 매체.

청구항 27

제 26 항에 있어서,

상기 제 1 슬레이브 디바이스는 상기 커맨드에 확인응답함으로써 상기 커맨드에 정확하게 응답하는, 프로세서 판독가능 저장 매체.

청구항 28

제 26 항에 있어서,

상기 제 1 슬레이브 디바이스의 레지스터에 제 1 값이 기록되게 하기 위한 코드;

상기 제 1 슬레이브 디바이스 내의 상기 레지스터로부터 제 2 값을 판독하기 위한 코드; 및

상기 제 1 값이 상기 제 2 값과 동일한 때 상기 스파이크 필터가 효과적이라고 결정하기 위한 코드를 더 포함하는, 프로세서 판독가능 저장 매체.

청구항 29

제 26 항에 있어서,

상기 펄스들의 시퀀스를, 상기 직렬 버스 상에 송신된 클록 신호가 로우 상태에 있을 때 복수의 간격들의 각각으로 병합하기 위한 코드를 더 포함하는, 프로세서 판독가능 저장 매체.

청구항 30

제 26 항에 있어서,

상기 펄스들의 시퀀스를, 상기 직렬 버스 상에 송신된 클록 신호가 하이 상태에 있을 때 복수의 간격들의 각각으로 병합하기 위한 코드를 더 포함하는, 프로세서 판독가능 저장 매체.

발명의 설명

기술 분야

[0001] **관련 출원들의 상호 참조**

[0002] 본 출원들은 2015년 6월 15일자로 미국 특허청에 출원된 가출원 No. 62/175,723 및 2016년 6월 10일자로 미국 특허 및 상표청에 출원된 가출원 No. 15/179,470의 이익을 주장하고, 그 전체 내용들은 본원에 통합된다.

[0003] **분야**

[0004] 본 개시는 일반적으로 프로세서들 및 주변 디바이스들 사이의 인터페이스에 관한 것으로, 보다 구체적으로 직렬 버스의 데이터 통신 능력들을 향상시키는 것에 관한 것이다.

배경 기술

[0005] I2C 버스 또는 I²C 버스로 또한 지칭될 수도 있는 집적 회로간 직렬 버스 (Inter-Integrated Circuit serial bus) 는, 프로세서에 저속 주변기기들을 연결하는데 있어서의 이용을 위해 의도되었던 직렬 싱글-엔디드 컴퓨터 버스이다. I2C 버스는 각각의 디바이스가 I2C 버스 상에서 송신된 상이한 메시지들에 대해 마스터 및 슬레이브로서 기능할 수 있는 멀티-마스터 버스이다. I2C 버스는 직렬 데이터 라인 (Serial Data Line; SDA) 및 직렬 클록 라인 (Serial Clock Line; SCL) 을 포함하는, 단지 2 개의 양방향 오픈-드레인 커넥터들만을 이용하여 데이터를 송신할 수 있다. 그 커넥터들은 통상적으로 풀-업 (pull-up) 저항기들에 의해 중단되는 신호 와이어들을 포함한다. I2C 의 오리지널 구현들은 표준-모드 (Sm) 동작에서 최대 초당 100 킬로비트 (100 kbps) 까지의 데이터 시그널링 레이트들을 지원했으며, 더 최근의 표준들은 고속-모드 (Fm) 동작에서 400 kbps, 및 고속-모드 플러스 (Fm+) 동작에서 초당 1 메가비트 (Mbps) 의 속도들을 지원한다.

[0006] 그러나, 일부 시스템들 및 장치들에서, 더 높은 대역폭들이 소정 타입들의 디바이스들 사이의 통신들을 지원하기 위해 요구된다. 예를 들어, 셀룰러 전화들과 같은 이동 통신 디바이스들은 상당한 대역폭을 소비하는 카메라들, 디스플레이들 및 여러 통신 인터페이스들을 포함한 다수의 디바이스들을 채용할 수도 있다. 더 높은 대역폭들은, 종래의 I2C 프로토콜들에 따른 시그널링을 포함하여, 혼합 시그널링이 레거시 디바이스들과의 호환성을 유지하기 위해 사용되는 경우 획득하기 어려울 수도 있다. 예를 들어, I2C 디바이스들 처리할 수 있는 것보다 높은 비트 레이트에서 데이터 및 커맨드들 송신하기 위해 인헨스드 디바이스들에서 사용되는 직렬 버스에 I2C 디바이스들이 공존할 수 있는지 여부를 결정하는 것이 어려울 수도 있다. 이에 따라, 이동 디바이스 내의 마스터 및 슬레이브 컴포넌트들을 연결하는 버스로서 구성되는 직렬 인터페이스들 상에 최적화된 통신들을 제공할 필요성이 계속된다.

발명의 내용

[0007] 본원에 개시된 실시형태들은 레거시 I2C 디바이스들이 공통 직렬 버스 상의 인헨스드 디바이스들과 공존할 수 있는지 여부를 결정할 수 있는 시스템들, 방법들 및 장치들을 제공한다. 일 예에서, 스파이크 필터는, 스파이크 필터가 50 나노초 (50 ns) 미만의 지속기간을 갖는 펄스들의 시퀀스를 억제할 수 있는지 여부를 결정하기 위해 테스트된다.

[0008] 본 개시의 다양한 양태들에서, 데이터 통신들의 방법은 마스터 디바이스에 의해 수행될 수 있다. 방법은 I2C 프로토콜에 따라 직렬 버스 상에서 송신될, 제 1 슬레이브 디바이스에 대응하는 어드레스를 포함하는, 커맨드를 생성하는 단계, 테스트 신호를 얻기 위해 커맨드를 펄스들의 시퀀스와 병합하는 단계, 직렬 버스 상에서 테스트 신호를 송신하는 단계, 및 제 1 슬레이브 디바이스가 커맨드를 확인응답하는지 여부에 기초하여 제 1 슬레이브 디바이스에서 스파이크 필터의 효력 또는 유효성을 결정하는 단계를 포함한다. 펄스들의 시퀀스에서의 각각의 펄스는 50ns 미만의 지속기간을 갖는다. 스파이크 필터는 50 ns 미만의 지속기간을 갖는 펄스들을 억제할 것으로 예상된다.

[0009] 일 양태에서, 제 1 슬레이브 디바이스는 커맨드를 확인응답함으로써 커맨드에 정확하게 응답한다. 마스터 디바이스는 커맨드에 대한 응답으로 슬레이브 디바이스로부터 확인응답을 수신할 수 있다. 확인응답은 제 1 슬레이브 디바이스에서의 스파이크 필터가 효과적으로 동작하고 있다는 표시일 수 있다.

[0010] 일 양태에서, 스파이크 필터의 효력을 결정하는 단계는 제 1 슬레이브 디바이스의 레지스터에 제 1 값이 기록되게 하기 위한 단계, 및 제 1 슬레이브 디바이스에서 레지스터로부터 제 2 값을 판독하는 단계를 포함한다. 마스터 디바이스는, 제 1 값이 제 2 값과 동일한 때 스파이크 필터가 효과적이라고 결정할 수 있다.

[0011] 일부 양태들에서, 마스터 디바이스는 펄스들의 시퀀스없이 하나 이상의 클록 주파수들에서 커맨드를 송신함으로써 제 1 슬레이브 디바이스의 존재를 결정할 수 있다. 제 1 슬레이브 디바이스는, 제 1 디바이스가 직렬 버스 상에 존재하고 하나 이상의 클록 주파수들 중 적어도 하나를 사용하여 통신하도록 적용될 때 커맨드를 확인응답하도록 구성될 수 있다. 테스트 신호는 하나 이상의 클록 주파수들의 최저 주파수에 대응하는 클록 주파수에서 송신될 수 있다.

[0012] 일 양태에서, 마스터 디바이스는, 직렬 버스 상에 송신된 클록 신호가 로우 상태에 있을 때 펄스들의 시퀀스를 복수의 간격들의 각각으로 병합함으로써, 펄스들의 시퀀스와 커맨드를 병합할 수 있다.

[0013] 또 다른 양태에서, 마스터 디바이스는, 직렬 버스 상에 송신된 클록 신호가 하이 상태에 있을 때 펄스들의 시퀀스를 복수의 간격들의 각각으로 병합함으로써, 펄스들의 시퀀스와 커맨드를 병합할 수 있다.

[0014] 다양한 양태들에서, 각각의 펄스는 40 나노초 기간을 포함하며, 그 동안 펄스는 하이 상태에 있다. 펄스들

의 시퀀스는 직렬 버스의 직렬 클록 라인 상에 또는 직렬 버스의 직렬 데이터 라인 상에 송신된다.

[0015] 본 개시의 다양한 양태들에서, 직렬 버스에 커플링된 장치는 I2C 프로토콜에 따라 직렬 버스 상에서 송신될, 제 1 슬레이브 디바이스에 대응하는 어드레스를 포함하는, 커맨드를 생성하는 수단, 테스트 신호를 얻기 위해 커맨드를 펄스들의 시퀀스와 병합하는 수단, 직렬 버스 상에서 테스트 신호를 송신하는 수단, 및 제 1 슬레이브 디바이스가 커맨드를 확인응답하는지 여부에 기초하여 제 1 슬레이브 디바이스에서 스파이크 필터의 효력 또는 유효성을 결정하는 수단을 포함한다. 펄스들의 시퀀스에서의 각각의 펄스는 50ns 미만의 지속기간을 갖는다. 스파이크 필터는 50 ns 미만의 지속기간을 갖는 펄스들을 억제할 것으로 예상된다.

[0016] 본 개시의 다양한 양태들에서, 직렬 버스에 커플링된 디바이스들의 능력들을 검출하기 위한 장치는 I2C 프로토콜에 따라 직렬 버스 상에서 송신될, 제 1 슬레이브 디바이스에 대응하는 어드레스를 포함하는, 커맨드를 생성하고, 테스트 신호를 얻기 위해 커맨드를 펄스들의 시퀀스와 병합하는 것으로서, 펄스들의 시퀀스에서의 각각의 펄스는 50 ns 미만인 지속기간을 갖는, 상기 커맨드를 펄스들의 시퀀스와 병합하고, 직렬 버스 상에서 테스트 신호를 송신하고, 그리고 제 1 슬레이브 디바이스가 커맨드에 정확하게 응답하는지 여부에 기초하여 제 1 슬레이브 디바이스에서 스파이크 필터의 효력 또는 유효성을 결정하도록 구성된 프로세싱 시스템을 포함한다. 스파이크 필터는 50 ns 미만의 지속기간을 갖는 펄스들을 억제할 것으로 예상된다.

[0017] 본 개시의 다양한 양태들에서, 프로세서 판독가능 저장 매체가 개시된다. 저장 매체는 비일시적 저장 매체일 수 있고, 하나 이상의 프로세서들에 의해 실행될 수 있는 코드를 저장할 수 있다. 다양한 예들에서, 프로세서 판독가능 저장 매체는 집적 회로간 (I2C) 프로토콜에 따라 직렬 버스에 송신될, 제 1 슬레이브 디바이스에 대응하는 어드레스를 포함하는, 커맨드를 생성하기 위한 코드, 테스트 신호를 얻기 위해 커맨드를 펄스들의 시퀀스와 병합하기 위한 코드로서, 펄스들의 시퀀스에서의 각각의 펄스는 50 ns 미만인 지속기간을 갖는, 상기 커맨드를 펄스들의 시퀀스와 병합하기 위한 코드, 직렬 버스 상에서 테스트 신호를 송신하기 위한 코드, 및 제 1 슬레이브 디바이스가 커맨드에 정확하게 응답하는지 여부에 기초하여 제 1 슬레이브 디바이스에서 스파이크 필터의 효력 또는 유효성을 결정하기 위한 코드를 갖는다. 스파이크 필터는 50 ns 미만의 지속기간을 갖는 펄스들을 억제할 것으로 예상된다.

도면의 간단한 설명

[0018] 도 1은 복수의 이용가능한 표준들 중 하나에 따라 선택적으로 동작하는 집적 회로 (IC) 디바이스들 사이의 데이터 링크를 채용하는 장치를 도시한다.

도 2는 I2C 통신 버스에 연결된 장치의 소정의 양태들을 도시한다.

도 3은 공통 직렬 버스에 연결된 I2C의 구성을 도시한다.

도 4는 종래의 I2C 버스 상의 SDA 및 SCL 신호 와이어들 사이의 타이밍 관계의 소정의 양태들을 도시한다.

도 5는 I2C 버스상에서 송신되는 다수의 프레임들과 연관된 타이밍을 도시하는 타이밍도이다.

도 6은 I2C 프로토콜들에 따라 슬레이브 디바이스로 전송된 커맨드 워드와 관련된 타이밍을 도시한다.

도 7은 I2C 디바이스들에 의해 필터링될 수 있는 펄스들의 타이밍을 도시한다.

도 8은 레거시 I2C 디바이스에서 스파이크 필터의 동작과 연관된 일부 양태들을 도시한다.

도 9는 본원에 개시된 특정 양태들에 따른 테스트 송신의 제 1 예를 도시한다.

도 10은 본원에 개시된 특정 양태들에 따른 테스트 송신의 제 2 예를 도시한다.

도 11은 본원에 개시된 특정 양태들에 따른 레거시 I2C 디바이스들에서 스파이크 필터들을 테스트하기 위한 프로세스를 도시한다.

도 12는 본원에 개시된 하나 이상의 양태들에 따라 I2C 버스 상에서 통신하는 수진 장치들을 위한 하드웨어 구현예의 일례를 도시한다.

도 13은 본원에 개시된 하나 이상의 양태들에 따라 직렬 버스에 커플링된 디바이스들의 능력들을 검출하기 위한 방법의 흐름도이다.

도 14는 본원에 개시된 소정의 양태들에 따라 구성된 프로세싱 회로를 채용하는 프로세스를 채용한 장치를 위한 하드웨어 구현예의 일례를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 여러 양태들이 도면들을 참조하여 기술된다. 다음의 설명에서, 설명의 목적으로, 다수의 특성의 상세들이 하나 이상의 양태들의 철저한 이해를 제공하기 위해 제시된다. 그러나, 그러한 양태(들)는 이들 특성의 상세들 없이 실시될 수도 있다는 것이 분명할 수도 있다.
- [0020] 본 출원에서 사용한 바와 같이, 용어들 "컴포넌트", "모듈", "시스템" 등은 하드웨어, 펌웨어, 하드웨어와 소프트웨어의 조합, 소프트웨어, 또는 실행중인 소프트웨어와 같은 그러나 이들에 제한되지는 않는 컴퓨터-관련 엔티티를 포함하도록 의도된다. 예를 들어, 컴포넌트는 프로세서 상에서 실행되는 프로세스, 프로세서, 오브젝트, 실행가능물, 실행 스레드, 프로그램 및/또는 컴퓨터일 수도 있지만, 이들은 것으로 제한되지는 않는다.

예시로, 컴퓨팅 디바이스 상에서 실행되는 애플리케이션과 컴퓨팅 디바이스 양자 모두는 컴포넌트일 수 있다. 하나 이상의 컴포넌트들은 프로세스 및/또는 실행 스레드 내에 상주할 수 있고 컴포넌트는 하나의 컴퓨터 상에 로컬화되고 및/또는 2 개 이상의 컴퓨터들 사이에 분산될 수도 있다. 추가로, 이들 컴포넌트들은 다양한 데이터 구조들을 저장하고 있는 다양한 컴퓨터 관독가능 매체들로부터 실행될 수 있다. 컴포넌트들은, 로컬 및/또는 원격 프로세스들에 의하여, 이를 테면 하나 이상의 데이터 패킷들을 갖는 신호, 이를 테면 로컬 시스템, 분산 시스템에서의 다른 컴포넌트와, 및/또는 인터넷과 같은 네트워크를 통해 그 신호에 의하여 다른 시스템들과 상호작용하는 하나의 컴포넌트로부터의 데이터에 따라 통신할 수도 있다.
- [0021] 더욱이, 용어 "또는" 은 배타적 "또는" 보다는 포괄적 "또는" 을 의미하도록 의도된다. 즉, 다르게 특정하지 않거나, 또는 문맥으로부터 분명하지 않다면, 어구 "X 는 A 또는 B 를 채용한다" 는 자연 포괄적 순열들 중 임의의 것을 의미하도록 의도된다. 즉, 어구 "X 는 A 또는 B 를 채용한다" 는 다음의 인스턴스들 중 임의의 것에 의해 충족된다: X 는 A 를 채용한다; X 는 B 를 채용한다; 또는 X 는 A 와 B 양자 모두를 채용한다. 추가로, 관사들 "a" 및 "an" 은 본 출원 및 첨부된 청구항들에서 사용한 바와 같이 다르게 특정하지 않거나 또는 문맥으로부터 단수 형태를 가리키는 것이 분명하지 않다면 "하나 이상" 을 의미하는 것으로 일반적으로 해석되어야 한다.
- [0022] 본 발명의 소정의 양태들은 셀룰러 전화기, 스마트 전화기, 세션 개시 프로토콜 (SIP) 전화기, 랩탑, 노트북, 넷북, 스마트북, 개인용 디지털 보조기 (PDA), 위성 무선기기, 글로벌 포지셔닝 시스템 (GPS) 디바이스, 스마트 홈 디바이스, 지능형 라이팅, 멀티미디어 디바이스, 비디오 디바이스, 디지털 오디오 플레이어 (예를 들어, MP3 플레이어), 카메라, 게임 콘솔, 엔터테인먼트 디바이스, 차량 컴포넌트, 웨어러블 컴퓨팅 디바이스 (예를 들어, 스마트 워치, 헬스 또는 피트니스 트래커, 아이웨어 등), 어플라이언스, 센서, 보안 디바이스, 벤딩 머신, 스마트 미터, 드론, 멀티콥터, 또는 임의의 다른 유사한 기능 디바이스와 같은 모바일 장치의 서브컴포넌트들인 전자 디바이스들 사이에 전개된 통신 링크들에 적용가능할 수도 있다.
- [0023] 도 1 은 IC 디바이스들 사이의 통신 링크를 채용할 수도 있는 장치 (100) 를 도시한다. 하나의 예에서, 장치 (100) 는 무선 액세스 네트워크 (RAN), 코어 액세스 네트워크, 인터넷 및/또는 다른 네트워크와 통신하는 무선 주파수 (RF) 라디오 및/또는 트랜시버 (106) 를 사용하는 통신 디바이스로서 동작할 수도 있다. 트랜시버 (106) 는 프로세싱 회로 (102) 에 내장되거나, 또는 동작가능하게 커플링될 수 있다. 프로세싱 회로 (102) 는 주문형 (application-specific) IC (ASIC) (108) 와 같은 하나 이상의 IC 디바이스들을 포함할 수도 있다. ASIC (108) 은 하나 이상의 프로세싱 디바이스들 (110), 로직 회로들 (112) 등을 포함할 수도 있다.

프로세싱 회로 (102) 는 프로세싱 회로 (102) 에 의한 실행 또는 다른 사용을 위한 명령들 및 데이터를 저장 및 유지할 수 있는, 메모리 디바이스와 같은 프로세서 관독가능 저장 매체 (114) 를 포함하고 및/또는 프로세서 관독가능 저장 매체 (114) 에 커플링될 수도 있다. 프로세싱 회로 (102) 는 운영 체제에 의해 제어될 수 있고, 그리고 애플리케이션 프로그래밍 인터페이스 (API) 층은 저장 매체들 (114) 에 상주하는 소프트웨어 모듈들의 실행을 지원 및 인에이블하기 위해 제공될 수 있다. 저장 매체 (114) 는 프로세싱 시스템들 및 컴퓨팅 플랫폼들에서 이용될 수 있는 ROM 또는 RAM, EPROM, 플래시 카드들, 및/또는 임의의 메모리 디바이스를 포함할 수도 있다. 프로세싱 회로 (102) 는 장치 (100) 를 구성 및 동작하는데 이용되는 동작 파라미터들 및 다른 정보를 유지할 수 있는 로컬 데이터베이스를 포함하거나 또는 이에 액세스할 수도 있다. 로컬 데이터베이스는 데이터베이스 모듈, 플래시 메모리, 자기 매체들, EEPROM, 광학 매체들, 테이프, 소프트 또는 하드 디스크 등 중 하나 이상을 이용하여 구현될 수도 있다. 프로세싱 회로는 또한 다른 컴포넌트들 중에서도, 안테나 (122), 디스플레이 (124), 오퍼레이터 제어들, 이를 테면 버튼 (128) 및/또는 키패드 (126) 와 같은 다른 디바이스들에 동작가능하게 커플링될 수도 있다.
- [0024] 도 2는 직렬 버스 (230) 과 같은 직렬 버스에 연결된 다수의 디바이스들 (202, 220 및 222a-222n) 을 포함하는

장치 (200) 의 소정의 양태들을 도시한 블록 개략도이다. 장치 (200) 는 예를 들어 이동 프로세싱/통신 디바이스에서 구현될 수도 있다. 장치 (200) 는 직렬 버스 (230) 을 사용하여 통신하는 디바이스들 (202, 220 및 222a-222n) 을 포함한다. 몇몇 구현예들에서, 직렬 버스 (230) 는 I2C 프로토콜을 포함할 수 있는 하나 이상의 프로토콜들을 지원한다. 하나의 예에서, 직렬 버스 (230) 에 커플링되는 슬레이브 디바이스 (202, 222a-222n) 는 센서를 포함하거나 또는 센서에 커플링된다. 또 다른 예에서, 슬레이브 디바이스 (202) 는 센서를 관리하거나 센서와 통신하는 센서 제어 기능부 (204) 를 포함한다. 센서는 환경 센서, 위치 로케이션 센서, 모션 센서 등일 수 있다. 또 다른 예에서, 슬레이브 디바이스 (202) 는 촬상 센서를 포함하는 촬상 디바이스일 수 있다. 슬레이브 디바이스 (202) 는 구성 레지스터들 (206), 제어 로직 (212), 트랜시버 (210) 및 라인 드라이버들/수신기들 (214a 및 214b) 을 포함할 수도 있다. 제어 로직 (212) 은 상태 머신, 시퀀서, 신호 프로세서 또는 범용 프로세서와 같은 프로세서를 포함할 수 있다. 트랜시버 (210) 는 수신기 (210a), 송신기 (210c) 및 타이밍, 로직 및 스토리지 회로들 및/또는 디바이스들을 포함하는 공통 회로들 (210b) 을 포함할 수도 있다. 하나의 예에서, 송신기 (210c) 는 클록 생성 회로 (208) 에 의해 제공된 타이밍에 기초하여 데이터를 인코딩하고 송신한다.

[0025] 디바이스들 (202, 220 및/또는 222a-222n) 중 둘 이상은 종래의 I2C 프로토콜들에 따라 동작하는 버스에 의해 제공된 대역폭 및 다른 능력들을 확장하기 위해 본원에 개시된 소정의 양태들 및 특징들에 따라 구성될 수도 있다. 하나의 예에서, 디바이스들 (202, 220 및/또는 222a-222n) 은 I2C 프로토콜들로부터 파생되거나 I2C 프로토콜들과 상이한 프로토콜을 지원하도록 구성될 수 있다. 또 다른 예에서, 디바이스들 (202, 220 및/또는 222a-222n) 은, 종래의 I2C 프로토콜들이 직렬 버스 (230) 상의 통신들을 관리하기 위해 사용될 때 보통으로 달성될 수 있는 것보다 더 높은 비트 레이트를 지원하도록 구성될 수도 있다. I2C 프로토콜들은 사실상의 I2C 표준들에 따를 수도 있고, 데이터 포맷들 및 I2C 버스 제어 및 타이밍에 더하여 I2C 신호들의 전기적 및 타이밍 양태들을 정의하는 사양들을 포함할 수도 있다.

[0026] 도 3 은 직렬 버스 (302) 에 연결되어, 3 개의 디바이스들 (304, 314 및 316) 이 직렬 버스 (302) 를 통해 더 높은 데이터 전송 레이트들을 획득하도록 적응 또는 구성되는, 디바이스들 (304, 306, 308, 310, 312, 314 및 316) 의 구성을 도시한다. 인헨스드 디바이스들 (304, 314 및 316) 은 종래에 구성된 I2C 디바이스들 (306, 308, 310 및 312) 과 공존할 수 있다. 대안적으로 또는 추가적으로, 인헨스드 디바이스들 (304, 314 및 316) 은 원하거나 필요한대로 종래의 I2C 프로토콜들을 사용하여 통신할 수도 있다.

[0027] 직렬 버스 (302) 는 인헨스드 마스터 디바이스 (304) 가 직렬 버스 (302) 를 제어하는 버스 마스터로서 동작할 때 더 높은 데이터 전송 레이트로 동작될 수 있다. 도시된 예에서, 단일 마스터 디바이스 (304) 는, 직렬 버스 (302) 가 종래의 I2C 프로토콜에 따라 동작될 때 달성되는 데이터 전송 레이트를 초과하는 데이터 전송 레이트를 지원하는 I2C 모드 및 인헨스드 모드에서 버스 마스터로서 기능할 수 있다. 더 높은 데이터-레이트 트래픽에 사용되는 시그널링은, 직렬 버스 (302) 에 커플링된 레거시 I2C 디바이스들 (306, 308, 310 및 312) 의 기능성을 손상시키지 않고도 더 높은 데이터-레이트 트래픽이 직렬 버스 (302) 상에서 운반될 수 있도록, I2C 프로토콜들의 특정 특징들을 이용할 수 있다.

[0028] 도 4는 종래의 I2C 버스 상의 SDA 와이어 (402) 와 SCL 와이어 (404) 사이의 관계를 도시하는 타이밍도들 (400 및 420) 을 포함한다. 제 1 타이밍도 (400) 는 데이터가 종래적으로 구성된 I2C 버스 상에서 전송되고 있는 동안 SDA 와이어 (402) 와 SCL 와이어 (404) 사이의 타이밍 관계를 도시한다. SCL 와이어 (404) 는 SDA 와이어 (402) 에서의 데이터를 샘플링하기 위해 사용될 수 있는 일련의 펄스들을 제공한다. (예를 들어, 펄스들 (412) 을 포함한) 펄스들은, SCL 와이어 (404) 가 수신기에서 하이 로직 상태에 있도록 결정되는 동안의 시간으로 정의될 수 있다. SCL 와이어 (404) 가 데이터 송신 동안 하이 로직 상태에 있는 경우, SDA 와이어 (402) 상의 데이터는 안정하고 유효하도록 요구되며; SCL 와이어 (404) 가 하이 로직 상태에 있는 경우, SDA 와이어 (402) 의 상태는 변하도록 허용되지 않는다.

[0029] ("I2C 사양들" 로서 지칭가능한) 종래의 I2C 프로토콜 구현예들에 대한 사양들은 SCL 와이어 (404) 상의 펄스 (412) 의 하이 구간의 최소 지속기간 (410) (t_{HIGH}) 을 정의한다. I2C 사양들은 또한 펄스 (412) 의 발생 이전의 셋업 시간 (406) (t_{SU}) 에 대한 최소 지속기간들, 및 펄스 (412) 가 종료한 이후의 홀드 시간 (408) (t_{HOLD}) 을 정의한다. SDA 와이어 (402) 의 시그널링 상태가 셋업 시간 (406) 및 유지 시간 (408) 동안 안정한 것으로 예상된다. 셋업 시간 (406) 은 SCL 와이어 (404) 상의 펄스 (412) 의 상승 에지의 도달까지 SDA 와이어 (402) 상의 시그널링 상태들 사이의 천이 (416) 후에 최대 시간 구간을 정의한다. 홀드 시간 (408) 은 SDA 와이어 (402) 상의 시그널링 상태들 사이의 다음의 천이 (418) 까지 SCL 와이어 (404) 상의 펄스 (412) 의 하강

에지 후에 최소 시간 구간을 정의한다. I2C 사용들은 또한 SCL 와이어 (404) 에 대한 로우 구간 (t_{LOW}) (414) 에 대해 최소 지속기간을 정의한다. SDA 와이어 (402) 상의 데이터는 SCL 신호 와이어 (404) 가 펄스 (412) 의 리딩 에지 이후에 하이 로직 상태에 있을 때 지속기간 (410) (t_{HIGH}) 동안 통상적으로 안정적이고 및/또는 캡처될 수 있다.

[0030] 도 4 의 제 2 타이밍도 (420) 는 종래의 I2C 버스상의 데이터 송신들 사이의 SDA 와이어 (402) 및 SCL 와이어 (404) 상의 시그널링 상태들을 도시한다. I2C 프로토콜은 8-비트 데이터 (바이트들) 및 7-비트 어드레스들의 송신을 제공한다. 수신기는 SDA 와이어 (402) 를 하나의 클록 주기 동안 로우 로직 상태로 구동함으로써 송신들을 확인응답할 수 있다. 로우 시그널링 상태는 성공적인 수신을 나타내는 확인응답 (ACK) 을 표현하고 하이 시그널링 상태는 수신에 실패 또는 수신에서의 에러를 나타내는 부정 확인응답 (NACK) 을 표현한다.

[0031] 시작 조건 (422) 은 현재의 버스 마스터가 데이터가 송신되어야 한다고 시그널링하는 것을 허용하도록 정의된다. 시작 조건 (422) 은 SCL 와이어 (404) 가 하이인 동안 SDA 와이어 (402) 가 하이로부터 로우로 천이할 때 발생한다. I2C 버스 마스터는 초기에 그것이 데이터를 교환하기 원하는 I2C 슬레이브 디바이스의 7-비트 어드레스가 후속되는 시작 비트로서도 지칭될 수도 있는 시작 조건 (422) 을 송신한다. 그 어드레스는 판독 또는 기록 동작이 발생해야 하는지 여부를 나타내는 단일의 비트가 후속된다. 어드레싱된 I2C 슬레이브 디바이스는, 이용가능하다면, ACK 비트로 응답한다. I2C 슬레이브 디바이스가 응답하지 않는다면, I2C 버스 마스터는 SDA 와이어 (402) 의 하이 로직 상태를 NACK로 인터럽탈 수 있다. 마스터 및 슬레이브 디바이스들은 그 후 최상위 비트 (MSB) 가 처음에 송신되도록 바이트들이 직렬화되는, 프레임들에서의 정보의 바이트들을 교환할 수 있다. 바이트의 송신은 정지 조건 (424) 이 I2C 마스터 디바이스에 의해 송신될 때 완료된다. 정지 조건 (424) 은 SCL 와이어 (404) 가 하이인 동안 SDA 와이어 (402) 가 로우로부터 하이로 천이할 때 발생한다. I2C 사양들은 SDA 와이어 (402) 의 모든 천이들이 SCL 와이어 (404) 가 로우일 때 발생하는 것을 요구하고, 예외들이 시작 조건 (422) 또는 정지 조건 (424) 으로서 취급될 수도 있다.

[0032] 도 5는 I2C 버스상에서의 데이터 송신들과 연관된 타이밍을 도시하는 타이밍도들 (500 및 520) 을 포함한다. 제 1 다이어그램 (500) 에서 도시한 바와 같이, 정지 조건 (508) 과 연속적인 시작 조건 (510) 사이에 아이들 구간 (514) 이 발생할 수 있다. 아이들 구간 (514) 은 연장될 수 있고, 그 결과 종래의 I2C 버스가 정지 조건 (508) 과 연속적인 시작 조건 (510) 사이에서 아이들한 상태로 있을 때 데이터 처리량을 감소시킬 수 있다. 동작 시에, I2C 버스 마스터가 데이터가 후속되는 제 1 시작 조건 (506) 을 송신할 때 비지 구간 (512) 이 착수된다. 비지 구간 (512) 은 I2C 버스 마스터가 정지 조건 (508) 을 송신하고 아이들 구간 (514) 을 보장할 때 종료된다. 아이들 구간 (514) 은 제 2 시작 조건 (510) 이 송신될 때 종료된다.

[0033] 제 2 타이밍도 (520) 는 아이들 구간 (514) 의 발생 수가 감소될 수 있는 방법을 도시한다. 도시된 예에서, 데이터는 제 1 비지 구간 (532) 이 종료되기 이전 송신에 이용가능하다. I2C 버스 마스터 디바이스는 정지 조건이라기보다 반복된 시작 조건 (528) (Sr) 을 송신할 수 있다. 반복된 시작 조건 (528) 은 선행하는 데이터 송신을 종료하고 동시에 다음의 데이터 송신의 시작을 나타낸다. 반복된 시작 조건 (528) 에 대응하는 SDA 와이어 (522) 상의 상태 천이는 아이들 구간 (530) 후에 발생하는 시작 조건 (526) 에 대한 SDA 와이어 (522) 상의 상태 천이와 동일하다. 시작 조건 (526) 및 반복된 시작 조건 (528) 모두에 대해, SDA 와이어 (522) 는 SCL 와이어 (524) 가 하이인 동안 하이로부터 로우로 천이한다. 반복된 시작 조건 (528) 이 데이터 송신들 사이에 사용되는 경우, 제 1 비지 구간 (532) 은 즉시 제 2 비지 구간 (534) 으로 이어진다.

[0034] 도 6은 I2C 프로토콜들에 따라 슬레이브 디바이스로 전송된 커맨드 워드와 연관된 타이밍의 예를 도시한다. 이 예에서, 마스터 디바이스는 시작 조건 (606) 으로 트랜잭션을 개시하며, 이로써 SCL 와이어가 하이로 유지되는 동안 SDA 와이어 (602) 는 하이에서 로우로 구동된다. 다음 마스터 디바이스는 SCL 와이어 (604) 상의 클록 신호를 송신한다. 다음 슬레이브 디바이스의 7 비트 어드레스 (610) 는 SDA 와이어 (602) 상에서 송신된다. 7 비트 어드레스 (610) 는 기록/판독 커맨드 비트 (612) 로 이어지며, 이것은 로우일 때 "기록"을 나타내고 하이일 때 "판독"을 나타낸다. 슬레이브 디바이스는, SDA 와이어 (602) 를 로우로 구동함으로써 다음 클록 구간 (614) 에서 확인응답 (ACK) 으로 응답할 수 있다. 슬레이브 디바이스가 응답하지 않으면, SDA 와이어 (602) 는 하이로 풀링되고 마스터 디바이스는 응답 부족을 NACK로 처리한다. 마스터 디바이스는 SCL 와이어 (604) 가 하이인 동안 SDA 와이어 (602) 를 로우에서 하이로 구동함으로써 정지 조건 (608) 으로 트랜잭션을 종료할 수 있다. 이 트랜잭션은 I2C 버스에 커플링된 송신된 어드레스를 갖는 슬레이브 디바이스가 활성 상태에 있는지 여부를 결정하는데 사용될 수 있다.

[0035] 계속해서 도 3을 참조하면, 소정의 양태들은 I2C 프로토콜에 의해 지원되는 데이터 레이트들보다 높은 인헨스드

디바이스들 (304, 314, 316) 사이에서 더 높은 데이터 레이트들을 제공하는 구현예들에 관련된다. 예를 들어, 직렬 버스 (302) 에 커플링된 인헨스드 디바이스들 (304, 314, 316) 사이의 통신을 위한 증가된 데이터 레이트들은 직렬 버스 (302) 상의 클록 레이트들을 증가시킴으로써 달성될 수 있다. 레거시 I2C 디바이스들 (306, 308, 310, 312) 은, 증가된 클록 주파수들을 핸들링할 수 없을 수 있고 및/또는 인헨스드 디바이스들 (304, 314, 316) 사이에서 송신된 시그널링을 오해할 수 있다. 특정 양태들에 따르면, 인헨스드 디바이스들 (304, 314, 316) 사이의 통신을 위한 증가된 데이터 레이트들은 클록 신호 상의 단축된 펄스 폭들을 이용하여 달성될 수 있다. 펄스 폭들이 짧은 펄스들은, 레거시 I2C 디바이스들 (306, 308, 310, 312) 의 수신기들에 스파이크 필터들이 존재하기 때문에 레거시 I2C 디바이스들 (306, 308, 310, 312) 에 의해 무시될 수 있다.

[0036] 도 7은 레거시 I2C 디바이스들 (306, 308, 310, 312) 에 의해 필터링될 수 있는 펄스들의 타이밍을 나타내는 타이밍도 (700) 이다. SCL 와이어 (704) 는 I2C 프로토콜들을 따르거나 준수하는 하나 이상의 펄스들 (706) 을 운반할 수 있다. 즉, 펄스들 (706) 은 I2C 프로토콜에 의해 펄스에 대해 특정된 최소 지속기간을 초과하는 지속기간의 높은 구간 (708) 을 갖는다. 펄스에 선행하는 로우 구간 (718) 및 펄스에 후속하는 로우 구간 (720) 은, I2C 프로토콜에 의해 특정된 최소 로우 지속기간을 초과하는 지속기간들을 갖는다. 타이밍도 (700) 에서, 양의 천이 단펄스들 (710 및 712) 은 레거시 I2C 디바이스들 (306, 308, 310, 312) 의 수신기에 제공된 스파이크 필터에 의해 필터링될 수 있다. 스파이크 필터는 또한 음의 천이 단펄스 (714) 를 필터링할 수 있다.

[0037] I2C 사양은 특정 동작 모드들에서 종래의 I2C 수신기의 입력 필터에 의해 억제되어야 하는 스파이크 (t_{SP}) 에 대한 펄스 폭을 정의한다. 일 예에서, $t_{SP} = 50ns$ 이고, 50ns 미만의 지속기간을 갖는 펄스는 I2C 호환 스파이크 필터에 의해 차단될 것으로 예상된다. 이 예를 도 7에 적용하면, 50 ns 보다 짧은 단펄스들 (710, 712, 714) 중 임의의 것이 필터링되어 종래의 I2C 수신기들에 의해 무시될 것으로 기재된다. 인헨스드 디바이스들 (304, 314, 316) 은, SDA 와이어 (702) 및/또는 SCL 와이어 (704) 상의 t_{SP} 펄스 폭보다 짧은 지속기간 (t_{SEC}) 을 갖는 펄스들을 송신함으로써 통신할 수 있으며, 여기서 t_{SP} 는 I2C 사양들에 의해 특정된다.

[0038] 또한 도 4를 참조하면, SDA 와이어 (402) 및 SCL 와이어 (404) 의 하이 및 로우 로직 상태들의 지속기간들 (410, 414) 의 최소 지속기간들은 소정의 동작 모드들에 대한 I2C 사양들에서 정의된다. Fm 동작의 예에서, 각각의 로직 하이 구간의 지속기간 (410) 은 0.6 μs 보다 커야 하고, 각각의 로직 로우 구간 (t_{LOW}) 의 지속기간 (414) 은 1.3 μs 보다 커야 하며, 최대값은 특정되지 않는다.

[0039] 도 8은 레거시 I2C 디바이스 (306, 308, 310, 312) 에서 스파이크 필터 (812) 의 동작과 연관된 소정의 양태들을 도시한다. 제 1 다이어그램 (800) 은 스파이크 필터 (812) 에 제공된 입력 신호 (802) 및 결과로 생긴 출력 신호 (804) 의 일례를 도시한다. 입력 신호 (802) 는 t_{SP} 펄스 폭보다 작은 지속기간 (616) 을 갖는 단펄스 (806) 를 포함한다. 스파이크 필터 (812) 는 단펄스 (806) 가 출력 신호 (804) 에 나타나지 않도록 동작한다. 일부 예들에서, 스파이크 필터 (812) 는 레지스터-커패시터 회로 (RC 회로) 로서 구현되고, 출력 신호 (804) 는 단펄스 (806) 의 잔류 성분 (808) 을 포함할 수 있다. 잔류 성분 (808) 은 검출 임계 전압 (810) 보다 낮은 전압 레벨에 도달할 수 있고, 따라서 레거시 I2C 디바이스 (306, 308, 310, 312) 의 수신기에 의해 검출되지 않는다. 잔여 성분 (808) 은 출력 신호 (804) 의 전압이 증가하는 시간주기를 포함할 수 있고, 이후 출력 신호 (804) 의 전압이 감소하거나 0V로 역전하는 시간주기가 뒤따른다. 최대 전압과 지연 시간의 조합은 레거시 I2C 디바이스 (306, 308, 310, 312) 에 문제를 야기할 수 있다.

[0040] 타이밍도 (820) 에 의해 예시된 예에서, 출력 신호 (824) 상의 잔류 성분 (828) 은 제 1 단펄스 (834) 의 리딩 에지에 대응하는 시간 (826) 에서 시작하는 상승 전압, 제 1 단펄스 (834) 의 하강 에지에 대응하는 시간 (830) 에서의 피크 전압 레벨, 및 0V를 향한 느린 감쇠를 특징으로 할 수 있다. 타이밍도 (820) 에 도시된 바와 같이, 출력 신호 (824) 의 전압은, 제 2 단펄스 (836) 의 리딩 에지가 도달하는 시간 (832) 이전에 0V에 도달하지 않을 수도 있다.

[0041] 타이밍도 (840) 는, 단펄스들이 타이트하게 이격될 때 이전 단펄스들로부터의 잔류 전압들의 누적 효과를 도시한다. 이 예에서, 일련의 펄스들 (842) 은 출력 신호 (824) 가 연속적인 펄스들 사이에서 0V로 복귀하지 않도록 이격되어 있다. 초기 펄스 후의 각 펄스에 대해, 출력 신호 (824) 의 전압은 0V 이상의 전압으로부터 증가하고, 수 개의 펄스 이후에 출력 신호 (824) 의 전압은 시간 (844) 에서 검출 임계 전압 (810) 을 초과하는 최대 전압을 달성할 수 있다. 이러한 상황들에서, 레거시 I2C 디바이스들 (306, 308, 310, 312) 은 결정 불가능한 결과들로 천이가 발생했는지를 결정할 수 있다.

- [0042] 본원에 개시된 특정 양태들에 따르면, 인헨스드 능력을 갖는 I2C 마스터 디바이스 (304) 는 레거시 I2C 디바이스들 (306, 308, 310, 312) 의 스파이크 필터들을 테스트하여, 스파이크 필터들이 인헨스드 디바이스들 (304, 314, 316) 사이에서 통신하기 위해 이용된 시그널링 레이트를 핸들링할 수 있음을 보장하도록 구성될 수 있다. 하나의 예에서, 마스터 디바이스 (304) 는 I2C 프로토콜에 따라 커맨드를 송신할 수 있는 한편, 단펄스들은 버스의 SCL 와이어 상에 송신된다. 단펄스들은 최소 분리로 송신되어, 성능이 좋지 않은 스파이크 필터 (812) 가 레거시 I2C 디바이스 (306, 308, 310, 312) 에 의해 검출되는 것으로부터 천이하는 것을 방지할 수 없도록 할 수 있다.
- [0043] 도 9는 직렬 버스 (302) 를 통해 마스터 디바이스 (304) 에 커플링된 하나 이상의 레거시 I2C 디바이스들 (306, 308, 310, 312) 에서 스파이크 필터의 능력들, 효력 및/또는 유효성을 결정하기 위해 마스터 디바이스 (304) 에 의해 전송된 테스트 송신의 제 1 예를 도시한 타이밍도 (900) 이다. 이 예에서, 도 6에 도시된 커맨드 워드는 마스터 디바이스 (304) 에 의해 송신되고, 커맨드 워드의 일부는 타이밍도 (900) 에 도시된다. 마스터 디바이스 (304) 에 의해 시작 조건 (906) 이 송신된 후에, 어드레스 비트들 (926, 928, 930) 은 SDA 와이어 (902) 상에서 송신되고, 일련의 단펄스들 (908a, 908b, 908c) 은 SCL 와이어 (904) 가 로우 논리 상태에 있을 때 하나 이상의 발생들 상에서 송신될 수 있다. 예를 들어, 확장도 (918) 에 도시된 바와 같이, 단펄스들은 각각 40ns의 지속기간을 가질 수 있고, 80ns의 클록 주기 (920) 를 생성하는 40ns의 로우 구간에 의해 분리될 수 있다.
- [0044] SCL 와이어 (904) 는 일련의 단펄스들 (908a, 908b, 908c) 이 송신되기 전에 안정화되도록 허용될 수 있다. 예를 들어, 하이 논리 상태로부터의 I2C 천이 (922) 이후에, SCL 와이어 (904) 는 일련의 단펄스들 (908c) 이 송신되기 전에 제 1 시간 주기 (914) 동안 로우 논리 상태로 유지될 수 있다. 제 1 시간 주기 (914) 의 지속기간은 I2C 사양에 의해 결정될 수 있고 예를 들어 200 ns로 정의될 수 있다. 일련의 단펄스들 (908c) 은 로우 논리 상태로부터 하이 논리 상태로 다음 I2C 천이 (924) 이전에 종료될 수 있다. SCL 와이어 (904) 는 다음 I2C 천이 (924) 가 일어나기 전에 제 2 시간 주기 (916) 동안 로우 논리 상태로 유지된다. 제 2 시간 주기 (916) 의 지속기간은 I2C 사양들에 의해 결정될 수 있고 일례에서 200 ns로 정의될 수 있다.
- [0045] SCL 와이어 (904) 에 커플링된 기능성 스파이크 필터는 각각의 일련의 단펄스들 (908a, 908b, 908c) 을 억제하고, 스파이크 필터의 출력은 I2C 천이들 (예를 들어, 천이들 (922, 924)) 만을 포함한다. 도 9에 도시된 예에서, SCL 와이어 (904) 에 커플링된 유효 스파이크 필터의 출력은 대략 10 μ s 주기를 갖는 구형파이다.
- [0046] 도 10은 직렬 버스 (302) 를 통해 마스터 디바이스 (304) 에 커플링된 하나 이상의 레거시 I2C 디바이스들 (306, 308, 310, 312) 에서 스파이크 필터의 능력들, 효력 및/또는 유효성을 결정하기 위해 마스터 디바이스 (304) 에 의해 전송된 테스트 송신의 제 2 예를 도시한 타이밍도 (1000) 이다. 이 예에서, 도 6에 도시된 커맨드 워드는 마스터 디바이스 (304) 에 의해 송신되고, 커맨드 워드의 일부는 타이밍도 (1000) 에 도시된다. 마스터 디바이스 (304) 에 의해 시작 조건 (1006) 이 송신된 후에, 어드레스 비트들 (1028, 1030, 1032) 은 SDA 와이어 (1002) 상에서 송신되고, 일련의 단펄스들 (1008a, 1008b, 1008c) 은 SCL 와이어 (1004) 가 하이 논리 상태에 있을 때 하나 이상의 발생들 상에서 송신될 수 있다. 예를 들어, 확장도 (1020) 에 도시된 바와 같이, 단펄스들은 각각 40ns의 지속기간을 가질 수 있고, 80ns의 클록 주기 (1026) 를 생성하는 40ns의 로우 구간에 의해 분리될 수 있다.
- [0047] SCL 와이어 (1004) 는 일련의 단펄스들 (1008a, 1008b, 1008c) 이 송신되기 전에 안정화되도록 허용될 수 있다. 예를 들어, 로우 논리 상태로부터의 I2C 천이 (1022) 이후에, SCL 와이어 (1004) 는 일련의 단펄스들 (1008c) 이 송신되기 전에 제 1 시간 주기 (1016) 동안 하이 논리 상태로 유지될 수 있다. 제 1 시간 주기 (1016) 의 지속기간은 I2C 사양들에 의해 결정될 수 있고 예를 들어 200 ns로 정의될 수 있다. 일련의 단펄스들 (1008b) 은 하이 논리 상태로부터 로우 논리 상태로 다음 I2C 천이 (1024) 이전에 종료될 수 있다. SCL 와이어 (1004) 는 다음 I2C 천이 (1024) 가 일어나기 전에 제 2 시간 주기 (1018) 동안 하이 논리 상태로 유지된다. 제 2 시간 주기 (1018) 의 지속기간은 I2C 사양들에 의해 결정될 수 있고 일례에서 200 ns로 정의될 수 있다.
- [0048] SCL 와이어 (1004) 에 커플링된 기능성 스파이크 필터는 각각의 일련의 단펄스들 (1008a, 1008b, 1008c) 을 억제하고, 스파이크 필터의 출력은 I2C 천이들 (예를 들어, 천이들 (1022, 1024)) 만을 포함한다. 도 10에 도시된 예에서, SCL 와이어 (1004) 에 커플링된 유효 스파이크 필터의 출력은 대략 10 μ s 주기를 갖는 구형파이다.
- [0049] 레거시 I2C 디바이스 (306, 308, 310, 312) 에서 스파이크 필터들의 효력을 테스트하기 위한 테스트 송신들로서 시그널링의 다른 구성이 사용될 수 있다. 테스트 송신들은 일반적으로 I2C 프로토콜에 따라 송신된 커맨드

또는 데이터 워드에 섭동들을 병합한다. 이러한 섭동들은 지속기간이 50 ns 미만인 펄스들 및/또는 스파이크들을 포함할 수 있다. 일부 예들에서, 테스트 송신은 직렬 버스를 통해 송신되는 신호의 하이 상태 및 로우 상태 모두에 영향을 미치는 섭동들을 포함할 수 있다. 예를 들어, I2C 커맨드 또는 데이터 워드는 도 9에 도시된 일련의 단펄스들 (908a, 908b, 908c) 및 도 10에 도시된 일련의 단펄스들 (1008a, 1008b, 1008c) 중 하나 이상의 일련의 것들과 병합될 수 있다.

[0050] 일련의 단펄스들 (908a, 908b, 908c, 1008a, 1008b, 1008c) 에 제공된 펄스들과 같은 섭동 펄스들은 임의의 원하는 듀티 사이클을 갖도록 적용될 수 있다. 스파이크 필터가 펄스들 사이에서 충분히 복구할 수 없는 지점으로 듀티 사이클이 수정될 때 일부 스파이크 필터들이 작동하지 않을 수 있다. 듀티 사이클을 변화시키는 것은 공유된 버스의 향상된 동작을 위한 최대 클로킹 레이트를 결정하는데 사용될 수 있는 추가적인 정보를 제공할 수 있다. 일련의 단펄스들 (908a, 908b, 908c, 1008a, 1008b, 1008c) 내의 섭동 펄스들의 위치는 스파이크 필터의 동작과 관련된 추가 정보를 제공하도록 적용되거나 변경될 수 있다. 예를 들어, 섭동 펄스들의 위치를 변화시키는 것은 공유된 버스의 향상된 동작이 도달하기 위해 최대 클로킹 레이트를 결정하는데 사용될 수 있는 추가적인 정보를 제공할 수 있다.

[0051] 스파이크 필터 테스트 동안, 메시지는 SDA 와이어 (902, 1002) 상으로 송신된다. 메시지는 I2C 호환 또는 호환 슬레이브 디바이스가 응답해야 하는 다른 메시지 또는 임의의 이용가능한 커맨드 워드로부터 선택될 수 있다. 섭동 펄스들이 SCL 와이어 (904, 1004) 상에 송신될 때, 슬레이브 디바이스에서의 스파이크 필터의 유효성은 슬레이브 디바이스가 메시지에 정확하게 응답하는지 여부에 기초하여 결정될 수 있다.

[0052] 커맨드 또는 데이터 워드가 레거시 I2C 디바이스들 (306, 308, 310, 312) 에 의해 I2C 프로토콜들에 따라 인식될 때, 레거시 I2C 디바이스 (306, 308, 310, 312) 가 응답하도록 하기 위해 I2C 커맨드가 테스트 송신에 포함될 수 있다. 응답은 예를 들어 송신 확인 및/또는 레지스터 판독 또는 기록을 포함할 수 있다. 임의의 커맨드 또는 메시지는 레거시 I2C 디바이스 (306, 308, 310, 312) 가 그러한 커맨드 또는 메시지에 응답하도록 요구될 때 테스트 송신을 위한 기초로서 사용될 수 있다. 그러한 커맨드 또는 메시지 또는 그 일부는 본원에서 "커맨드 워드"로 지칭될 수 있다.

[0053] 도 9 및 도 10은 슬레이브 어드레스 호출을 커맨드 워드로서 사용하는 것을 도시한다 (도 6도 참조). I2C 사양들에 따르면, 레거시 I2C 디바이스들 (306, 308, 310, 312) 은 슬레이브 어드레스 호출에 응답해야 한다. 그러나, 레거시 I2C 디바이스 (306, 308, 310, 312) 가 응답하도록 요구되는 송신들의 임의의 조합은 테스트 송신을 위한 기초로서 사용될 수 있다. 예를 들어, 섭동들은 슬레이브 어드레스를 따르는 커맨드와 병합될 수 있고, 및/또는 레거시 I2C 디바이스 (306, 308, 310, 312) 내의 특정 레지스터에 기록하기 위한 커맨드를 따르는 데이터 워드로 병합될 수 있다. 스파이크 필터의 효력 또는 유효성을 테스트하기 위해 다른 트랜잭션들이 채용될 수 있다.

[0054] 일 예에서, 마스터 디바이스 (304) 는 기록될 바이트를 레거시 I2C 디바이스 (306, 308, 310, 312) 의 내부 레지스터에 송신할 수 있다. 마스터 디바이스 (304) 는 동일한 트랜잭션에서 내부 레지스터로부터 바이트를 다시 판독할 수 있다. 마스터 디바이스 (304) 는 수정된 시그널링을 사용하여 트랜잭션을 반복하여 다른 바이트를 동일한 내부 레지스터로 기록 및 판독할 수 있다. 수정된 시그널링은 직렬 버스의 한쪽 또는 양쪽 와이어들에 섭동들이 삽입되거나 병합될 수 있다. 판독-백 (read-back) 이 잘못된 바이트를 리턴하는 경우, 스파이크 필터는 비효율적인 것으로 간주되고 및/또는 스파이크들 또는 단펄스들 필터링의 원하는 결과를 생성할 수 없다. 판독-백이 정확한 바이트를 리턴하면, 스파이크 필터는 유효한 것으로 간주될 수 있고, 마스터 디바이스 (304) 는 타겟 레거시 I2C 디바이스 (306, 308, 310, 312) 가 인헨스드 디바이스들 (314, 316) 과 공존할 수 있다고 결정할 수 있다.

[0055] 일부 예들에서, 후자의 예는 마스터 디바이스 (304) 가 단펄스들을 시그널링으로 병합하지 않고 내부 레지스터에 바이트를 기록하도록 수정될 수 있다. 그 다음, 마스터 디바이스 (304) 는 내부 레지스터로부터 바이트를 판독-백하기 위해 내부에 병합된 단펄스들과 시그널링을 송신할 수 있다. 이에 따라서, 스파이크 필터를 테스트하는데 사용될 수 있는 I2C 트랜잭션들의 많은 변형예들 및 조합들이 존재하며, 이에 따라 예를 들어 단펄스들 형태의 섭동들이 I2C 트랜잭션들의 임의의 포인트에 삽입되거나 병합될 수 있다.

[0056] 도 11은 레거시 I2C 디바이스들 (306, 308, 310, 312) 에서 스파이크 필터들을 테스트하기 위한 프로세스를 나타낸 흐름도이다. 마스터 디바이스는 SCL 와이어 (904, 1004) 상에 송신된 클록 신호에 펄스들 또는 다른 섭동들을 도입하면서 슬레이브 디바이스에 상이한 클로킹 조건들 하에서 일련의 커맨드들을 전송함으로써 슬레이브 디바이스에서 스파이크 필터의 유효성을 테스트할 수 있다. 각 커맨드는 시작 조건 또는 반복 조건 다

음에 7 비트 어드레스 및 기록 커맨드 비트가 선행될 수 있다. 슬레이브 디바이스에서의 스파이크 필터는, 기록 비트가 송신된 후에 마스터 디바이스가 SDA 와이어 (902, 9004) 상의 ACK를 검출하는 경우 현재 클록킹 조건에 대해 유효한 것으로 간주될 수 있다. 프로세스는 예를 들어 도 9 및 도 10에 도시된 시그널링을 채용할 수 있다.

[0057] 블록 (1102) 에서, 마스터 디바이스 (304) 는 레거시 I2C 디바이스 (306, 308, 310, 312) 가 버스 상에 존재하는지를 결정할 수 있다. 마스터 디바이스 (304) 는 슬레이브 디바이스 (306, 308, 310, 312) 에 적합한 클록 레이트로 슬레이브 어드레스를 송신함으로써 레거시 슬레이브 디바이스 (306, 308, 310, 312) 의 존재를 결정할 수 있다. 예를 들어, 마스터 디바이스 (304) 는 초기에 1 MHz (I2C Fm+) 의 클록 레이트로 슬레이브 어드레스를 송신할 수 있고, 그리고 확인응답이 슬레이브 디바이스 (306, 308, 310, 312) 로부터 수신되었는지를 결정할 수 있다. 확인응답은 슬레이브 디바이스 (306, 308, 310, 312) 의 존재를 표시한다. 확인응답이 수신되지 않으면, 마스터 디바이스 (304) 는 확인 응답이 수신될 때까지 하나 이상의 더 낮은 클록 레이트로 슬레이브 어드레스를 송신할 수 있다. 더 낮은 클록 레이트는 I2C 프로토콜에 의해 특정된 클록 레이트들에 대응할 수 있고, 예를 들어 400kHz (I2C Fm) 및 100kHz (I2C Sm) 클록 레이트들을 포함할 수 있다.

[0058] 일례에서, 마스터 디바이스 (304) 는 슬레이브 디바이스 (306, 308, 310, 312) 가 동작할 수 있는 가장 높은 주파수로 스파이크 필터 테스트를 시작한다. 예를 들어, 가장 높은 주파수는 1 MHz일 수 있다. 다른 예에서, 가장 높은 주파수는 400 kHz일 수 있다. 슬레이브 디바이스 (306, 308, 310, 312) 가 지정된 최대 주파수로 응답하지 않으면, 마스터 디바이스 (304) 는 SDA 와이어 (902, 1002) 상의 NACK를 검출하고 슬레이브 디바이스 (306, 308, 310, 312) 가 결함있다고 결정한다. 도 9 및 도 10과 관련된 예들에서 설명된 바와 같이, 100 kHz 주파수의 사용은 섭동들이 삽입되거나 병합되는 하이 및 로우 시그널링 상태들의 보다 긴 지속기간을 제공한다. 일부 예들에서, 마스터 디바이스 (304) 는 100kHz보다 높은 주파수에서 송신된 시그널링과 단펄스들을 병합할 수 있다.

[0059] 블록 (1104) 에서, 확인응답이 블록 (1102) 에서 수신되었는지 여부가 결정될 수 있다. 마스터 디바이스 (304) 가 더 낮은 클록 레이트들에서의 송신 이후에 SDA 와이어 (902, 1002) 상의 NACK를 검출하면, 마스터 디바이스 (304) 는 에러가 발생했다고 결정하고 에러 핸들링 절차들을 위해 블록 (1114) 으로 제어가 전달될 수 있다. 그렇지 않으면, 절차는 블록 (1106) 에서 계속된다.

[0060] 블록 (1106) 에서, 마스터 디바이스 (304) 는 레거시 슬레이브 디바이스들 (306, 308, 310, 312) 에 의해 공통적으로 지원될 수 있는 100 kHz 클록 레이트를 선택할 수 있다. 그 다음, 마스터 디바이스 (304) 는 SCL 와이어 (904) 의 로우 논리 상태들에 삽입된 단펄스들을 갖는 선택된 클록 레이트에서 슬레이브 어드레스를 송신할 수 있다 (도 9에 도시되어 있다). 슬레이브 디바이스 (306, 308, 310, 312) 의 스파이크 필터는 단펄스들을 억제할 것으로 예상된다. 레거시 슬레이브 디바이스들 (306, 308, 310, 312) 은 단펄스들이 억제될 때 슬레이브 어드레스를 인식하고, 마스터 디바이스 (304) 에 일부 확인응답을 송신한다. 레거시 슬레이브 디바이스 (306, 308, 310, 312) 의 스파이크 필터가 단펄스들을 억제할 수 없다면, 레거시 슬레이브 디바이스 (306, 308, 310, 312) 는 SCL 와이어 (904) 상의 추가 천이를 검출할 수 있고, 및/또는 SCL 와이어 (904) 는 하이 상태로 고정될 수 있다. 어느 경우여나, 레거시 슬레이브 디바이스들 (306, 308, 310, 312) 은 어드레스를 부정확하게 디코딩하고 커맨드에 확인응답을 제공하지 않는다.

[0061] 블록 (1108) 에서, 마스터 디바이스 (304) 는 확인응답이 레거시 슬레이브 디바이스 (306, 308, 310, 312) 로부터 수신되었는지 여부를 결정한다. 확인응답이 수신되지 않는 경우, 마스터 디바이스 (304) 는 SDA 와이어 (902, 1002) 상의 NACK를 검출하고 에러가 발생했는지를 결정하고, 에러 핸들링 절차들을 위해 블록 (1114) 으로 제어가 전달될 수 있다. 그렇지 않으면, 절차는 블록 (1110) 에서 계속된다.

[0062] 블록 (1110) 에서, 마스터 디바이스 (304) 는 레거시 슬레이브 디바이스들 (306, 308, 310, 312) 에 의해 공통적으로 지원될 수 있는 100 kHz 클록 레이트를 선택할 수 있다. 그 다음, 마스터 디바이스 (304) 는 SCL 와이어 (1004) 의 하이 논리 상태들에 삽입된 단펄스들을 갖는 선택된 클록 레이트에서 슬레이브 어드레스를 송신할 수 있다 (도 10에 도시되어 있다). 슬레이브 디바이스 (306, 308, 310, 312) 의 스파이크 필터는 단펄스들을 억제할 것으로 예상된다. 레거시 슬레이브 디바이스들 (306, 308, 310, 312) 은 단펄스들이 억제될 때 슬레이브 어드레스를 인식하고, 마스터 디바이스 (304) 에 일부 확인응답을 송신한다. 레거시 슬레이브 디바이스 (306, 308, 310, 312) 의 스파이크 필터가 단펄스들을 억제할 수 없다면, 레거시 슬레이브 디바이스 (306, 308, 310, 312) 는 SCL 와이어 (1004) 상의 추가 천이를 검출할 수 있고, 및/또는 SCL 와이어 (904) 는 하이 상태로 고정될 수 있다. 어느 경우여나, 레거시 슬레이브 디바이스들 (306, 308, 310, 312) 은 어드레

스를 부정확하게 디코딩하고 커맨드에 확인응답을 제공하지 않는다.

- [0063] 블록 (1112) 에서, 마스터 디바이스 (304) 는 확인응답이 레거시 슬레이브 디바이스 (306, 308, 310, 312) 로부터 수신되었는지 여부를 결정한다. 확인응답이 수신되지 않는 경우, 마스터 디바이스 (304) 는 SDA 와이어 (902, 1002) 상의 NACK를 검출하고 에러가 발생했는지를 결정하고, 에러 핸들링 절차들을 위해 블록 (1114) 으로 제어가 전달될 수 있다. 그렇지 않으면, 레거시 슬레이브 디바이스 (306, 308, 310, 312) 가 적절하게 설계된 50ns 스파이크 억제 필터를 갖는다는, 높은 신뢰도가 존재한다고 결론낼 수 있다.
- [0064] 일부 예들에서, 마스터 디바이스 (304) 는 테스트를 위해 하나 이상의 지연들을 구성할 수 있다. 지연들은 SCL 와이어 (904, 1004) 상의 일련의 단펄스들 (908a, 908b, 908c, 1008a, 1008b, 1008c) 및 천이 (922, 924, 1022, 1024) 의 개시 또는 종료 사이의 시간 주기들 (914, 916, 1016, 1018) 의 지속기간을 제어하도록 구현될 수 있다. 예를 들어, 마스터 디바이스 (304) 는 100kHz 속도로 동작할 때 200ns의 시간 주기 (914, 916, 1016, 1018) 를 제공할 수 있다. 시간 주기 (914, 916, 1016, 1018) 의 지속기간은 SCL 와이어 (904, 1004) 상에 송신된 클록의 주파수에 따라 또는 다른 이유로 구성될 수 있다.
- [0065] 레거시 슬레이브 디바이스들 (306, 308, 310, 312) 에서 스파이크 억제 필터를 테스트하기 위해 다른 테스트 절차들 및 시그널링 조합들이 사용될 수 있다. 예를 들어, 단펄스가 SCL 와이어 (904, 1004) 상의 로우 논리 상태 및 하이 논리 상태 모두에 부가될 수 있다. 또 다른 예에서, 단펄스들의 간격 및 지속기간은 미리 정의된 패턴에 따라 변경 및/또는 제공될 수 있다.
- [0066] 도 12는 본 명세서에서 개시된 하나 이상의 기능들을 수행하도록 구성될 수도 있는 프로세싱 회로 (1202) 를 채용하는 장치 (1200) 에 대한 하드웨어 구현의 단순화된 예를 예시하는 개념도이다. 본 개시의 다양한 양태들에 따라서, 본원에 개시된 엘리먼트, 또는 엘리먼트의 임의의 부분, 또는 엘리먼트들의 임의의 조합이 프로세싱 회로 (1202) 를 이용하여 구현될 수도 있다. 프로세싱 회로 (1202) 는 하드웨어 및 소프트웨어 모듈들의 일부 조합에 의해 제어되는 하나 이상의 프로세서들 (1204) 을 포함할 수도 있다. 프로세서들 (1204) 의 예들은 마이크로프로세서들, 마이크로제어기들, 디지털 신호 프로세서들 (DSP들), 필드 프로그래밍가능 게이트 어레이들 (FPGA들), 프로그래밍가능 로직 디바이스들 (PLD들), 상태 머신들, 시퀀서들, 게이트드 로직, 이산 하드웨어 회로들, 및 본 개시 전반에 걸쳐 설명된 다양한 기능을 수행하도록 구성된 다른 적합한 하드웨어를 포함한다. 하나 이상의 프로세서들 (1204) 은 특정 기능들을 수행하고, 그리고 소프트웨어 모듈들 (1216) 중 하나에 의해 구성, 증강 또는 제어될 수도 있는, 전문화 프로세서들을 포함할 수도 있다. 하나 이상의 프로세서들 (1204) 은 초기화 동안 로드된 소프트웨어 모듈들 (1216) 의 조합을 통하여 구성될 수도 있고, 동작 동안 소프트웨어 모듈들 (1216) 중 하나 이상을 로드 또는 언로드함으로써 추가로 구성될 수도 있다.
- [0067] 예시된 예에서, 프로세싱 회로 (1202) 는 버스 (1210) 에 의해 일반적으로 표현된, 버스 아키텍처로 구현될 수도 있다. 버스 (1210) 는 프로세싱 회로 (1202) 의 특정 애플리케이션 및 전체 설계 제약들에 의존하여 임의의 수의 상호접속 버스들 및 브릿지들을 포함할 수도 있다. 버스들 (1210) 은 하나 이상의 프로세서들 (1204), 및 스토리지 (1206) 를 포함하는 다양한 회로들을 함께 링크한다. 스토리지 (1206) 는 메모리 디바이스들 및 대용량 저장 디바이스들을 포함할 수도 있고, 컴퓨터 판독가능 매체들 및/또는 프로세서 판독가능 매체들로 본원에서 지칭될 수도 있다. 버스 (1210) 는 또한 타이밍 소스들, 타이머들, 주변기기들, 전압 레귤레이터들, 및 전력 관리 회로들과 같은 다양한 다른 회로들을 링크할 수도 있다. 버스 인터페이스 (1208) 는 버스 (1210) 와 하나 이상의 트랜시버들 (1212) 사이에 인터페이스를 제공할 수도 있다. 트랜시버 (1212) 는 프로세싱 회로에 의해 지원된 각각의 네트워킹 기술을 제공받을 수 있다. 일부 예들에서, 멀티플 네트워킹 기술들은 트랜시버 (1212) 에서 발견된 회로 또는 프로세싱 모듈들 중 일부 또는 전부를 공유할 수 있다. 각각의 트랜시버 (1212) 는 송신 매체를 통해 다양한 다른 장치와 통신하기 위한 수단을 제공한다. 장치의 성질에 의존하여, 사용자 인터페이스 (1218) (예를 들어, 키패드, 디스플레이, 스피커, 마이크로폰, 조이스틱) 가 또한 제공될 수도 있고, 직접 또는 버스 인터페이스 (1208) 를 통해 버스 (1210) 에 통신가능하게 커플링될 수도 있다.
- [0068] 프로세서 (1204) 는 버스 (1210) 를 관리하는 것 및/또는 스토리지 (1206) 를 포함할 수도 있는 컴퓨터 판독가능 매체에 저장된 소프트웨어의 실행을 포함할 수도 있는 일반적으로 프로세싱을 담당할 수도 있다. 이 점에 있어서, 프로세서 (1204) 를 포함하는, 프로세싱 회로 (1202) 는 본원에 개시된 방법들, 기능들 및 기법들 중 임의의 것을 구현하는데 이용될 수도 있다. 스토리지 (1206) 는 소프트웨어를 실행할 때 프로세서 (1204) 에 의해 조작되는 데이터를 저장하기 위해 이용될 수도 있고, 소프트웨어는 본원에 개시된 방법들 중 임의의 하나를 구현하도록 구성될 수도 있다.

- [0069] 프로세싱 회로 (1202) 에서의 하나 이상의 프로세서들 (1204) 은 소프트웨어를 실행할 수도 있다. 소프트웨어는 소프트웨어, 펌웨어, 미들웨어, 마이크로코드, 하드웨어 기술 언어, 또는 다른 것으로 지칭되는 간에, 대체로 명령들, 명령 세트들, 코드, 코드 세그먼트들, 프로그램 코드, 프로그램들, 서브프로그램들, 소프트웨어 모듈들, 애플리케이션들, 소프트웨어 애플리케이션들, 소프트웨어 패키지들, 루틴들, 서브루틴들, 오브젝트들, 실행가능물들, 실행 스프레드들, 프로시저들, 함수들, 알고리즘 등을 의미하는 것으로 해석되어야 한다. 소프트웨어는 스토리지 (1206) 에 또는 외부 컴퓨터 판독가능 매체에 컴퓨터 판독가능 형태로 상주할 수도 있다. 외부 컴퓨터 판독가능 매체 및/또는 스토리지 (1206) 는 비일시적 컴퓨터 판독가능 매체를 포함할 수도 있다. 비일시적 컴퓨터 판독가능 매체는 일 예로, 자기 저장 디바이스 (예를 들어, 하드 디스크, 플로피 디스크, 자기 스트립), 광 디스크 (예를 들어, 콤팩트 디스크 (CD) 또는 디지털 다기능 디스크 (DVD)), 스마트 카드, 플래시 메모리 디바이스 (예를 들어, "플래시 드라이브", 카드, 스틱, 또는 키 드라이브), 랜덤 액세스 메모리 (RAM), 판독 전용 메모리 (ROM), 프로그래밍가능 ROM (PROM), 소거가능한 PROM (EPROM), 전기적으로 소거가능한 PROM (EEPROM), 레지스터, 착탈식 디스크, 및 컴퓨터에 의해 액세스 및 판독될 수도 있는 소프트웨어 및/또는 명령들을 저장하기 위한 임의의 다른 적합한 매체를 포함한다. 컴퓨터 판독가능 매체 및/또는 스토리지 (1206) 는 또한, 일 예로, 반송파, 송신 라인, 및 컴퓨터에 의해 액세스 및 판독될 수도 있는 소프트웨어 및/또는 명령들을 송신하기 위한 임의의 다른 적합한 매체를 포함할 수도 있다. 컴퓨터 판독가능 매체 및/또는 스토리지 (1206) 는 프로세싱 회로 (1202) 에, 프로세서 (1204) 에, 프로세싱 회로 (1202) 의 외부에 상주하거나, 또는 프로세싱 회로 (1202) 를 포함하는 다수의 엔티티들에 걸쳐 분산될 수도 있다. 컴퓨터 판독가능 매체 및/또는 스토리지 (1206) 는 컴퓨터 프로그램 제품에서 구체화될 수도 있다. 일 예로, 컴퓨터 프로그램 제품은 패키징 재료들에 컴퓨터 판독가능 매체를 포함할 수도 있다. 당업자들은 특정한 애플리케이션 및 전체 시스템에 부과된 전체 설계 제약들에 의존하여 본 개시 전반에 걸쳐 제시된 설명된 기능성을 구현하는 최상의 방법을 인지할 것이다.
- [0070] 스토리지 (1206) 는 소프트웨어 모듈들 (1216) 로 본 명세서에서 지칭될 수도 있는, 로드가능한 코드 세그먼트들, 모듈들, 애플리케이션들, 프로그램들 등에 유지 및/또는 조직화된 소프트웨어를 유지할 수도 있다. 소프트웨어 모듈들 (1216) 의 각각은 프로세싱 회로 (1202) 상에 설치 또는 로드되고 하나 이상의 프로세서들 (1204) 에 의해 실행될 때, 하나 이상의 프로세서들 (1204) 의 동작을 제어하는 런-타임 이미지 (1214) 에 기여하는 명령들 및 데이터를 포함할 수도 있다. 실행될 때, 소정의 명령들은 프로세싱 회로 (1202) 로 하여금, 본 명세서에서 설명된 소정의 방법들, 알고리즘들 및 프로세스들에 따라 기능들을 수행하게 할 수도 있다.
- [0071] 소프트웨어 모듈들 (1216) 의 일부는 프로세싱 회로 (1202) 의 초기화 동안 로드될 수도 있고, 이들 소프트웨어 모듈들 (1216) 은 본 명세서에서 개시된 다양한 기능들의 수행을 가능하게 하도록 프로세싱 회로 (1202) 를 구성할 수도 있다. 예를 들어, 일부 소프트웨어 모듈들 (1216) 은 프로세서 (1204) 의 내부 디바이스들 및/또는 로직 회로들 (1222) 을 구성할 수도 있고, 트랜시버 (1212), 버스 인터페이스 (1208), 사용자 인터페이스 (1218), 타이머들, 연산 코프로세서들, 등과 같은 외부 디바이스들에 대한 액세스를 관리할 수도 있다. 소프트웨어 모듈들 (1216) 은 인터럽트 핸들러들 및 디바이스 드라이버들과 상호작용하고, 프로세싱 회로 (1202) 에 의해 제공된 다양한 리소스들에 대한 액세스를 제어하는 제어 프로그램 및/또는 오퍼레이팅 시스템을 포함할 수도 있다. 리소스들은 메모리, 프로세싱 시간, 트랜시버 (1212) 에 대한 액세스, 사용자 인터페이스 (1218) 등을 포함할 수도 있다.
- [0072] 프로세싱 회로 (1202) 의 하나 이상의 프로세서들 (1204) 은 다기능적일 수도 있고, 그것에 의하여 소프트웨어 모듈들 (1216) 의 일부는 상이한 기능들 또는 동일한 기능의 상이한 인스턴스들을 수행하도록 로드 및 구성된다. 하나 이상의 프로세서들 (1204) 은 예를 들어, 사용자 인터페이스 (1218), 트랜시버 (1212), 및 디바이스 드라이버들로부터의 입력들에 응답하여 개시된 배경 태스크들을 관리하도록 추가적으로 적용될 수도 있다. 다수의 기능들의 수행을 지원하기 위해, 하나 이상의 프로세서들 (1204) 은 멀티태스킹 환경을 제공하도록 구성될 수도 있고, 그것에 의하여, 복수의 기능들의 각각은 필요하거나 원할 때 하나 이상의 프로세서들 (1204) 에 의해 서비스된 태스크들의 세트로서 구현된다. 하나의 예에서, 멀티태스킹 환경은 상이한 태스크들 사이에 프로세서 (1204) 의 제어를 거치는 시간공유 프로그램 (1220) 을 이용하여 구현될 수도 있고, 그것에 의하여 각각의 태스크는 임의의 미해결된 동작들의 완료 시에 및/또는 인터럽트와 같은 입력에 응답하여 하나 이상의 프로세서들 (1204) 의 제어를 시간공유 프로그램 (1220) 에 리턴한다. 태스크가 하나 이상의 프로세서들 (1204) 을 제어할 때, 프로세싱 회로는 제어 태스크와 연관된 기능에 의해 어드레싱된 목적들을 위해 효과적으로 전문화된다. 시간공유 프로그램 (1220) 은 오퍼레이팅 시스템, 라운드-로빈 방식으로 제어를 전송하

는 메인 루프, 기능들의 우선순위에 따라 하나 이상의 프로세서들 (1204) 의 제어를 할당하는 함수, 및/또는 핸들링 함수에 하나 이상의 프로세서들 (1204) 의 제어를 제공함으로써 외부 이벤트들에 응답하는 인터럽트 드 라이빙된 메인 루프를 포함할 수도 있다.

- [0073] 도 13은 직렬 버스에 커플링된 디바이스들의 능력들을 검출하기 위한 방법을 도시한 흐름도 (1300) 를 포함한다. 방법의 다양한 단계들은 직렬 버스에 커플링된 마스터 디바이스 (304) 에 의해 수행될 수 있다.
- [0074] 블록 1302에서, 마스터 디바이스 (304) 는 I2C 프로토콜에 따라 직렬 버스 상에서 송신될 커맨드를 생성할 수 있다. 커맨드는 제 1 슬레이브 디바이스에 대응하는 어드레스를 포함할 수 있다.
- [0075] 블록 1304에서, 마스터 디바이스 (304) 는 테스트 신호를 얻기 위해 펄스들의 시퀀스와 커맨드를 병합할 수 있다. 펄스들의 시퀀스에서의 각각의 펄스는 50ns 미만의 지속기간을 가질 수 있다. 일 예에서, 펄스들의 시퀀스는 직렬 버스 상에 송신된 클록 신호가 로우 상태에 있을 때 복수의 간격들의 각각으로 병합될 수 있다. 다른 예에서, 펄스들의 시퀀스는 직렬 버스 상에 송신된 클록 신호가 하이 상태에 있을 때 복수의 간격들의 각각으로 병합될 수 있다. 또 다른 예에서, 펄스들의 시퀀스는 직렬 버스 상에 송신된 클록 신호가 로우 상태에 있을 때 복수의 간격들의 각각으로 병합될 수 있고, 직렬 버스 상에 송신된 클록 신호가 하이 상태에 있을 때 복수의 간격들의 각각으로 병합될 수 있다. 다양한 예들에서, 펄스들의 시퀀스의 각각의 펄스는 40 ns의 지속기간을 갖는 하이 상태를 가질 수 있다.
- [0076] 블록 1306에서, 마스터 디바이스 (304) 는 직렬 버스 상에서 테스트 신호를 송신할 수 있다.
- [0077] 블록 1308에서, 마스터 디바이스 (304) 는, 제 1 슬레이브 디바이스가 커맨드에 정확하게 응답하는지 여부에 기초하여 제 1 슬레이브 디바이스에서 스파이크 필터의 효력을 결정할 수 있다. 스파이크 필터는 50 ns 미만의 지속기간을 갖는 펄스들을 억제할 것으로 예상된다. 제 1 슬레이브 디바이스는 커맨드를 확인응답함으로써 커맨드에 정확하게 응답한다. 마스터 디바이스 (304) 는, 제 1 슬레이브 디바이스의 레지스터에 제 1 값이 기록되게 하고, 제 1 슬레이브 디바이스에서 레지스터로부터 제 2 값을 판독하고, 그리고 제 1 값과 제 2 값이 동일할 때 스파이크 필터가 효과적이라고 결정함으로써 스파이크 필터의 효력을 결정할 수 있다.
- [0078] 일부 예들에서, 마스터 디바이스 (304) 는 펄스들의 시퀀스를 수록하지 않고도 하나 이상의 클록 주파수들에서 커맨드를 송신함으로써 제 1 슬레이브 디바이스의 존재를 결정할 수 있다. 제 1 디바이스는, 제 1 디바이스가 직렬 버스 상에 존재하고 하나 이상의 클록 주파수들 중 적어도 하나를 사용하여 통신하도록 적응될 때 커맨드를 확인응답하도록 구성될 수 있다. 예를 들어, 마스터 디바이스 (304) 는 400kHz에서 커맨드를 송신하여, 어드레싱된 슬레이브 디바이스가 정상적으로 기능하는지를 결정할 수 있다. 응답이 수신되거나 결정되지 않으면, 마스터 디바이스 (304) 는 어드레싱된 슬레이브 디바이스가 존재하지 않거나, 결함이 있거나, 또는 오작동함을 고려할 수 있다. 어드레싱된 슬레이브 디바이스가 정확하게 응답하면, 마스터 디바이스 (304) 는 하나 이상의 클록 주파수들의 최저 주파수에 대응하는 클록 주파수에서 송신되는 커맨드 워드에 단펄스들을 수록함으로써 스파이크 필터를 테스트할 수 있다.
- [0079] 일부 예들에서, 펄스들의 시퀀스는 직렬 버스의 SCL 와이어 상에서 송신된다. 일부 예들에서, 펄스들의 시퀀스는 직렬 버스의 SDA 와이어 상에 송신된다. 일부 예들에서, 펄스들의 제 1 시퀀스는 직렬 버스의 SCL 와이어 상에 송신되고, 펄스들의 제 2 시퀀스는 직렬 버스의 SDA 와이어 상에 송신된다.
- [0080] 도 14는 프로세싱 회로 (1402) 를 채용하는 장치 (1400) 에 대한 하드웨어 구현예의 간단한 예를 나타낸 다이어그램이다. 프로세싱 회로는 통상적으로, 마이크로프로세서, 마이크로제어기, 디지털 신호 프로세서, 시퀀서 및 상태 머신 중 하나 이상을 포함할 수 있는 프로세서 (1416) 를 갖는다. 프로세싱 시스템 (1402) 은, 일반적으로 버스 (1420) 로 나타낸, 버스 아키텍처에 의해 구현될 수도 있다. 버스 (1420) 는 프로세싱 회로 (1402) 의 특정 애플리케이션 및 전체 설계 제약들에 의존하여 임의의 수의 상호접속 버스들 및 브릿지들을 포함할 수도 있다. 버스 (1420) 는 프로세서 (1416), 모듈들 또는 회로들 (1404, 1406 및 1408), 복수의 커넥터들 또는 와이어들을 포함하는 직렬 버스 (1414) 를 통해 통신하도록 구성가능한 라인 인터페이스 회로들 (1412), 및 컴퓨터 판독가능 저장 매체 (1418) 에 의해 표현된 하나 이상의 프로세서들 및/또는 하드웨어 모듈들을 포함하는 여러 회로들을 함께 링크한다. 버스 (1420) 는 또한 본 기술분야에서 잘 알려져 있고, 따라서 더 이상 기술되지 않을 타이밍 소스들, 주변 장치들, 전압 조절기들, 및 전력 관리 회로들과 같은 여러 다른 회로들을 링크할 수도 있다.
- [0081] 프로세서 (1416) 는 컴퓨터 판독가능 저장 매체 (1418) 에 저장된 소프트웨어의 실행을 포함하여 일반적인 프로세싱을 담당한다. 소프트웨어는, 프로세서 (1416) 에 의해 실행될 때, 프로세싱 회로 (1402) 로 하여금 임

의의 특정의 장치에 대해 위에 기재된 여러 기능들을 수행하게 한다. 컴퓨터 판독가능 저장 매체 (1418) 는 또한 직렬 버스 (1414) 를 통해 송신된 심볼들로부터 디코딩된 데이터를 포함하는, 소프트웨어를 실행할 때 프로세서 (1416) 에 의해 조작되는 데이터를 저장하기 위해 사용될 수도 있다. 프로세싱 회로 (1402) 는 모듈들 (1404, 1406 및 1408) 중 적어도 하나를 더 포함한다. 모듈들 (1404, 1406 및 1408) 은 프로세서 (1416) 에서 실행하는, 컴퓨터 판독가능 저장 매체 (1418) 에 상주하는/저장된 소프트웨어 모듈들, 프로세서 (1416) 에 커플링된 하나 이상의 하드웨어 모듈들, 또는 이들의 일부 조합일 수도 있다. 모듈들 (1404, 1406 및 1408) 은 마이크로제어기 명령들, 상태 머신 구성 파라미터들, 또는 이들의 일부 조합을 포함할 수도 있다.

[0082] 하나의 구성에서, 장치 (1400) 는 직렬 버스 (1414) 상에서 송신될 커맨드를 발생시키도록 구성되는 모듈 및/또는 회로 (1410), 테스트 신호를 얻기 위해 커맨드를 펄스들의 시퀀스와 병합하도록 구성되는 모듈 및/또는 회로 (1406), 직렬 버스 (1414) 상의 테스트 신호를 송신하도록 구성되는 모듈 및/또는 회로 (1408), 및 제 1 슬레이브 디바이스가 테스트 신호를 확인응답하는지 여부에 기초하여 제 1 슬레이브 디바이스에서 스파이크 필터의 효력을 결정하도록 구성된 모듈 및/또는 회로 (1404, 1408, 1416) 를 포함한다.

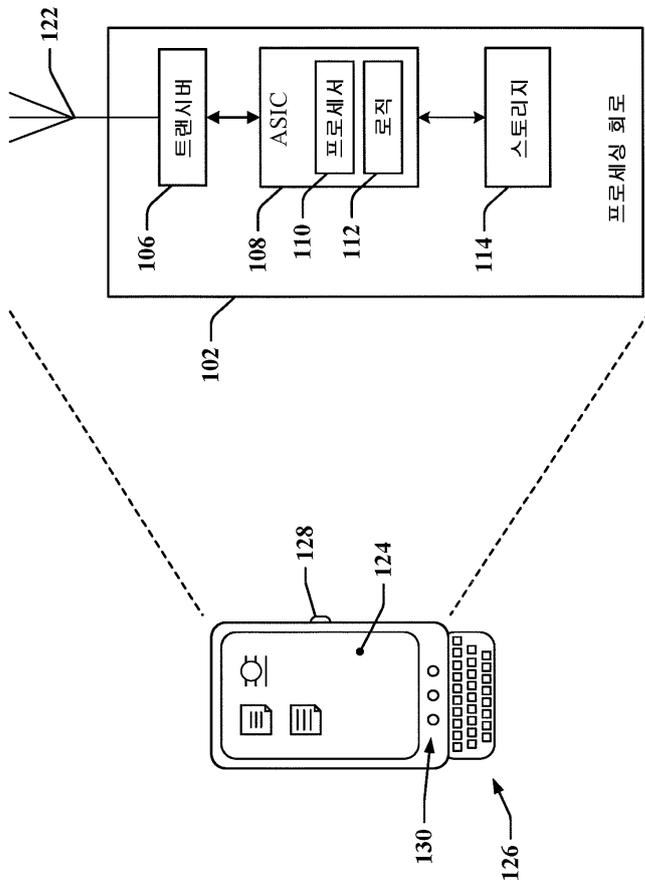
[0083] 개시된 프로세스들에서의 특정 순서 또는 계층적 단계들은 예시적인 프로세스들의 예시인 것으로 이해된다. 설계 선호도들에 기초하여, 프로세스에서의 특정 순서 또는 계층적 단계들이 재정렬될 수도 있음이 이해된다. 첨부한 방법 청구항들은 샘플 순서로 다양한 단계들의 엘리먼트들을 제시하고, 제시된 특정 순서 또는 계층에 제한되도록 의도되지 않는다.

[0084] 이전의 설명은 임의의 당업자가 본 명세서에서 설명된 다양한 양태들을 실시하는 것을 가능하게 하기 위해 제공된다. 이들 양태들에 대한 다양한 수정들은 당업자들에게 용이하게 명백할 것이고, 본 명세서에서 정의된 일반적인 원리들은 다른 양태들에 적용될 수도 있다. 따라서, 청구항들은 본 명세서에서 도시된 양태들에 제한되도록 의도되지 않고, 청구항들의 언어와 일치하는 풀 범위를 따르게 되며, 단수의 엘리먼트에 대한 언급은 구체적으로 그렇게 언급하지 않았다면 "하나 및 단 하나" 를 의미하도록 의도되지 않고, 오히려 "하나 이상" 을 의미하도록 의도된다. 구체적으로 다르게 언급하지 않았다면, 용어 "일부" 는 하나 이상을 지칭한다. 당업자에게 알려져 있거나 또는 후에 알려지게 될 본 개시 전반에 걸쳐 설명된 다양한 양태들의 엘리먼트들에 대한 모든 구조적 및 기능적 등가물들은 참조에 의해 본 명세서에 분명히 통합되고 청구항들에 의해 포괄되도록 의도된다. 더욱이, 본 명세서에서 개시된 어떤 것도 이러한 개시가 청구항들에 명시적으로 기재되는지 여부에 상관없이 공공에게 전용되도록 의도되지 않는다. 어떠한 청구항 엘리먼트도, 엘리먼트가 "하는 수단"의 문구를 사용하여 명시적으로 언급되지 않는 한, 수단 플러스 기능으로 해석되어야 한다.

도면

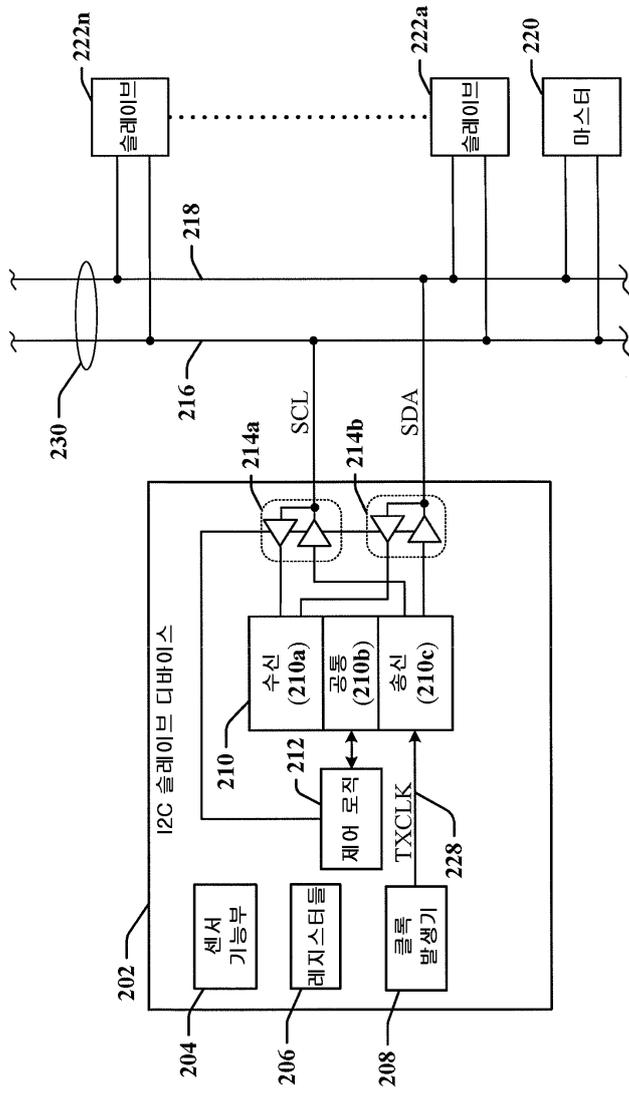
도면1

100 ↗

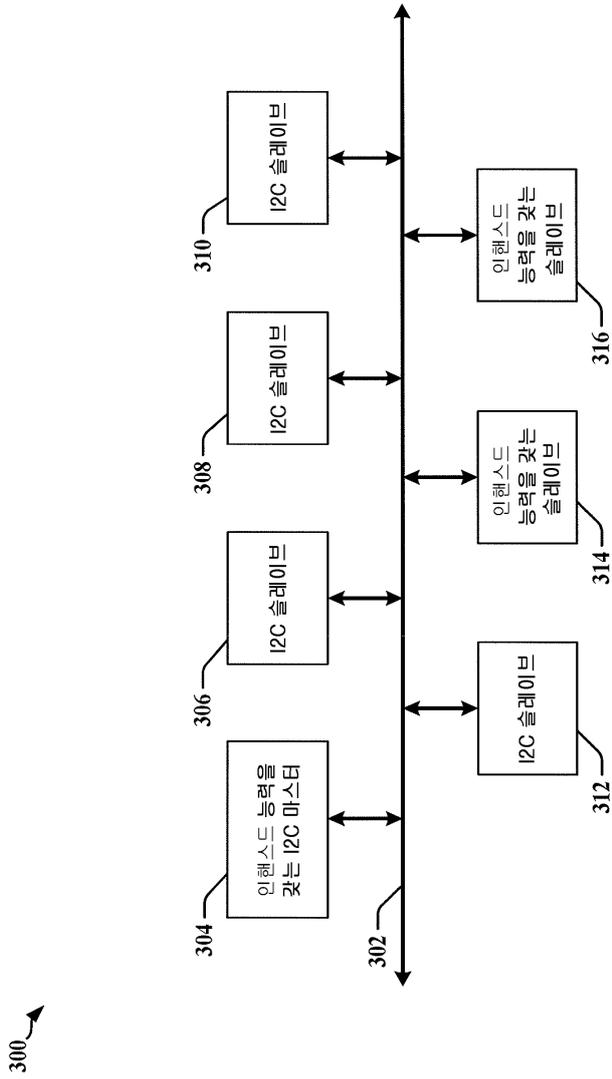


도면2

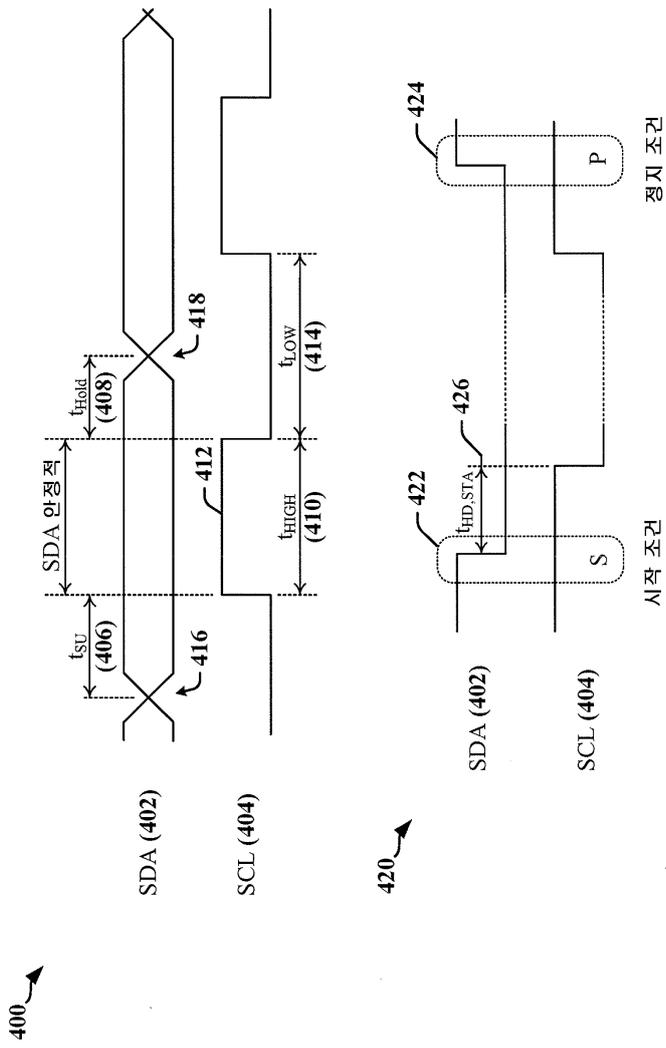
200 ↗



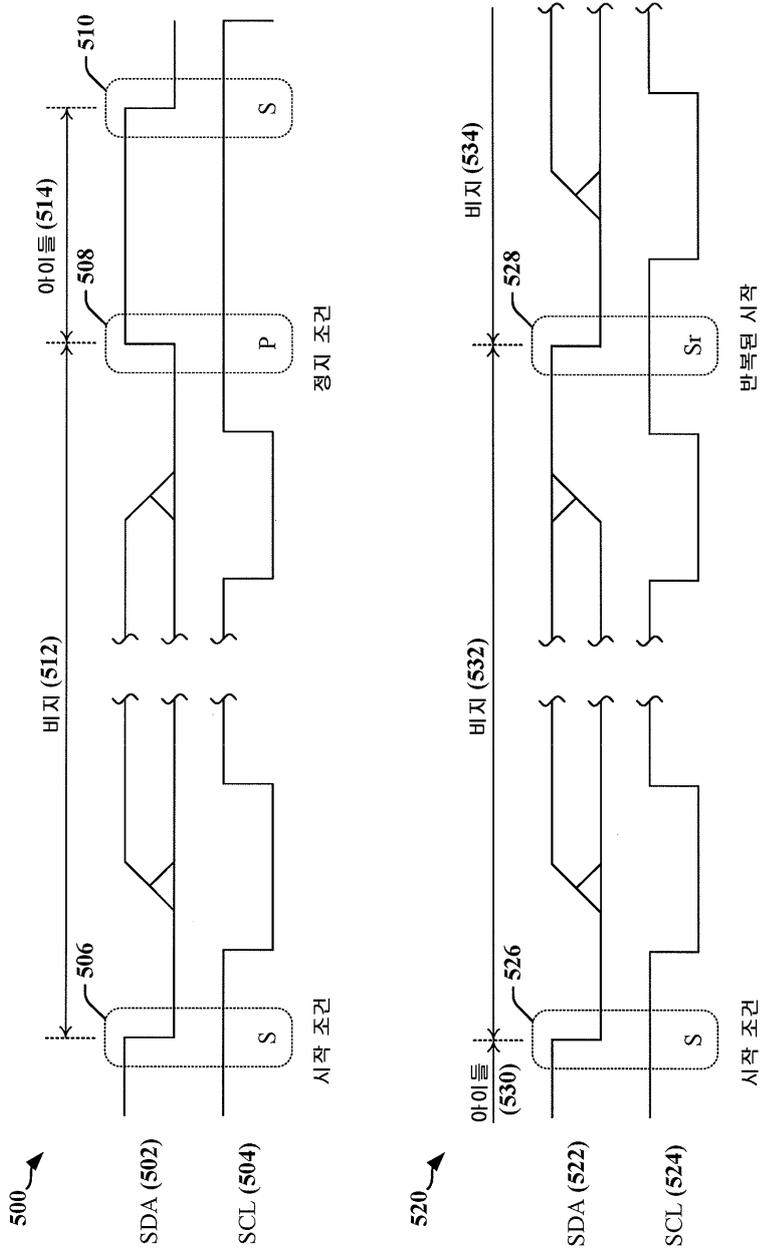
도면3



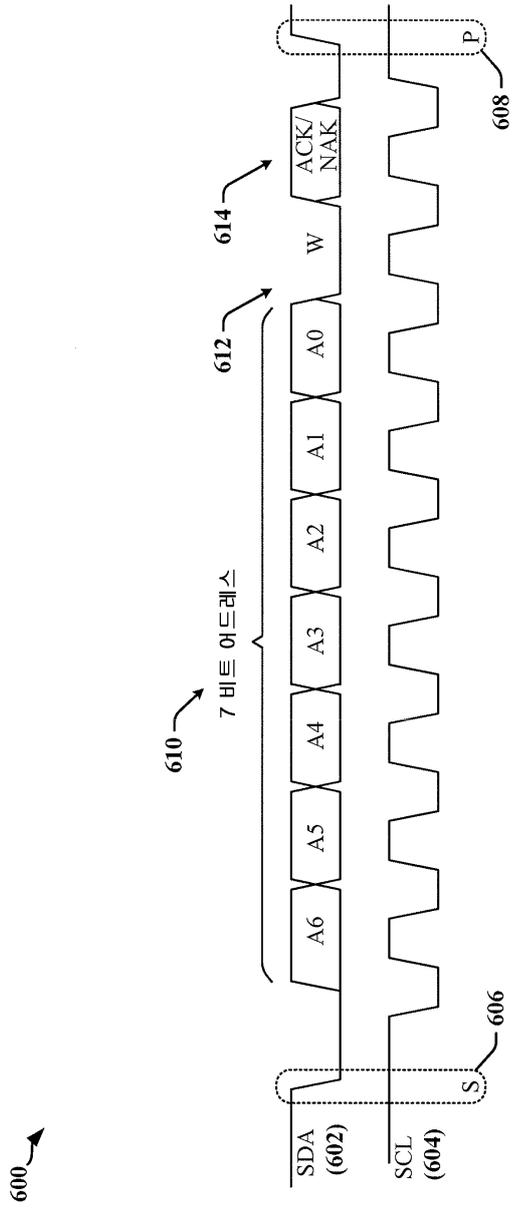
도면4



도면5

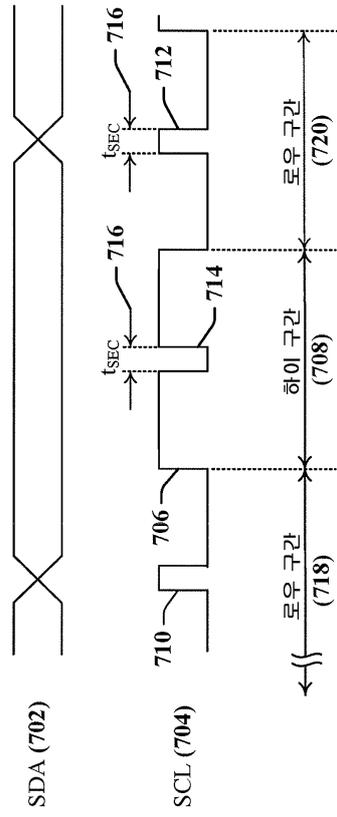


도면6

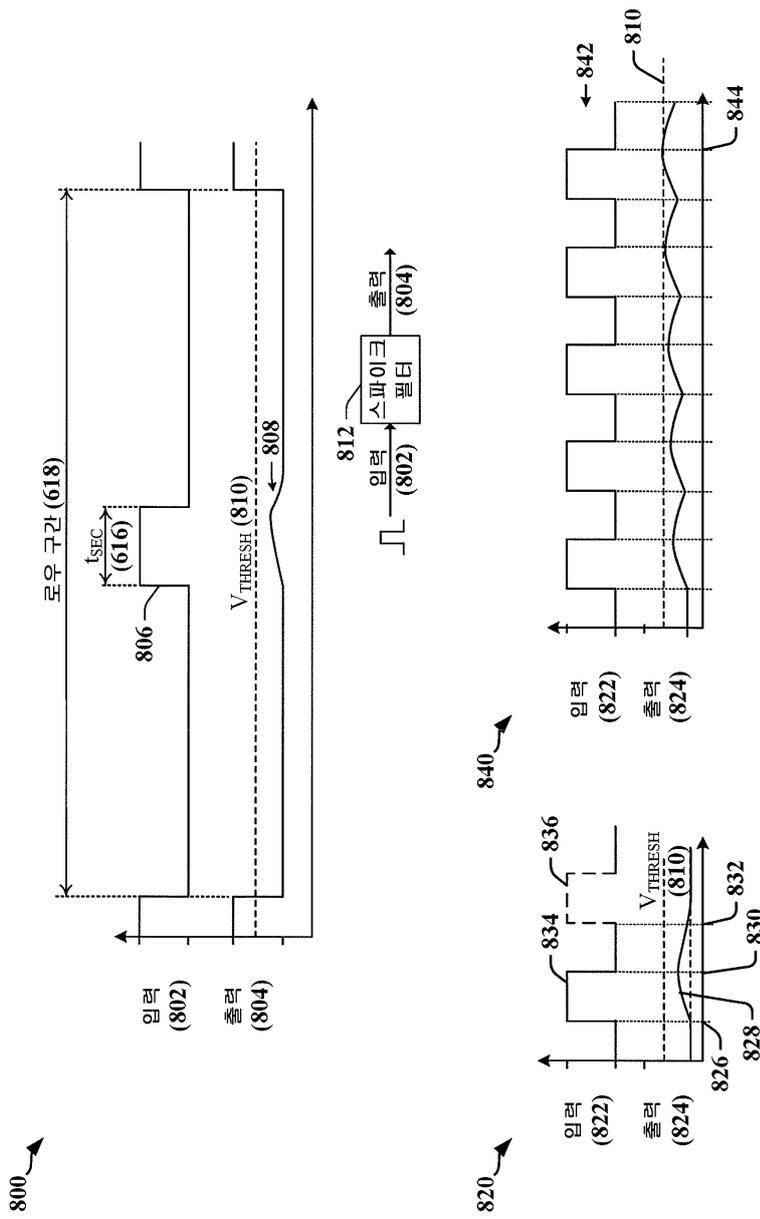


도면7

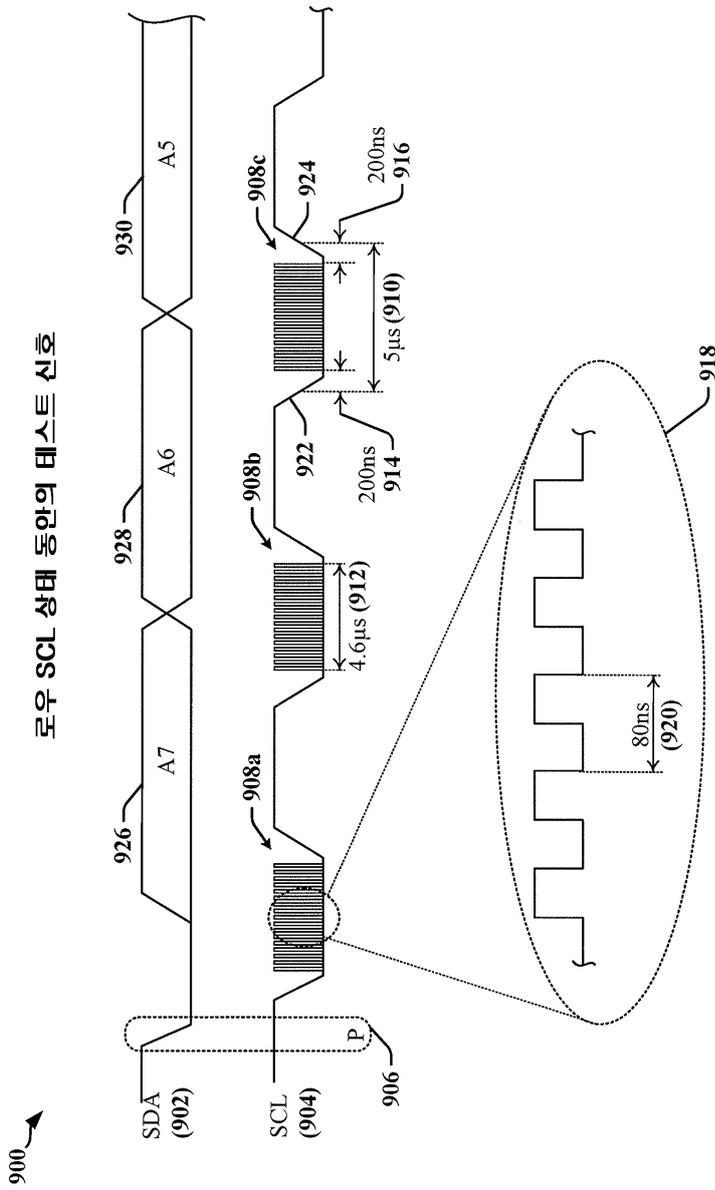
700 ↗



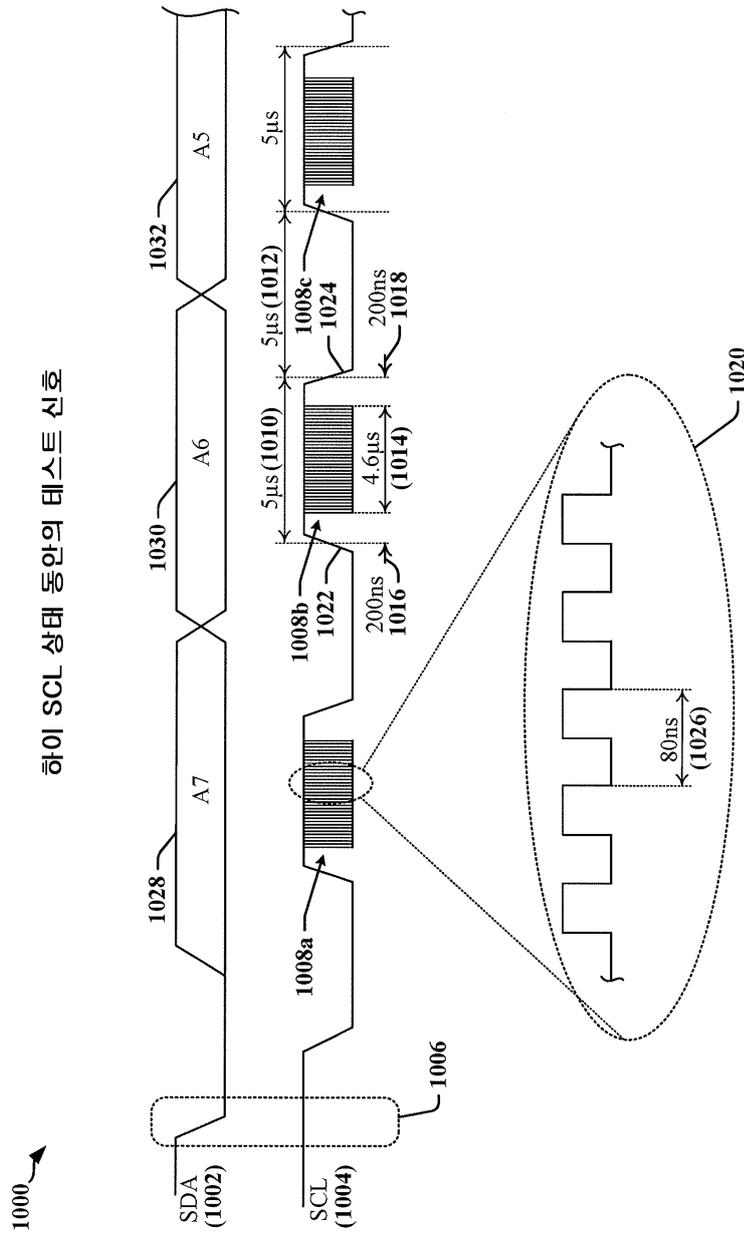
도면8



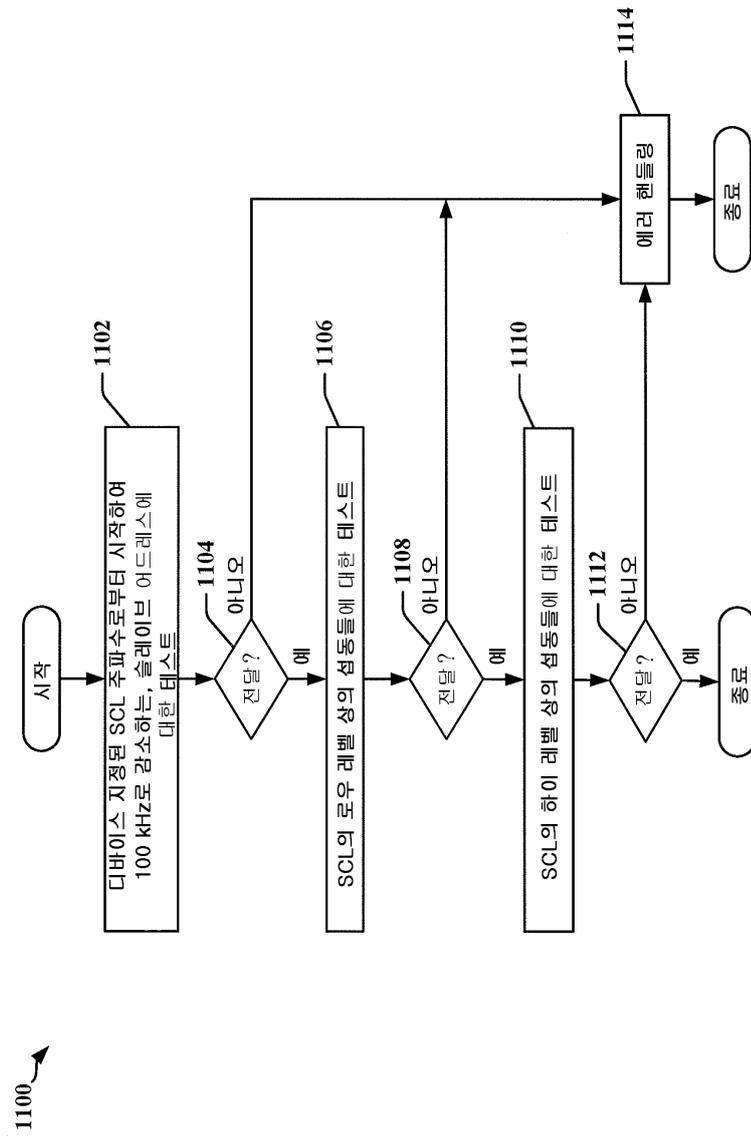
도면9



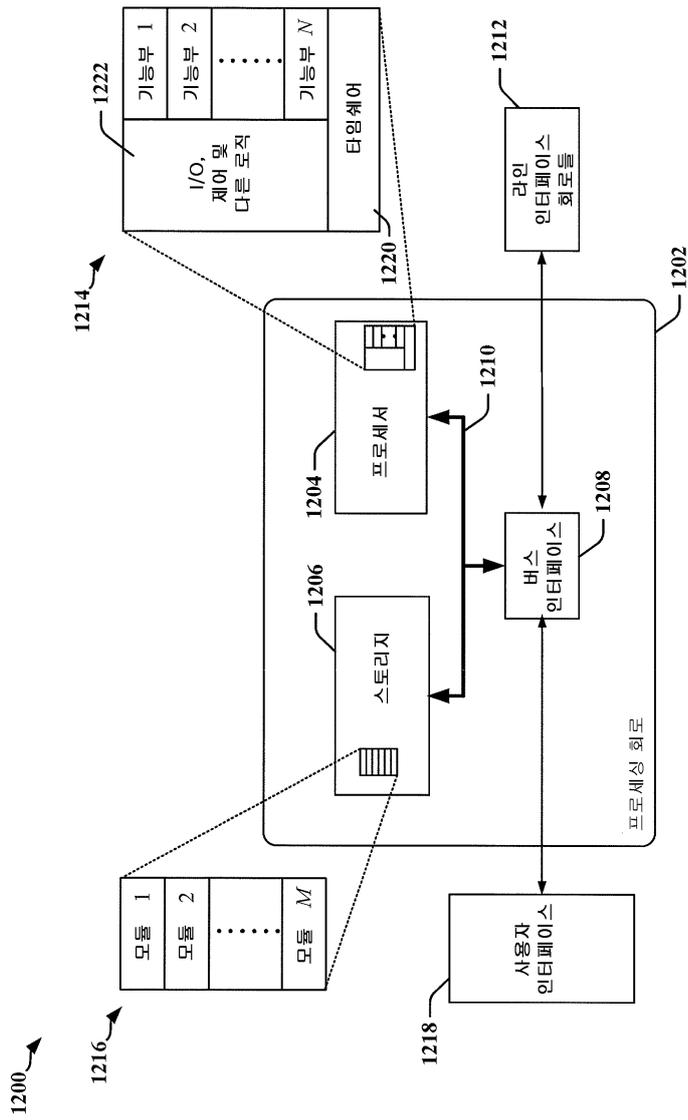
도면10



도면11

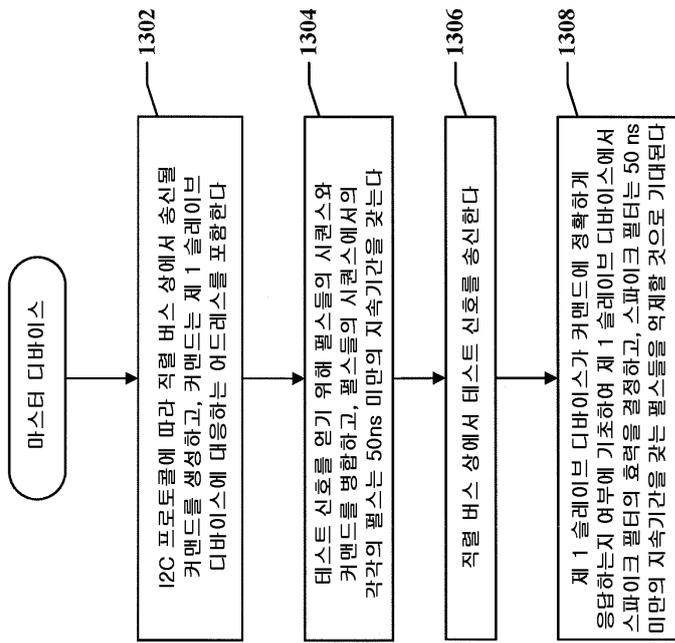


도면12



도면13

1300 ↗



도면14

