



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0068705
(43) 공개일자 2023년05월18일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/51 (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/78391 (2015.01)
H01L 29/516 (2013.01)
(21) 출원번호 10-2021-0154777
(22) 출원일자 2021년11월11일
심사청구일자 2021년11월11일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
권대웅
서울특별시 서초구 주홍3길 38, 102동 103호
김문현
경기도 용인시 수지구 광교마을로 62, 4207동 2001호
(74) 대리인
김남식, 이인행

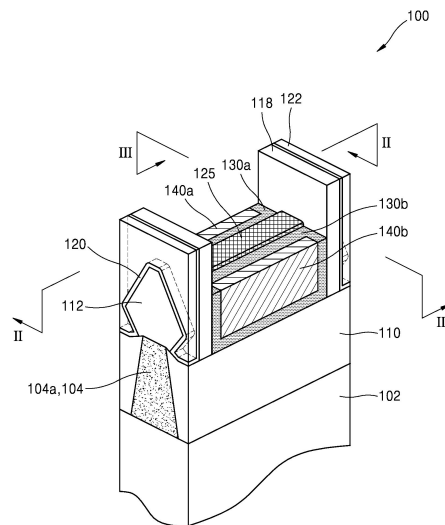
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 강유전체 소자 및 그 제조 방법

(57) 요약

본 발명의 일 관점에 의한 강유전체 소자는, 기판과, 상기 기판 상에 돌출되게 형성된 핀 채널과, 상기 핀 채널의 양측면 상의 게이트 절연층과, 상기 핀 채널의 일측면의 상기 게이트 절연층 상의 제 1 강유전체층과, 상기 핀 채널의 타측면의 상기 게이트 절연층 상의 제 2 강유전체층과, 상기 핀 채널의 상기 일측면의 상기 제 1 강유전체층 상의 제 1 게이트 전극층과, 상기 핀 채널의 상기 타측면의 상기 제 2 강유전체층 상의 제 2 게이트 전극층을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/6684 (2013.01)

H01L 29/785 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711132158
과제번호	2020M3F3A2A01081670
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발
연구과제명	음의 정전용량 전계효과 트랜지스터로 구성된 저전력 정적 램 개발
기 여 율	1/2
과제수행기관명	인하대학교
연구기간	2021.01.01 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1415173229
과제번호	20010847
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자부품산업기술개발
연구과제명	3나노 공정 노드 적용을 위한 1나노 유효 산화막 두께를 가지는 저전력 음의 정전용량 전계효과 트랜지스터 개발
기 여 율	1/2
과제수행기관명	인하대학교산학협력단
연구기간	2021.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

기관;

상기 기관 상에 돌출되게 형성된 핀 채널;

상기 핀 채널의 양측면 상의 게이트 절연층;

상기 핀 채널의 일측면의 상기 게이트 절연층 상의 제 1 강유전체층;

상기 핀 채널의 타측면의 상기 게이트 절연층 상의 제 2 강유전체층;

상기 핀 채널의 상기 일측면의 상기 제 1 강유전체층 상의 제 1 게이트 전극층; 및

상기 핀 채널의 상기 타측면의 상기 제 2 강유전체층 상의 제 2 게이트 전극층;을 포함하는,

강유전체 소자.

청구항 2

제 1 항에 있어서,

상기 핀 채널의 일단부에 형성된 소오스 영역; 및

상기 핀 채널의 타단부에 형성된 드레인 영역을 더 포함하고,

상기 소오스 영역 및 상기 드레인 영역은 상기 핀 채널의 폭보다 넓은 면적을 갖도록 에피택셜층으로 각각 형성되는,

강유전체 소자.

청구항 3

제 1 항에 있어서,

상기 핀 채널의 하부의 양측면 상에 형성된 소자 분리층을 더 포함하고,

상기 제 1 게이트 전극층 및 상기 제 2 게이트 전극층은 상기 소자 분리층 상에서 상기 핀 채널의 상부의 양측면 상에 형성된,

강유전체 소자.

청구항 4

제 3 항에 있어서,

상기 제 1 강유전체층은 상기 제 1 게이트 전극층 및 상기 소자 분리층 사이로 더 신장되고,

상기 제 2 강유전체층은 상기 제 2 게이트 전극층 및 상기 소자 분리층 사이로 더 신장된,

강유전체 소자.

청구항 5

제 3 항에 있어서,

상기 제 1 게이트 전극층 및 상기 제 2 게이트 전극층의 양단부 외측에 상기 핀 채널의 상부를 감싸도록 형성된 스페이서 절연층을 더 포함하고,

상기 제 1 강유전체층 및 상기 제 2 강유전체층은 상기 제 1 게이트 전극층 및 상기 스페이서 절연층의 사이 및

상기 제 2 게이트 전극층 및 상기 스페이서 절연층 사이로 더 신장된,
강유전체 소자.

청구항 6

기관 상에 돌출되게 핀 채널을 형성하는 단계;

상기 핀 채널의 양측면 상에 게이트 절연층을 형성하는 단계;

상기 핀 채널의 일측면의 상기 게이트 절연층 상에 제 1 강유전체층을 형성하고, 상기 핀 채널의 타측면의 상기 게이트 절연층 상에 제 2 강유전체층을 형성하는 단계; 및

상기 핀 채널의 상기 일측면의 상기 제 1 강유전체층 상에 제 1 게이트 전극층을 형성하고, 상기 핀 채널의 상기 타측면의 상기 제 2 강유전체층 상에 제 2 게이트 전극층을 형성하는 단계를 포함하는,

강유전체 소자의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 게이트 절연층을 형성하는 단계 전에, 상기 핀 채널의 하부의 양측면 상에 소자 분리층을 형성하는 단계를 더 포함하고,

상기 제 1 게이트 전극층 및 상기 제 2 게이트 전극층은 상기 소자 분리층 상에서 상기 핀 채널의 상부의 양측면 상에 형성된,

강유전체 소자의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 소자 분리층을 형성하는 단계 후,

상기 소자 분리층 상에 상기 핀 채널의 상부를 덮는 더미 게이트층을 형성하는 단계;

상기 더미 게이트층의 양단부 상에 상기 핀 채널의 상부를 덮도록 스페이서 절연층을 형성하는 단계;

상기 핀 채널의 일단부에 소오스 영역을 형성하는 단계; 및

상기 핀 채널의 타단부에 드레인 영역을 형성하는 단계를 더 포함하는,

강유전체 소자의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 소오스 영역 및 상기 드레인 영역은 상기 핀 채널의 폭보다 넓은 면적을 갖도록 에피택셜층으로 각각 형성되는,

강유전체 소자의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 더미 게이트층 상에 층간 절연층을 형성하는 단계;

상기 층간 절연층을 평탄화하는 단계; 및

상기 더미 게이트층을 제거하는 단계를 더 포함하고,

상기 게이트 절연층은 상기 더미 게이트층이 제거된 상기 핀 채널의 상부 상에 형성되는,

강유전체 소자의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 층간 절연층을 형성하기 전에 상기 더미 게이트층 상에 식각 정지층을 형성하는 단계를 더 포함하는

강유전체 소자의 제조 방법.

청구항 12

제 6 항에 있어서,

상기 핀 채널의 상부를 덮도록 상기 게이트 절연층 상에 강유전체층을 형성하는 단계를 더 포함하고,

상기 제 1 강유전체층 및 상기 제 2 강유전체층은, 상기 핀 채널의 위의 상기 강유전체층의 일부분을 제거하여 상기 강유전체층을 상기 핀 채널의 양측면 상으로 분리하여 형성되는,

강유전체 소자의 제조 방법.

청구항 13

제 10 항에 있어서,

상기 핀 채널의 상부를 덮도록 상기 강유전체층 상에 게이트 전극층을 형성하는 단계를 더 포함하고,

상기 제 1 게이트 전극층 및 상기 제 2 게이트 전극층은, 상기 핀 채널 위의 상기 게이트 전극층의 일부분을 제거하여 상기 게이트 전극층을 상기 핀 채널의 양측면 상으로 분리하여 형성되는,

강유전체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자에 관한 것으로서, 더 상세하게는 강유전체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 전자 제품은 그 부피가 점점 작아지면서도 고속도의 데이터 처리와 고용량의 데이터 처리를 요하고 있다. 이에 따라, 이러한 전자 제품에 사용되는 메모리 칩의 부피를 줄이면서 그 성능과 집적도를 높일 필요가 있다.

[0003] 이에 따라, 종래 메모리 소자의 한계를 극복하기 위한 차세대 메모리 소자가 연구되고 있다. 예를 들어, 강유전체 소자(Ferroelectric device)는 단일 트랜지스터 동작 및 빠른 동작 속도 등의 이유로 이러한 차세대 메모리 소자의 하나로 주목을 받고 있다.

[0004] 또한, 최근 기존의 램(Random access memory, RAM) 소자와 반대로 동작하는 CAM(content addressable memory) 소자가 고속 동작을 요하는 네트워크 프로세싱 장비, 신경망 회로 등에서 연구되고 있다. 나아가, TCAM(ternary content addressable memory) 소자는 단일 클록에서 전체적인 콘텐츠를 검색할 수 있다는 점에서 고속 메모리로 연구되고 있다.

[0005] 최근, 이러한 강유전체 소자의 특성에 대한 연구와 더불어 TCAM에 응용할 수 있는 이중셀 구조의 강유전체 소자에 대해서 연구되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 고속 동작이 가능한 이중셀 구조의 강유전체 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가

가 한정되는 것은 아니다.

과제의 해결 수단

- [0007] 상기 과제를 해결하기 위한 본 발명의 일 관점에 의한 강유전체 소자는, 기판과, 상기 기판 상에 돌출되게 형성된 핀 채널과, 상기 핀 채널의 양측면 상의 게이트 절연층과, 상기 핀 채널의 일측면의 상기 게이트 절연층 상의 제 1 강유전체층과, 상기 핀 채널의 타측면의 상기 게이트 절연층 상의 제 2 강유전체층과, 상기 핀 채널의 상기 일측면의 상기 제 1 강유전체층 상의 제 1 게이트 전극층과, 상기 핀 채널의 상기 타측면의 상기 제 2 강유전체층 상의 제 2 게이트 전극층을 포함한다.
- [0008] 상기 강유전체 소자에 따르면, 상기 핀 채널의 일단부에 형성된 소오스 영역과, 상기 핀 채널의 타단부에 형성된 드레인 영역을 더 포함하고, 상기 소오스 영역 및 상기 드레인 영역은 상기 핀 채널의 폭보다 넓은 면적을 갖도록 에피택셜층으로 각각 형성될 수 있다.
- [0009] 상기 강유전체 소자에 따르면, 상기 핀 채널의 하부의 양측면 상에 형성된 소자 분리층을 더 포함하고, 상기 제 1 게이트 전극층 및 상기 제 2 게이트 전극층은 상기 소자 분리층 상에서 상기 핀 채널의 상부의 양측면 상에 형성될 수 있다.
- [0010] 상기 강유전체 소자에 따르면, 상기 제 1 강유전체층은 상기 제 1 게이트 전극층 및 상기 소자 분리층 사이로 더 신장되고, 상기 제 2 강유전체층은 상기 제 2 게이트 전극층 및 상기 소자 분리층 사이로 더 신장될 수 있다.
- [0011] 상기 강유전체 소자에 따르면, 상기 제 1 게이트 전극층 및 상기 제 2 게이트 전극층의 양단부 외측에 상기 핀 채널의 상부를 감싸도록 형성된 스페이서 절연층을 더 포함하고, 상기 제 1 강유전체층 및 상기 제 2 강유전체층은 상기 제 1 게이트 전극층 및 상기 스페이서 절연층의 사이 및 상기 제 2 게이트 전극층 및 상기 스페이서 절연층 사이로 더 신장될 수 있다.
- [0012] 상기 과제를 해결하기 위한 본 발명의 다른 관점에 의한 강유전체 소자의 제조 방법은, 기판 상에 돌출되게 핀 채널을 형성하는 단계와, 상기 핀 채널의 양측면 상에 게이트 절연층을 형성하는 단계와, 상기 핀 채널의 일측면의 상기 게이트 절연층 상에 제 1 강유전체층을 형성하고, 상기 핀 채널의 타측면의 상기 게이트 절연층 상에 제 2 강유전체층을 형성하는 단계와, 상기 핀 채널의 상기 일측면의 상기 제 1 강유전체층 상에 제 1 게이트 전극층을 형성하고, 상기 핀 채널의 상기 타측면의 상기 제 2 강유전체층 상에 제 2 게이트 전극층을 형성하는 단계를 포함할 수 있다.
- [0013] 상기 강유전체 소자의 제조 방법에 따르면, 상기 게이트 절연층을 형성하는 단계 전에, 상기 핀 채널의 하부의 양측면 상에 형성된 소자 분리층을 형성하는 단계를 더 포함하고, 상기 제 1 게이트 전극층 및 상기 제 2 게이트 전극층은 상기 소자 분리층 상에서 상기 핀 채널의 상부의 양측면 상에 형성될 수 있다.
- [0014] 상기 강유전체 소자의 제조 방법에 따르면, 상기 소자 분리층을 형성하는 단계 후, 상기 소자 분리층 상에 상기 핀 채널의 상부를 덮는 더미 게이트층을 형성하는 단계와, 상기 더미 게이트층의 양단부 상에 상기 핀 채널의 상부를 덮도록 스페이서 절연층을 형성하는 단계와, 상기 핀 채널의 일단부에 소오스 영역을 형성하는 단계와, 상기 핀 채널의 타단부에 드레인 영역을 형성하는 단계를 더 포함할 수 있다.
- [0015] 상기 강유전체 소자의 제조 방법에 따르면, 상기 소오스 영역 및 상기 드레인 영역은 상기 핀 채널의 폭보다 넓은 면적을 갖도록 에피택셜층으로 각각 형성될 수 있다.
- [0016] 상기 강유전체 소자의 제조 방법에 따르면, 상기 더미 게이트층 상에 층간 절연층을 형성하는 단계와, 상기 층간 절연층을 평탄화하는 단계와, 상기 더미 게이트층을 제거하는 단계를 더 포함하고, 상기 게이트 절연층은 상기 더미 게이트층이 제거된 상기 핀 채널의 상부 상에 형성될 수 있다.
- [0017] 상기 강유전체 소자의 제조 방법에 따르면, 상기 층간 절연층을 형성하기 전에 상기 더미 게이트층 상에 식각 정지층을 형성하는 단계를 더 포함할 수 있다.
- [0018] 상기 강유전체 소자의 제조 방법에 따르면, 상기 핀 채널의 상부를 덮도록 상기 게이트 절연층 상에 강유전체층을 형성하는 단계를 더 포함하고, 상기 제 1 강유전체층 및 상기 제 2 강유전체층은, 상기 핀 채널의 위의 상기 강유전체층의 일부분을 제거하여 상기 강유전체층을 상기 핀 채널의 양측면 상으로 분리하여 형성될 수 있다.
- [0019] 상기 강유전체 소자의 제조 방법에 따르면, 상기 핀 채널의 상부를 덮도록 상기 강유전체층 상에 게이트 전극층을 형성하는 단계를 더 포함하고, 상기 제 1 게이트 전극층 및 상기 제 2 게이트 전극층은, 상기 핀 채널 위의

상기 게이트 전극층의 일부분을 제거하여 상기 게이트 전극층을 상기 핀 채널의 양측면 상으로 분리하여 형성될 수 있다.

발명의 효과

- [0020] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따른 강유전체 소자 및 그 제조 방법에 의하면, 고속도 동작이 가능한 이중셀 구조를 제공할 수 있다.
- [0021] 물론 이러한 효과는 예시적인 것이고, 이러한 효과에 의해서 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 일 실시예에 따른 강유전체 소자를 보여주는 사시도이다.
- 도 2는 도 1의 강유전체 소자의 II-II선에서 절취한 단면도이다.
- 도 3은 도 1의 강유전체 소자의 III-III선에서 절취한 단면도이다.
- 도 4 내지 도 11은 본 발명의 일 실시예에 따른 강유전체 소자의 제조 방법을 보여주는 사시도들이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있는 것으로, 이하의 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한 설명의 편의를 위하여 도면에서는 적어도 일부의 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 도면에서 동일한 부호는 동일한 요소를 지칭한다.
- [0024] 다르게 정의되지 않는 한, 여기에 사용된 모든 용어들은 해당기술 분야에서 통상의 지식을 가진 자에 의해서 통상적으로 이해되는 것과 같은 의미로 사용된다. 도면에서, 층 및 영역의 크기는 설명을 위해 과장되었고, 따라서 본 발명의 일반적인 구조들을 설명하기 위해 제공된다.
- [0025] 동일한 참조 부호들은 동일한 구성 요소를 나타낸다. 층, 영역, 또는 기판과 같은 한 구성이 다른 구성 상(on)에 있다고 지칭할 때, 그것은 다른 구성의 바로 상부에 있거나 또는 그 사이에 다른 개재된 구성이 또한 존재할 수 있는 것으로 이해될 것이다. 반면에, 한 구성이 다른 구성의 “바로 위에(directly on)” 있다고 지칭할 때는 중간 개재 구성들이 존재하지 않는다고 이해된다.
- [0026] 도 1은 본 발명의 일 실시예에 따른 강유전체 소자(100)를 보여주는 단면도이고, 도 2는 도 1의 강유전체 소자(100)의 II-II선에서 절취한 단면도이고, 도 3은 도 1의 강유전체 소자(100)의 III-III선에서 절취한 단면도이다.
- [0027] 도 1 내지 도 3을 참조하면, 강유전체 소자(100)는 기판(102), 핀 채널(104), 게이트 절연층(125), 제 1 강유전체층(130a), 제 2 강유전체층(130b), 제 1 게이트 전극층(140a) 및 제 2 게이트 전극층(140b)을 포함할 수 있다.
- [0028] 강유전체 소자(100)는 강유전체 메모리(Ferroelectric memory)로 불리거나 또는 강유전체 전계효과 트랜지스터(ferroelectric FET, FeFET)로 불릴 수도 있다.
- [0029] 보다 구체적으로 보면, 기판(102)은 반도체 물질, 예컨대 실리콘, 게르마늄, 또는 실리콘-게르마늄 등을 포함할 수 있다. 예를 들어, 기판(102)은 반도체 웨이퍼 형태로 제공될 수 있다.
- [0030] 핀 채널(fin channel, 104)은 기판(102) 상에 돌출되게 형성될 수 있다. 핀 채널(104)은 핀 형상을 갖고 채널로 동작할 수 있다. 예를 들어, 핀 채널(104)은 반도체 물질, 예컨대 실리콘, 게르마늄, 또는 실리콘-게르마늄 등을 포함할 수 있다.
- [0031] 예를 들어, 핀 채널(104)은 기판(102)을 식각하여 형성할 수 있다. 이 경우, 핀 채널(104)은 기판(102)의 일부일 수 있다. 다른 예로, 핀 채널(104)은 기판(102)으로부터 성장된 에피택셜층(epitaxial layer)일 수도 있다. 또 다른 예로, 핀 채널(104)은 기판(102) 상에 접합된 반도체층일 수도 있다. 이 경우, 기판(102)은 반도체 물질이 아닌, 절연층일 수도 있다.
- [0032] 일부 실시예에서, 소자 분리층(110)이 핀 채널(104)의 하부(104a)의 양측면 상에 형성될 수 있다. 예를 들어,

소자 분리층(110)은 핀 채널(104) 주위의 트렌치(trench) 영역에 절연층을 매립하여 형성될 수 있고, STI(shallow trench isolation) 절연층으로 불릴 수도 있다.

- [0033] 게이트 절연층(125)은 핀 채널(104)의 양측면 상에 형성될 수 있다. 예를 들어, 게이트 절연층(125)은 소자 분리층(110)으로부터 노출된 핀 채널(104)의 상부(104b)를 전체적으로 덮도록 형성될 수 있다. 다른 예로, 게이트 절연층(125)은 핀 채널(104)의 상부(104b)의 양측면 상에 분리되게 형성될 수도 있다.
- [0034] 제 1 강유전체층(130a)은 핀 채널(104)의 일측면의 게이트 절연층(125) 상에 형성되고, 제 2 강유전체층(130b)은 핀 채널(104)의 타측면의 게이트 절연층(125) 상에 형성될 수 있다. 예를 들어, 제 1 강유전체층(130a) 및 제 2 강유전체층(130b)은 소자 분리층(110) 상의 핀 채널(104)의 상부(104b)의 양측면들 상에 형성될 수 있다. 이에 따라, 제 1 강유전체층(130a) 및 제 2 강유전체층(130b)은 핀 채널(104)을 사이에 두고 서로 반대 측면에 배치될 수 있다.
- [0035] 예를 들어, 게이트 절연층(110)은 산화막을 포함할 수 있고, 제 1 강유전체층(130a) 및 제 2 강유전체층(130b)은 분극(polarization) 현상을 이용하여 데이터를 저장할 수 있는 층으로, 고유전율막(high-k dielectric layer)을 포함할 수 있다. 게이트 절연층(110)은 버퍼 절연층의 기능을 한다는 점에서 상대적으로 얇게 형성될 수 있고, 제 1 강유전체층(130a) 및 제 2 강유전체층(130b)은 데이터 저장을 위해서 필요한 두께로 형성될 수 있다. 따라서, 제 1 강유전체층(130a) 및 제 2 강유전체층(130b)의 두께는 게이트 절연층(110)의 두께보다 클 수 있다.
- [0036] 예를 들어, 제 1 강유전체층(130a) 및 제 2 강유전체층(130b)은 하프늄 산화물(HfO_2), 지르코늄 산화물(ZrO_2) 또는 하프늄-지르코늄 산화물($\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$)을 포함하거나 또는 이들의 적층 구조를 포함할 수 있다. 선택적으로, 제 1 강유전체층(130a) 및 제 2 강유전체층(130b)은 불순물로 도핑될 수도 있다.
- [0037] 제 1 게이트 전극층(140a)은 핀 채널(104)의 일측면의 제 1 강유전체층(130a) 상에 형성되고, 제 2 게이트 전극층(140b)은 핀 채널(104)의 타측면의 제 2 강유전체층(130b) 상에 형성될 수 있다. 예를 들어, 제 1 게이트 전극층(140a) 및 제 2 게이트 전극층(140b)은 소자 분리층(110) 상에서 핀 채널(104)의 상부(104b)의 양측면들 상에 형성될 수 있다. 이에 따라, 제 1 게이트 전극층(140a) 및 제 2 게이트 전극층(140b)은 핀 채널(104)을 사이에 두고 서로 반대 측면에 배치될 수 있다.
- [0038] 일부 실시예에서, 제 1 강유전체층(130a)은 제 1 게이트 전극층(140a) 및 핀 채널(104)의 사이뿐만 아니라 제 1 게이트 전극층(140a) 및 소자 분리층(110) 사이로 더 신장될 수 있다. 나아가, 제 1 강유전체층(130a)은 제 1 게이트 전극층(140a)의 양단부들을 더 둘러싸도록 형성될 수 있다.
- [0039] 또한, 제 2 강유전체층(130b)은 제 2 게이트 전극층(140b) 및 핀 채널(104)의 사이뿐만 아니라 제 2 게이트 전극층(140b) 및 소자 분리층(110) 사이로 더 신장될 수 있다. 나아가, 제 2 강유전체층(130b)은 제 2 게이트 전극층(140b)의 양단부들을 더 둘러싸도록 형성될 수 있다.
- [0040] 일부 실시예에서, 스페이서 절연층(118)은 제 1 게이트 전극층(140a) 및 제 2 게이트 전극층(140b)의 양단부 외측에 핀 채널(104)의 상부(104b)를 감싸도록 형성될 수 있다. 예를 들어, 스페이서 절연층(118)은 제 1 게이트 전극층(140a) 및 제 2 게이트 전극층(140b)의 양단부 외측에 서로 마주보도록 한 쌍으로 제공될 수 있다.
- [0041] 나아가, 제 1 강유전체층(130a) 및 제 2 강유전체층(130b)은 제 1 게이트 전극층(140a) 및 스페이서 절연층(118)의 사이 및 제 2 게이트 전극층(140b) 및 스페이서 절연층(118) 사이로 더 신장될 수 있다. 이에 따라, 제 1 강유전체층(130a) 및 제 2 강유전체층(130b)은 제 1 게이트 전극층(140a) 및 제 2 게이트 전극층(140b)의 양단부들을 각각 둘러싸도록 제공될 수 있다.
- [0042] 일부 실시예에서, 소오스 영역(112)은 핀 채널(104)의 일단부에 형성되고, 드레인 영역(114)은 핀 채널(104)의 타단부에 형성될 수 있다. 예를 들어, 소오스 영역(112) 및 드레인 영역(114)은 핀 채널(104)의 상부(104b)의 양단부들에 각각 형성될 수 있다.
- [0043] 소오스 영역(112) 및 드레인 영역(114)에는 불순물이 도핑될 수 있다. 예를 들어, 소오스 영역(112) 및 드레인 영역(114)은 핀 채널(104)의 폭보다 넓은 면적을 갖도록 에피택셜층으로 각각 형성될 수 있고, 이러한 에피택셜층 형성 시 불순물이 도핑될 수 있다. 이와 같이, 소오스 영역(112) 및 드레인 영역(114)을 에피택셜층으로 형성하게 되면, 핀 채널(104)보다 넓은 폭을 갖도록 형성할 수 있어서 플러그 콘택 영역을 넓게 할 수 있어서 콘택 저항을 낮출 수 있다. 나아가, 에피택셜층 형성 시 불순물 도핑을 같이 할 수 있어서, 공정을 간소화할 수

있다.

- [0044] 한편, 이 실시예의 변형된 예에서, 핀 채널(104)의 폭이 넓은 경우에는 소오스 영역(112) 및 드레인 영역(114)을 핀 채널(104)에 불순물을 도핑하여 형성할 수도 있다.
- [0045] 일부 실시예에서, 소오스 영역(112) 및 드레인 영역(114) 상에는 층간 절연층(122)이 형성될 수 있다. 예를 들어, 층간 절연층(122)은 스페이서 절연층(118) 외측에 스페이서 절연층(118)과 접하도록 형성될 수 있다. 나아가, 층간 절연층(122) 하부의 소오스 영역(112) 및 드레인 영역(114) 상에는 식각 정지층(120)이 더 형성될 수도 있다.
- [0046] 일부 실시예에서, 핀 채널(104)은 제 1 도전형의 불순물로 도핑될 수 있고, 소오스 영역(112) 및 드레인 영역(114)은 제 2 도전형의 불순물로 도핑될 수 있다. 예를 들어, 제 1 도전형 및 제 2 도전형은 서로 반대의 도전형을 가지되 n형 및 p형 중 각각 어느 하나일 수 있다. 예를 들어, 제 1 도전형은 n형이면 제 2 도전형은 p형이고, 그 반대일 수도 있다.
- [0047] 전술한 강유전체 소자(100)는 핀 채널(104), 게이트 절연층(125), 제 1 강유전체층(130a) 및 제 1 게이트 전극층(140a)의 제 1 측면 셀(first lateral cell)과 핀 채널(104), 게이트 절연층(125), 제 2 강유전체층(130b) 및 제 1 게이트 전극층(140b)의 제 2 측면 셀(second lateral cell)을 포함하는 이중 셀 구조를 가질 수 있다. 제 1 측면 셀과 제 2 측면 셀은 핀 채널(104)을 공유할 수 있다.
- [0048] 따라서, 강유전체 소자(100)를 이용하면, 3차원 구조의 핀 채널(104)을 이용하여 고속 동작이 가능한 이중셀 구조를 구현할 수 있다. 예를 들어, 이러한 이중셀 구조의 강유전체 소자(100)는 TCAM 소자로 응용될 수 있다.
- [0049] 일부 실시예에 따른 강유전체 소자(100)의 제조 방법은, 기판(102) 상에 돌출되게 핀 채널(104)을 형성하는 단계와, 핀 채널(104)의 양측면 상에 게이트 절연층(125)을 형성하는 단계와, 핀 채널(104)의 일측면의 게이트 절연층(125) 상에 제 1 강유전체층(130a)을 형성하고, 핀 채널(104)의 타측면의 게이트 절연층(125) 상에 제 2 강유전체층(130b)을 형성하는 단계와, 핀 채널(104)의 일측면의 제 1 강유전체층(130a) 상에 제 1 게이트 전극층(140a)을 형성하고, 핀 채널(104)의 타측면의 제 2 강유전체층(130b) 상에 제 2 게이트 전극층(140b)을 형성하는 단계를 포함할 수 있다.
- [0050] 일부 실시예에서, 게이트 절연층(125)을 형성하는 단계 전에, 핀 채널(104)의 하부(104a)의 양측면 상에 소자 분리층(110)을 형성하는 단계가 수행될 수도 있다. 이 경우, 제 1 게이트 전극층(140a) 및 제 2 게이트 전극층(140b)은 소자 분리층(110) 상에서 핀 채널(104)의 상부(104b)의 양측면 상에 형성될 수 있다.
- [0051] 이하에서는 강유전체 소자(100)의 제조 방법에 대해서 보다 구체적으로 설명한다.
- [0052] 도 4 내지 도 11은 본 발명의 일 실시예에 따른 강유전체 소자(100)의 제조 방법을 보여주는 사시도들이다.
- [0053] 도 4를 참조하면, 기판(102) 상에 돌출되게 핀 채널(104)을 형성할 수 있다. 예를 들어, 기판(102)을 패터닝하고 식각하여 기판(102)으로부터 상방으로 돌출되며 적어도 일 방향으로 신장하는 핀 채널(104)을 형성할 수 있다.
- [0054] 일부 실시예에서, 핀 채널(104)의 하부(104a)의 양측면 상에 소자 분리층(110)을 형성하는 단계가 이어질 수 있다. 예를 들어, 소자 분리층(110)은 핀 채널(104) 주변의 트렌치를 절연층으로 매립하여 STI 구조로 형성할 수 있다.
- [0055] 도 5를 참조하면, 소자 분리층(110)을 형성하는 단계 후, 소자 분리층(110) 상에 핀 채널(104)의 상부(104b)를 덮는 더미 게이트층(116)을 형성할 수 있다. 나아가, 더미 게이트층(116)은 핀 채널(104)의 양 단부들을 노출하도록 패터닝될 수 있다. 더미 게이트층(116)은 추후 식각된다는 점에서 희생층으로 불릴 수도 있다.
- [0056] 이어서, 더미 게이트층(116)의 양단부 상에 핀 채널(104)의 상부(104b)를 덮도록 스페이서 절연층(118)을 형성할 수 있다. 예를 들어, 스페이서 절연층(118)은 더미 게이트층(116)을 따라서 절연층을 형성한 후 이를 이방성 식각하여 형성할 수 있다.
- [0057] 도 6을 참조하면, 핀 채널(104)의 일단부에 소오스 영역(112)을 형성하고, 핀 채널(104)의 타단부에 드레인 영역(114)을 형성할 수 있다. 예를 들어, 소오스 영역(112) 및 드레인 영역(114)은 핀 채널(104)의 폭보다 넓은 면적을 갖도록 핀 채널(104)의 양단부들에 에피택셜층으로 각각 형성될 수 있다. 예를 들어, 소오스 영역(112) 및 드레인 영역(114)은 스페이서 절연층(118) 외측의 핀 채널(104)의 상부(104b)의 양단부들에 형성될 수 있다.

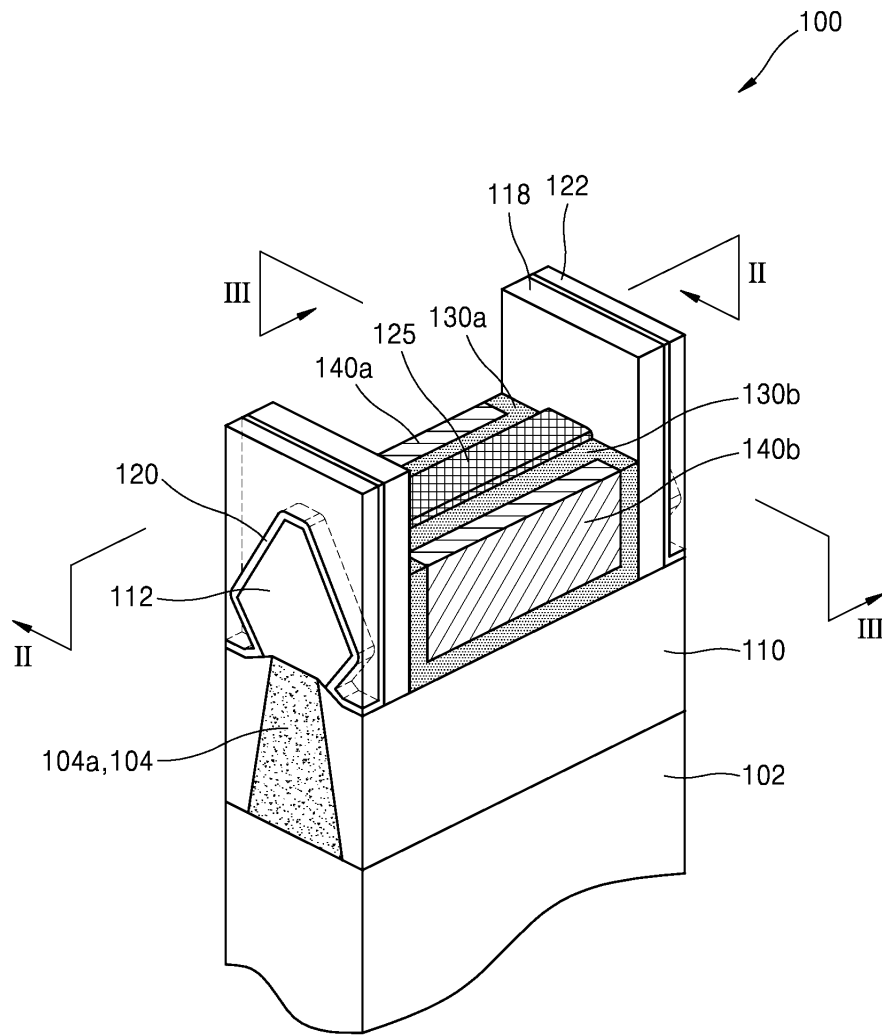
- [0058] 일부 실시예에서, 핀 채널(104)의 양단부들을 일부 식각한 후, 소오스 영역(112)과 드레인 영역(114)을 형성할 수도 있다.
- [0059] 도 7을 참조하면, 더미 게이트층(116) 상에 층간 절연층(122)을 형성할 수 있다. 선택적으로, 층간 절연층(122) 형성 전에 더미 게이트층(116) 상에 식각 정지층(120)을 형성할 수도 있다.
- [0060] 도 8을 참조하면, 층간 절연층(122)을 평탄화할 수 있다. 이 경우, 식각 정지층(120)이 평탄화의 정지층으로 기능할 수 있다. 이어서, 더미 게이트층(116) 상에 노출된 식각 정지층(120)을 제거할 수 있다. 일부 실시예에서, 식각 정지층(120) 없이 층간 절연층(122)을 평탄화하여 더미 게이트층(116)을 일부 식각하면서 노출할 수도 있다.
- [0061] 이어서, 더미 게이트층(116)을 제거할 수 있다. 예를 들어, 건식 식각 또는 습식 식각을 이용하여 선택적으로 더미 게이트층(116)을 제거할 수 있다. 더미 게이트층(116)이 제거됨에 따라서, 한 쌍의 스페이서 절연층(118) 사이로 핀 채널(104), 예컨대 상부(104b)가 노출될 수 있다.
- [0062] 이어서, 핀 채널(104)의 양측면 상에 상에 게이트 절연층(125)을 형성할 수 있다. 예를 들어, 게이트 절연층(125)은 더미 게이트층(116)이 제거된 핀 채널(104)의 상부(104b) 상에 형성될 수 있다.
- [0063] 도 9를 참조하면, 핀 채널(104)의 상부(104b)를 덮도록 게이트 절연층(125) 상에 강유전체층(130)을 형성할 수 있다.
- [0064] 이어서, 핀 채널(104)의 상부(104b)를 덮도록 강유전체층(130) 상에 게이트 전극층(140)을 형성할 수 있다.
- [0065] 도 10을 참조하면, 핀 패널(104) 위의 게이트 전극층(140)의 일부분을 제거하여 게이트 전극층(140)을 핀 채널(104)의 양측면 상으로 분리하여, 핀 채널(104)의 일측면 상에 제 1 게이트 전극층(140a)과 핀 채널(104)의 타측면 상의 제 2 게이트 전극층(140b)을 형성할 수 있다.
- [0066] 도 11을 참조하면, 핀 패널(104) 위의 강유전체층(130)의 일부분을 제거하여 강유전체층(130)을 핀 채널(104)의 양측면 상으로 분리하여, 핀 채널(104)의 일측면 상에 제 1 강유전체층(130a)과 핀 채널(104)의 타측면 상의 제 2 강유전체층(130b)을 형성할 수 있다.
- [0067] 이후, 제 1 게이트 전극층(140a), 제 2 게이트 전극층(140b), 소오스 영역(112) 및 드레인 영역(114)에 콘택 플러그들 및 금속 배선들을 연결하는 공정이 수행될 수 있다.
- [0068] 따라서, 전술한 제조 방법에 따르면, 핀 채널(104)을 양측면 상에 이중 셀 구조의 강유전체 소자(100)를 경제적으로 제조할 수 있다.
- [0069] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

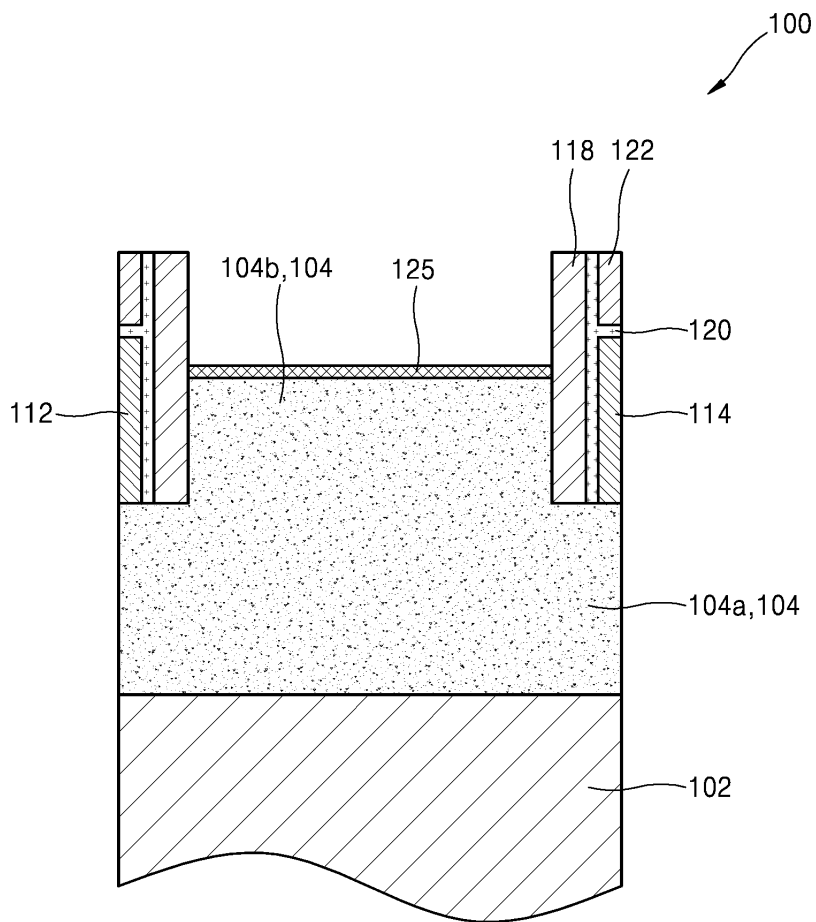
- [0070] 100: 강유전체 메모리 소자
102: 기판
104: 핀 채널
110: 소자 분리층
125: 게이트 절연층
130a, 130b: 강유전체층
140a, 140b: 게이트 전극층

도면

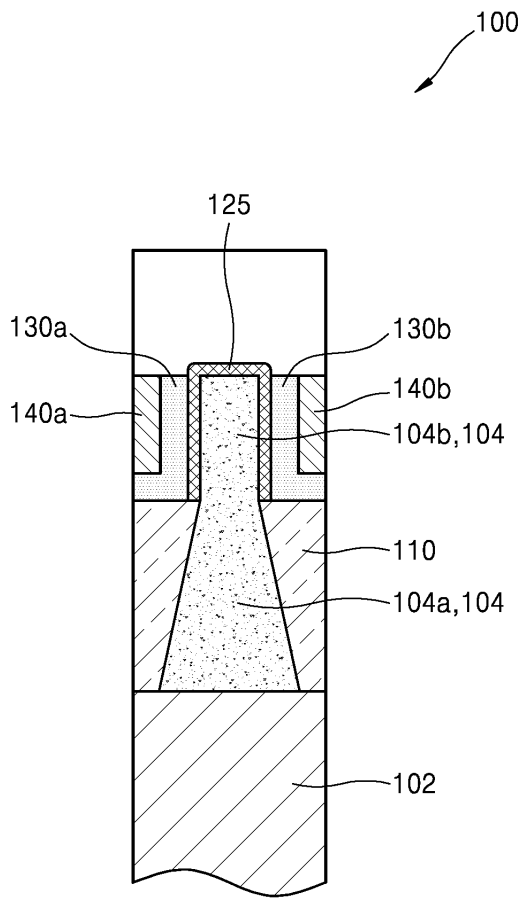
도면1



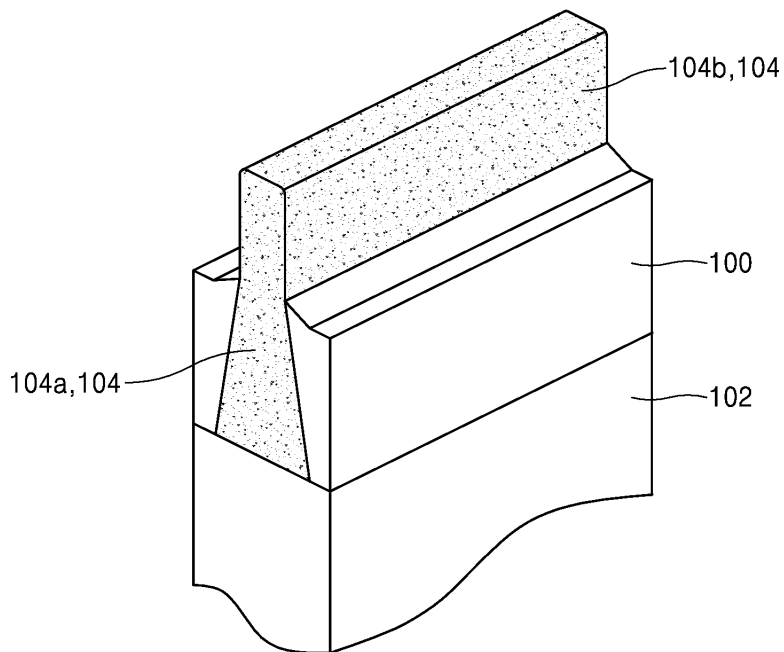
도면2



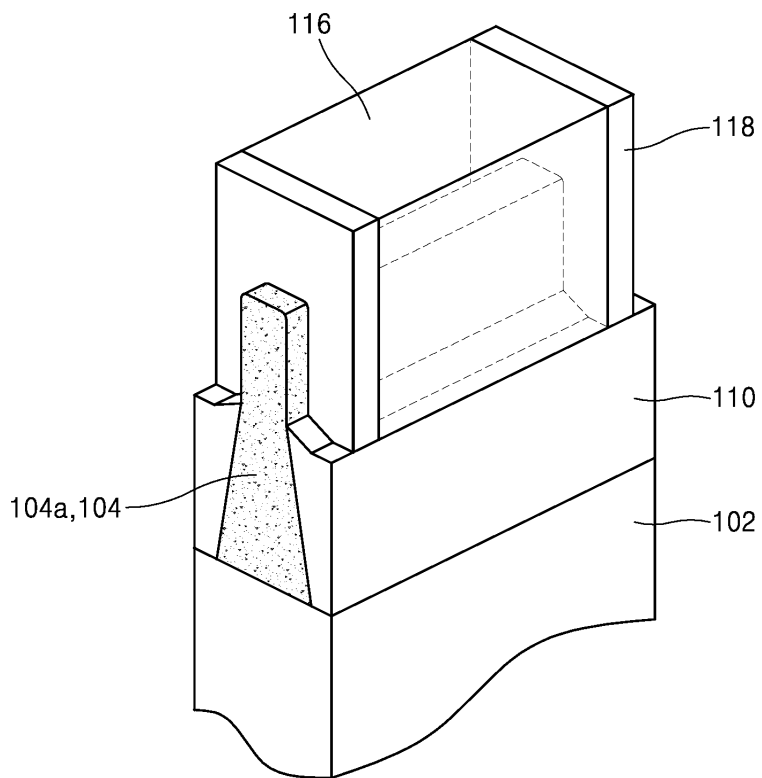
도면3



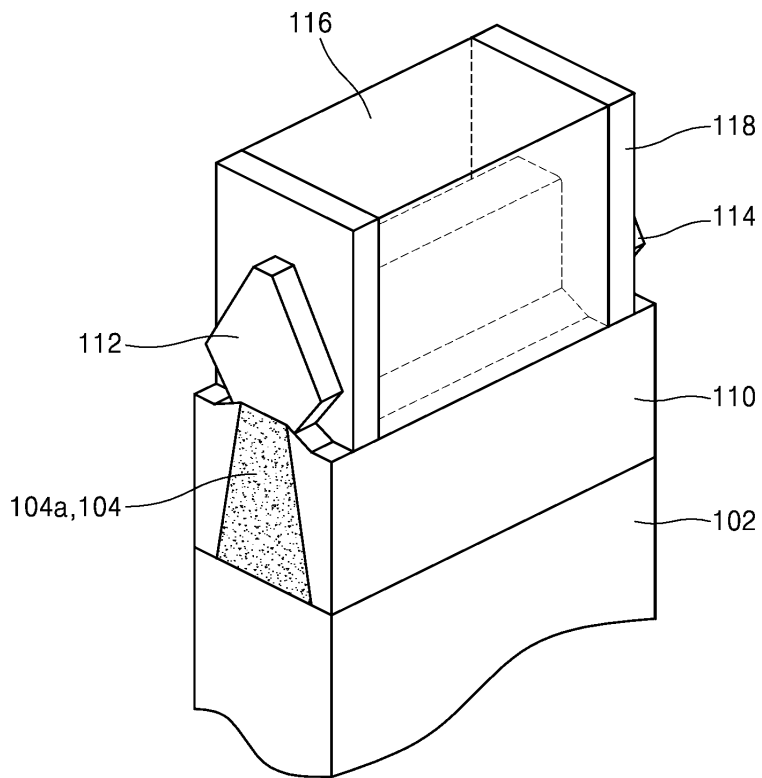
도면4



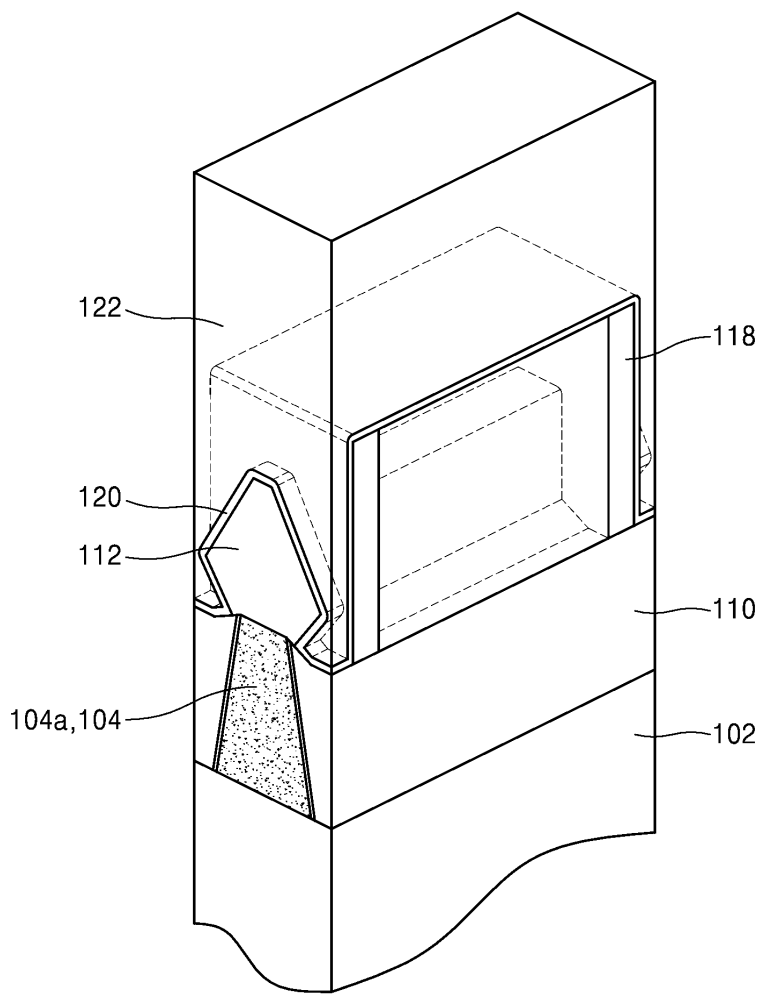
도면5



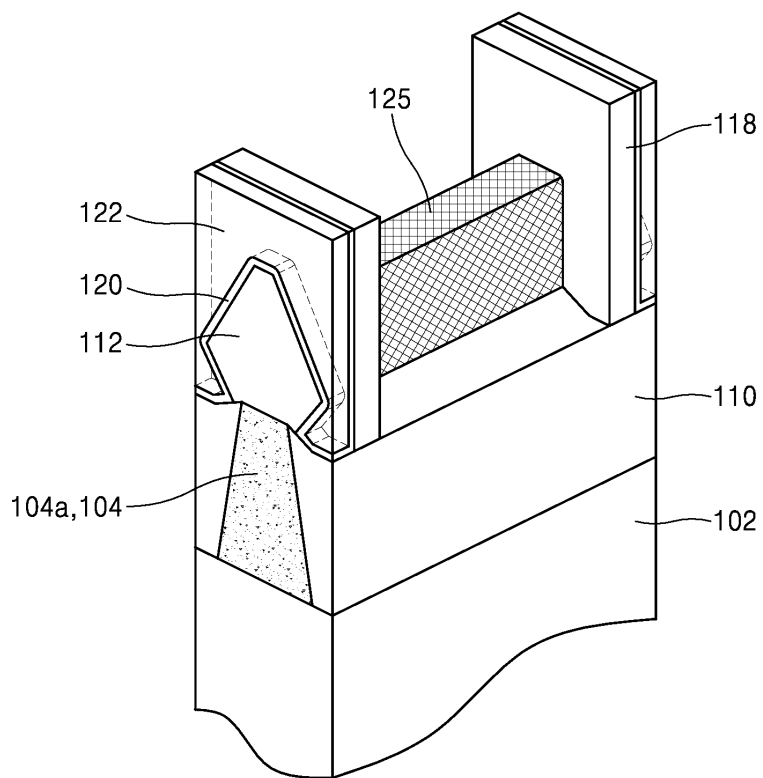
도면6



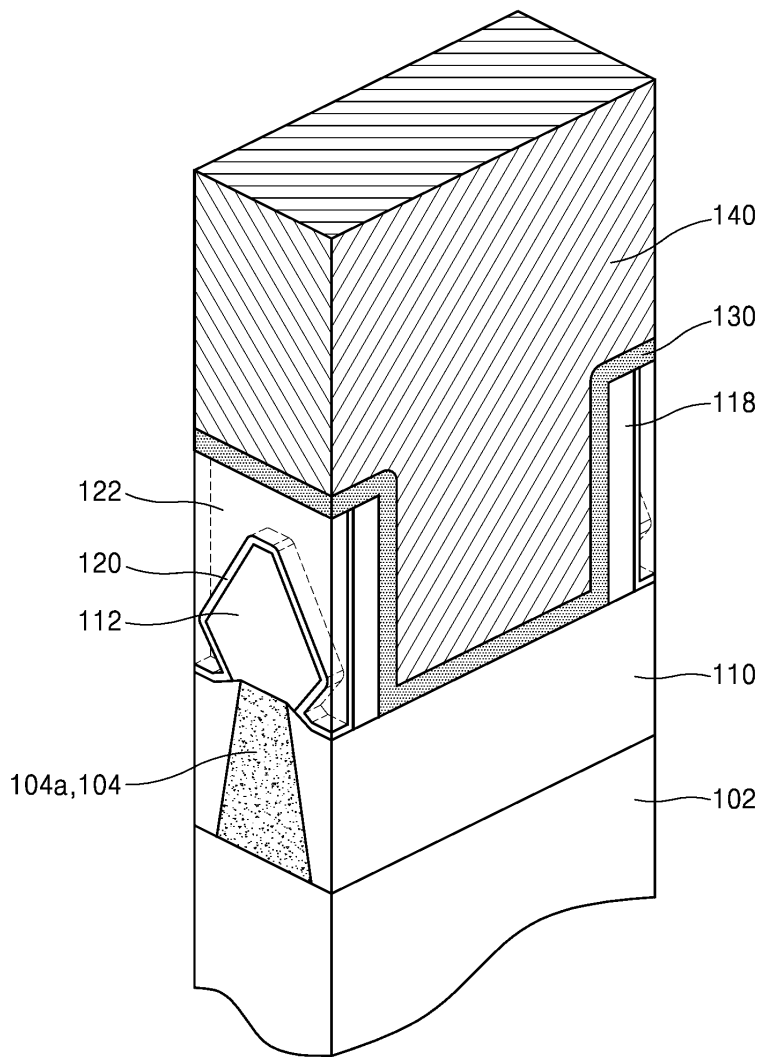
도면7



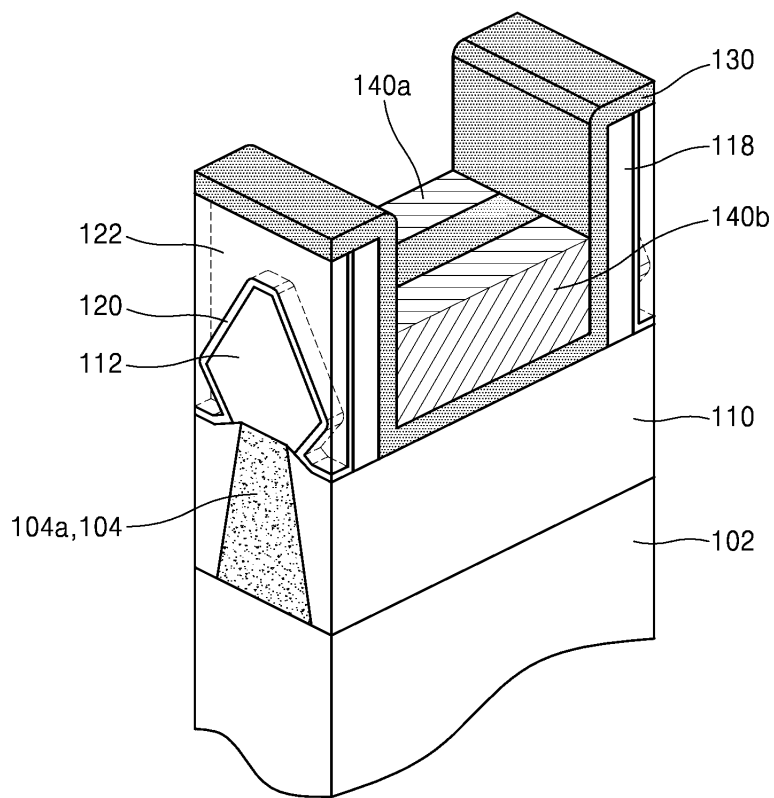
도면8



도면9



도면10



도면11

