

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3669433号
(P3669433)

(45) 発行日 平成17年7月6日(2005.7.6)

(24) 登録日 平成17年4月22日(2005.4.22)

(51) Int.Cl.⁷

F I

H03M 13/27

H03M 13/27

H03M 13/23

H03M 13/23

H03M 13/29

H03M 13/29

H04L 1/00

H04L 1/00

B

H04L 1/00

F

請求項の数 9 (全 50 頁)

(21) 出願番号 特願2001-391494 (P2001-391494)
 (22) 出願日 平成13年12月25日(2001.12.25)
 (65) 公開番号 特開2003-198386 (P2003-198386A)
 (43) 公開日 平成15年7月11日(2003.7.11)
 審査請求日 平成15年2月21日(2003.2.21)

(73) 特許権者 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100110434
 弁理士 佐藤 勝
 (72) 発明者 横川 峰志
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 審査官 藤井 浩

最終頁に続く

(54) 【発明の名称】 インターリーブ装置及びインターリーブ方法、符号化装置及び符号化方法、並びに復号装置及び復号方法

(57) 【特許請求の範囲】

【請求項1】

入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ装置であって、
 データを記憶する記憶手段と、

上記入力データから上記出力データへの置換が対称であり、且つ、2以上の整数 i と 0 以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の上記入力データが、 i で除算した剰余が k になる位置に上記出力データとして出力されるように、上記記憶手段に対するデータの書き込み及び読み出しを制御する制御手段とを備え、

上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせること

を特徴とするインターリーブ装置。

【請求項2】

上記制御手段は、偶数番目の上記入力データが偶数番目に出力されるとともに、奇数番目の上記入力データが奇数番目に出力されるように、上記記憶手段に対するデータの書き込み及び読み出しを制御すること

を特徴とする請求項1記載のインターリーブ装置。

【請求項3】

上記記憶手段は、インターリーブ長の $1/i$ の容量を有する記憶素子が i 個用いられて

10

20

構成されるものであり、

上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとを交互に行わせ、上記記憶手段に対するデータの書き込み動作として、前時刻にデータを読み出した位置に次のデータを書き込ませ、同時刻に同一の記憶素子に対して、読み出し又は書き込みのいずれかのみを行わせること

を特徴とする請求項 1 記載のインターリーブ装置。

【請求項 4】

上記記憶手段は、インターリーブ長と同じ容量を有する記憶素子が 1 個用いられて構成されるものであり、

10

上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとを交互に行わせ、上記記憶手段に対するデータの書き込み動作として、前時刻にデータを読み出した位置に次のデータを書き込ませること

を特徴とする請求項 1 記載のインターリーブ装置。

【請求項 5】

入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ方法であって、

上記入力データを入力する入力工程と、

上記入力データから上記出力データへの置換が対称であり、且つ、2 以上の整数 i と 0 以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の上記入力データが、 i で除算した剰余が k になる位置に上記出力データとして出力されるように、データを記憶する記憶手段に対するデータの書き込み及び読み出しを制御する制御工程と

20

上記出力データを出力する出力工程とを備え、

上記制御工程では、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせること

を特徴とするインターリーブ方法。

【請求項 6】

30

複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して符号化を行う符号化装置であって、

入力されたデータに対して所定の符号化を行う複数の要素符号化手段と、

並列又は縦列に接続される複数の上記要素符号化手段のそれぞれの間に設けられ、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ手段とを備え、

上記インターリーブ手段は、

データを記憶する記憶手段と、

上記入力データから上記出力データへの置換が対称であり、且つ、2 以上の整数 i と 0 以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の上記入力データが、 i で除算した剰余が k になる位置に上記出力データとして出力されるように、上記記憶手段に対するデータの書き込み及び読み出しを制御する制御手段とを有し、

40

上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせること

を特徴とする符号化装置。

【請求項 7】

複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して符号化を行う符号化方法であって、

入力されたデータに対して所定の符号化を行う複数の要素符号化工程と、

50

並列又は縦列に接続される複数の上記要素符号化工程のそれぞれの間に行われ、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ工程とを備え、

上記インターリーブ工程は、

上記入力データを入力する入力工程と、

上記入力データから上記出力データへの置換が対称であり、且つ、2以上の整数 i と 0 以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の上記入力データが、 i で除算した剰余が k になる位置に上記出力データとして出力されるように、データを記憶する記憶手段に対するデータの書き込み及び読み出しを制御する制御工程と、

10

上記出力データを出力する出力工程とを有し、

上記制御工程では、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせること

を特徴とする符号化方法。

【請求項 8】

複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して生成された符号の復号を行う復号装置であって、

複数の上記要素符号に対応して設けられ、軟入力とされる受信値及び事前確率情報を入力して軟出力復号を行い、各時刻における軟出力及びノイズ又は外部情報を生成する複数の軟出力復号手段と、

20

上記軟出力復号手段によって生成された上記外部情報を入力し、符号化における上記インターリーブ処理と同一の置換位置情報に基づいて、上記外部情報の順序を所定のアドレスにしたがって置換して並べ替えるインターリーブ処理、又は符号化における上記インターリーブ処理によって並べ替えられた情報の配列を元に戻すように、上記外部情報の順序を所定のアドレスにしたがって置換して並べ替えるデインターリーブ処理を行うインターリーブ手段とを備え、

上記インターリーブ手段は、

データを記憶する記憶手段と、

入力された入力データから出力する出力データへの置換が対称であり、且つ、2以上の整数 i と 0 以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の上記入力データが、 i で除算した剰余が k になる位置に上記出力データとして出力されるように、上記記憶手段に対するデータの書き込み及び読み出しを制御する制御手段とを有し、

30

上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせること

を特徴とする復号装置。

【請求項 9】

複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して生成された符号の復号を行う復号方法であって、

40

複数の上記要素符号に対応して設けられ、軟入力とされる受信値及び事前確率情報を入力して軟出力復号を行い、各時刻における軟出力及びノイズ又は外部情報を生成する複数の軟出力復号工程と、

上記軟出力復号工程にて生成された上記外部情報を入力し、符号化における上記インターリーブ処理と同一の置換位置情報に基づいて、上記外部情報の順序を所定のアドレスにしたがって置換して並べ替えるインターリーブ処理、又は符号化における上記インターリーブ処理によって並べ替えられた情報の配列を元に戻すように、上記外部情報の順序を所定のアドレスにしたがって置換して並べ替えるデインターリーブ処理を行うインターリーブ工程とを備え、

50

上記インターリーブ工程は、
データを入力する入力工程と、

上記入力工程にて入力された入力データから出力する出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の上記入力データが、 i で除算した剰余が k になる位置に上記出力データとして出力されるように、データを記憶する記憶手段に対するデータの書き込み及び読み出しを制御する制御工程と、

上記出力データを出力する出力工程とを有し、

上記制御工程では、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせること

10

を特徴とする復号方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ装置及びインターリーブ方法、複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して符号化を行う符号化装置及び符号化方法、並びに複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して生成された符号の復号を行う復号装置及び復号方法に関する。

20

【0002】

【従来の技術】

近年、例えば、移動体通信や深宇宙通信といった通信分野、及び地上波又は衛星デジタル放送といった放送分野の研究が著しく進められているが、それに伴い、誤り訂正符号化及び復号の効率化を目的として符号理論に関する研究も盛んに行われている。

【0003】

符号性能の理論的限界としては、いわゆるシャノン (C. E. Shannon) の通信路符号化定理によって与えられるシャノン限界が知られている。

【0004】

符号理論に関する研究は、このシャノン限界に近い性能を示す符号を開発することを目的として行われている。近年では、シャノン限界に近い性能を示す符号化方法として、例えば、いわゆるターボ符号と称される並列接続畳み込み符号 (Parallel Concatenated Convolutional Codes; 以下、PCCCという。) や縦列接続畳み込み符号 (Serially Concatenated Convolutional Codes; 以下、SCCCという。) が開発されている。

30

【0005】

一方、近年では、これらの符号に対する復号方法についても研究が盛んに行われている。具体的には、接続符号における内符号の復号出力や繰り返し復号法における各繰り返し復号動作の出力を軟出力とすることで、シンボル誤り率を小さくする研究がなされており、それに適した復号方法に関する研究が盛んに行われている。例えば畳み込み符号等の所定の符号を復号した際のシンボル誤り率を最小にする方法としては、「Bahl, Cocke, Jelinek and Raviv, "Optimal decoding of linear codes for minimizing symbol error rate", IEEE Trans. Inf. Theory, vol. IT-20, pp. 284-287, Mar. 1974」に記載されているBCJRアルゴリズムが知られている。このBCJRアルゴリズムにおいては、復号結果として各シンボルを出力するのではなく、各シンボルの尤度を出力する。このような出力は、軟出力 (soft-output) と呼ばれる。

40

【0006】

以下、このBCJRアルゴリズムの内容について説明する。なお、以下の説明では、図20に示すように、デジタル情報を図示しない送信装置が備える符号化装置201によって畳み込み符号化し、その出力を雑音のある無記憶通信路202を介して図示しない受信装置に入力して、この受信装置が備える復号装置203によって復号し、観測する場合を

50

考える。

【 0 0 0 7 】

まず、符号化装置 2 0 1 が備えるシフトレジスタの内容を表す M 個のステート（遷移状態）を $m(0, 1, \dots, M-1)$ で表し、時刻 t のステートを S_t で表す。また、1 タイムスロットに k ビットの情報が入力されるものとする、時刻 t における入力を $i_t = (i_{t1}, i_{t2}, \dots, i_{tk})$ で表し、入力系統を $I_1^T = (i_1, i_2, \dots, i_T)$ で表す。このとき、ステート m' からステート m への遷移がある場合には、その遷移に対応する情報ビットを $i(m', m) = (i_1(m', m), i_2(m', m), \dots, i_k(m', m))$ で表す。さらに、1 タイムスロットに n ビットの符号が出力されるものとする、時刻 t における出力を $x_t = (x_{t1}, x_{t2}, \dots, x_{tn})$ で表し、出力系統を $X_1^T = (x_1, x_2, \dots, x_T)$ で表す。このとき、ステート m' からステート m への遷移がある場合には、その遷移に対応する符号ビットを $x(m', m) = (x_1(m', m), x_2(m', m), \dots, x_n(m', m))$ で表す。

10

【 0 0 0 8 】

符号化装置 2 0 1 による畳み込み符号化は、ステート $S_0 = 0$ から始まり、 X_1^T を出力して $S_T = 0$ で終了するものとする。ここで、各ステート間の遷移確率 $P_t(m | m')$ を次式 (1) によって定義する。

【 0 0 0 9 】

【 数 1 】

20

$$P_t(m | m') = \Pr\{S_t = m | S_{t-1} = m'\} \quad \dots (1)$$

【 0 0 1 0 】

なお、上式 (1) における右辺に示す $\Pr\{A | B\}$ は、 B が生じた条件の下での A が生じる条件付き確率である。この遷移確率 $P_t(m | m')$ は、次式 (2) に示すように、入力 i でステート m' からステート m へと遷移するときに、時刻 t での入力 i_t が i である確率 $\Pr\{i_t = i\}$ と等しいものである。

30

【 0 0 1 1 】

【 数 2 】

$$P_t(m | m') = \Pr\{i_t = i\} \quad \dots (2)$$

40

【 0 0 1 2 】

雑音のある無記憶通信路 2 0 2 は、 X_1^T を入力とし、 Y_1^T を出力する。ここで、1 タイムスロットに n ビットの受信値が出力されるものとする、時刻 t における出力を $y_t = (y_{t1}, y_{t2}, \dots, y_{tn})$ で表し、 $Y_1^T = (y_1, y_2, \dots, y_T)$ で表す。雑音のある無記憶通信路 2 0 2 の遷移確率は、全ての $t(1 \leq t \leq T)$ について、次式 (3) に示すように、各シンボルの遷移確率 $\Pr\{y_j | x_j\}$ を用いて定義することができる。

【 0 0 1 3 】

【 数 3 】

$$\Pr\{\mathbf{Y}_1^t | \mathbf{X}_1^t\} = \prod_{j=1}^t \Pr\{\mathbf{y}_j | \mathbf{x}_j\} \quad \dots (3)$$

【 0 0 1 4 】

ここで、次式 (4) のように $\lambda_{t,j}$ を定義する。この次式 (4) に示す $\lambda_{t,j}$ は、 $\mathbf{Y}_1^T$ を受信した際の時刻 t での入力情報の尤度を表し、本来求めるべき軟出力である。

10

【 0 0 1 5 】

【 数 4 】

$$\lambda_{tj} = \frac{\Pr\{i_{tj} = 1 | \mathbf{Y}_1^T\}}{\Pr\{i_{tj} = 0 | \mathbf{Y}_1^T\}} \quad \dots (4)$$

【 0 0 1 6 】

20

B C J R アルゴリズムにおいては、次式 (5) 乃至次式 (7) に示すような確率 α_t , β_t , γ_t を定義する。なお、 $\Pr\{A; B\}$ は、 A と B とがともに生じる確率を表すものとする。

【 0 0 1 7 】

【 数 5 】

$$\alpha_t(m) = \Pr\{S_t = m; \mathbf{Y}_1^t\} \quad \dots (5)$$

30

【 0 0 1 8 】

【 数 6 】

$$\beta_t(m) = \Pr\{\mathbf{Y}_{t+1}^T | S_t = m\} \quad \dots (6)$$

40

【 0 0 1 9 】

【 数 7 】

$$\gamma_t(m', m) = \Pr\{S_t = m; \mathbf{y}_t | S_{t-1} = m'\} \quad \dots (7)$$

50

【 0 0 2 0 】

ここで、これらの確率 α_t , β_t , γ_t の内容について、符号化装置 2 0 1 における状態遷移図であるトレリスを図 2 1 を用いて説明する。同図において、 α_{t-1} は、符号化開始状態 $S_0 = 0$ から受信値をもとに時系列順に算出した時刻 $t-1$ における各ステートの通過確率に対応する。また、 β_t は、符号化終了状態 $S_T = 0$ から受信値をもとに時系列の逆順に算出した時刻 t における各ステートの通過確率に対応する。さらに、 γ_t は、時刻 t における受信値と入力確率とをもとに算出した時刻 t にステート間を遷移する各枝の出力の受信確率に対応する。

【 0 0 2 1 】

これらの確率 α_t , β_t , γ_t を用いると、軟出力 $\lambda_{t,j}$ は、次式 (8) のように表すことができる。 10

【 0 0 2 2 】

【 数 8 】

$$\lambda_{ij} = \frac{\sum_{\substack{m',m \\ i_j(m',m)=1}} \alpha_t(m') \gamma_t(m',m) \beta_t(m)}{\sum_{\substack{m',m \\ i_j(m',m)=0}} \alpha_t(m') \gamma_t(m',m) \beta_t(m)} \quad \dots (8)$$

20

【 0 0 2 3 】

ところで、 $t = 1, 2, \dots, T$ について、次式 (9) が成立する。

【 0 0 2 4 】

【 数 9 】

$$\alpha_t(m) = \sum_{m'=0}^{M-1} \alpha_{t-1}(m') \gamma_t(m',m)$$

ただし、 $\alpha_0(0)=1, \alpha_0(m)=0(m \neq 0)$

... (9)

30

【 0 0 2 5 】

同様に、 $t = 1, 2, \dots, T$ について、次式 (1 0) が成立する。

【 0 0 2 6 】

【 数 1 0 】

40

$$\beta_t(m) = \sum_{m'=0}^{M-1} \beta_{t+1}(m') \gamma_{t+1}(m, m')$$

ただし、 $\beta_T(0)=1, \beta_T(m)=0(m \neq 0)$

・・・(10)

10

【0027】

さらに、 γ_t について、次式(11)が成立する。

【0028】

【数11】

$$\gamma_t(m', m) = \begin{cases} P_t(m|m') \cdot \Pr\{y_t | x(m', m)\} \\ \quad = \Pr\{i_t = i(m', m)\} \cdot \Pr\{y_t | x(m', m)\} \\ \quad \quad \quad : \text{入力} i \text{ で } m' \text{ から } m \text{ へ遷移する場合} \\ 0 \\ \quad \quad \quad : \text{入力} i \text{ で } m' \text{ から } m \text{ へ遷移しない場合} \end{cases}$$

20

・・・(11)

【0029】

したがって、復号装置203は、BCJRアルゴリズムを適用して軟出力復号を行う場合には、これらの関係に基づいて、図22に示す一連の工程を経ることによって軟出力 λ_t を求める。

【0030】

まず、復号装置203は、同図に示すように、ステップS201において、 y_t を受信する毎に、上式(9)及び上式(11)を用いて、確率 $\alpha_t(m)$ 、 $\gamma_t(m', m)$ を算出する。

30

【0031】

続いて、復号装置203は、ステップS202において、系列 Y_1^T の全てを受信した後に、上式(10)を用いて、全ての時刻 t における各状態 m について、確率 $\beta_t(m)$ を算出する。

【0032】

そして、復号装置203は、ステップS203において、ステップS201及びステップS202において算出した確率 α_t 、 β_t 、 γ_t を上式(8)に代入し、各時刻 t における軟出力 λ_t を算出する。

40

【0033】

復号装置203は、このような一連の処理を経ることにより、BCJRアルゴリズムを適用した軟出力復号を行うことができる。

【0034】

ところで、このようなBCJRアルゴリズムにおいては、確率を直接値として保持して演算を行う必要があり、積演算を含むために演算量が大きいという問題があった。そこで、演算量を削減する手法として、「Robertson, Villebrun and Hoeher, "A comparison of optimal and sub-optimal MAP decoding algorithms operating in the domain", IEEE Int. Conf. on Communications, pp. 1009-1013, June 1995」に記載されているMax-Log-MAPアルゴリズム及びLog-MAPアルゴリズム(以下、Max-Log-

50

B C J R アルゴリズム及び L o g - B C J R アルゴリズムという。)がある。

【 0 0 3 5 】

まず、M a x - L o g - B C J R アルゴリズムについて説明する。M a x - L o g - B C J R アルゴリズムは、確率 α_t , β_t , γ_t 、及び軟出力 λ_t を自然対数を用いて対数表記し、次式 (1 2) に示すように、確率の積演算を対数の和演算に置き換えるとともに、次式 (1 3) に示すように、確率の和演算を対数の最大値演算で近似するものである。なお、次式 (1 3) に示す $\max(x, y)$ は、 x , y のうち大きい値を有するものを選択する関数である。

【 0 0 3 6 】

【 数 1 2 】

10

$$\log(e^x \cdot e^y) = x + y \quad \dots (12)$$

【 0 0 3 7 】

【 数 1 3 】

20

$$\log(e^x + e^y) \approx \max(x, y) \quad \dots (13)$$

【 0 0 3 8 】

ここで、記載を簡略化するため、自然対数を I と略記し、 α_t , β_t , γ_t , λ_t の自然対数値を、それぞれ、次式 (1 4) に示すように、 $I \alpha_t$, $I \beta_t$, $I \gamma_t$, $I \lambda_t$ と表すものとする。なお、次式 (1 4) に示す sgn は、正負を識別する符号を示す定数、すなわち、 $+1$ 又は -1 のいずれかである。

30

【 0 0 3 9 】

【 数 1 4 】

$$\begin{cases} I\alpha_t(m) = \text{sgn} \cdot \log(\alpha_t(m)) \\ I\beta_t(m) = \text{sgn} \cdot \log(\beta_t(m)) \\ I\gamma_t(m) = \text{sgn} \cdot \log(\gamma_t(m)) \\ I\lambda_t = \text{sgn} \cdot \log \lambda_t \end{cases} \quad \dots (14)$$

40

【 0 0 4 0 】

このような定数 sgn を与える理由としては、主に、確率 α_t , β_t , γ_t が 0 乃至 1 の値をとることから、一般に算出される対数尤度 (log likelihood) $I \alpha_t$, $I \beta_t$, $I \gamma_t$ が負値をとることにある。

【 0 0 4 1 】

例えば、復号装置 2 0 3 がソフトウェアとして構成される場合には、正負いずれの値をも処理可能であるため、定数 sgn は $+1$ 又は -1 のいずれであってもよいが、復号装

50

置 2 0 3 がハードウェアとして構成される場合には、ビット数の削減を目的として、算出される負値の正負識別符号を反転して正值として扱う方が望ましい。

【 0 0 4 2 】

すなわち、定数 $s g n$ は、復号装置 2 0 3 が対数尤度として負値のみを扱う系として構成される場合には、"+ 1" をとり、復号装置 2 0 3 が対数尤度として正值のみを扱う系として構成される場合には、"- 1" をとる。以下では、このような定数 $s g n$ を考慮したアルゴリズムの説明を行うものとする。

【 0 0 4 3 】

Max - Log - B C J R アルゴリズムにおいては、これらの対数尤度 $I \alpha_t$, $I \beta_t$, $I \gamma_t$ を、それぞれ、次式 (1 5) 乃至次式 (1 7) に示すように近似する。ここで、次式 (1 5) 及び次式 (1 6) に示す $m s g n (x , y)$ は、定数 $s g n$ が "+ 1" の場合には、 x , y のうち大きい値を有するものを選択する関数 $m a x (x , y)$ を示し、定数 $s g n$ が "- 1" の場合には、 x , y のうち小さい値を有するものを選択する関数 $m i n (x , y)$ を示すものである。次式 (1 5) における右辺のステート m' における関数 $m s g n$ は、ステート m への遷移が存在するステート m' の中で求めるものとし、次式 (1 6) における右辺のステート m' における関数 $m s g n$ は、ステート m からの遷移が存在するステート m' の中で求めるものとする。

【 0 0 4 4 】

【 数 1 5 】

$$I \alpha_t(m) \approx m s g n_{m'}(I \alpha_{t-1}(m') + I \gamma_t(m', m)) \quad \cdots (15)$$

【 0 0 4 5 】

【 数 1 6 】

$$I \beta_t(m) \approx m s g n_m(I \beta_{t+1}(m') + I \gamma_{t+1}(m, m')) \quad \cdots (16)$$

【 0 0 4 6 】

【 数 1 7 】

$$I \gamma_t(m', m) = s g n \cdot (\log(\Pr\{\mathbf{i}_t = \mathbf{i}(m', m)\}) + \log(\Pr\{\mathbf{y}_t | \mathbf{x}(m', m)\})) \quad \cdots (17)$$

【 0 0 4 7 】

また、Max - Log - B C J R アルゴリズムにおいては、対数軟出力 $I \lambda_t$ についても同様に、次式 (1 8) に示すように近似する。ここで、次式 (1 8) における右辺第 1 項の関数 $m s g n$ は、入力が " 1 " のときにステート m への遷移が存在するステート m' の中で求め、第 2 項の関数 $m s g n$ は、入力が " 0 " のときにステート m への遷移が存在するステート m' の中で求めるものとする。

【 0 0 4 8 】

【 数 1 8 】

$$I\lambda_{ij} \approx m \operatorname{sgn} \left(I\alpha_{t-1}(m') + I\gamma_t(m', m) + I\beta_t(m) \right)_{i_j(m', m)=1} - m \operatorname{sgn} \left(I\alpha_{t-1}(m') + I\gamma_t(m', m) + I\beta_t(m) \right)_{i_j(m', m)=0} \cdots (18)$$

10

【 0 0 4 9 】

したがって、復号装置 203 は、Max - Log - BCJR アルゴリズムを適用して軟出力復号を行う場合には、これらの関係に基づいて、図 23 に示す一連の工程を経ることによって軟出力 λ_t を求める。

【 0 0 5 0 】

まず、復号装置 203 は、同図に示すように、ステップ S211 において、 y_t を受信する毎に、上式 (15) 及び上式 (17) を用いて、対数尤度 $I\alpha_t(m)$ 及び $I\gamma_t(m', m)$ を算出する。

20

【 0 0 5 1 】

続いて、復号装置 203 は、ステップ S212 において、系列 Y_1^T の全てを受信した後に、上式 (16) を用いて、全ての時刻 t における各状態 m について、対数尤度 $I\beta_t(m)$ を算出する。

【 0 0 5 2 】

そして、復号装置 203 は、ステップ S213 において、ステップ S211 及びステップ S212 において算出した対数尤度 $I\alpha_t$, $I\beta_t$, $I\gamma_t$ を上式 (18) に代入し、各時刻 t における対数軟出力 $I\lambda_t$ を算出する。

【 0 0 5 3 】

復号装置 203 は、このような一連の処理を経ることにより、Max - Log - BCJR アルゴリズムを適用した軟出力復号を行うことができる。

30

【 0 0 5 4 】

このように、Max - Log - BCJR アルゴリズムは、積演算が含まれないことから、BCJR アルゴリズムと比較して、演算量を大幅に削減することができる。

【 0 0 5 5 】

つぎに、Log - BCJR アルゴリズムについて説明する。Log - BCJR アルゴリズムは、Max - Log - BCJR アルゴリズムによる近似の精度をより向上させたものである。具体的には、Log - BCJR アルゴリズムは、上式 (13) に示した確率の和演算を次式 (19) に示すように補正項を追加することで変形し、和演算の正確な対数値を求めるものである。ここでは、このような補正を log - sum 補正と称するものとする。

40

【 0 0 5 6 】

【 数 1 9 】

$$\log(e^x + e^y) = \max(x, y) + \log(1 + e^{-|x-y|}) \cdots (19)$$

50

【 0 0 5 7 】

ここで、上式 (1 9) における左辺に示す演算を $\log - \text{sum}$ 演算と称するものとし、この $\log - \text{sum}$ 演算の演算子を、「S. S. Pietrobon, "Implementation and performance of a turbo/MAP decoder", Int. J. Satellite Commun., vol. 16, pp. 23-46, Jan.-Feb. 1998」に記載されている記数法を踏襲し、次式 (2 0) に示すように、便宜上 " $\#$ " (ただし、同論文では、" E "。)と表すものとする。

【 0 0 5 8 】

【数 2 0 】

10

$$x \# y = \log(e^x + e^y) \quad \cdots (20)$$

【 0 0 5 9 】

なお、上式 (1 9) 及び上式 (2 0) は、上述した定数 sgn が " $+1$ " の場合を示している。定数 sgn が " -1 " の場合には、上式 (1 9) 及び上式 (2 0) に相当する演算は、それぞれ、次式 (2 1) 及び次式 (2 2) に示すようになる。

【 0 0 6 0 】

20

【数 2 1 】

$$-\log(e^{-x} + e^{-y}) = \min(x, y) - \log(1 + e^{-|x-y|}) \quad \cdots (21)$$

【 0 0 6 1 】

【数 2 2 】

30

$$x \# y = -\log(e^{-x} + e^{-y}) \quad \cdots (22)$$

【 0 0 6 2 】

さらに、 $\log - \text{sum}$ 演算の累積加算演算の演算子を、次式 (2 3) に示すように、" $\# \Sigma$ " (ただし、同論文では、" E "。)と表すものとする。

40

【 0 0 6 3 】

【数 2 3 】

$$\# \sum_{i=0}^{M-1} x_i = (((\cdots((x_0 \# x_1) \# x_2) \cdots) \# x_{M-1})) \quad \cdots (23)$$

【 0 0 6 4 】

50

これらの演算子を用いると、L o g - B C J R アルゴリズムにおける対数尤度 $I \alpha_t$, $I \beta_t$ 及び対数軟出力 $I \lambda_t$ は、それぞれ、次式 (2 4) 乃至次式 (2 6) に示すように表すことができる。なお、対数尤度 $I \gamma_t$ は、上式 (1 7) で表されるため、ここでは、その記述を省略する。

【 0 0 6 5 】

【 数 2 4 】

$$I \alpha_t(m) = \# \sum_{m'=0}^{M-1} (I \alpha_{t-1}(m') + I \gamma_t(m', m)) \quad \dots (24)$$

10

【 0 0 6 6 】

【 数 2 5 】

$$I \beta_t(m) = \# \sum_{m'=0}^{M-1} (I \beta_{t+1}(m') + I \gamma_{t+1}(m, m')) \quad \dots (25)$$

【 0 0 6 7 】

【 数 2 6 】

20

$$\begin{aligned} I \lambda_{ij} = & \# \sum_{\substack{m', m \\ i_j(m', m)=1}} (I \alpha_{t-1}(m') + I \gamma_t(m', m) + I \beta_t(m)) \\ & - \# \sum_{\substack{m', m \\ i_j(m', m)=0}} (I \alpha_{t-1}(m') + I \gamma_t(m', m) + I \beta_t(m)) \quad \dots (26) \end{aligned}$$

30

【 0 0 6 8 】

なお、上式 (2 4) における右辺のステート m' における l o g - s u m 演算の累積加算演算は、ステート m への遷移が存在するステート m' の中で求めるものとし、上式 (2 5) における右辺のステート m' における l o g - s u m 演算の累積加算演算は、ステート m からの遷移が存在するステート m' の中で求めるものとする。また、上式 (2 6) における右辺第 1 項の l o g - s u m 演算の累積加算演算は、入力が " 1 " のときにステート m への遷移が存在するステート m' の中で求め、第 2 項の l o g - s u m 演算の累積加算演算は、入力が " 0 " のときにステート m への遷移が存在するステート m' の中で求めるものとする。

【 0 0 6 9 】

40

したがって、復号装置 2 0 3 は、L o g - B C J R アルゴリズムを適用して軟出力復号を行う場合には、これらの関係に基づいて、先に図 2 3 に示した一連の工程を経ることによって軟出力 λ_t を求めることができる。

【 0 0 7 0 】

まず、復号装置 2 0 3 は、同図に示すように、ステップ S 2 1 1 において、 y_t 受信する毎に、上式 (2 4) 及び上式 (1 7) を用いて、対数尤度 $I \alpha_t(m)$, $I \gamma_t(m', m)$ を算出する。

【 0 0 7 1 】

続いて、復号装置 2 0 3 は、ステップ S 2 1 2 において、系列 Y_1^T の全てを受信した後、上式 (2 5) を用いて、全ての時刻 t における各ステート m について、対数尤度 $I \beta$

50

t (m) を算出する。

【0072】

そして、復号装置203は、ステップS213において、ステップS211及びステップS212において算出した対数尤度 $I\alpha_t$, $I\beta_t$, $I\gamma_t$ を上式(26)に代入し、各時刻 t における対数軟出力 $I\lambda_t$ を算出する。

【0073】

復号装置203は、このような一連の処理を経ることにより、Log-BCJRアルゴリズムを適用した軟出力復号を行うことができる。なお、上式(19)及び上式(21)において、右辺第2項に示す補正項は、変数 $|x - y|$ に対する1次元の関数で表されることから、復号装置203は、この値を図示しないROM(Read Only Memory)等にテーブルとして予め記憶させておくことにより、正確な確率計算を行うことができる。

10

【0074】

このようなLog-BCJRアルゴリズムは、Max-Log-BCJRアルゴリズムと比較すると演算量は増えるものの積演算を含むものではなく、その出力は、量子化誤差を除けば、BCJRアルゴリズムの軟出力の対数値そのものに他ならない。

【0075】

【発明が解決しようとする課題】

ところで、上述したBCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムは、畳み込み符号等のトレリス符号の復号を可能とするアルゴリズムであるが、このトレリス符号を要素符号とし、複数の要素符号化器をインターリーバを介して接続することによって生成される符号の復号にも適用することができる。すなわち、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムは、上述したPCCC又はSCCCや、これらのPCCC又はSCCCを応用して多値変調と組み合わせ、信号点の配置と誤り訂正符号の復号特性とを統括して考慮するターボ符号化変調(Turbo Trellis Coded Modulation; 以下、TTCMという。)又は縦列連接符号化変調(Serial Concatenated Trellis Coded Modulation; 以下、SCTCMという。)の復号に適用することができる。

20

【0076】

これらのPCCC、SCCC、TTCM又はSCTCMを復号する復号装置は、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づく最大事後確率(Maximum A Posteriori probability; MAP)復号を行う複数の復号器をインターリーバを介して接続し、いわゆる繰り返し復号を行うことになる。

30

【0077】

ここで、復号装置においては、インターリーバとして、RAM(Random Access Memory)等の記憶素子に対してデータを書き込み、この書き込み順序と異なる順序でデータを読み出すことにより、インターリーブを実現する。この場合、インターリーバとしては、データの格納用にインターリーブ長の2倍の容量を有する記憶素子を用いる必要がある。

【0078】

具体的に説明するために、10タイムスロット分のワード数のRAMを2バンク用いて、1フレームが10タイムスロット分のインターリーブ長に相当する長さのデータをインターリーブする例について図24乃至図29を用いて示す。ここでは、説明の便宜上、2バンクのうち同図中上段に示すものをバンクAと称するとともに、同図中下段に示すものをバンクBと称するものとする。また、ここでは、各バンクのRAMには、それぞれ、同図中左側から0, 1, 2, ..., 9のアドレスが割り当てられているものとする。さらに、同図においては、データの書き込みを"W"で表し、データの読み出しを"R"で表すものとする。

40

【0079】

まず、インターリーバは、1フレーム目のデータをバンクAのRAMに対して書き込む。

【0080】

すなわち、インターリーバは、図24に示すように、0タイムスロット目では、バンクA

50

の R A M におけるアドレス 0 の記憶領域に対して、データ D D 0 を書き込む。続いて、インターリーバは、1 タイムスロット目では、バンク A の R A M におけるアドレス 1 の記憶領域に対して、データ D D 1 を書き込み、2 タイムスロット目では、バンク A の R A M におけるアドレス 2 の記憶領域に対して、データ D D 2 を書き込み、3 タイムスロット目では、バンク A の R A M におけるアドレス 3 の記憶領域に対して、データ D D 3 を書き込む。同様に、インターリーバは、各タイムスロット毎に、バンク A の R A M における各アドレスの記憶領域に対して、データを書き込み、9 タイムスロット目では、バンク A の R A M におけるアドレス 9 の記憶領域に対して、データ D D 9 を書き込む。

【 0 0 8 1 】

このようにして、インターリーバは、1 フレーム目のデータを、D D 0 , D D 1 , D D 2 , D D 3 , D D 4 , D D 5 , D D 6 , D D 7 , D D 8 , D D 9 の順序でバンク A の R A M に対して書き込む。

10

【 0 0 8 2 】

続いて、インターリーバは、バンク A の R A M に対して書き込んだ 1 フレーム目のデータを書き込み順序と異なる順序で読み出すとともに、2 フレーム目のデータをバンク B の R A M に対して書き込む。

【 0 0 8 3 】

すなわち、インターリーバは、図 2 5 に示すように、1 0 タイムスロット目では、バンク A の R A M におけるアドレス 2 の記憶領域、すなわち、2 タイムスロット目でデータ D D 2 が書き込まれた記憶領域からデータ D D 2 を読み出すとともに、バンク B の R A M におけるアドレス 0 の記憶領域に対して、データ D D 1 0 を書き込む。続いて、インターリーバは、1 1 タイムスロット目では、バンク A の R A M におけるアドレス 9 の記憶領域、すなわち、9 タイムスロット目でデータ D D 9 が書き込まれた記憶領域からデータ D D 9 を読み出すとともに、バンク B の R A M におけるアドレス 1 の記憶領域に対して、データ D D 1 1 を書き込む。続いて、インターリーバは、1 2 タイムスロット目では、バンク A の R A M におけるアドレス 0 の記憶領域、すなわち、0 タイムスロット目でデータ D D 0 が書き込まれた記憶領域からデータ D D 0 を読み出すとともに、バンク B の R A M におけるアドレス 2 の記憶領域に対して、データ D D 1 2 を書き込む。続いて、インターリーバは、1 3 タイムスロット目では、バンク A の R A M におけるアドレス 5 の記憶領域、すなわち、5 タイムスロット目でデータ D D 5 が書き込まれた記憶領域からデータ D D 5 を読み出すとともに、バンク B の R A M におけるアドレス 3 の記憶領域に対して、データ D D 1 3 を書き込む。続いて、インターリーバは、1 4 タイムスロット目では、バンク A の R A M におけるアドレス 4 の記憶領域、すなわち、4 タイムスロット目でデータ D D 4 が書き込まれた記憶領域からデータ D D 4 を読み出すとともに、バンク B の R A M におけるアドレス 4 の記憶領域に対して、データ D D 1 4 を書き込む。

20

30

【 0 0 8 4 】

さらに、インターリーバは、図 2 6 に示すように、1 5 タイムスロット目では、バンク A の R A M におけるアドレス 3 の記憶領域、すなわち、3 タイムスロット目でデータ D D 3 が書き込まれた記憶領域からデータ D D 3 を読み出すとともに、バンク B の R A M におけるアドレス 5 の記憶領域に対して、データ D D 1 5 を書き込む。続いて、インターリーバは、1 6 タイムスロット目では、バンク A の R A M におけるアドレス 8 の記憶領域、すなわち、8 タイムスロット目でデータ D D 8 が書き込まれた記憶領域からデータ D D 8 を読み出すとともに、バンク B の R A M におけるアドレス 6 の記憶領域に対して、データ D D 1 6 を書き込む。続いて、インターリーバは、1 7 タイムスロット目では、バンク A の R A M におけるアドレス 7 の記憶領域、すなわち、7 タイムスロット目でデータ D D 7 が書き込まれた記憶領域からデータ D D 7 を読み出すとともに、バンク B の R A M におけるアドレス 7 の記憶領域に対して、データ D D 1 7 を書き込む。続いて、インターリーバは、1 8 タイムスロット目では、バンク A の R A M におけるアドレス 6 の記憶領域、すなわち、6 タイムスロット目でデータ D D 6 が書き込まれた記憶領域からデータ D D 6 を読み出すとともに、バンク B の R A M におけるアドレス 8 の記憶領域に対して、データ D D 1 8

40

50

を書き込む。そして、インターリーバは、19タイムスロット目では、バンクAのRAMにおけるアドレス1の記憶領域、すなわち、1タイムスロット目でデータDD1が書き込まれた記憶領域からデータDD1を読み出すとともに、バンクBのRAMにおけるアドレス9の記憶領域に対して、データDD19を書き込む。

【0085】

このようにして、インターリーバは、バンクAのRAMに対して、DD0, DD1, DD2, DD3, DD4, DD5, DD6, DD7, DD8, DD9の順序で書き込んだ1フレーム目のデータを、書き込み順序と異なる順序、すなわち、DD2, DD9, DD0, DD5, DD4, DD3, DD8, DD7, DD6, DD1の順序で全て読み出すとともに、2フレーム目のデータを、DD10, DD11, DD12, DD13, DD14, DD15, DD16, DD17, DD18, DD19の順序でバンクBのRAMに対して書き込む。

10

【0086】

続いて、インターリーバは、バンクBのRAMに対して書き込んだ2フレーム目のデータを書き込み順序と異なる順序で読み出すとともに、3フレーム目のデータをバンクAのRAMに対して書き込む。

【0087】

すなわち、インターリーバは、図27に示すように、20タイムスロット目では、バンクBのRAMにおけるアドレス2の記憶領域、すなわち、12タイムスロット目でデータDD12が書き込まれた記憶領域からデータDD12を読み出すとともに、バンクAのRAMにおけるアドレス0の記憶領域、すなわち、12タイムスロット目でデータDD0が読み出されて空いている記憶領域に対して、データDD20を書き込む。続いて、インターリーバは、21タイムスロット目では、バンクBのRAMにおけるアドレス9の記憶領域、すなわち、19タイムスロット目でデータDD19が書き込まれた記憶領域からデータDD19を読み出すとともに、バンクAのRAMにおけるアドレス1の記憶領域、すなわち、19タイムスロット目でデータDD1が読み出されて空いている記憶領域に対して、データDD21を書き込む。続いて、インターリーバは、22タイムスロット目では、バンクBのRAMにおけるアドレス0の記憶領域、すなわち、10タイムスロット目でデータDD10が書き込まれた記憶領域からデータDD10を読み出すとともに、バンクAのRAMにおけるアドレス2の記憶領域、すなわち、10タイムスロット目でデータDD2が読み出されて空いている記憶領域に対して、データDD22を書き込む。続いて、インターリーバは、23タイムスロット目では、バンクBのRAMにおけるアドレス5の記憶領域、すなわち、15タイムスロット目でデータDD15が書き込まれた記憶領域からデータDD15を読み出すとともに、バンクAのRAMにおけるアドレス3の記憶領域、すなわち、15タイムスロット目でデータDD3が読み出されて空いている記憶領域に対して、データDD23を書き込む。続いて、インターリーバは、24タイムスロット目では、バンクBのRAMにおけるアドレス4の記憶領域、すなわち、14タイムスロット目でデータDD14が書き込まれた記憶領域からデータDD14を読み出すとともに、バンクAのRAMにおけるアドレス4の記憶領域、すなわち、14タイムスロット目でデータDD4が読み出されて空いている記憶領域に対して、データDD24を書き込む。

20

30

40

【0088】

さらに、インターリーバは、図28に示すように、25タイムスロット目では、バンクBのRAMにおけるアドレス3の記憶領域、すなわち、13タイムスロット目でデータDD13が書き込まれた記憶領域からデータDD13を読み出すとともに、バンクAのRAMにおけるアドレス5の記憶領域、すなわち、13タイムスロット目でデータDD5が読み出されて空いている記憶領域に対して、データDD25を書き込む。続いて、インターリーバは、26タイムスロット目では、バンクBのRAMにおけるアドレス8の記憶領域、すなわち、18タイムスロット目でデータDD18が書き込まれた記憶領域からデータDD18を読み出すとともに、バンクAのRAMにおけるアドレス6の記憶領域、すなわち、18タイムスロット目でデータDD6が読み出されて空いている記憶領域に対して、デ

50

ータDD26を書き込む。続いて、インターリーバは、27タイムスロット目では、バンクBのRAMにおけるアドレス7の記憶領域、すなわち、17タイムスロット目でデータDD17が書き込まれた記憶領域からデータDD17を読み出すとともに、バンクAのRAMにおけるアドレス7の記憶領域、すなわち、17タイムスロット目でデータDD7が読み出されて空いている記憶領域に対して、データDD27を書き込む。続いて、インターリーバは、28タイムスロット目では、バンクBのRAMにおけるアドレス6の記憶領域、すなわち、16タイムスロット目でデータDD16が書き込まれた記憶領域からデータDD16を読み出すとともに、バンクAのRAMにおけるアドレス8の記憶領域、すなわち、16タイムスロット目でデータDD8が読み出されて空いている記憶領域に対して、データDD28を書き込む。そして、インターリーバは、29タイムスロット目では、バンクBのRAMにおけるアドレス1の記憶領域、すなわち、11タイムスロット目でデータDD11が書き込まれた記憶領域からデータDD11を読み出すとともに、バンクAのRAMにおけるアドレス9の記憶領域、すなわち、11タイムスロット目でデータDD9が読み出されて空いている記憶領域に対して、データDD29を書き込む。

10

【0089】

このようにして、インターリーバは、バンクBのRAMに対して、DD10, DD11, DD12, DD13, DD14, DD15, DD16, DD17, DD18, DD19の順序で書き込んだ2フレーム目のデータを、書き込み順序と異なる順序、すなわち、DD12, DD19, DD10, DD15, DD14, DD13, DD18, DD17, DD16, DD11の順序で全て読み出すとともに、3フレーム目のデータを、DD20, DD21, DD22, DD23, DD24, DD25, DD26, DD27, DD28, DD29の順序でバンクAのRAMに対して書き込む。

20

【0090】

同様に、インターリーバは、バンクAのRAMに対して書き込んだ3フレーム目のデータを書き込み順序と異なる順序で読み出すとともに、4フレーム目のデータをバンクBのRAMに対して書き込む。

【0091】

すなわち、インターリーバは、図29に示すように、30タイムスロット目では、バンクAのRAMにおけるアドレス2の記憶領域、すなわち、22タイムスロット目でデータDD22が書き込まれた記憶領域からデータDD22を読み出すとともに、バンクBのRAMにおけるアドレス0の記憶領域、すなわち、22タイムスロット目でデータDD10が読み出されて空いている記憶領域に対して、データDD30を書き込む。続いて、インターリーバは、31タイムスロット目では、バンクAのRAMにおけるアドレス9の記憶領域、すなわち、29タイムスロット目でデータDD29が書き込まれた記憶領域からデータDD29を読み出すとともに、バンクBのRAMにおけるアドレス1の記憶領域、すなわち、29タイムスロット目でデータDD11が読み出されて空いている記憶領域に対して、データDD31を書き込む。続いて、インターリーバは、32タイムスロット目では、バンクAのRAMにおけるアドレス0の記憶領域、すなわち、20タイムスロット目でデータDD20が書き込まれた記憶領域からデータDD20を読み出すとともに、バンクBのRAMにおけるアドレス2の記憶領域、すなわち、20タイムスロット目でデータDD12が読み出されて空いている記憶領域に対して、データDD32を書き込む。そして、インターリーバは、33タイムスロット目では、バンクAのRAMにおけるアドレス5の記憶領域、すなわち、25タイムスロット目でデータDD25が書き込まれた記憶領域からデータDD25を読み出すとともに、バンクBのRAMにおけるアドレス3の記憶領域、すなわち、25タイムスロット目でデータDD13が読み出されて空いている記憶領域に対して、データDD33を書き込む。

30

40

【0092】

このようにして、インターリーバは、バンクAのRAMに対して、DD20, DD21, DD22, DD23, DD24, DD25, DD26, DD27, DD28, DD29の順序で書き込んだ3フレーム目のデータを、書き込み順序と異なる順序、すなわち、DD

50

22, DD29, DD20, DD25, ... の順序で全て読み出すとともに、4 フレーム目のデータを、DD30, DD31, DD32, DD33, ... の順序でバンク B の RAM に対して書き込む。

【0093】

このように、インターリーブは、インターリーブ長と同じ容量を有する RAM を 2 バンク、すなわち、インターリーブ長の 2 倍の容量を有する RAM を用い、一方のバンクに対してデータを書き込むとともに、この書き込み順序と異なる順序で他方のバンクからデータを読み出すといった動作を、2 つのバンクの間で切り替えることにより、データの書き込みと読み出しとを連続的に行うインターリーブを実現することができる。このとき、インターリーブは、上述したように、RAM に対してデータをシーケンシャルな順序で書き込む一方で、RAM に書き込まれたデータの読み出しについては、読み出し順序を所定の回路によって発生してもよく、読み出し順序としてのインターリーブパターンを所定の記憶媒体に格納しておき、このインターリーブパターンを読み出すようにしてもよい。また、インターリーブは、これとは逆に、RAM に対するデータの書き込みについては、書き込み順序を所定の回路によって発生するか、又は書き込み順序としてのインターリーブパターンを所定の記憶媒体に格納しておき、このインターリーブパターンを読み出す一方で、RAM に書き込まれたデータをシーケンシャルな順序で読み出すようにしてもよい。

10

【0094】

ところで、インターリーブを上述した PCCC、SCCC、TTCM 又は SCTCM を復号する復号装置に適用する場合には、インターリーブとしては、インターリーブ長が長い

20

【0095】

しかしながら、インターリーブは、上述したように、データの書き込み順序と読み出し順序とが異なるために、インターリーブするデータをインターリーブ長の記憶素子に対して一旦書き込むとともに、既に記憶素子に対して書き込まれたデータを読み出すという操作を必要とすることから、データの格納用にインターリーブ長の 2 倍の容量を有する記憶素子を用いる必要があった。したがって、このようなインターリーブを復号装置に適用する場合には、インターリーブのインターリーブ長が長いほど、当該復号装置を占める記憶素子の大きさが増大し、当該復号装置の回路規模も増大するといった問題があった。

【0096】

また、PCCC、SCCC、TTCM 又は SCTCM による符号化を行う符号化装置においても、インターリーブは必須の構成となることから、インターリーブを符号化装置に適用した場合にも、インターリーブのインターリーブ長が長いほど、当該符号化装置を占める記憶素子の大きさが増大し、当該符号化装置の回路規模も増大するといった問題があった。

30

【0097】

本発明は、このような実情に鑑みてなされたものであり、回路規模の削減を図ることができ、優れた利便を提供することができるインターリーブ装置及びインターリーブ方法、これらのインターリーブ装置及びインターリーブ方法を適用して符号の性能を維持しつつ PCCC、SCCC、TTCM 又は SCTCM による符号化を行うことができる符号化装置及び符号化方法、並びにこれらのインターリーブ装置及びインターリーブ方法を適用して繰り返し復号を行うことができる復号装置及び復号方法を提供することを目的とする。

40

【0098】

【課題を解決するための手段】

上述した目的を達成する本発明にかかるインターリーブ装置は、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ装置であって、データを記憶する記憶手段と、入力データから出力データへの置換が対称であり、且つ、2 以上の整数 i と 0 以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを

50

制御する制御手段とを備え、上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることを特徴としている。

【0099】

このような本発明にかかるインターリーブ装置は、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、制御手段によって記憶手段に対するデータの書き込み及び読み出しを制御する。このとき、本発明にかかるインターリーブ装置は、制御手段による記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

10

【0100】

また、上述した目的を達成する本発明にかかるインターリーブ方法は、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ方法であって、入力データを入力する入力工程と、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、データを記憶する記憶手段に対するデータの書き込み及び読み出しを制御する制御工程と、出力データを出力する出力工程とを備え、上記制御工程では、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることを特徴としている。

20

【0101】

このような本発明にかかるインターリーブ方法は、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御する。このとき、本発明にかかるインターリーブ方法においては、記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

30

【0102】

さらに、上述した目的を達成する本発明にかかる符号化装置は、複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して符号化を行う符号化装置であって、入力されたデータに対して所定の符号化を行う複数の要素符号化手段と、並列又は縦列に接続される複数の要素符号化手段のそれぞれの間に設けられ、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ手段とを備え、インターリーブ手段は、データを記憶する記憶手段と、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御する制御手段とを有し、上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることを特徴としている。

40

【0103】

このような本発明にかかる符号化装置は、各要素符号化手段の間に設けられるインターリーブ手段により、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御したインターリーブ処理を行う。このとき、本発明にかかる符号化装置は、制御手段による記憶手段からのデータの読み出

50

し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

【0104】

さらにまた、上述した目的を達成する本発明にかかる符号化方法は、複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して符号化を行う符号化方法であって、入力されたデータに対して所定の符号化を行う複数の要素符号化工程と、並列又は縦列に接続される複数の要素符号化工程のそれぞれの間に行われ、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ工程とを備え、インターリーブ工程は、入力データを入力する入力工程と、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、データを記憶する記憶手段に対するデータの書き込み及び読み出しを制御する制御工程と、出力データを出力する出力工程とを有し、上記制御工程では、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることを特徴としている。

10

【0105】

このような本発明にかかる符号化方法は、各要素符号化工程の間に行われるインターリーブ工程にて、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御したインターリーブ処理を行う。このとき、本発明にかかる符号化方法においては、記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

20

【0106】

また、上述した目的を達成する本発明にかかる復号装置は、複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して生成された符号の復号を行う復号装置であって、複数の要素符号に対応して設けられ、軟入力とされる受信値及び事前確率情報を入力して軟出力復号を行い、各時刻における軟出力及び/又は外部情報を生成する複数の軟出力復号手段と、これらの軟出力復号手段によって生成された外部情報を入力し、符号化におけるインターリーブ処理と同一の置換位置情報に基づいて、外部情報の順序を所定のアドレスにしたがって置換して並べ替えるインターリーブ処理、又は符号化におけるインターリーブ処理によって並べ替えられた情報の配列を元に戻すように、外部情報の順序を所定のアドレスにしたがって置換して並べ替えるデインターリーブ処理を行うインターリーブ手段とを備え、インターリーブ手段は、データを記憶する記憶手段と、入力された入力データから出力する出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御する制御手段とを有し、上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることを特徴としている。

30

40

【0107】

このような本発明にかかる復号装置は、インターリーブ手段により、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御したインターリーブ処理又はデインターリーブ処理を行う。このとき、本発明にかかる復号装置は、制御手段による記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレー

50

ム毎に交互に行わせる。

【 0 1 0 8 】

さらに、上述した目的を達成する本発明にかかる復号方法は、複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して生成された符号の復号を行う復号方法であって、複数の要素符号に対応して設けられ、軟入力とされる受信値及び事前確率情報を入力して軟出力復号を行い、各時刻における軟出力及び／又は外部情報を生成する複数の軟出力復号工程と、これらの軟出力復号工程にて生成された外部情報を入力し、符号化におけるインターリーブ処理と同一の置換位置情報に基づいて、外部情報の順序を所定のアドレスにしたがって置換して並べ替えるインターリーブ処理、又は符号化におけるインターリーブ処理によって並べ替えられた情報の配列を元に戻すように、外部情報の順序を所定のアドレスにしたがって置換して並べ替えるデインターリーブ処理を行うインターリーブ工程とを備え、インターリーブ工程は、データを入力する入力工程と、この入力工程にて入力された入力データから出力する出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、データを記憶する記憶手段に対するデータの書き込み及び読み出しを制御する制御工程と、出力データを出力する出力工程とを有し、上記制御工程では、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることを特徴としている。

【 0 1 0 9 】

このような本発明にかかる復号方法は、インターリーブ工程にて、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御したインターリーブ処理又はデインターリーブ処理を行う。このとき、本発明にかかる復号方法においては、記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

【 0 1 1 0 】

【 発明の実施の形態 】

以下、本発明を適用した具体的な実施の形態について図面を参照しながら詳細に説明する。

【 0 1 1 1 】

この実施の形態は、図1に示すように、ディジタル情報を図示しない送信装置が備える符号化装置1によって符号化し、その出力を雑音のある無記憶通信路2を介して図示しない受信装置に入力して、この受信装置が備える復号装置3によって復号する通信モデルに適用したデータ送受信システムである。

【 0 1 1 2 】

このデータ送受信システムにおいて、符号化装置1は、畳み込み符号等のトレリス符号を要素符号とする並列接続畳み込み符号 (Parallel Concatenated Convolutional Codes; 以下、PCCCという。) 又は縦列接続畳み込み符号 (Serially Concatenated Convolutional Codes; 以下、SCCCという。) や、これらのPCCC又はSCCCを応用して多値変調と組み合わせたターボ符号化変調 (Turbo Trellis Coded Modulation; 以下、TTCMという。) 又は縦列接続符号化変調 (Serial Concatenated Trellis Coded Modulation; 以下、SCTCMという。) を行うものとして構成される。これらの符号化は、いわゆるターボ符号化 (Turbo coding) の一種として知られているものであって、符号化装置1は、複数の要素符号化器と、入力されたデータを並べ替えるインターリーブとを接続することにより、ターボ符号化を行うものとして構成される。

【 0 1 1 3 】

一方、復号装置3は、符号化装置1によって符号化がなされた符号の復号を行うものであ

10

20

30

40

50

って、「Bahl, Cocke, Jelinek and Raviv, "Optimal decoding of linear codes for minimizing symbol error rate", IEEE Trans. Inf. Theory, vol. IT-20, pp. 284-287, Mar. 1974」に記載されているBCJRアルゴリズム、「Robertson, Villebrun and Hoeher, "A comparison of optimal and sub-optimal MAP decoding algorithms operating in the domain", IEEE Int. Conf. on Communications, pp. 1009-1013, June 1995」に記載されているMax-Log-MAPアルゴリズム又はLog-MAPアルゴリズム(以下、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムという。)に基づく最大事後確率(Maximum A Posteriori probability; 以下、MAPという。)復号を行い、いわゆる事後確率情報(a posteriori probability information)に対応する軟出力(soft-output)及び/又はいわゆる外部情報(extrinsic information)を求める複数の軟出力復号回路と、入力されたデータを並べ替えるインターリーバとを接続することにより、繰り返し復号を行うものとして構成される。

10

【0114】

特に、符号化装置1及び/又は復号装置3においては、インターリーバが、入力データから出力データへの置換が対称であり、且つ、偶数番目の入力データは偶数番目に出力されるとともに、奇数番目の入力データは奇数番目に出力されるアドレスにしたがった置換を行うものであり、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行うことにより、インターリーブ長と同じ容量の記憶素子を用いるのみで連続的なインターリーブを実現することができるものである。

【0115】

20

まず、本発明の外延をより明確にするために、本発明の詳細な説明に先立って、図2及び図3に示すPCCCによる符号化・復号を行う符号化装置1'及び復号装置3'と、図4及び図5に示すSCCCによる符号化・復号を行う符号化装置1''及び復号装置3''とについて説明する。これらの符号化装置1', 1''は、符号化装置1の例として位置付けられるものであり、復号装置3', 3''は、復号装置3の例として位置付けられるものである。

【0116】

まず、PCCCによる符号化を行う符号化装置1'と、この符号化装置1'による符号の復号を行う復号装置3'とについて説明する。

【0117】

30

符号化装置1'としては、図2に示すように、入力されたデータを遅延させる遅延器11と、畳み込み演算を行う2つの畳み込み符号化器12, 14と、入力されたデータの順序を並べ替えるインターリーバ13とを備えるものがある。この符号化装置1'は、入力された1ビットの入力データD1に対して、符号化率が $1/3$ の並列接続畳み込み演算を行い、3ビットの出力データD4, D5, D6を生成し、例えば2相位相(Binary Phase Shift Keying; 以下、BPSKという。)変調方式や4相位相(Quadrature Phase Shift Keying; 以下、QPSKという。)変調方式による変調を行う図示しない変調器を介して外部に出力する。

【0118】

遅延器11は、3ビットの出力データD4, D5, D6が出力されるタイミングを合わせるために備えられるものであり、1ビットの入力データD1を入力すると、この入力データD1をインターリーバ13が要する処理時間と同時間だけ遅延させる。遅延器11は、遅延させて得られた遅延データD2を、出力データD4として外部に出力するとともに、後段の畳み込み符号化器12に供給する。

40

【0119】

畳み込み符号化器12は、遅延器11から出力された1ビットの遅延データD2を入力すると、この遅延データD2に対して畳み込み演算を行い、演算結果を出力データD5として外部に出力する。

【0120】

インターリーバ13は、1つのビット系列からなる入力データD1を入力し、この入力デ

50

ータD 1を構成する各ビットの順序を並べ替え、生成したインターリーブデータD 3を後段の畳み込み符号化器1 4に供給する。

【0 1 2 1】

畳み込み符号化器1 4は、インターリーバ1 3から供給される1ビットのインターリーブデータD 3を入力すると、このインターリーブデータD 3に対して畳み込み演算を行い、演算結果を出力データD 6として外部に出力する。

【0 1 2 2】

このような符号化装置1'は、1ビットの入力データD 1を入力すると、この入力データD 1を組織成分の出力データD 4として、遅延器1 1を介してそのまま外部に出力するとともに、畳み込み符号化器1 2による遅延データD 2の畳み込み演算の結果得られる出力データD 5と、畳み込み符号化器1 4によるインターリーブデータD 3の畳み込み演算の結果得られる出力データD 6とを外部に出力することにより、全体として、符号化率が" $1/3$ "の並列接続畳み込み演算を行う。この符号化装置1'によって符号化されたデータは、図示しない変調器によって所定の変調方式に基づいて信号点のマッピングが行われ、無記憶通信路2を介して受信装置に出力される。

10

【0 1 2 3】

一方、符号化装置1'による符号の復号を行う復号装置3'としては、図3に示すように、軟出力復号を行う2つの軟出力復号回路1 5、1 7と、入力されたデータの順序を並べ替えるインターリーバ1 6と、入力されたデータの順序を元に戻す2つのデインターリーバ1 8、2 0と、2つのデータを加算する加算器1 9とを備えるものがある。この復号装置3'は、無記憶通信路2上で発生したノイズの影響によって軟入力(soft-input)とされる受信値D 7から符号化装置1'における入力データD 1を推定し、復号データD 1 3として出力する。

20

【0 1 2 4】

軟出力復号回路1 5は、符号化装置1'における畳み込み符号化器1 2に対応して備えられるものであり、上述したBCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行う。すなわち、軟出力復号回路1 5は、軟入力の受信値D 7を入力するとともに、デインターリーバ1 8から出力された軟入力の情報ビットに対する事前確率情報(a priori probability information)D 8を入力し、これらの受信値D 7と事前確率情報D 8とを用いて、軟出力復号を行う。そして、軟出力復号回路1 5は、符号の拘束条件によって求められる情報ビットに対する外部情報D 9を生成し、この外部情報D 9を後段のインターリーバ1 6に軟出力として出力する。

30

【0 1 2 5】

インターリーバ1 6は、軟出力復号回路1 5から出力された軟入力である情報ビットに対する外部情報D 9に対して、符号化装置1'におけるインターリーバ1 3と同一の置換位置情報に基づいたインターリーブを施す。インターリーバ1 6は、インターリーブして得られたデータを後段の軟出力復号回路1 7における情報ビットに対する事前確率情報D 1 0として出力するとともに、後段の加算器1 9に出力する。

【0 1 2 6】

40

軟出力復号回路1 7は、符号化装置1'における畳み込み符号化器1 4に対応して備えられるものであり、軟出力復号回路1 5と同様に、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行う。すなわち、軟出力復号回路1 7は、軟入力の受信値D 7を入力するとともに、インターリーバ1 6から出力された軟入力の情報ビットに対する事前確率情報D 1 0を入力し、これらの受信値D 7と事前確率情報D 1 0とを用いて、軟出力復号を行う。そして、軟出力復号回路1 7は、符号の拘束条件によって求められる情報ビットに対する外部情報D 1 1を生成し、この外部情報D 1 1をデインターリーバ1 8に軟出力として出力するとともに、加算器1 9に出力する。

【0 1 2 7】

50

デインターリーブ１８は、符号化装置１'におけるインターリーブ１３によってインターリーブされたインターリーブデータＤ３のビット配列を、元の入力データＤ１のビット配列に戻すように、軟出力復号回路１７から出力される軟入力の外部情報Ｄ１１にデインターリーブを施す。デインターリーブ１８は、デインターリーブして得られたデータを軟出力復号回路１５における情報ビットに対する事前確率情報Ｄ８として出力する。

【０１２８】

加算器１９は、インターリーブ１６から出力された軟入力の情報ビットに対する事前確率情報Ｄ１０と、軟出力復号回路１７から出力された情報ビットに対する外部情報Ｄ１１とを加算する。加算器１９は、得られたデータＤ１２を後段のデインターリーブ２０に軟出力として出力する。

10

【０１２９】

デインターリーブ２０は、符号化装置１'におけるインターリーブ１３によってインターリーブされたインターリーブデータＤ３のビット配列を、元の入力データＤ１のビット配列に戻すように、加算器１９から出力される軟出力のデータＤ１２にデインターリーブを施す。デインターリーブ２０は、デインターリーブして得られたデータを復号データＤ１３として外部に出力する。

【０１３０】

このような復号装置３'は、符号化装置１'における畳み込み符号化器１２，１４のそれぞれに対応する軟出力復号回路１５，１７を備えることにより、復号複雑度が高い符号を複雑度の小さい要素に分解し、軟出力復号回路１５，１７の間の相互作用によって特性を逐次的に向上させることができる。復号装置３'は、受信値Ｄ７を受信すると、所定の繰返し回数での繰返し復号を行い、この復号動作の結果得られた軟出力の外部情報に基づいて、復号データＤ１３を出力する。

20

【０１３１】

なお、ＴＴＣＭによる符号化を行う符号化装置は、符号化装置１'の最終段に、例えば８相位相（８-Phase Shift Keying；以下、８ＰＳＫという。）変調方式による変調を行う変調器を備えることによって実現することができる。また、ＴＴＣＭによる符号の復号を行う復号装置は、復号装置３'と同様の構成で実現することができ、受信値として、同相成分及び直交成分のシンボルを直接入力することになる。

【０１３２】

つぎに、ＳＣＣＣによる符号化を行う符号化装置１''と、この符号化装置１''による符号の復号を行う復号装置３''とについて説明する。

30

【０１３３】

符号化装置１''としては、図４に示すように、外符号と呼ばれる符号の符号化を行う畳み込み符号化器３１と、入力されたデータの順序を並べ替えるインターリーブ３２と、内符号と呼ばれる符号の符号化を行う畳み込み符号化器３３とを備えるものがある。この符号化装置１''は、入力された１ビットの入力データＤ２１に対して、符号化率が"１／３"の縦列連接畳み込み演算を行い、３ビットの出力データＤ２６，Ｄ２７，Ｄ２８を生成し、例えばＢＰＳＫ変調方式やＱＰＳＫ変調方式による変調を行う図示しない変調器を介して外部に出力する。

40

【０１３４】

畳み込み符号化器３１は、１ビットの入力データＤ２１を入力すると、この入力データＤ２１に対して畳み込み演算を行い、演算結果を２ビットの符号化データＤ２２，Ｄ２３として後段のインターリーブ３２に供給する。すなわち、畳み込み符号化器３１は、外符号の符号化として符号化率が"１／２"の畳み込み演算を行い、生成した符号化データＤ２２，Ｄ２３を後段のインターリーブ３２に供給する。

【０１３５】

インターリーブ３２は、畳み込み符号化器３１から供給された２つのビット系列からなる符号化データＤ２２，Ｄ２３を入力し、これらの符号化データＤ２２，Ｄ２３を構成する各ビットの順序を並べ替え、生成した２つのビット系列からなるインターリーブデータＤ

50

24, D25を後段の畳み込み符号化器33に供給する。

【0136】

畳み込み符号化器33は、インターリーブ32から供給される2ビットのインターリーブデータD24, D25を入力すると、これらのインターリーブデータD24, D25に対して畳み込み演算を行い、演算結果を3ビットの出力データD26, D27, D28として外部に出力する。すなわち、畳み込み符号化器33は、内符号の符号化として符号化率が $2/3$ の畳み込み演算を行い、出力データD26, D27, D28を外部に出力する。

【0137】

このような符号化装置1'は、畳み込み符号化器31によって外符号の符号化として符号化率が $1/2$ の畳み込み演算を行い、畳み込み符号化器33によって内符号の符号化として符号化率が $2/3$ の畳み込み演算を行うことにより、全体として、符号化率が $(1/2) \times (2/3) = 1/3$ の縦列連接畳み込み演算を行う。この符号化装置1'によって符号化されたデータは、図示しない変調器によって所定の変調方式に基づいて信号点のマッピングが行われ、無記憶通信路2を介して受信装置に出力される。

10

【0138】

一方、符号化装置1'による符号の復号を行う復号装置3'としては、図5に示すように、軟出力復号を行う2つの軟出力復号回路34, 36と、入力されたデータの順序を元に戻すデインターリーブ35と、入力されたデータの順序を並べ替えるインターリーブ37とを備えるものがある。この復号装置3'は、無記憶通信路2上で発生したノイズの影響によって軟入力とされる受信値D29から符号化装置1'における入力データD21を推定し、復号データD36として出力する。

20

【0139】

軟出力復号回路34は、符号化装置1'における畳み込み符号化器33に対応して備えられるものであり、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行う。すなわち、軟出力復号回路34は、軟入力の受信値D29を入力するとともに、インターリーブ37から出力された軟入力の情報ビットに対する事前確率情報D30を入力し、これらの受信値D29と事前確率情報D30とを用いて、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行い、内符号の軟出力復号を行う。そして、軟出力復号回路34は、符号の拘束条件によって求められる情報ビットに対する外部情報D31を生成し、この外部情報D31を後段のデインターリーブ35に軟出力として出力する。なお、この外部情報D31は、符号化装置1'におけるインターリーブ32によってインターリーブされたインターリーブデータD24, D25に対応するものである。

30

【0140】

デインターリーブ35は、符号化装置1'におけるインターリーブ32によってインターリーブされたインターリーブデータD24, D25のビット配列を、それぞれ、元の符号化データD22, D23のビット配列に戻すように、軟出力復号回路34から出力される軟入力の外部情報D31にデインターリーブを施す。デインターリーブ35は、デインターリーブして得られたデータを後段の軟出力復号回路36における符号ビットに対する事前確率情報D32として出力する。

40

【0141】

軟出力復号回路36は、符号化装置1'における畳み込み符号化器31に対応して備えられるものであり、軟出力復号回路34と同様に、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリズムに基づくMAP復号を行う。すなわち、軟出力復号回路36は、デインターリーブ35から出力された軟入力の符号ビットに対する事前確率情報D32を入力するとともに、値が 0 である情報ビットに対する事前確率情報D33を入力し、これらの事前確率情報D32, D33を用いて、BCJRアルゴリズム、Max-Log-BCJRアルゴリズム又はLog-BCJRアルゴリ

50

ズムに基づくMAP復号を行い、外符号の軟出力復号を行う。軟出力復号回路36は、符号の拘束条件によって求められる外部情報D34, D35を生成し、外部情報D34を復号データD36として外部に出力するとともに、外部情報D35をインターリーバ37に軟出力として出力する。

【0142】

インターリーバ37は、軟出力復号回路36から出力された軟入力である符号ビットに対する外部情報D35に対して、符号化装置1'におけるインターリーバ32と同一の置換位置情報に基づいたインターリーブを施す。インターリーバ37は、インターリーブして得られたデータを軟出力復号回路34における情報ビットに対する事前確率情報D30として出力する。

10

【0143】

このような復号装置3'は、符号化装置1'における畳み込み符号化器31, 33のそれぞれに対応する軟出力復号回路36, 34を備えることにより、復号装置3'と同様に、復号複雑度が高い符号を複雑度の小さい要素に分解し、軟出力復号回路34, 36の間の相互作用によって特性を逐次的に向上させることができる。復号装置3'は、受信値D29を受信すると、所定の繰り返し回数での繰り返し復号を行い、この復号動作の結果得られた軟出力の外部情報に基づいて、復号データD36を出力する。

【0144】

なお、SCTCMによる符号化を行う符号化装置は、符号化装置1'の最終段に、例えば8PSK変調方式による変調を行う変調器を備えることによって実現することができる。また、SCTCMによる符号の復号を行う復号装置は、復号装置3'と同様の構成で実現することができ、受信値として、同相成分及び直交成分のシンボルを直接入力することになる。

20

【0145】

さて、以下では、符号化装置1及び/又は復号装置3に備えられるインターリーバについて説明する。ここで、デインターリーバは、インターリーバと逆の置換位置情報に基づいてデータを並べ替えるものであることから、インターリーバの1形態として擬制することができる。そこで、以下では、特に区別を要しない場合には、デインターリーバについてもインターリーバと称して説明する。すなわち、ここでのインターリーバとは、例えば、上述した符号化装置1'におけるインターリーバ13、復号装置3'におけるインターリーバ16若しくはデインターリーバ18, 20、符号化装置1''におけるインターリーバ32、又は復号装置3''におけるデインターリーバ35若しくはインターリーバ37を具体例とすることができるものであり、これらを総称するものである。

30

【0146】

インターリーバは、上述したように、入力データから出力データへの置換が対称である対称インターリーブを行うものである。すなわち、インターリーバとデインターリーバは、同じものであり、インターリーバは、任意の入力データに対して同じ置換を2回行うと元の入力データを出力データとして出力することができるものである。より換言すれば、インターリーバは、インターリーブの置換行列を" π "で表すものとする、逆置換行列" π^{-1} "が存在し、単位行列を" I "で表すものとする、インターリーブとデインターリーブを同一のアドレスにしたがって行い、 $\pi = \pi^{-1}$ が成立するとともに、インターリーブを2回行うと元の系列に戻り、 $\pi\pi = I$ が成立するインターリーブを行うものである。

40

【0147】

ここで、インターリーバは、さらに、偶数番目の入力データは偶数番目に出力されるとともに、奇数番目の入力データは奇数番目に出力されるアドレスにしたがった置換を行うようにすることもできる。

【0148】

具体的に説明するために、ハードウェアでの実装例として、10タイムスロット分のワード数のRAM(Random Access Memory)等の記憶素子に対してデータの書き込み及び読み出しを行うものを考える。このインターリーバは、例えば、図6(A)に示すように、左

50

側から 0, 1, 2, ..., 9 のアドレスが割り当てられている記憶素子に対して、左側からデータ DD0, DD1, DD2, DD3, DD4, DD5, DD6, DD7, DD8, DD9 を入力データとしてシーケンシャルに順次書き込んだ場合には、同図 (B) に示すように、出力データとしてアドレスにしたがってデータ DD2, DD9, DD0, DD5, DD4, DD3, DD8, DD7, DD6, DD1 を読み出すものとする。一方、このインターリーバは、例えば、同図 (B) に示すように、記憶素子に対して、左側からデータ DD2, DD9, DD0, DD5, DD4, DD3, DD8, DD7, DD6, DD1 を入力データとしてシーケンシャルに順次書き込んだ場合には、同図 (A) に示すように、出力データとしてアドレスにしたがってデータ DD0, DD1, DD2, DD3, DD4, DD5, DD6, DD7, DD8, DD9 を読み出すことになる。

10

【0149】

すなわち、インターリーバは、入力データから出力データへの置換が対称であり、且つ、2 以上の整数 i と 0 以上 i 未満の整数 j, k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるインターリーブを行うものとして表現することができる。

【0150】

ここで、このような対称インターリーブを行うインターリーバは、シーケンシャルに順次データを書き込み、このデータをアドレスにしたがってランダムに読み出す場合と、所定のアドレスにしたがってランダムにデータを書き込み、このデータをシーケンシャルに順次読み出す場合とで、全く同じインターリーブを行うことができる点に着目する。

20

【0151】

すなわち、インターリーバは、アドレスにしたがってランダムに読み出しを行いつつ直前にデータを読み出した位置にデータを書き込むインターリーブ動作と、シーケンシャルに順次読み出しを行いつつ直前にデータを読み出した位置にデータを書き込むデインターリーブ動作とを交互に行う。

【0152】

このようにすることにより、インターリーバは、インターリーブ単位であるフレーム毎に、インターリーブとデインターリーブとを交互に行うことになるが、入力データから出力データへの置換が対称であることから、インターリーブを連続的に行うことと等価となる。

30

【0153】

このように、インターリーバは、同時刻に行われる読み出し順序と書き込み順序とを同じとすることにより、データの格納用にインターリーブ長の 2 倍の容量を有する記憶素子を用いる必要がなく、インターリーブ長と同じ容量を有する記憶素子を用いれば足りることになる。

【0154】

このような性質を有するインターリーバを上記した符号化装置 1' 及び復号装置 3'、並びに符号化装置 1'' 及び復号装置 3'' に適用した場合には、これらの符号化装置 1' 及び復号装置 3'、並びに符号化装置 1'' 及び復号装置 3'' は、それぞれ、概念的には、図 7 乃至図 10 に示すように構成される。

40

【0155】

すなわち、符号化装置 1' におけるインターリーバ 13 は、図 7 に当該符号化装置 1' の要部概念を示すように、アドレスにしたがって上記した入力データ D1 の読み出しを行いつつ直前にデータを読み出した位置に入力データ D1 を書き込むインターリーブ動作を行うインターリーバ 13₁ と、このインターリーバ 13₁ によるインターリーブ動作とは逆にシーケンシャルに入力データ D1 の順次読み出しを行いつつ直前にデータを読み出した位置に入力データ D1 を書き込むデインターリーブ動作を行うデインターリーバ 13₂ と、出力データとしての上記したインターリーブデータ D3 としてこれらのインターリーバ 13₁ 及びデインターリーバ 13₂ による出力をフレーム毎に切り替えるスイッチ 13₃ とを有するものとして捉えることができる。

50

【0156】

このインターリーバ13は、インターリーバ13₁によるインターリーブ動作と、デインターリーバ13₂によるデインターリーブ動作とを、フレーム毎に交互に切り替えて行うことにより、連続的なインターリーブを実現することができる。

【0157】

一方、復号装置3'におけるインターリーバ16は、図8(A)に当該復号装置3'の要部概念を示すように、アドレスにしたがって上述した外部情報D9の読み出しを行いつつ直前にデータを読み出した位置に外部情報D9を書き込む上述したインターリーバ13₁と同様のインターリーブ動作を行うインターリーバ16₁と、このインターリーバ16₁によるインターリーブ動作とは逆にシーケンシャルに外部情報D9の順次読み出しを行いつつ直前にデータを読み出した位置に外部情報D9を書き込む上述したデインターリーバ13₂と同様のデインターリーブ動作を行うデインターリーバ16₂と、出力データとしての上述した事前確率情報D10としてこれらのインターリーバ16₁及びデインターリーバ16₂による出力をフレーム毎に切り替えるスイッチ16₃とを有するものとして捉えることができる。

10

【0158】

このインターリーバ16は、インターリーバ16₁によるインターリーブ動作と、デインターリーバ16₂によるデインターリーブ動作とを、フレーム毎に交互に切り替えて行うことにより、インターリーバ13と同様の連続的なインターリーブを実現することができる。

20

【0159】

また、復号装置3'におけるデインターリーバ18は、同図(B)に当該復号装置3'の要部概念を示すように、アドレスにしたがって上述した外部情報D11の読み出しを行いつつ直前にデータを読み出した位置に外部情報D11を書き込むインターリーブ動作を行うインターリーバ18₁と、このインターリーバ18₁によるインターリーブ動作とは逆にシーケンシャルに外部情報D11の順次読み出しを行いつつ直前にデータを読み出した位置に外部情報D11を書き込むデインターリーブ動作を行うデインターリーバ18₂と、出力データとしての上述した事前確率情報D8としてこれらのインターリーバ18₁及びデインターリーバ18₂による出力をフレーム毎に切り替えるスイッチ18₃とを有するものとして捉えることができる。

30

【0160】

このデインターリーバ18は、インターリーバ18₁によるインターリーブ動作と、デインターリーバ18₂によるデインターリーブ動作とを、フレーム毎に交互に切り替えて行うことにより、インターリーバ13、16とは逆の置換動作を行う連続的なデインターリーブを実現することができる。

【0161】

さらに、復号装置3'におけるデインターリーバ20は、同図(C)に当該復号装置3'の要部概念を示すように、アドレスにしたがって上述したデータD12の読み出しを行いつつ直前にデータを読み出した位置にデータD12を書き込む上述したインターリーバ18₁と同様のインターリーブ動作を行うインターリーバ20₁と、このインターリーバ20₁によるインターリーブ動作とは逆にシーケンシャルにデータD12の順次読み出しを行いつつ直前にデータを読み出した位置にデータD12を書き込む上述したデインターリーバ18₂と同様のデインターリーブ動作を行うデインターリーバ20₂と、出力データとしての上述した復号データD13としてこれらのインターリーバ20₁及びデインターリーバ20₂による出力をフレーム毎に切り替えるスイッチ20₃とを有するものとして捉えることができる。

40

【0162】

このデインターリーバ20は、インターリーバ20₁によるインターリーブ動作と、デインターリーバ20₂によるデインターリーブ動作とを、フレーム毎に交互に切り替えて行うことにより、デインターリーバ18と同様の連続的なデインターリーブを実現すること

50

ができる。

【0163】

同様に、符号化装置1''におけるインターリーバ32は、図9に当該符号化装置1''の要部概念を示すように、アドレスにしたがって上述した符号化データD22、D23の読み出しを行いつつ直前にデータを読み出した位置に符号化データD22、D23を書き込むインターリーブ動作を行うインターリーバ32₁と、このインターリーバ32₁によるインターリーブ動作とは逆にシーケンシャルに符号化データD22、D23の順次読み出しを行いつつ直前にデータを読み出した位置に符号化データD22、D23を書き込むデインターリーブ動作を行うデインターリーバ32₂と、出力データとしての上述したインターリーブデータD24、D25としてこれらのインターリーバ32₁及びデインターリーバ32₂による出力をフレーム毎に切り替えるスイッチ32₃とを有するものとして捉えることができる。

10

【0164】

このインターリーバ32は、インターリーバ32₁によるインターリーブ動作と、デインターリーバ32₂によるデインターリーブ動作とを、フレーム毎に交互に切り替えて行うことにより、連続的なインターリーブを実現することができる。

【0165】

一方、復号装置3'におけるデインターリーバ35は、図10(A)に当該復号装置3'の要部概念を示すように、アドレスにしたがって上述した外部情報D31の読み出しを行いつつ直前にデータを読み出した位置に外部情報D31を書き込むインターリーブ動作を行うインターリーバ35₁と、このインターリーバ35₁によるインターリーブ動作とは逆にシーケンシャルに外部情報D31の順次読み出しを行いつつ直前にデータを読み出した位置に外部情報D31を書き込むデインターリーブ動作を行うデインターリーバ35₂と、出力データとしての上述した事前確率情報D32としてこれらのインターリーバ35₁及びデインターリーバ35₂による出力をフレーム毎に切り替えるスイッチ35₃とを有するものとして捉えることができる。

20

【0166】

このデインターリーバ35は、インターリーバ35₁によるインターリーブ動作と、デインターリーバ35₂によるデインターリーブ動作とを、フレーム毎に交互に切り替えて行うことにより、インターリーバ32とは逆の置換動作を行う連続的なデインターリーブを実現することができる。

30

【0167】

また、復号装置3''におけるインターリーバ37は、同図(B)に当該復号装置3''の要部概念を示すように、アドレスにしたがって上述した外部情報D35の読み出しを行いつつ直前にデータを読み出した位置に外部情報D35を書き込む上述したインターリーバ32₁と同様のインターリーブ動作を行うインターリーバ37₁と、このインターリーバ37₁によるインターリーブ動作とは逆にシーケンシャルに外部情報D35の順次読み出しを行いつつ直前にデータを読み出した位置に外部情報D35を書き込む上述したデインターリーバ32₂と同様のデインターリーブ動作を行うデインターリーバ37₂と、出力データとしての上述した事前確率情報D30としてこれらのインターリーバ37₁及びデインターリーバ37₂による出力をフレーム毎に切り替えるスイッチ37₃とを有するものとして捉えることができる。

40

【0168】

このインターリーバ37は、インターリーバ37₁によるインターリーブ動作と、デインターリーバ37₂によるデインターリーブ動作とを、フレーム毎に交互に切り替えて行うことにより、インターリーバ32と同様の連続的なインターリーブを実現することができる。

【0169】

このように、符号化装置1'及び復号装置3'、並びに符号化装置1''及び復号装置3''に適用することができるインターリーバは、具体的には、図11に示すようにハードウェア

50

として構成される。なお、ここでは、インターリーブ長を10タイムスロット分のワード数とする。ここで、インターリーバは、インターリーブ長の" $1/i$ "の容量を有する記憶素子を*i*個用い、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとを交互に行い、前時刻にデータを読み出した位置に次のデータを書き込むといった動作を繰り返し行くと、同時刻に同一の記憶素子に対して、読み出し又は書き込みのいずれかのみを行えばよいことから、記憶素子としては、いわゆるシングルポートのRAMのみを用いることができる。RAMは、一般に、同じ容量であれば、いわゆるデュアルポートのものよりもシングルポートのものの方が半分程度の大きさであることから、インターリーバとしては、シングルポートのRAMを用いることにより、デュアルポートのRAMを用いた場合に比べて、より回路規模の削減を図ることができる。したがって、同図に示すインターリーバ100においては、データの書き込み及び読み出しを行うための記憶素子として、シングルポートのRAMを用いるものとする。

10

【0170】

すなわち、インターリーバ100は、例えば同図に示すように、2バンクのシングルポートのRAM101₁、101₂と、置換先のアドレスデータを保持するアドレス用記憶回路102と、このアドレス用記憶回路102を参照して読み出したアドレスデータに基づいてRAM101₁、101₂に対するデータの書き込み及び読み出しを制御する制御部103と、この制御部103の制御のもとにRAM101₁、101₂からの出力を1タイムスロット毎に切り替えるスイッチ104とを有する。

【0171】

20

RAM101₁、101₂は、それぞれ、インターリーブ長の半分の容量を有する。RAM101₁、101₂には、それぞれ、制御部103の制御のもとに、1タイムスロット毎に交互に入力データが入力される。そして、RAM101₁、101₂には、それぞれ、制御部103によって指定されたアドレスにデータが書き込まれる。また、RAM101₁、101₂からは、それぞれ、制御部103の制御のもとに、1タイムスロット毎に交互に出力データが出力される。このとき、RAM101₁、101₂からは、それぞれ、制御部103によって指定されたアドレスからデータが読み出される。

【0172】

アドレス用記憶回路102は、任意のインターリーブパターンが書き込み可能に構成されるものであって、図示しないが、例えば、複数バンクのRAMや選択回路等を有し、制御部103によって参照されるデータの置換位置情報をアドレスデータとして保持する。ここで、インターリーバ100は、シーケンシャルな順次読み出しとアドレスにしたがった読み出しとを行うことから、アドレス用記憶回路102は、2種類の置換位置情報を保持することになるが、2種類の置換位置情報のうち、シーケンシャルな順次読み出しのアドレスについては、カウンタによってカウントアップ又はカウントダウンしていくことによって発生されるシーケンシャルなアドレスにしたがえば足り、実際には1種類の置換位置情報を保持すればよい。このアドレス用記憶回路102に保持されているアドレスデータは、制御部103によって当該アドレス用記憶回路102のアドレスがアドレスデータとして指定されることにより、読み出される。

30

【0173】

40

制御部103は、例えばフレームの先頭を検出すると、アドレス用記憶回路102に保持されたアドレスデータを参照することによってRAM101₁、101₂に対するデータの書き込み及び読み出しを制御する。具体的には、制御部103は、RAM101₁、101₂から直前にデータを読み出した位置にデータを書き込むという動作を実現するために、RAM101₁、101₂のそれぞれに対してアドレスを供給することによるRAM101₁、101₂のうち的一方からの読み出しに用いた当該アドレスを、図示しないレジスタで1タイムスロットだけ遅延させ、次のタイムスロットにてこのアドレスを用いてRAM101₁、101₂のうちの同じものに対して書き込むように、RAM101₁、101₂に対するデータの書き込み及び読み出しを制御し、RAM101₁、101₂のそれぞれから出力される出力データを1タイムスロット毎に選択的に切り替えるための制

50

御信号をスイッチ 104 に対して供給する。なお、この動作は、RAM 101₁, 101₂ のそれぞれの側から見ると、2 タイムスロットの間、同じアドレスが入力され、その 1 タイムスロット目でデータの読み出しが行われ、2 タイムスロット目でそのアドレスに対してデータの書き込みが行われるものとなる。制御部 103 は、このような動作を、ランダムに行うかシーケンシャルに行うかをフレーム毎に切り替える。すなわち、制御部 103 は、ランダムなアドレスにしたがったデータの読み出し及びこのアドレスを 1 タイムスロットだけ遅延させたデータの書き込みと、シーケンシャルなデータの順次読み出し及びこのアドレスを 1 タイムスロットだけ遅延させたデータの書き込みとを、フレーム毎に切り替える。

【0174】

10

スイッチ 104 は、制御部 103 から供給される制御信号に基づいて、RAM 101₁, 101₂ のそれぞれから出力される出力データを 1 タイムスロット毎に切り替える。

【0175】

このようなインターリーバ 100 においては、あるフレームについて、制御部 103 の制御のもとに、RAM 101₁, 101₂ のうちの一方における所定のアドレスからデータが読み出されるとともに、RAM 101₁, 101₂ のうちの他方における所定のアドレスに対してデータが書き込まれると、次のフレームについては、RAM 101₁, 101₂ のうちの一方からのデータの読み出しに用いたアドレスに対してデータが書き込まれるとともに、RAM 101₁, 101₂ のうちの他方における所定のアドレスからデータが読み出される。

20

【0176】

具体的には、インターリーバ 100 は、図 12 乃至図 19 に示すように、データの書き込み及び読み出しを行うことにより、インターリーブを実現する。なお、ここでは、説明の便宜上、2 バンクのうち同図中上段に示す RAM 101₁ をバンク A と称するとともに、同図中下段に示す RAM 101₂ をバンク B と称するものとする。また、ここでは、RAM 101₁, 101₂ には、それぞれ、同図中左側から 0, 1, 2, 3, 4 のアドレスが割り当てられているものとする。さらに、同図においては、データの書き込みを "W" で表し、データの読み出しを "R" で表すものとする。

【0177】

まず、インターリーバ 100 は、1 フレーム目のデータを RAM 101₁, 101₂ に対して書き込む。

30

【0178】

すなわち、インターリーバ 100 は、図 12 に示すように、0 タイムスロット目では、バンク A の RAM 101₁ におけるアドレス 0 の記憶領域に対して、データ DD0 を書き込む。続いて、インターリーバ 100 は、1 タイムスロット目では、バンク B の RAM 101₂ におけるアドレス 0 の記憶領域に対して、データ DD1 を書き込む。続いて、インターリーバ 100 は、2 タイムスロット目では、バンク A の RAM 101₁ におけるアドレス 1 の記憶領域に対して、データ DD2 を書き込み、3 タイムスロット目では、バンク B の RAM 101₂ におけるアドレス 1 の記憶領域に対して、データ DD3 を書き込む。同様に、インターリーバ 100 は、各タイムスロット毎に、バンク A の RAM 101₁ における各アドレスの記憶領域とバンク B の RAM 101₂ における各アドレスの記憶領域とに対して、交互にデータを書き込み、8 タイムスロット目では、バンク A の RAM 101₁ におけるアドレス 4 の記憶領域に対して、データ DD8 を書き込む。

40

【0179】

このようにして、インターリーバ 100 は、1 フレーム目のデータのうち、最後のデータ DD9 を除く全てのデータを、DD0, DD1, DD2, DD3, DD4, DD5, DD6, DD7, DD8 の順序で RAM 101₁, 101₂ に対して書き込む。

【0180】

続いて、インターリーバ 100 は、1 フレーム目のデータの残りのデータ DD9 と 2 フレーム目のデータとを RAM 101₁, 101₂ に対して書き込むとともに、RAM 101

50

$_1$, 101_2 に対して書き込んだ1フレーム目のデータを書き込み順序と異なる順序で読み出す。

【0181】

すなわち、インターリーバ100は、図13に示すように、9タイムスロット目では、バンクBのRAM101₂におけるアドレス4の記憶領域に対して、データDD9を書き込むとともに、バンクAのRAM101₁におけるアドレス1の記憶領域、すなわち、2タイムスロット目でデータDD2が書き込まれた記憶領域からデータDD2を読み出す。続いて、インターリーバ100は、10タイムスロット目では、バンクBのRAM101₂におけるアドレス4の記憶領域、すなわち、9タイムスロット目でデータDD9が書き込まれた記憶領域からデータDD9を読み出すとともに、バンクAのRAM101₁におけるアドレス1の記憶領域、すなわち、直前の9タイムスロット目でデータDD2が読み出されて空いている記憶領域に対して、データDD10を書き込む。続いて、インターリーバ100は、11タイムスロット目では、バンクAのRAM101₁におけるアドレス0の記憶領域、すなわち、0タイムスロット目でデータDD0が書き込まれた記憶領域からデータDD0を読み出すとともに、バンクBのRAM101₂におけるアドレス4の記憶領域、すなわち、直前の10タイムスロット目でデータDD9が読み出されて空いている記憶領域に対して、データDD11を書き込む。続いて、インターリーバ100は、12タイムスロット目では、バンクBのRAM101₂におけるアドレス2の記憶領域、すなわち、5タイムスロット目でデータDD5が書き込まれた記憶領域からデータDD5を読み出すとともに、バンクAのRAM101₁におけるアドレス0の記憶領域、すなわち、直前の11タイムスロット目でデータDD0が読み出されて空いている記憶領域に対して、データDD12を書き込む。続いて、インターリーバ100は、13タイムスロット目では、バンクAのRAM101₁におけるアドレス2の記憶領域、すなわち、4タイムスロット目でデータDD4が書き込まれた記憶領域からデータDD4を読み出すとともに、バンクBのRAM101₂におけるアドレス2の記憶領域、すなわち、直前の12タイムスロット目でデータDD5が読み出されて空いている記憶領域に対して、データDD13を書き込む。

【0182】

さらに、インターリーバ100は、図14に示すように、14タイムスロット目では、バンクBのRAM101₂におけるアドレス1の記憶領域、すなわち、3タイムスロット目でデータDD3が書き込まれた記憶領域からデータDD3を読み出すとともに、バンクAのRAM101₁におけるアドレス2の記憶領域、すなわち、直前の13タイムスロット目でデータDD4が読み出されて空いている記憶領域に対して、データDD14を書き込む。続いて、インターリーバ100は、15タイムスロット目では、バンクAのRAM101₁におけるアドレス4の記憶領域、すなわち、8タイムスロット目でデータDD8が書き込まれた記憶領域からデータDD8を読み出すとともに、バンクBのRAM101₂におけるアドレス1の記憶領域、すなわち、直前の14タイムスロット目でデータDD3が読み出されて空いている記憶領域に対して、データDD15を書き込む。続いて、インターリーバ100は、16タイムスロット目では、バンクBのRAM101₂におけるアドレス3の記憶領域、すなわち、7タイムスロット目でデータDD7が書き込まれた記憶領域からデータDD7を読み出すとともに、バンクAのRAM101₁におけるアドレス4の記憶領域、すなわち、直前の15タイムスロット目でデータDD8が読み出されて空いている記憶領域に対して、データDD16を書き込む。続いて、インターリーバ100は、17タイムスロット目では、バンクAのRAM101₁におけるアドレス3の記憶領域、すなわち、6タイムスロット目でデータDD6が書き込まれた記憶領域からデータDD6を読み出すとともに、バンクBのRAM101₂におけるアドレス3の記憶領域、すなわち、直前の16タイムスロット目でデータDD7が読み出されて空いている記憶領域に対して、データDD17を書き込む。そして、インターリーバ100は、18タイムスロット目では、バンクBのRAM101₂におけるアドレス0の記憶領域、すなわち、1タイムスロット目でデータDD1が書き込まれた記憶領域からデータDD1を読み出すと

10

20

30

40

50

ともに、バンクAのRAM101₁におけるアドレス3の記憶領域、すなわち、直前の17タイムスロット目でデータDD6が読み出されて空いている記憶領域に対して、データDD18を書き込む。

【0183】

このようにして、インターリーバ100は、RAM101₁、101₂に対して、DD0、DD1、DD2、DD3、DD4、DD5、DD6、DD7、DD8、DD9の順序で書き込んだ1フレーム目のデータを、書き込み順序と異なる順序、すなわち、DD2、DD9、DD0、DD5、DD4、DD3、DD8、DD7、DD6、DD1の順序で全て読み出すとともに、2フレーム目のデータのうち、最後のデータDD19を除く全てのデータを、DD10、DD11、DD12、DD13、DD14、DD15、DD16、DD17、DD18の順序でRAM101₁、101₂に対して書き込む。

10

【0184】

続いて、インターリーバ100は、2フレーム目のデータの残りのデータDD19と3フレーム目のデータとをRAM101₁、101₂に対して書き込むとともに、RAM101₁、101₂に対して書き込んだ2フレーム目のデータを書き込み順序と異なる順序で読み出す。

【0185】

すなわち、インターリーバ100は、図15に示すように、19タイムスロット目では、バンクAのRAM101₁におけるアドレス0の記憶領域、すなわち、12タイムスロット目でデータDD12が書き込まれた記憶領域からデータDD12を読み出すとともに、バンクBのRAM101₂におけるアドレス0の記憶領域、すなわち、直前の18タイムスロット目でデータDD1が読み出されて空いている記憶領域に対して、データDD19を書き込む。続いて、インターリーバ100は、20タイムスロット目では、バンクBのRAM101₂におけるアドレス0の記憶領域、すなわち、19タイムスロット目でデータDD19が書き込まれた記憶領域からデータDD19を読み出すとともに、バンクAのRAM101₁におけるアドレス0の記憶領域、すなわち、直前の19タイムスロット目でデータDD12が読み出されて空いている記憶領域に対して、データDD20を書き込む。続いて、インターリーバ100は、21タイムスロット目では、バンクAのRAM101₁におけるアドレス1の記憶領域、すなわち、10タイムスロット目でデータDD10が書き込まれた記憶領域からデータDD10を読み出すとともに、バンクBのRAM101₂におけるアドレス0の記憶領域、すなわち、直前の20タイムスロット目でデータDD19が読み出されて空いている記憶領域に対して、データDD21を書き込む。続いて、インターリーバ100は、22タイムスロット目では、バンクBのRAM101₂におけるアドレス1の記憶領域、すなわち、15タイムスロット目でデータDD15が書き込まれた記憶領域からデータDD15を読み出すとともに、バンクAのRAM101₁におけるアドレス1の記憶領域、すなわち、直前の21タイムスロット目でデータDD10が読み出されて空いている記憶領域に対して、データDD22を書き込む。続いて、インターリーバ100は、23タイムスロット目では、バンクAのRAM101₁におけるアドレス2の記憶領域、すなわち、14タイムスロット目でデータDD14が書き込まれた記憶領域からデータDD14を読み出すとともに、バンクBのRAM101₂におけるアドレス1の記憶領域、すなわち、直前の22タイムスロット目でデータDD15が読み出されて空いている記憶領域に対して、データDD23を書き込む。

20

30

40

【0186】

さらに、インターリーバ100は、図16に示すように、24タイムスロット目では、バンクBのRAM101₂におけるアドレス2の記憶領域、すなわち、13タイムスロット目でデータDD13が書き込まれた記憶領域からデータDD13を読み出すとともに、バンクAのRAM101₁におけるアドレス2の記憶領域、すなわち、直前の23タイムスロット目でデータDD14が読み出されて空いている記憶領域に対して、データDD24を書き込む。続いて、インターリーバ100は、25タイムスロット目では、バンクAのRAM101₁におけるアドレス3の記憶領域、すなわち、18タイムスロット目でデー

50

タDD18が書き込まれた記憶領域からデータDD18を読み出すとともに、バンクBのRAM101₂におけるアドレス2の記憶領域、すなわち、直前の24タイムスロット目でデータDD13が読み出されて空いている記憶領域に対して、データDD25を書き込む。続いて、インターリーバ100は、26タイムスロット目では、バンクBのRAM101₂におけるアドレス3の記憶領域、すなわち、17タイムスロット目でデータDD17が書き込まれた記憶領域からデータDD17を読み出すとともに、バンクAのRAM101₁におけるアドレス3の記憶領域、すなわち、直前の25タイムスロット目でデータDD18が読み出されて空いている記憶領域に対して、データDD26を書き込む。続いて、インターリーバ100は、27タイムスロット目では、バンクAのRAM101₁におけるアドレス4の記憶領域、すなわち、16タイムスロット目でデータDD16が書き込まれた記憶領域からデータDD16を読み出すとともに、バンクBのRAM101₂におけるアドレス3の記憶領域、すなわち、直前の26タイムスロット目でデータDD17が読み出されて空いている記憶領域に対して、データDD27を書き込む。そして、インターリーバ100は、28タイムスロット目では、バンクBのRAM101₂におけるアドレス4の記憶領域、すなわち、11タイムスロット目でデータDD11が書き込まれた記憶領域からデータDD11を読み出すとともに、バンクAのRAM101₁におけるアドレス4の記憶領域、すなわち、直前の27タイムスロット目でデータDD16が読み出されて空いている記憶領域に対して、データDD28を書き込む。

【0187】

このようにして、インターリーバ100は、RAM101₁、101₂に対して、DD10, DD11, DD12, DD13, DD14, DD15, DD16, DD17, DD18, DD19の順序で書き込んだ2フレーム目のデータを、書き込み順序と異なる順序、すなわち、DD12, DD19, DD10, DD15, DD14, DD13, DD18, DD17, DD16, DD11の順序で全て読み出すとともに、3フレーム目のデータのうち、最後のデータDD29を除く全てのデータを、DD20, DD21, DD22, DD23, DD24, DD25, DD26, DD27, DD28の順序でRAM101₁, 101₂に対して書き込む。

【0188】

続いて、インターリーバ100は、3フレーム目のデータの残りのデータDD29と4フレーム目のデータとをRAM101₁, 101₂に対して書き込むとともに、RAM101₁, 101₂に対して書き込んだ3フレーム目のデータを書き込み順序と異なる順序で読み出す。

【0189】

すなわち、インターリーバ100は、図17に示すように、29タイムスロット目では、バンクAのRAM101₁におけるアドレス1の記憶領域、すなわち、22タイムスロット目でデータDD22が書き込まれた記憶領域からデータDD22を読み出すとともに、バンクBのRAM101₂におけるアドレス4の記憶領域、すなわち、直前の28タイムスロット目でデータDD11が読み出されて空いている記憶領域に対して、データDD29を書き込む。続いて、インターリーバ100は、30タイムスロット目では、バンクBのRAM101₂におけるアドレス4の記憶領域、すなわち、29タイムスロット目でデータDD29が書き込まれた記憶領域からデータDD29を読み出すとともに、バンクAのRAM101₁におけるアドレス1の記憶領域、すなわち、直前の29タイムスロット目でデータDD22が読み出されて空いている記憶領域に対して、データDD30を書き込む。続いて、インターリーバ100は、31タイムスロット目では、バンクAのRAM101₁におけるアドレス0の記憶領域、すなわち、20タイムスロット目でデータDD20が書き込まれた記憶領域からデータDD20を読み出すとともに、バンクBのRAM101₂におけるアドレス4の記憶領域、すなわち、直前の30タイムスロット目でデータDD29が読み出されて空いている記憶領域に対して、データDD31を書き込む。続いて、インターリーバ100は、32タイムスロット目では、バンクBのRAM101₂におけるアドレス2の記憶領域、すなわち、25タイムスロット目でデータDD25が書

10

20

30

40

50

き込まれた記憶領域からデータDD25を読み出すとともに、バンクAのRAM101₁におけるアドレス0の記憶領域、すなわち、直前の31タイムスロット目でデータDD20が読み出されて空いている記憶領域に対して、データDD32を書き込む。続いて、インターリーバ100は、33タイムスロット目では、バンクAのRAM101₁におけるアドレス2の記憶領域、すなわち、24タイムスロット目でデータDD24が書き込まれた記憶領域からデータDD24を読み出すとともに、バンクBのRAM101₂におけるアドレス2の記憶領域、すなわち、直前の32タイムスロット目でデータDD25が読み出されて空いている記憶領域に対して、データDD33を書き込む。

【0190】

さらに、インターリーバ100は、図18に示すように、34タイムスロット目では、バンクBのRAM101₂におけるアドレス1の記憶領域、すなわち、23タイムスロット目でデータDD23が書き込まれた記憶領域からデータDD23を読み出すとともに、バンクAのRAM101₁におけるアドレス2の記憶領域、すなわち、直前の33タイムスロット目でデータDD24が読み出されて空いている記憶領域に対して、データDD34を書き込む。続いて、インターリーバ100は、35タイムスロット目では、バンクAのRAM101₁におけるアドレス4の記憶領域、すなわち、28タイムスロット目でデータDD28が書き込まれた記憶領域からデータDD28を読み出すとともに、バンクBのRAM101₂におけるアドレス1の記憶領域、すなわち、直前の34タイムスロット目でデータDD23が読み出されて空いている記憶領域に対して、データDD35を書き込む。続いて、インターリーバ100は、36タイムスロット目では、バンクBのRAM101₂におけるアドレス3の記憶領域、すなわち、27タイムスロット目でデータDD27が書き込まれた記憶領域からデータDD27を読み出すとともに、バンクAのRAM101₁におけるアドレス4の記憶領域、すなわち、直前の35タイムスロット目でデータDD28が読み出されて空いている記憶領域に対して、データDD36を書き込む。続いて、インターリーバ100は、37タイムスロット目では、バンクAのRAM101₁におけるアドレス3の記憶領域、すなわち、26タイムスロット目でデータDD26が書き込まれた記憶領域からデータDD26を読み出すとともに、バンクBのRAM101₂におけるアドレス3の記憶領域、すなわち、直前の36タイムスロット目でデータDD27が読み出されて空いている記憶領域に対して、データDD37を書き込む。そして、インターリーバ100は、38タイムスロット目では、バンクBのRAM101₂におけるアドレス0の記憶領域、すなわち、21タイムスロット目でデータDD21が書き込まれた記憶領域からデータDD21を読み出すとともに、バンクAのRAM101₁におけるアドレス3の記憶領域、すなわち、直前の37タイムスロット目でデータDD26が読み出されて空いている記憶領域に対して、データDD38を書き込む。

【0191】

このようにして、インターリーバ100は、RAM101₁、101₂に対して、DD20, DD21, DD22, DD23, DD24, DD25, DD26, DD27, DD28, DD29の順序で書き込んだ3フレーム目のデータを、書き込み順序と異なる順序、すなわち、DD22, DD29, DD20, DD25, DD24, DD23, DD28, DD27, DD26, DD21の順序で全て読み出すとともに、4フレーム目のデータのうち、最後のデータDD39を除く全てのデータを、DD30, DD31, DD32, DD33, DD34, DD35, DD36, DD37, DD38の順序でRAM101₁, 101₂に対して書き込む。

【0192】

同様に、インターリーバ100は、4フレーム目のデータの残りのデータDD39と5フレーム目のデータとをRAM101₁, 101₂に対して書き込むとともに、RAM101₁, 101₂に対して書き込んだ4フレーム目のデータを書き込み順序と異なる順序で読み出す。

【0193】

すなわち、インターリーバ100は、図19に示すように、39タイムスロット目では、

10

20

30

40

50

バンクAのRAM101₁におけるアドレス0の記憶領域、すなわち、32タイムスロット目でデータDD32が書き込まれた記憶領域からデータDD32を読み出すとともに、バンクBのRAM101₂におけるアドレス0の記憶領域、すなわち、直前の38タイムスロット目でデータDD21が読み出されて空いている記憶領域に対して、データDD39を書き込む。続いて、インターリーバ100は、40タイムスロット目では、バンクBのRAM101₂におけるアドレス0の記憶領域、すなわち、39タイムスロット目でデータDD39が書き込まれた記憶領域からデータDD39を読み出すとともに、バンクAのRAM101₁におけるアドレス0の記憶領域、すなわち、直前の39タイムスロット目でデータDD32が読み出されて空いている記憶領域に対して、データDD40を書き込む。続いて、インターリーバ100は、41タイムスロット目では、バンクAのRAM101₁におけるアドレス1の記憶領域、すなわち、30タイムスロット目でデータDD30が書き込まれた記憶領域からデータDD30を読み出すとともに、バンクBのRAM101₂におけるアドレス0の記憶領域、すなわち、直前の40タイムスロット目でデータDD39が読み出されて空いている記憶領域に対して、データDD41を書き込む。続いて、インターリーバ100は、42タイムスロット目では、バンクBのRAM101₂におけるアドレス1の記憶領域、すなわち、35タイムスロット目でデータDD35が書き込まれた記憶領域からデータDD35を読み出すとともに、バンクAのRAM101₁におけるアドレス1の記憶領域、すなわち、直前の41タイムスロット目でデータDD30が読み出されて空いている記憶領域に対して、データDD42を書き込む。そして、インターリーバ100は、43タイムスロット目では、バンクAのRAM101₁におけるアドレス2の記憶領域、すなわち、34タイムスロット目でデータDD34が書き込まれた記憶領域からデータDD34を読み出すとともに、バンクBのRAM101₂におけるアドレス1の記憶領域、すなわち、直前の42タイムスロット目でデータDD35が読み出されて空いている記憶領域に対して、データDD43を書き込む。

【0194】

このようにして、インターリーバ100は、RAM101₁、101₂に対して、DD30、DD31、DD32、DD33、DD34、DD35、DD36、DD37、DD38、DD39の順序で書き込んだ4フレーム目のデータを、書き込み順序と異なる順序、すなわち、DD32、DD39、DD30、DD35、DD34、・・・の順序で全て読み出すとともに、5フレーム目のデータのうち、最後のデータDD49を除く全てのデータを、DD40、DD41、DD42、DD43、・・・の順序でRAM101₁、101₂に対して書き込む。

【0195】

このように、インターリーバ100は、インターリーブ長の半分の容量を有するRAM101₁、101₂を用い、すなわち、全体としてインターリーブ長と同じ容量を有する記憶素子を用い、あるフレームについて、RAM101₁、101₂のうちの一方における所定のアドレスからデータを読み出すとともに、RAM101₁、101₂のうちの他方における所定のアドレスに対してデータを書き込み、次のフレームについては、RAM101₁、101₂のうちの一方からのデータの読み出しに用いたアドレスに対してデータを書き込むとともに、RAM101₁、101₂のうちの他方における所定のアドレスからデータを読み出す。インターリーバ100は、このように、直前にデータを読み出した位置にデータを書き込む動作を、フレーム毎にRAM101₁、101₂を交互に切り替えて行うことにより、少ない回路規模のもとに、連続的なインターリーブを実現することができる。

【0196】

以上説明したように、データ送受信システムにおいては、符号化装置1及び/又は復号装置3は、入力データから出力データへの置換が対称であり、且つ、偶数番目の入力データは偶数番目に出力されるとともに、奇数番目の入力データは奇数番目に出力されるアドレスにしたがった置換を行うインターリーバ100を備え、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行うことにより、イ

10

20

30

40

50

ンターリーブ長と同じ容量、すなわち、従来要していた容量の半分の容量の記憶素子を用いるのみで連続的なインターリーブを実現することができる。

【0197】

このとき、インターリーバ100は、インターリーブ長が長いほど、回路規模の削減効果を大きくすることができる。また、アドレスの規則性に基づく性能の劣化についても、インターリーブ長を例えば10000ビット程度以上にすれば、影響が殆ど見受けられないことを確認している。

【0198】

したがって、データ送受信システムは、符号の性能を維持しつつ回路規模の削減を図ることができ、優れた利便を提供することができるものである。

10

【0199】

なお、本発明は、上述した実施の形態に限定されるものではない。例えば、上述した実施の形態では、インターリーバ100における記憶素子としてRAMを用いるものとして説明したが、本発明は、RAM以外の記憶素子であっても、同様の書き込み及び読み出しを行うことができるものであれば、いかなるものであっても適用することができるのは勿論である。

【0200】

また、上述した実施の形態では、インターリーバ100として、2バンクのRAM101₁、101₂を用いるものとして説明したが、本発明は、2バンク以上であってもよい。すなわち、本発明は、全体としてインターリーブ長と同じ容量を有する記憶素子を用いるのみで連続的なインターリーブを実現することを目的するものであればよい。より換言すれば、本発明は、上述した整数 i 、 j 、 k の関係が、 $i = 2$ 、 $j = k$ となる場合のみならず、 $i \neq 2$ 、 $j \neq k$ となる場合であれば、適用することができるものである。

20

【0201】

さらに、上述した実施の形態では、シングルポートのRAMを用いてインターリーバ100を構成するものとして説明したが、本発明は、デュアルポートのRAMを用いてもインターリーバを構成することができる。この場合、インターリーバは、インターリーバ100におけるバンクAのRAM101₁における各アドレスの記憶領域と、インターリーバ100におけるバンクBのRAM101₂における各アドレスの記憶領域とを交互に接続した1つのRAMを用いた構成となるのみで、データの入出力の規則性については、インターリーバ100と同様のアドレス制御に基づくものとなることはいうまでもない。

30

【0202】

さらにまた、上述した実施の形態では、複数の要素符号化器と入力されたデータを並べ替えるインターリーバとを接続することによってターボ符号化を行う符号化装置1と、この符号化装置1によって符号化がなされた符号に対して複数の軟出力復号と入力されたデータを並べ替えるインターリーバとを接続することによって繰り返し復号を行う復号装置3とを備えるデータ送受信システムに適用するものとして説明したが、本発明は、データ送受信システムに拘泥するものではなく、インターリーブ及び/又はデインターリーブを行うものであれば、いかなるものであっても適用することができるものである。

【0203】

このように、本発明は、その趣旨を逸脱しない範囲で適宜変更が可能であることはいうまでもない。

40

【0204】

【発明の効果】

以上詳細に説明したように、本発明にかかるインターリーブ装置は、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ装置であって、データを記憶する記憶手段と、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出

50

しを制御する制御手段とを備え、上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

【0205】

したがって、本発明にかかるインターリーブ装置は、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、制御手段によって記憶手段に対するデータの書き込み及び読み出しを制御し、この制御手段による記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることにより、少ない回路規模のもとに、連続的なインターリーブ処理を実現することができる。

10

【0206】

また、本発明にかかるインターリーブ方法は、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ方法であって、入力データを入力する入力工程と、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、データを記憶する記憶手段に対するデータの書き込み及び読み出しを制御する制御工程と、出力データを出力する出力工程とを備え、上記制御工程では、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

20

【0207】

したがって、本発明にかかるインターリーブ方法は、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御し、記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることにより、少ない回路規模のもとに、連続的なインターリーブ処理を実現することが可能となる。

30

【0208】

さらに、本発明にかかる符号化装置は、複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して符号化を行う符号化装置であって、入力されたデータに対して所定の符号化を行う複数の要素符号化手段と、並列又は縦列に接続される複数の要素符号化手段のそれぞれの間に設けられ、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ手段とを備え、インターリーブ手段は、データを記憶する記憶手段と、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御する制御手段とを有し、上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

40

【0209】

したがって、本発明にかかる符号化装置は、各要素符号化手段の間に設けられるインターリーブ手段により、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御したインターリーブ処理を行い、制御手段による記憶手段からのデータの読み出し動作として、シーケンシャルな順次読

50

み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることにより、符号の性能を維持しつつ少ない回路規模のもとに、連続的なインターリーブ処理を実現することができる。

【0210】

さらにまた、本発明にかかる符号化方法は、複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して符号化を行う符号化方法であって、入力されたデータに対して所定の符号化を行う複数の要素符号化工程と、並列又は縦列に接続される複数の要素符号化工程のそれぞれの間に行われ、入力された入力データの順序を所定のアドレスにしたがって置換して並べ替えて出力データとして出力するインターリーブ工程とを備え、インターリーブ工程は、入力データを入力する入力工程と、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、データを記憶する記憶手段に対するデータの書き込み及び読み出しを制御する制御工程と、出力データを出力する出力工程とを有し、上記制御工程では、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

10

【0211】

したがって、本発明にかかる符号化方法は、各要素符号化工程の間に行われるインターリーブ工程にて、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御したインターリーブ処理を行い、記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることにより、符号の性能を維持しつつ少ない回路規模のもとに、連続的なインターリーブ処理を実現することが可能となる。

20

【0212】

また、本発明にかかる復号装置は、複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して生成された符号の復号を行う復号装置であって、複数の要素符号に対応して設けられ、軟入力とされる受信値及び事前確率情報を入力して軟出力復号を行い、各時刻における軟出力及び/又は外部情報を生成する複数の軟出力復号手段と、これらの軟出力復号手段によって生成された外部情報を入力し、符号化におけるインターリーブ処理と同一の置換位置情報に基づいて、外部情報の順序を所定のアドレスにしたがって置換して並べ替えるインターリーブ処理、又は符号化におけるインターリーブ処理によって並べ替えられた情報の配列を元に戻すように、外部情報の順序を所定のアドレスにしたがって置換して並べ替えるデインターリーブ処理を行うインターリーブ手段とを備え、インターリーブ手段は、データを記憶する記憶手段と、入力された入力データから出力する出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御する制御手段とを有し、上記制御手段は、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

30

40

【0213】

したがって、本発明にかかる復号装置は、インターリーブ手段により、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j 、 k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御したインターリーブ処理又はデインターリーブ処理を行い、制御手段による記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとア

50

ドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることにより、符号の性能を維持しつつ少ない回路規模のもとに、連続的なインターリーブ処理又はデインターリーブ処理を実現することができる。

【 0 2 1 4 】

さらに、本発明にかかる復号方法は、複数の要素符号をインターリーブ処理を介して並列又は縦列に接続して生成された符号の復号を行う復号方法であって、複数の要素符号に対応して設けられ、軟入力とされる受信値及び事前確率情報を入力して軟出力復号を行い、各時刻における軟出力及びノイズ又は外部情報を生成する複数の軟出力復号工程と、これらの軟出力復号工程にて生成された外部情報を入力し、符号化におけるインターリーブ処理と同一の置換位置情報に基づいて、外部情報の順序を所定のアドレスにしたがって置換して並べ替えるインターリーブ処理、又は符号化におけるインターリーブ処理によって並べ替えられた情報の配列を元に戻すように、外部情報の順序を所定のアドレスにしたがって置換して並べ替えるデインターリーブ処理を行うインターリーブ工程とを備え、インターリーブ工程は、データを入力する入力工程と、この入力工程にて入力された入力データから出力する出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、データを記憶する記憶手段に対するデータの書き込み及び読み出しを制御する制御工程と、出力データを出力する出力工程とを有し、上記制御工程では、上記記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせる。

10

20

【 0 2 1 5 】

したがって、本発明にかかる復号方法は、インターリーブ工程にて、入力データから出力データへの置換が対称であり、且つ、2以上の整数 i と0以上 i 未満の整数 j , k とに対して、 i で除算した剰余が j になる任意の位置の入力データが、 i で除算した剰余が k になる位置に出力データとして出力されるように、記憶手段に対するデータの書き込み及び読み出しを制御したインターリーブ処理又はデインターリーブ処理を行い、記憶手段からのデータの読み出し動作として、シーケンシャルな順次読み出しとアドレスにしたがったランダムな読み出しとをフレーム毎に交互に行わせることにより、符号の性能を維持しつつ少ない回路規模のもとに、連続的なインターリーブ処理又はデインターリーブ処理を実現することが可能となる。

30

【図面の簡単な説明】

【図1】本発明の実施の形態として示すデータ送受信システムを適用する通信モデルの構成を説明するブロック図である。

【図2】同データ送受信システムにおける符号化装置の一例の構成を説明するブロック図であって、PCCCによる符号化を行う符号化装置の構成を説明するブロック図である。

【図3】同データ送受信システムにおける復号装置の一例の構成を説明するブロック図であって、図2に示す符号化装置による符号の復号を行う復号装置の構成を説明するブロック図である。

【図4】同データ送受信システムにおける符号化装置の一例の構成を説明するブロック図であって、SCCCによる符号化を行う符号化装置の構成を説明するブロック図である。

40

【図5】同データ送受信システムにおける復号装置の一例の構成を説明するブロック図であって、図4に示す符号化装置による符号の復号を行う復号装置の構成を説明するブロック図である。

【図6】同符号化装置及びノイズ又は同復号装置に備えられるインターリーバによるデータの書き込み及び読み出し動作を説明するための図であって、(A)は、各記憶素子に対して入力データをシーケンシャルに順次書き込んだ様子を示し、(B)は、各記憶素子に書き込んだデータを出力データとして読み出す様子を示す図である。

【図7】図2に示す符号化装置に適用したインターリーバの概念を説明するための当該符号化装置の要部概念を説明する図である。

50

【図 8】図 3 に示す復号装置に適用したインターリーバの概念を説明するための当該復号装置の要部概念を説明する図であって、(A)は、当該復号装置が備えるインターリーバを示し、(B)は、当該復号装置が備えるデインターリーバを示し、(C)は、当該復号装置が備える他のデインターリーバを示す図である。

【図 9】図 4 に示す符号化装置に適用したインターリーバの概念を説明するための当該符号化装置の要部概念を説明する図である。

【図 10】図 5 に示す復号装置に適用したインターリーバの概念を説明するための当該復号装置の要部概念を説明する図であって、(A)は、当該復号装置が備えるデインターリーバを示し、(B)は、当該復号装置が備えるインターリーバを示す図である。

【図 11】同符号化装置及び/又は同復号装置に適用されるインターリーバの具体的なハードウェア構成を説明するブロック図である。

10

【図 12】同インターリーバによるデータの書き込み及び読み出し動作を説明するための図であって、1 フレーム目のデータのうち、最後のデータを除く全てのデータを RAM に対して書き込む様子を説明する図である。

【図 13】同インターリーバによる図 12 に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、1 フレーム目の最後のデータと 2 フレーム目のデータの途中までのデータとを RAM に対して書き込むとともに、RAM に対して書き込んだ 1 フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

【図 14】同インターリーバによる図 13 に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、2 フレーム目のデータのうち、最後のデータを除く残りのデータを RAM に対して書き込むとともに、RAM に対して書き込んだ 1 フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

20

【図 15】同インターリーバによる図 14 に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、2 フレーム目の最後のデータと 3 フレーム目のデータの途中までのデータとを RAM に対して書き込むとともに、RAM に対して書き込んだ 2 フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

【図 16】同インターリーバによる図 15 に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、3 フレーム目のデータのうち、最後のデータを除く残りのデータを RAM に対して書き込むとともに、RAM に対して書き込んだ 2 フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

30

【図 17】同インターリーバによる図 16 に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、3 フレーム目の最後のデータと 4 フレーム目のデータの途中までのデータとを RAM に対して書き込むとともに、RAM に対して書き込んだ 3 フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

【図 18】同インターリーバによる図 17 に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、4 フレーム目のデータのうち、最後のデータを除く残りのデータを RAM に対して書き込むとともに、RAM に対して書き込んだ 3 フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

【図 19】同インターリーバによる図 18 に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、4 フレーム目の最後のデータと 5 フレーム目のデータの途中までのデータとを RAM に対して書き込むとともに、RAM に対して書き込んだ 4 フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

40

【図 20】通信モデルの構成を説明するブロック図である。

【図 21】従来の符号化装置におけるトレリスを説明する図であって、確率 α 、 β 及び γ の内容を説明するための図である。

【図 22】従来の復号装置において、BCJR アルゴリズムを適用して軟出力復号を行う際の一連の工程を説明するフローチャートである。

【図 23】従来の復号装置において、Max-Log-BCJR アルゴリズムを適用して軟出力復号を行う際の一連の工程を説明するフローチャートである。

【図 24】従来のインターリーバによるデータの書き込み及び読み出し動作を説明するた

50

めの図であって、1フレーム目のデータを一方のバンクのRAMに対して書き込む様子を説明する図である。

【図25】同インターリーバによる図24に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、2フレーム目のデータの途中までのデータを他方のバンクのRAMに対して書き込むとともに、一方のバンクのRAMに対して書き込んだ1フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

【図26】同インターリーバによる図25に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、2フレーム目のデータの残りのデータを他方のバンクのRAMに対して書き込むとともに、一方のバンクのRAMに対して書き込んだ1フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

10

【図27】同インターリーバによる図26に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、3フレーム目のデータの途中までのデータを一方のバンクのRAMに対して書き込むとともに、他方のバンクのRAMに対して書き込んだ2フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

【図28】同インターリーバによる図27に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、3フレーム目のデータの残りのデータを一方のバンクのRAMに対して書き込むとともに、他方のバンクのRAMに対して書き込んだ2フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

【図29】同インターリーバによる図28に示す状態に続くデータの書き込み及び読み出し動作を説明するための図であって、4フレーム目のデータの途中までのデータを他方のバンクのRAMに対して書き込むとともに、一方のバンクのRAMに対して書き込んだ3フレーム目のデータを書き込み順序と異なる順序で読み出す様子を説明する図である。

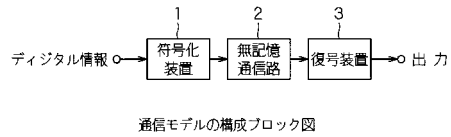
20

【符号の説明】

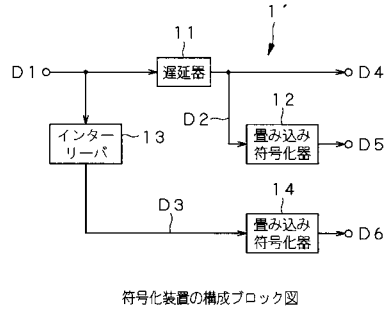
1, 1', 1'' 符号化装置、 3, 3', 3'' 復号装置、 11 遅延器、 12, 14, 31, 33 畳み込み符号化器、 13, 13₁, 16, 16₁, 18₁, 20₁, 32, 32₁, 35₁, 37, 37₁, 100 インターリーバ、 13₃, 16₃, 18₃, 20₃, 32₃, 35₃, 37₃, 104 スイッチ、 15, 17, 34, 36 軟出力復号回路、 13₂, 16₂, 18, 18₂, 20, 20₂, 32₂, 35, 35₂, 37₂ デインターリーバ、 19 加算器、 101₁, 101₂ RAM、 102 アドレス用記憶回路、 103 制御部

30

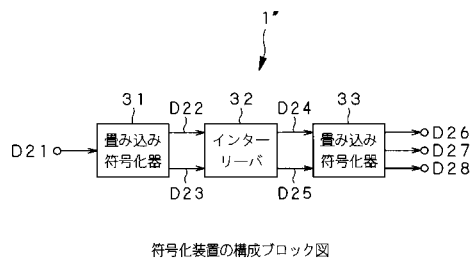
【図 1】



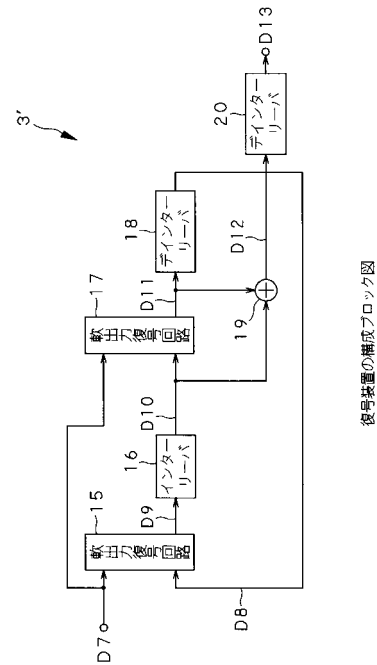
【図 2】



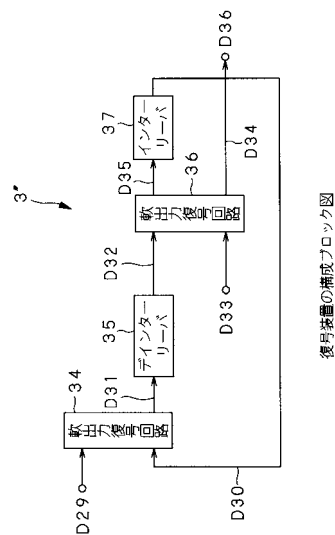
【図 4】



【図 3】



【図 5】

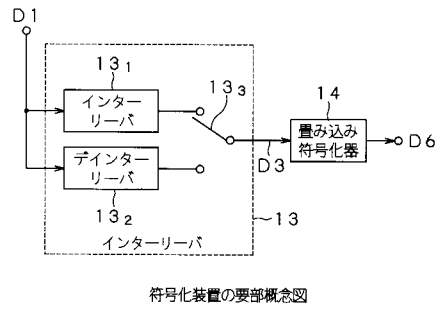


【図 6】

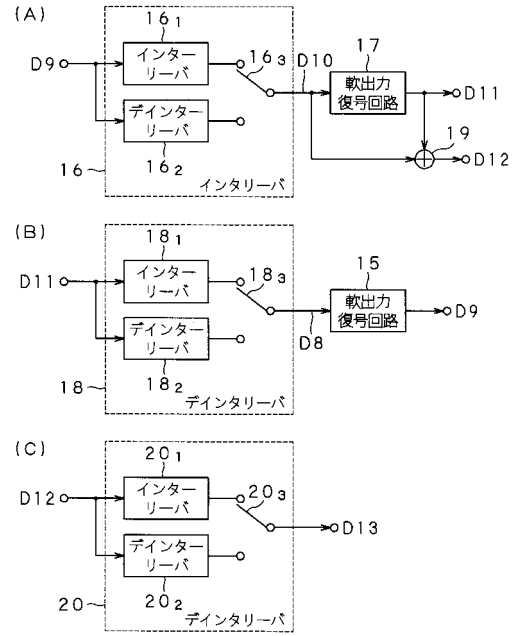


インターリバーの動作の説明図

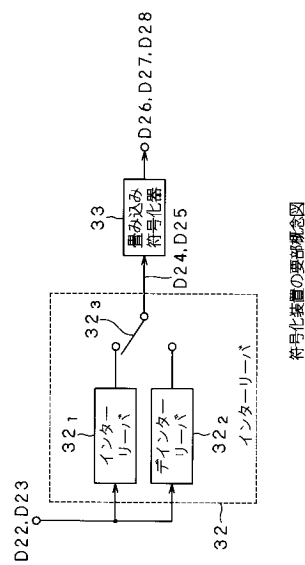
【図 7】



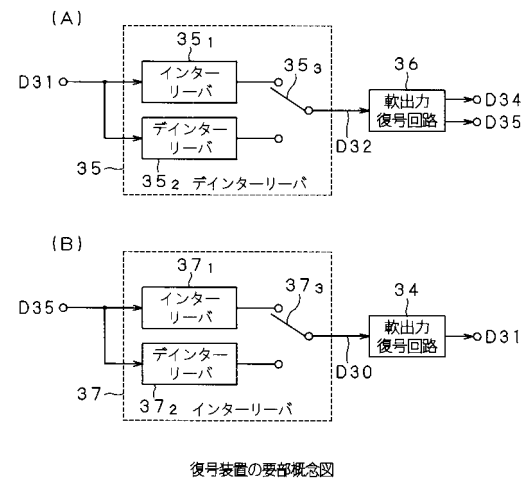
【図 8】



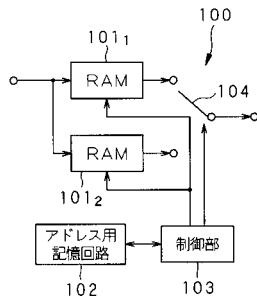
【図 9】



【図 10】

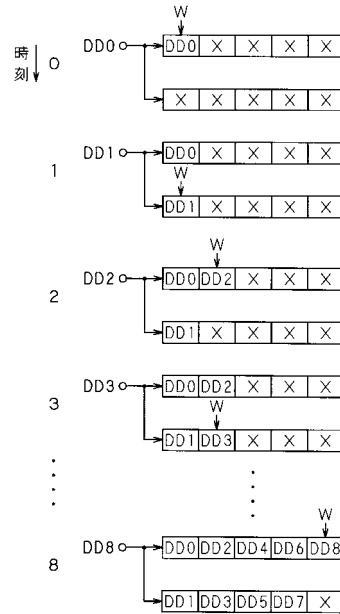


【図 1 1】



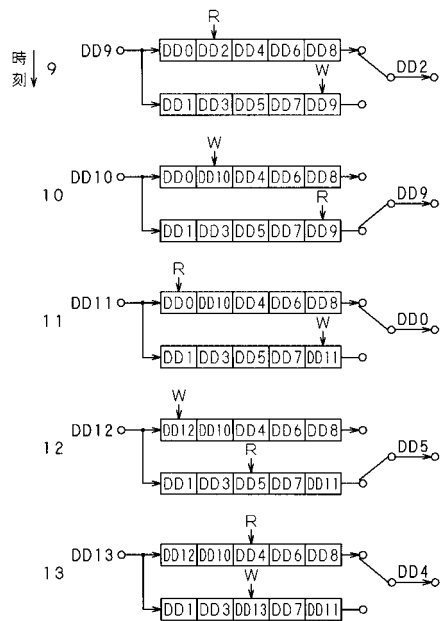
インターリーブの構成ブロック図

【図 1 2】



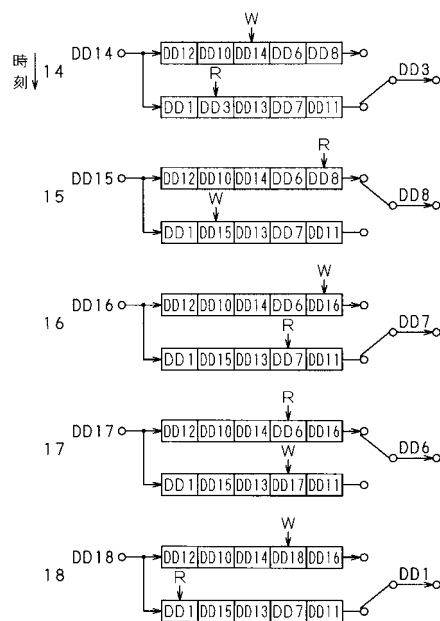
インターリーブの動作の説明図

【図 1 3】



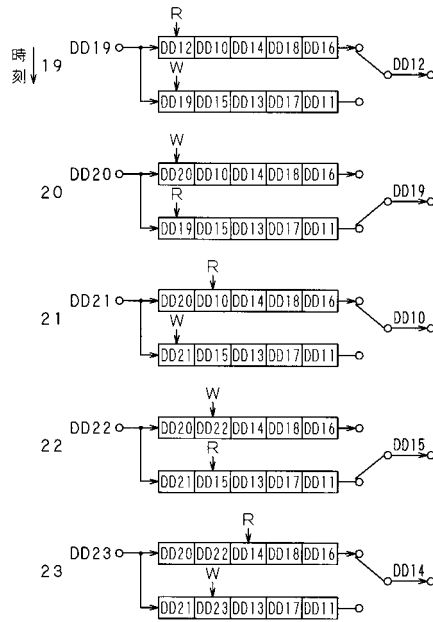
インターリーブの動作の説明図

【図 1 4】



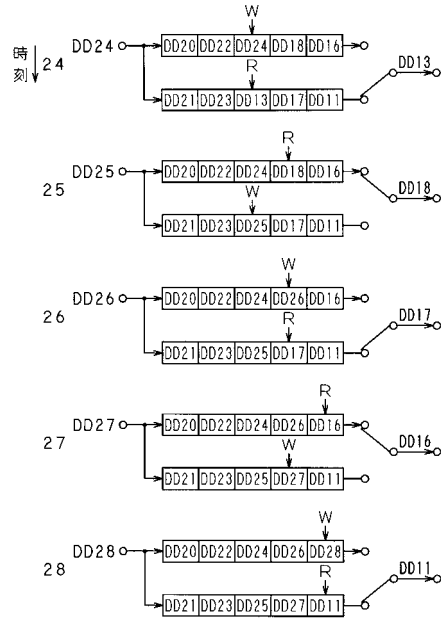
インターリーブの動作の説明図

【図 15】



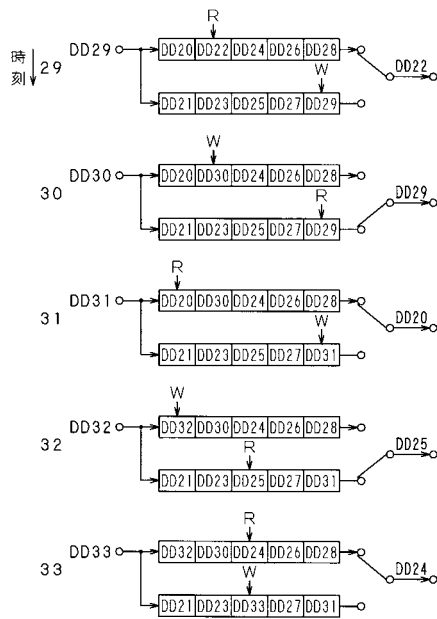
インターリーブの動作の説明図

【図 16】



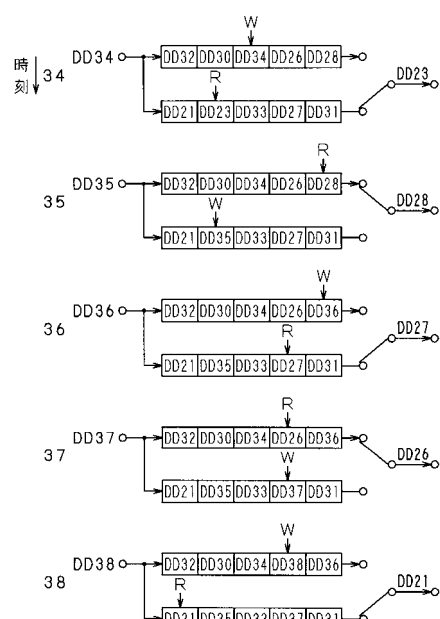
インターリーブの動作の説明図

【図 17】



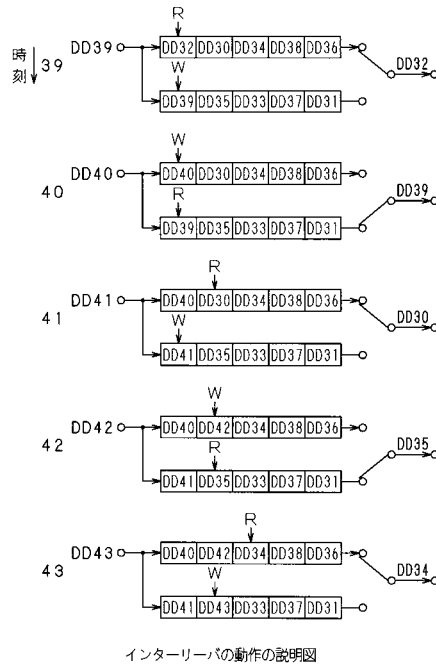
インターリーブの動作の説明図

【図 18】

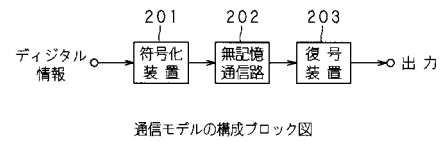


インターリーブの動作の説明図

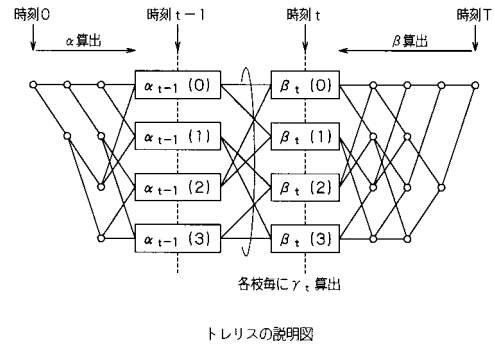
【図 19】



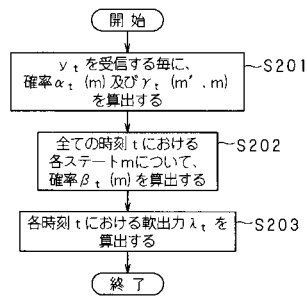
【図 20】



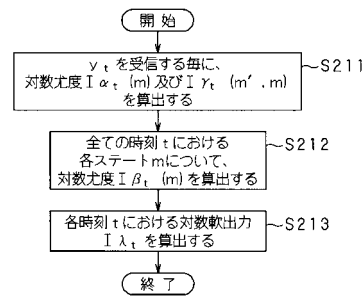
【図 21】



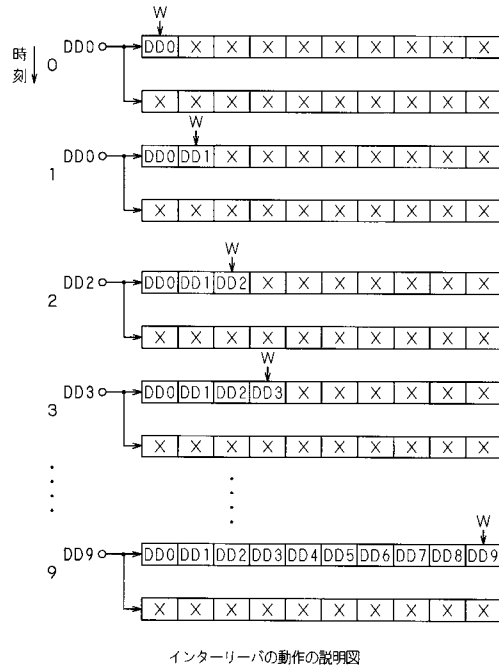
【図 22】



【図 23】

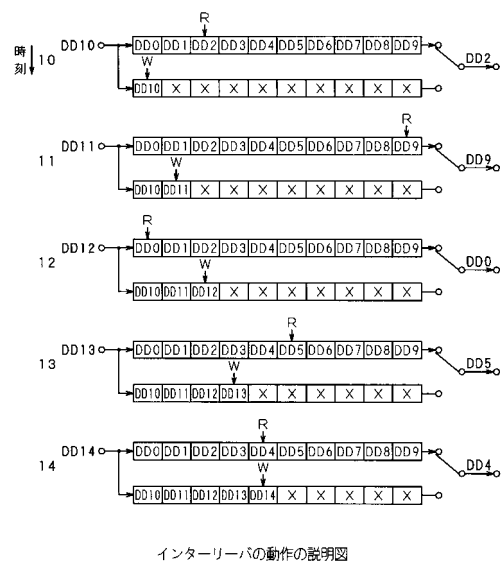


【図 24】



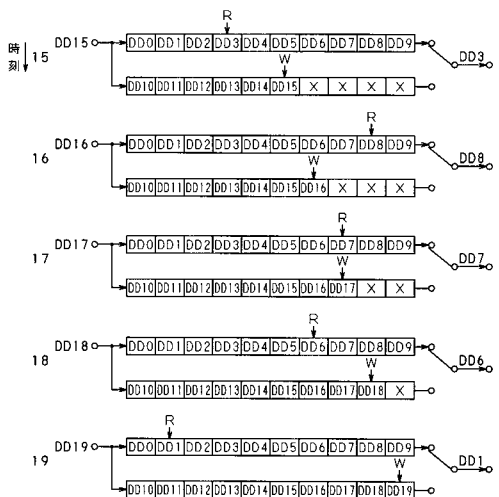
インターリーブの動作の説明図

【図 25】



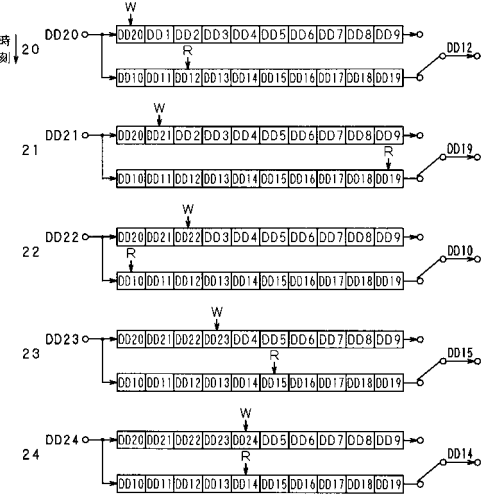
インターリーブの動作の説明図

【図 26】



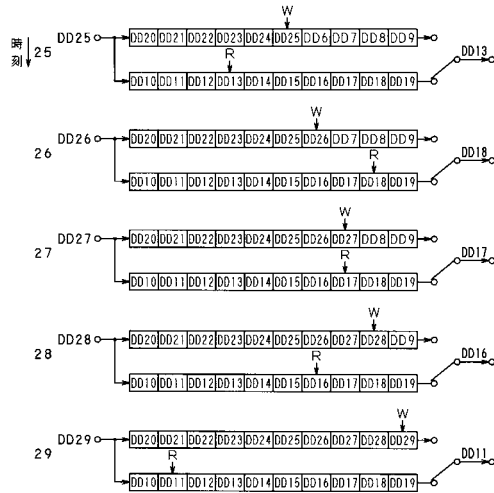
インターリーブの動作の説明図

【図 27】



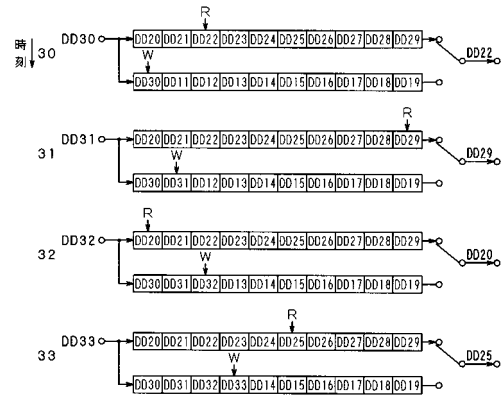
インターリーブの動作の説明図

【図 28】



インターリーバの動作の説明図

【図 29】



インターリーバの動作の説明図

フロントページの続き

(56)参考文献 特開平08-287617(JP,A)

荻原春生, ターボ符号の基礎, 日本, 株式会社トリケップス, 1999年10月7日, p.37-38, p.61-62, 第4章 ターボ符号の原形: 畳み込み符号の並列連接符号化、第5章 畳み込み符号の直列連接符号化

(58)調査した分野(Int.Cl.⁷, DB名)

H03M 13/00 - 13/53

G11B 20/18 - 20/18,576

H04L 1/00 - 1/18