



(12)发明专利申请

(10)申请公布号 CN 106653568 A

(43)申请公布日 2017. 05. 10

(21)申请号 201611096995.1

(22)申请日 2016.12.02

(71)申请人 南通沃特光电科技有限公司

地址 226300 江苏省南通市南通高新区新世纪大道266号科技之窗

(72)发明人 王浩

(51)Int. Cl.

H01L 21/02(2006.01)

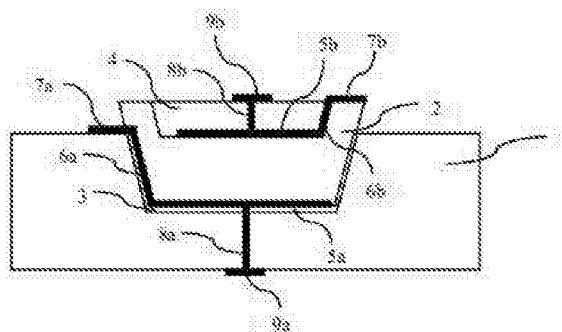
权利要求书1页 说明书3页 附图3页

(54)发明名称

一种低干扰电感结构的制造方法

(57)摘要

本发明提供了一种低干扰电感结构的制造方法,包括:提供一衬底,并在所述衬底的上表面形成一沟槽;在所述沟槽底部形成第一电感结构,所述第一电感结构包括第一中间电极、第一边缘电极、第一电感图案、连接所述第一中间电极与所述第一电感图案的第一导电通孔以及连接所述第一边缘电极与所述第一电感图案的第一斜面连接层;其中,所述第一边缘电极位于所述衬底的上表面,所述第一中间电极位于所述衬底的下表面,所述第一导电通孔贯穿所述沟槽隔离结构的底部与所述衬底的下表面。



1. 一种低干扰电感结构的制造方法,包括:

提供一衬底,并在所述衬底的上表面形成一沟槽;

在所述沟槽底部形成第一电感结构,所述第一电感结构包括第一中间电极、第一边缘电极、第一电感图案、连接所述第一中间电极与所述第一电感图案的第一导电通孔以及连接所述第一边缘电极与所述第一电感图案的第一斜面连接层;

其中,所述第一边缘电极位于所述衬底的上表面,所述第一中间电极位于所述衬底的下表面,所述第一导电通孔贯穿所述沟槽的底部与所述衬底的下表面。

2. 根据权利要求1所述的低干扰电感结构的制造方法,其特征在于,还包括在所述沟槽底部与侧面沉积一层绝缘层。

3. 根据权利要求2所述的低干扰电感结构的制造方法,其特征在于,所述第一斜面连接层和第一电感图案均位于所述绝缘层上。

4. 根据权利要求1所述的低干扰电感结构的制造方法,其特征在于,所述第一导电通孔形成方法具体包括:通过激光钻孔的方式形成贯通所述沟槽的底部与所述衬底的下表面的通孔,并用导电物质填充所述通孔。

5. 根据权利要求1所述的低干扰电感结构的制造方法,其特征在于,还包括用隔离材料填充所述沟槽,以形成沟槽隔离结构,所述沟槽隔离结构的上表面高于所述衬底的上表面。

6. 根据权利要求5所述的低干扰电感结构的制造方法,其特征在于,还包括在所述沟槽隔离结构中形成一个凹槽,并在所述凹槽中形成第二电感图案和第二斜面连接层,以及在所述沟槽隔离结构的上表面形成第二边缘电极,所述第二电感图案、第二斜面连接层与所述第二边缘电极一体成型并互相电连接。

7. 根据权利要求6所述的低干扰电感结构的制造方法,其特征在于,还包括在所述凹槽中填充隔离材料直至形成与所述沟槽隔离结构的上表面齐平的顶面。

8. 根据权利要求7所述的低干扰电感结构的制造方法,其特征在于,还包括在所述凹槽中的隔离材料中形成第二导电通孔以及在所述顶面上形成第二中间电极。

一种低干扰电感结构的制造方法

技术领域

[0001] 本发明涉及一种半导体器件,尤指涉及一种低干扰电感结构的制造方法。

背景技术

[0002] 常规的电感结构的形成方法,包括:提供一衬底;在所述衬底表面热氧化一层氧化硅;在所述氧化硅,在氧化硅上形成一层铜层;刻蚀所述铜层,形成电感图案,然后进行引出电极。该方法形成的电感结构,首先,不利于阻断其电磁干扰,会影响其他器件的正常工作;其次,电感结构占用的衬底表面积较大,不利于高密度化的器件集成,且多个平行的电感结构间的电磁干扰较大,容易互相串扰。

发明内容

[0003] 基于解决上述问题,本发明提供了一种低干扰电感结构的制造方法,包括:

提供一衬底,并在所述衬底的上表面形成一沟槽;

在所述沟槽底部形成第一电感结构,所述第一电感结构包括第一中间电极、第一边缘电极、第一电感图案、连接所述第一中间电极与所述第一电感图案的第一导电通孔以及连接所述第一边缘电极与所述第一电感图案的第一斜面连接层;

其中,所述第一边缘电极位于所述衬底的上表面,所述第一中间电极位于所述衬底的下表面,所述第一导电通孔贯穿所述沟槽的底部与所述衬底的下表面。

[0004] 根据本发明的实施例,还包括在所述沟槽底部与侧面沉积一层绝缘层。

[0005] 根据本发明的实施例,所述第一斜面连接层和第一电感图案均位于所述绝缘层上。

[0006] 根据本发明的实施例,所述第一导电通孔形成方法具体包括:通过激光钻孔的方式形成贯通所述沟槽隔离结构的底部与所述衬底的下表面的通孔,并用导电物质填充所述通孔。

[0007] 根据本发明的实施例,还包括用隔离材料填充所述沟槽,以形成沟槽隔离结构,所述沟槽隔离结构的上表面高于所述衬底的上表面。

[0008] 根据本发明的实施例,还包括在所述沟槽隔离结构中形成一个凹槽,并在所述凹槽中形成第二电感图案和第二斜面连接层,以及在所述沟槽隔离结构的上表面形成第二边缘电极,所述第二电感图案、第二斜面连接层与所述第二边缘电极一体成型并互相电连接。

[0009] 根据本发明的实施例,还包括在所述凹槽中填充隔离材料直至形成与所述沟槽隔离结构的上表面齐平的顶面。

[0010] 根据本发明的实施例,还包括在所述凹槽中的隔离材料中形成第二导电通孔以及在所述顶面上形成第二中间电极。

[0011] 本发明的技术方案,利用沟槽隔离结构中设置电感结构,节省衬底表面的占用面积,且利用沟槽隔离结构的隔离材料进行多个熔丝结构的互相隔离,简单易行;此外,两个电感结构形成于隔离结构中,减少其相互干扰,也能够有效地避免其对其他器件的干扰。

附图说明

[0012] 图1为本发明低干扰电感结构的剖面图；

图2为本发明低干扰电感结构的俯视图；

图3-8为本发明的低干扰电感结构的制造方法的流程示意图。

具体实施方式

[0013] 参见图1和2,本发明提供了一种低干扰电感结构,包括:

衬底1;

在所述衬底1上表面的沟槽隔离结构2,所述沟槽隔离结构2的顶面高于所述衬底1的上表面;

位于所述沟槽隔离结构2底部的第一电感结构,所述第一电感结构包括第一中间电极9a、第一边缘电极7a、第一电感图案5a、连接所述第一中间电极9a与所述第一电感图案5a的第一导电通孔8a以及连接所述第一边缘电极7a与所述第一电感图案5a的第一斜面连接层6a;其中,所述第一边缘电极7a位于所述衬底1的上表面,所述第一中间电极9a位于所述衬底1的下表面,所述第一导电通孔8a贯穿所述沟槽隔离结构2的底部与所述衬底1的下表面。

[0014] 其中,在所述沟槽隔离结构2底部与侧面还具有一层绝缘层3。所述沟槽隔离结构2包括填充的隔离材料,优选为二氧化硅。

[0015] 此外,在第一电感结构的上方位置还包括在所述沟槽隔离结构2中的第二电感结构。例如,可以在沟槽隔离结构2中形成凹槽4,在其底部及侧面形成所述第二电感结构。所述第二电感结构包括第二中间电极9b、第二边缘电极7b、第二电感图案5b、连接所述第二中间电极9b与所述第二电感图案5b的第二导电通孔8b以及连接所述第二边缘电极7b与所述第二电感图案5b的第二斜面连接层6b;其中,所述第二边缘电极7b位于所述沟槽隔离结构2的上表面,所述第二中间电极9b位于所述沟槽隔离结构2的上表面,所述第二导电通孔8b贯穿所述沟槽隔离结构2的一部分(凹槽4的深度)并从所述沟槽隔离结构2的上表面露出。其中,所述第一电感图案5a位于所述沟槽隔离结构2的深度大于所述第二电感图案5b位于所述沟槽隔离结构2的深度。

[0016] 其具体的制造方法可参见图3-8,包括以下步骤:

(1) 参见图3,提供一衬底1,并在所述衬底1的上表面形成一沟槽8;

(2) 参见图4,在所述沟槽8底部与侧面沉积一层绝缘层3;

(3) 参见图5,在所述沟槽8底部形成第一电感结构,所述第一电感结构包括第一中间电极9a、第一边缘电极7a、第一电感图案5a、连接所述第一中间电极9a与所述第一电感图案5a的第一导电通孔8a以及连接所述第一边缘电极7a与所述第一电感图案5a的第一斜面连接层6a;其中,所述第一边缘电极7a位于所述衬底1的上表面,所述第一中间电极9a位于所述衬底1的下表面,所述第一导电通孔8a贯穿所述沟槽隔离结构2的底部与所述衬底1的下表面。所述第一导电通孔8a形成方法具体包括:通过激光钻孔的方式形成贯通所述沟槽隔离结构2的底部与所述衬底的下表面的通孔,并用导电物质填充所述通孔。并且,所述第一斜面连接层6a和第一电感图案5a均位于所述绝缘层3上;

(4) 参见图6,用隔离材料填充所述沟槽8,以形成沟槽隔离结构2,所述沟槽隔离结构2

的上表面高于所述衬底1的上表面；并在所述沟槽隔离结构2中形成一个凹槽10；

(5) 参见图7,并在所述凹槽10中形成第二电感图案5b和第二斜面连接层6b,以及在所述沟槽隔离结构2的上表面形成第二边缘电极7b,所述第二电感图案5b、第二斜面连接层6b与所述第二边缘电极7b一体成型并互相电连接。

[0017] (6) 参见图8,在所述凹槽10中填充隔离材料直至形成与所述沟槽隔离结构的上表面齐平的顶面,接着,在所述凹槽10中的隔离材料中形成第二导电通孔8b以及在所述顶面上形成第二中间电极9b。

[0018] 最后应说明的是:显然,上述实施例仅仅是为清楚地说明本发明所作的举例,而并非对实施方式的限定。对于所属领域的普通技术人员来说,在上述说明的基础上还可以做出其它不同形式的变化或变动。这里无需也无法对所有的实施方式予以穷举。而由此所引出的显而易见的变化或变动仍处于本发明的保护范围之内。

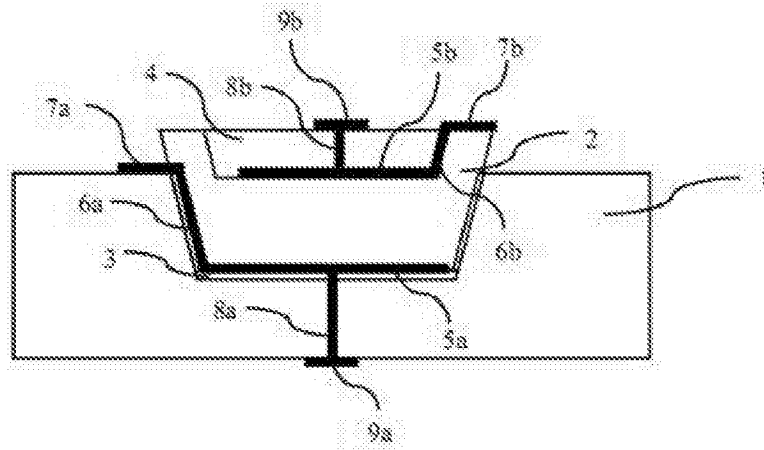


图1

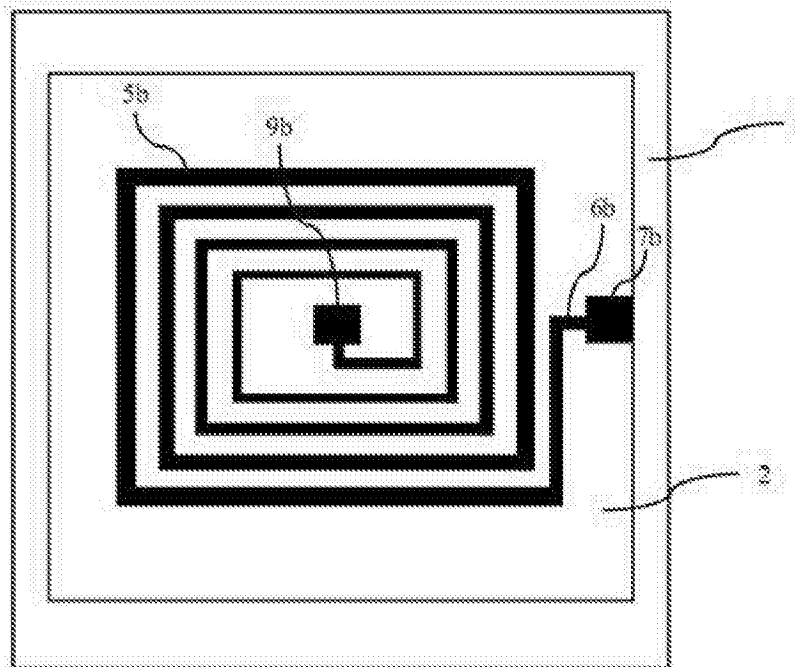


图2

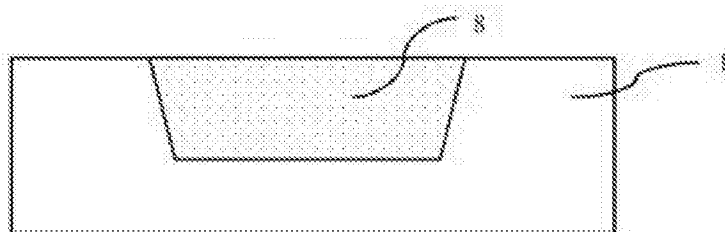


图3

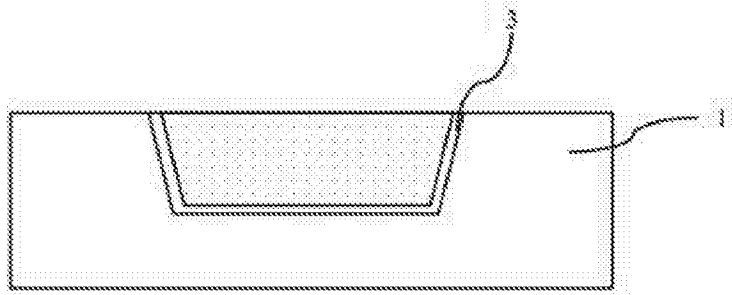


图4

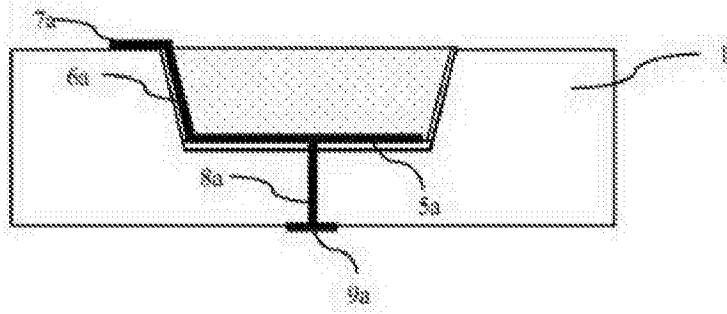


图5

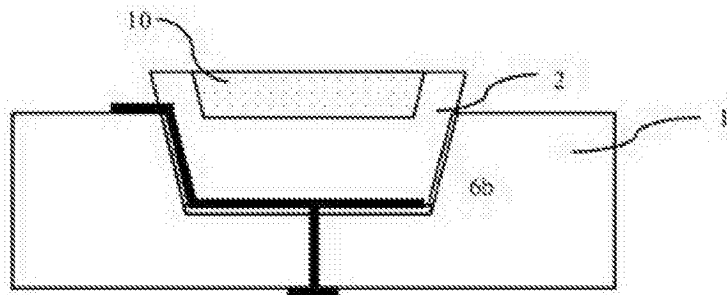


图6

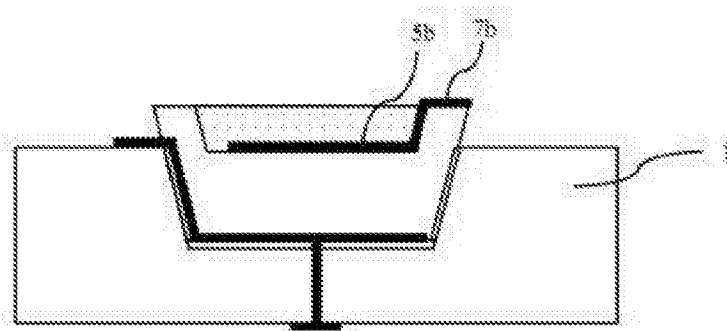


图7

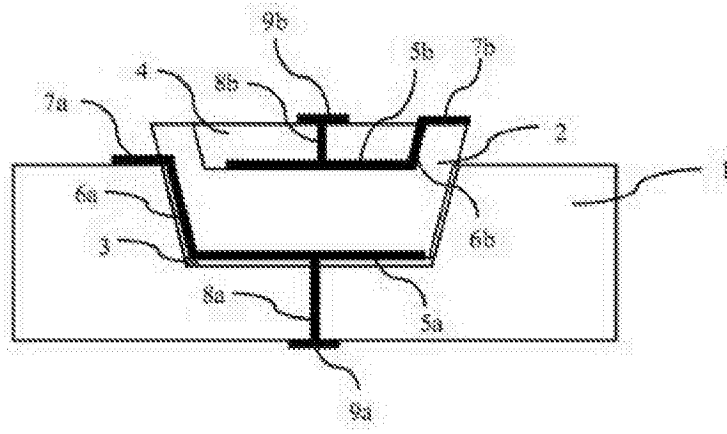


图8