



(12) 发明专利

(10) 授权公告号 CN 102292812 B

(45) 授权公告日 2014.04.02

(21) 申请号 200980154760.5

(51) Int. Cl.

(22) 申请日 2009.02.03

H01L 21/8252(2006.01)

(85) PCT国际申请进入国家阶段日

H01L 27/06(2006.01)

2011.07.20

H01L 21/74(2006.01)

(86) PCT国际申请的申请数据

(56) 对比文件

PCT/IB2009/051306 2009.02.03

US 2006/0175633 A1, 2006.08.10,

(87) PCT国际申请的公布数据

US 7285807 B2, 2007.10.23,

W02010/089632 EN 2010.08.12

JP 平2-186664 A, 1990.07.20,

(73) 专利权人 飞思卡尔半导体公司

CN 101151732 A, 2008.03.26,

地址 美国得克萨斯

审查员 张虹

(72) 发明人 菲利普·雷诺

(74) 专利代理机构 中原信达知识产权代理有限

权利要求书2页 说明书9页 附图3页

责任公司 11219

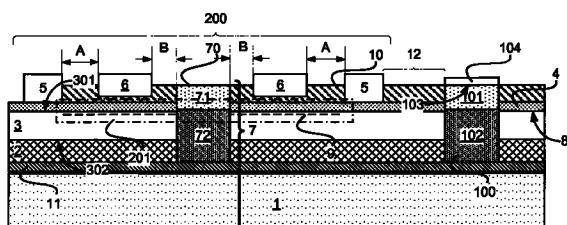
代理人 李佳 穆德骏

(54) 发明名称

半导体结构、包括半导体结构的集成电路及
制造半导体结构的方法

(57) 摘要

一种单片半导体结构包括层堆叠。该堆叠包括衬底(1)；由第一半导体材料制成的第一层(3)；以及由第二半导体材料制成的第二层(4)。第一层位于衬底和第二层之间且第一半导体材料和第二半导体材料中的至少一种包含III族氮化物材料。所述结构包括功率晶体管(200)，其包括：形成在层堆叠中的主体(201)；在第一层的面对第二层的一侧处的第一电源端子(5)；至少部分地形成在衬底中的第二电源端子；以及用于控制电信号在第一电源端子和第二电源端子之间通过体传播的栅极结构(6)。所述结构进一步包括垂直肖特基二极管，其包括：阳极；包括衬底的阴极；以及阴极和阳极之间的肖特基势垒(103)，所述肖特基势垒位于层堆叠中的所述衬底(1)和阳极层之间。



1. 一种单片半导体结构,包括:

层堆叠,所述层堆叠包括:

传导性衬底(1);

第一层(3),所述第一层(3)由第一半导体材料制成;以及

第二层(4),所述第二层(4)由第二半导体材料制成,所述第一半导体材料和所述第二半导体材料中的至少一种包含III族氮化物材料,并且所述第一层(3)位于所述传导性衬底(1)和所述第二层(4)之间;

所述结构包括功率晶体管(200),所述功率晶体管(200)包括:

主体(201),所述主体(201)形成在所述层堆叠中;

第一电源端子(5),所述第一电源端子(5)在所述第一层(3)的面对所述第二层(4)的一侧(301)处;

第二电源端子(7),所述第二电源端子(7)至少部分地形成在所述传导性衬底(1)中;以及

被布置在所述一侧(301)处的栅极结构(6),所述栅极结构(6)用于控制电信号在所述第一电源端子(5)和所述第二电源端子(7)之间通过所述主体(201)的传播;

所述结构进一步包括肖特基二极管(100),所述肖特基二极管(100)包括:

阳极(104);

阴极(101、102),所述阴极(101、102)至少经由所述传导性衬底(1)而电连接到所述第二电源端子(7);以及

肖特基势垒(103),所述肖特基势垒(103)在所述阴极(101、102)和所述阳极(104)之间,所述肖特基势垒位于所述层堆叠中的所述传导性衬底(1)和阳极层之间。

2. 如权利要求1所述的单片半导体结构,包括:

传导路径(50),所述传导路径(50)在所述阳极(104)和所述第一电源端子(5)之间。

3. 如权利要求1或2所述的单片半导体结构,包括:凹进,所述凹进通过所述第一层(3)和/或所述第二层(4),并且其中所述阴极(101、102)至少部分地由所述凹进的填充有阴极半导体材料的部分来形成。

4. 如权利要求3所述的单片半导体结构,其中,所述第一半导体材料为外延材料并且所述凹进填充有外延再生长材料。

5. 如权利要求3所述的单片半导体结构,其中,所述凹进从所述第一层(3)的衬底侧(301)延伸通过所述第一层(3)和所述第二层(4),并且其中所述凹进填充有阴极III族氮化物材料。

6. 如权利要求5所述的单片半导体结构,其中,所述阴极III族氮化物材料为掺杂的GaN。

7. 如权利要求5所述的单片半导体结构,其中,所述阴极III族氮化物材料在所述凹进的与所述衬底侧(302)相邻的部分中具有的掺杂浓度高于在所述凹进的与所述阳极(104)相邻的部分中的掺杂浓度。

8. 如权利要求1或2所述的单片半导体结构,包括:绝缘区(12),所述绝缘区(12)在所述肖特基二极管和所述主体(201)之间,所述绝缘区(12)使所述肖特基二极管所处的区域与所述主体(201)电分离。

9. 如权利要求 1 或 2 所述的单片半导体结构,其中,所述传导性衬底 (1) 是欧姆性的。
10. 如权利要求 1 或 2 所述的单片半导体结构,其中,所述功率晶体管 (200) 是异质结构场效应晶体管,并且所述主体 (201) 包括在所述第一电源端子 (5) 和第二电源端子 (7) 之间的异质结结构 (3、4、8、9),所述异质结结构包括界面 (8),所述第一层 (3) 和所述第二层 (4) 在所述界面处彼此接触,并且当操作时,沿着所述界面 (8) 形成二维电子气 (9)。
11. 如权利要求 1 或 2 所述的单片半导体结构,其中,所述第一半导体材料具有与所述第二半导体材料不同的带隙。
12. 如权利要求 1 或 2 所述的单片半导体结构,包括:诸如过渡层 (2) 和 / 或成核层 (11) 的至少一个中间层,所述至少一个中间层在所述第一层 (3) 和所述传导性衬底 (1) 之间。
13. 如权利要求 1 或 2 所述的单片半导体结构,其中,所述第一半导体和 / 或所述第二半导体材料是 III 族氮化物材料。
14. 如权利要求 1 或 2 所述的单片半导体结构,其中,所述衬底半导体材料包括下述组中的一种或多种材料,该组由下列材料组成:SiC、掺杂或未掺杂的 Si、外延生长的材料、包括多晶材料的晶体材料。
15. 一种用于制造单片半导体结构的方法,包括:
提供层堆叠,所述层堆叠包括:
传导性衬底 (1);
第一层 (3),所述第一层 (3) 由第一半导体材料制成;以及
第二层 (4),所述第二层 (4) 由第二半导体材料制成,所述第一半导体材料和所述第二半导体材料中的至少一种包含 III 族氮化物材料,并且所述第一层 (3) 位于所述传导性衬底 (1) 和所述第二层 (4) 之间;
提供功率晶体管,包括:
在所述层堆叠中形成主体 (201);
在所述第一层 (3) 的面对所述第二层 (4) 的一侧 (301) 处形成第一电源端子 (5);
在所述传导性衬底 (1) 中形成第二电源端子 (7);
在所述一侧 (301) 处形成栅极结构 (6),所述栅极结构 (6) 用于控制电信号在所述第一电源端子 (5) 和所述第二电源端子 (7) 之间通过所述主体 (201) 的传播;
提供垂直肖特基二极管,包括:
形成阳极;
形成阴极,所述阴极至少经由所述传导性衬底 (1) 而电连接到所述第二电源端子 (7);
以及
在所述阴极和所述阳极之间形成肖特基势垒,所述肖特基势垒位于所述层堆叠中的所述传导性衬底 (1) 和阳极层之间。

半导体结构、包括半导体结构的集成电路及制造半导体结构的方法

技术领域

[0001] 本发明涉及一种半导体结构、包括半导体结构的集成电路以及用于制造半导体结构的方法。

背景技术

[0002] 基于 III 族氮化物的功率晶体管在本领域内是已知的。III 族氮化物功率半导体器件由于其高击穿电压和低导通电阻而用于功率应用，例如用以供给功率。然而，已知的 III 族氮化物功率半导体器件的缺点在于，它们是分立器件，需要连接至其他电子组件以便形成电子电路。因此，得到的电路由彼此连接的若干管芯组成，并因而具有相对大的引脚尺寸 (footprint) 并且制造相对复杂。

[0003] 美国专利申请公布 US2006/0175633 公开了一种单片集成 III 族氮化物功率器件，其包括具有第一 III 族氮化物半导体层以及设置于第一 III 族氮化物层上的、具有不同于第一 III 族氮化物层的带隙的第二 III 族氮化物半导体层的异质结 III 族氮化物主体。第一电源电极电连接至第二 III 族氮化物层以及第二电源电极。栅极结构设置于第一电源电极和第二电源电极之间的第二 III 族氮化物层上方，并且存在肖特基电极，其与第二 III 族氮化物层肖特基接触。

[0004] 然而，此公布中暗示了，由于异质结要求第二 III 族半导体层的高电阻率，所以第二 III 族半导体层未掺杂，并因而具有所使用的 III 族氮化物的本征电特性。但是，这样的本征层不适合用于在正向偏置条件下要求低电流电阻的肖特基二极管。

[0005] 因此，为了得到正确工作的功率器件，必须修改 US2006/0175633 中所公开的单片集成 III 族氮化物功率器件，以即通过掺杂在肖特基二极管的区域中的第二 III 族氮化物半导体层中提供传导区。

发明内容

[0006] 本发明提供了半导体结构、包括半导体结构的集成电路以及用于制造半导体结构的方法。

[0007] 根据本发明的第一方面，提供了一种单片半导体结构，包括：层堆叠，所述层堆叠包括：传导性衬底；第一层，所述第一层由第一半导体材料制成；以及第二层，所述第二层由第二半导体材料制成，所述第一半导体材料和所述第二半导体材料中的至少一种包含 III 族氮化物材料，并且所述第一层位于所述传导性衬底和所述第二层之间；所述结构包括功率晶体管，所述功率晶体管包括：主体，所述主体形成在所述层堆叠中；第一电源端子，所述第一电源端子在所述第一层的面对所述第二层的一侧处；第二电源端子，所述第二电源端子至少部分地形成在所述传导性衬底中；以及被布置在所述一侧处的栅极结构，所述栅极结构用于控制电信号在所述第一电源端子和所述第二电源端子之间通过所述主体的传播；所述结构进一步包括肖特基二极管，所述肖特基二极管包括：阳极；阴极，所述阴

极至少经由所述传导性衬底而电连接到所述第二电源端子；以及肖特基势垒，所述肖特基势垒在所述阴极和所述阳极之间，所述肖特基势垒位于所述层堆叠中的所述传导性衬底和阳极层之间。

[0008] 根据本发明的第二方面，提供了一种用于制造单片半导体结构的方法，包括：提供层堆叠，所述层堆叠包括：传导性衬底；第一层，所述第一层由第一半导体材料制成；以及第二层，所述第二层由第二半导体材料制成，所述第一半导体材料和所述第二半导体材料中的至少一种包含 III 族氮化物材料，并且所述第一层位于所述传导性衬底和所述第二层之间；提供功率晶体管，包括：在所述层堆叠中形成主体；在所述第一层的面对所述第二层的一侧处形成第一电源端子；在所述传导性衬底中形成第二电源端子；在所述一侧处形成栅极结构，所述栅极结构用于控制电信号在所述第一电源端子和所述第二电源端子之间通过所述主体的传播；提供垂直肖特基二极管，包括：形成阳极；形成阴极，所述阴极至少经由所述传导性衬底而电连接到所述第二电源端子；以及在所述阴极和所述阳极之间形成肖特基势垒，所述肖特基势垒位于所述层堆叠中的所述传导性衬底和阳极层之间。

[0009] 本发明提供了一种半导体结构，其在同一管芯中包括功率晶体管和肖特基二极管。与现有技术相比，该半导体结构具有更小的引脚尺寸，并且相对容易制造。

[0010] 在一个实施例中，功率晶体管可以与肖特基二极管串联连接，并且肖特基二极管可以用作反激二极管。

[0011] 参考以下描述的实施例，本发明的这些及其他方面将是明显的，并且参照这些实施例对其进行了解释。

附图说明

[0012] 将参照附图而仅通过示例的方式来描述本发明进一步的细节、方面和实施例。

[0013] 图 1 示意性示出单片半导体结构的实施例的第一示例的横截面图。

[0014] 图 2 示意性示出图 1 的示例的顶视图。

[0015] 图 3-6 示意性示出在制造单片半导体结构的方法的示例的接连阶段中其实施例的示例的横截面图。

[0016] 图 7 示意性示出图 1 的示例的等效电路图。

具体实施方式

[0017] 参照图 1，其中示出单片半导体结构的示例。该单片半导体结构包括层堆叠。所示出的层堆叠包括衬底 1、由第一半导体材料制成的第一层 3 和由第二半导体材料制成的第二层 4。第一半导体材料和第二半导体材料中的一种或多种可以包含 III 族氮化物材料。第一层 3 位于衬底 1 和第二层 4 之间，并且更具体地，在本示例中，被设置在第一层 3 的第二层侧 301 处与第二层 4 直接相邻并直接接触。虽然可以使第一层 3 在第一层 3 的衬底侧 302 处与衬底 1 直接相邻并直接接触，但在所示示例中，第一层 3 通过一个或多个中间层 2、11 而与衬底 1 分离。

[0018] 该结构包括功率晶体管 200。功率晶体管 200 可以是任何合适类型的功率晶体管。功率晶体管 200 可以例如为异质结构场效应晶体管 (HFET)，其也可以被称为高电子迁移率晶体管 (HEMT)，如以下更加详细解释的。HFET 可以例如被实现为可以控制高电压处例如

50V 或以上和 / 或 1500V 或以下的电压处的电流的高功率开关。

[0019] 如图 1 所示, 功率晶体管 200 包括形成在层堆叠中的主体 201。功率晶体管 200 的第一电源端子 5 在第一层 3 的面对第二层 4 的第二层侧 301 处。功率晶体管 200 的第二电源端子 7 至少部分地形成在衬底 1 中。功率晶体管 200 进一步包括栅极结构 6, 用于控制电信号在第一电源端子 5 和第二电源端子 7 之间通过所述主体的传播。

[0020] 在所示示例中, 栅极结构 6 和第一电源端子 5 之间的距离 A 比栅极结构 6 和第二电源端子 7 之间的距离 B 大 (得多)。例如, 栅极结构 6 和第一电源端子 5、例如本实例中的功率晶体管的漏极之间的距离, 可以大于 10 微米, 诸如 15 微米或以上, 例如 15 和 20 微米之间, 并且栅极结构 6 和第二电源端子 7、例如本示例中功率晶体管的源极之间的距离, 可以为 10 微米或以下, 诸如大约 2 微米或以下。与栅极结构 6 和第二电源端子 7 之间相比, 可以在栅极结构 6 和第一电源端子 5 之间施加较高的电压差。栅极结构 6 和第一电源端子 5 之间的电压差可以为 1500V 或以下, 例如几百伏或以下, 诸如 600V 或以下, 而栅极结构 6 和第二电源端子 7、例如本示例中的源极之间的电压差, 可以为 30V 或以下, 诸如 10V 或以下。

[0021] 电源端子 5、7 和栅极结构可以具有任何适合于特定规格的形状。在图 1 和 2 所示的示例中, 第一电源端子 5 是围绕栅极结构 6 和第二电源端子 7 的环, 而栅极结构是围绕第二电源端子 7 的环 (被第一电源端子 5 围绕)。如图 2 所示, 这些环可以是封闭的环, 然而环可以可替选地为开放或中断的, 例如用于迹线路径传导线 (trace route conducting line) 通过。此外, 在图 1 和 2 的示例中, 环为矩形; 然而将明显的是, 也可以采用其他形状, 诸如六边形、圆形或椭圆形。而且, 示例中, 环和第二电源端子是同心的, 并且该构造具有 180 度旋转对称。然而, 也可以使栅极结构和 / 或第二电源端子相对于第一电源端子离心地设置并且该构造是以另一方式非对称或对称的, 例如镜像对称或以其他方式。

[0022] 如图 1 所示, 单片半导体结构可以进一步包括肖特基二极管, 本示例中, 被实现为垂直肖特基二极管 100。垂直肖特基二极管 100 包括阳极 104 和包括衬底的阴极。

[0023] 在阴极和阳极 104 之间存在肖特基势垒 103。肖特基势垒 103 位于层堆叠中的衬底 1 和在其中形成阳极 104 的阳极层之间。在示例中, 肖特基势垒 103 是在阳极层和包括在阴极中的一部分半导体层 101 之间的、在横向方向即平行于衬底层 1 的方向上延伸的金属 - 半导体界面。在示例中, 阳极层是层堆叠的顶层, 由金属材料形成, 并且肖特基势垒 103 与在垂直方向 (自衬底向顶层) 上位于阳极层下方的电介质层 10 的暴露表面齐平。然而, 将明显的是, 肖特基势垒可以处于层堆叠中的另一位置处, 并且例如, 诸如当阳极层在顶层下方的层中部分地凹进时, 位于电介质层 10 的表面下方。

[0024] 阴极可以延伸通过第一层 3 和 / 或第二层 4 的至少一部分, 并且如图 1 所示, 可以包括延伸通过层 3、4 的凹进并用合适材料的一个或多个二极管层 101、102 填充。如图所示, 凹进可以延伸至位于衬底 1 和第二层 4 之间的中间层 11, 并且与中间层 11 直接接触。中间层 11 可以提供凹进和衬底 1 之间的电路路径。如示例中所示, 中间层 11 可以例如为与衬底 1 直接接触的传导层。然而, 可替选地, 凹进可以例如通过层 3、4 和衬底 1 之间的任何中间层而延伸至衬底 1, 并且填充凹进的材料可以与衬底 1 直接接触。

[0025] 阴极 103 包括衬底 1, 并且肖特基势垒位于层堆叠中的衬底和阳极层之间。因而, 可以以与位于层堆叠中的晶体管 200 的部分相同的步骤来制造肖特基二极管。更具体地, 如下面更加详细解释的, 垂直肖特基二极管 100 可以例如与第二电源端子 7 同时制造。

[0026] 由图1和2可见,在半导体区和主体之间可以存在绝缘区12,其使阴极的半导体区与晶体管的主体电隔离。在绝缘区12中,至少第二层4可以由未有意掺杂的半导体材料制成,从而得到高电阻性区,而在期望良好的传导性的区域中,可以对第二层掺杂。如图7所示,绝缘区12可以由隔离沟槽120形成,例如通过局部完全去除层4且部分去除层3并且用合适的电介质填充,因此在绝缘区12中形成的凹进。然而,此外或者可替选地,功率晶体管和肖特基二极管之间的隔离可以利用其他合适的隔离技术来加以实现,诸如结隔离、电介质隔离或者诸如氧注入的杂质注入隔离。

[0027] 参照图3-6,单片半导体结构可以例如用包括提供层堆叠的用于制造单片半导体结构的方法来制造。如图3所示,堆叠可以包括:衬底1;第一层3,其由第一半导体材料制成;以及第二层4,其由第二半导体材料制成。层堆叠可以包括附加的层,诸如中间层2、11、电介质层10、阳极层或者其他合适的层。层堆叠可以在提供晶体管和/或肖特基二极管之前提供。然而,可替选地,可以在提供晶体管200和/或肖特基二极管100期间或者之后提供一个或多个层堆叠。

[0028] 衬底1可以是传导性的并提供电路路径,例如如图1所示,通往晶体管200的源极(或者如图7所示通往晶体管200的漏极)和/或通往肖特基二极管100的阴极102。衬底1可以例如为欧姆性的。衬底1可以由包含单晶硅的衬底半导体材料或者另外的合适的衬底材料制成。衬底1可以例如为经掺杂以提高衬底传导性的半导体,例如在(单晶)硅的情况下,衬底1可以提供有n型掺杂,例如砷、磷或其他合适的类型的掺杂剂。

[0029] 第一层3和第二层4可以以任何适合于特定实施的方式来加以实现。第一半导体材料和第二半导体材料中的一种或多种可以包含III族氮化物材料,诸如Al和/或In和/或Ga的氮化物的(合金、化合物或混合物)。已发现,III族氮化物材料适合于功率晶体管和肖特基二极管这两者,并且如下面更加详细解释的,允许在无需附加的步骤的情况下制造肖特基二极管。所使用的III族氮化物材料可以例如为下列一组材料中的一种或多种材料:二元III族氮化物材料、三元III族氮化物材料、四元III族氮化物材料、GaN、AlGaN(例如,具有20%或以上和/或30%或以下的Al浓度)、InGaN、AlInN、AlInGa和外延生长的III族氮化物材料。已发现,GaN的第一层3和AlGaN的第二层4是适合于HEMT和肖特基二极管这两者的材料组合。第一层3可以例如具有至少1微米且多达6微米的厚度。

[0030] 第一层3和第二层4可以例如以适合形成异质结的方式加以实现。如图3所示,可以提供第一层3和第二层4,以便在第一层3和第二层4彼此接触之处得到界面8。沿着界面8,当功率晶体管处于操作中时,在第一层3的与界面8直接相邻的部分中可以形成二维电子气(2DEG)9。将予以理解的是,如本申请中所使用的术语“二维电子气”,包括能够在两个维度上移动但在第三维度上受到紧密限制的电子气以及类似的空穴气。如图中所示,层3、4和界面8可以为基本上平坦的,并且被定向为平行于晶片的顶表面(其在所示图中,由衬底1的顶表面形成)。如图所示,晶片可以具有单层衬底。然而,可替选地,晶片可以具有多层衬底。

[0031] 所使用的第一半导体材料和第二半导体材料可以例如选自适合于异质结的材料。第二半导体材料可以例如具有与第一半导体材料的带隙不同的带隙。由此,界面8处的带隙将会弯曲,如本领域通常所公知的,并且可以得到其中可以形成2DEG9的势阱。第一层3可以例如由未有意掺杂的半导体材料制成。由此,第一层3可以提供有高电阻率并且可以

减小 HFET 在截止状态下的泄漏电流。在不希望受限于任何理论的情况下,可以认为高电阻率限制界面 8 处第一层 3 的片状区域内的 2DEG9 的电子,从而抑制了通过第一层 3 的远离界面 8 的部分而发生泄漏。另外,2DEG 可以提供高的载流子面密度(例如高达 $8 \cdot 10^{12} \text{ cm}^{-2}$ 或以上)并且可以具有高的电子迁移率(例如,在 $10^3 \cdot \text{cm}^2/\text{V}$ 或以上的范围内)。此外,2DEG 可以具有低的导通状态电阻,例如可以得到低至 $3 \cdot \Omega \text{m}^2$ 或以下的电阻。第一层 3 可以例如具有 1 微米或以上、例如 2 微米或以上和 / 或 10 微米或以下、例如 2-6 微米之间的厚度。第二层 4 可以例如具有低于 0.1 微米、诸如几十纳米、诸如 20nm 到 30nm 的厚度。

[0032] 第二层 4 可以例如被实现为隧穿层,其在制造该结构之后使第一电源端子 5 与第一层 3 分离,并且当在制造半导体结构之后使晶体管操作时,其允许第一电源端子 5 和 2DEG9 之间经由电荷载流子穿过第二层 4 的隧穿而传导。例如,第二层 4 可以是电源端子 5 和第一层 3 之间的 AlGaN 层,具有大约 300 埃的厚度。AlGaN 层具有的铝成分例如在 20% 和 30% 之间。应当明显的是,可以存在其他层。可替选地,如示例中所示,第一电源端子 5 也可以与 2DEG9 直接接触,并且例如可以设置在第二层 4 中,其延伸至至少第一层 3 的顶表面或者至第一层 3 中(例如,通过在第二层 4 中局部地蚀刻凹进至期望深度并且之后沉积端子层或 / 和通过在第二层 4 中热扩散合适的材料,例如掺杂剂)。可替选地,第一电源端子 5 也可以通过传导路径而与 2DEG9 接触,所述传导路径是通过在第二层 4 中局部地热扩散金属和 / 或残余掺杂而制成的,以便使第二层 4 在传导路径的区域中电传导。也可以以另一方式来提供传导路径,诸如通过在传导路径的区域中注入掺杂剂并且之后进行热扩散,例如通过注入且随后激活。

[0033] 应予以注意的是,2DEG9 也可以利用其他机制来形成,并且可以使用其他材料(的组合)来形成异质结。第二半导体材料可以例如具有与第一半导体材料的晶格常数不同的晶格常数,并且第一半导体材会在自界面向衬底的横断面方向上呈现压电极化。由此,由于不同的晶格常数,第一半导体材料将会受到应力或应变,并且第一层 3 将会在界面 8 处被充电。由此,会增大界面 8 处的电子密度。

[0034] 如例如图 3 中所示,层堆叠可以包括诸如成核层 11 的附加的层。如图所示,成核层 11 可以与衬底 1 直接相邻并接触,且充当在成核层上生长的外延层的基础层,所述基础层例如可以具有允许在其上生长外延层的晶体结构和晶格常数。另外,成核层 11 可以用以补偿衬底 1 的晶体结构和 / 或晶格常数与在成核层 11 上生长的层的晶体结构和 / 或晶格常数之间的失配。例如,第一层 3 和第二层 4 可以是采用适当的外延工艺生长的外延层。

[0035] 成核层 11 可以例如具有传导性材料、或者以其他方式例如经由电子穿过成核层的隧穿而提供与成核层 11 上方的传导性部分(诸如,阳极 101 和 / 或第二电源端子 7)的电连接。可以例如通过在生长成核层的期间使元素从衬底 1 扩散到成核层 11 中和 / 或由于成核层 11 的晶体的无序取向、例如成核层可以为多晶的而使成核层 11 电传导。在成核层 11 上生长的层,例如过渡层 2 或第一半导体层 3 可以是单晶的或不太无序和 / 或包含较少的或没有来自衬底的元素而因此为高电阻性的。

[0036] 成核层 11 可以例如为低于 100nm 厚,诸如例如为 50nm 或以下。例如对于衬底上(诸如单晶硅衬底层上)的 AlN 成核层而言,发现适当的厚度在 35nm 和 45nm 之间,例如 40nm。

[0037] 图 3 中所示的层堆叠可以进一步包括例如设置在第一层 3 和衬底 1 之间的过渡层

2。过渡层 2 用以逐步地提高通过外延而生成的材料的晶体质量,以使得第一层 3 能够成为具有低位错密度(低至 $5 \cdot 10^9 \text{ cm}^{-2}$)的单晶。另外,过渡层 2 也可以参与使过渡层 2 上方的层与衬底 1 电隔离。在所示示例中,过渡层 2 被生长在成核层 11 上。过渡层 2 可以例如为外延层。已发现过渡层 2 的适当的组成为 GaN/AlN 的交替层。而且,过渡层可以由具有在自衬底向第二层 4 的方向上渐变 Al 成分、例如从 AlN(即未添加 Ga)到 GaN(即未添加 Al)的 AlGaN 制成。可以例如用 Fe、Mg 或 C 或成分或者其合金、化合物或混合物对过渡层 2 或其一些子层进行掺杂,以增大它们的电阻率或者生成 p 型区。

[0038] 功率晶体管 200 可以提供在堆叠中。提供功率晶体管的工艺可以在一些部分上与提供层堆叠的工艺重叠。在图 3-6 所示示例中,功率晶体管 200 在提供了第一和第二层 3、4 之后被提供,但是与例如电介质层 10、阳极层 104 的其他层重叠。在本示例中,在层堆叠中由电源端子 5 和沟道 70 限定晶体管主体 201,所述沟道 70 为第二电源端子 7 的一部分并且提供在晶体管主体 201 的第二电源端子侧和衬底 1 之间的电传导路径。在本示例中,主体 201 具有包括界面 8 的异质结结构,第一层 3 和第二层 4 在界面 8 处彼此接触,并且当操作时,沿界面 8 形成 2DEG。

[0039] 如图 3 和 4 所示,例如,可以在衬底 1 中至少部分地提供第二电源端子 7。第二电源端子 7 可以例如包括沟道 70,例如半导体或金属沟道。可以例如通过例如采用等离子体蚀刻来局部地去除一部分层堆叠以便得到通过至少第一和第二层 3、4 的凹进,来提供沟道 70。该凹进可以例如从堆叠的暴露表面延伸至成核层 11 或者至衬底 1。

[0040] 如图 5 所示,可以然后利用适当的材料例如掺杂的半导体材料来填充凹进,以便提供主体 201 和衬底 1 之间的电路径。凹进可以利用例如 n 掺杂 GaN 的经适当掺杂的半导体层来完全填充。凹进可以例如用例如 n 型掺杂而成为高导电性的掺杂材料来填充,而第二层 4 可以是非有意掺杂的。由此,可以减小当诸如以例如 -5V 或以下的负电压偏置栅极端子时的泄漏电流。

[0041] 在图 5 的示例中,凹进可以用传导层 72 来部分地填充,所述传导层 72 在处理的此阶段中与层堆叠的暴露在凹进中的表面直接接触,例如在本示例中为成核层 11。可替选地,当凹进延伸通过成核层 11 时或者当成核层 11 不存在时,暴露表面可以是衬底 1。层 72 可以例如为掺杂的半导体层,例如诸如 n 掺杂 GaN 的 III 族氮化物材料,并且可以例如通过外延再生长来生长,例如,如在垂直再生长的情况下,采用分子束外延(MBE),或者如在垂直和横向再生长这两者的情况下,采用金属有机化学气相外延(MOCVD)。在生长第一传导层 72 之后,然后可以用一个或多个附加的层来完全填充凹进。例如,如图 5 所示,然后可以通过生长由半导体材料或者由金属材料制成的另一层 71 来完全填充凹进。在层 71 是由半导体材料制成的情况下,层 72 可以由相同类型但掺杂剂浓度不同的材料制成。例如,层 72、71 可以都由例如通过外延再生长得到的 n 型掺杂 GaN 制成,与顶层 71 中的掺杂浓度(N-) 相比,下层 72 具有较高(N+) 的浓度。例如,下层可以具有比顶层中的浓度高几个数量级的浓度。已发现合适的值是在下层中为 10^{19} cm^{-3} 的掺杂浓度并且在顶层 71 中为 10^{16} cm^{-3} 的掺杂浓度。

[0042] 如图 6 所示,例如在形成第二电源端子 7 之后,可以在第一层 3 的面向第二层 4 侧处形成第一电源端子 5。如上面所解释的,可以诸如通过蚀刻第二层 4 且随后在这样形成的凹进中生长适当的材料,来使第一电源端子 5 例如通过第二层 4 而与第一层 3 分离或者与

第一层 3 直接接触地提供。第一电源端子可以例如由金属或者诸如 Al/Ti、Ni/Al/Ti、Mo/Al/Ti 等的其他合适传导材料制成。第一电源端子 5 可以例如通过局部地蚀刻第二层 4 至适当的深度、例如至第一层 3 以便得到与 2DEG9 直接接触的凹进来提供。随后,可以在凹进中生长适当的材料,例如金属。可替选地,如图 6 所示,可以通过在第二层 4 上局部地生长传导材料来得到第一电源端子 5,其例如通过穿过第二层 4 的隧穿路径而与 2DEG9 电接触而不直接接触。而且,可以通过例如局部热扩散或者其他方式将元素引入在第一层 3 和 / 或第二层 4 中,来得到第一电源端子 5。之后,可以对半导体结构的中间产物进行快速热退火,以构建具有低接触电阻的欧姆端子。

[0043] 在形成第一电源端子之前、期间或之后,可以形成栅极结构 6,其可以控制电信号在第一电源端子 5 和第二电源端子 7 之间通过主体的传播。

[0044] 可以以任何适合于特定实施的方式来实现栅极结构 6。如图所示,栅极结构可以设置在第二层 4 的与界面侧相反的一侧,其中第二层 4 在所述界面侧处与第一层 3 接触。在示例中,栅极结构 6 包括构图的栅层 60,其通过电介质层 10 而与第二层 4 分离。栅层 60 可以例如由传导金属或者半导体材料制成,其中所述传导金属包括例如诸如包含 Au、Ti、Al、Ag、Cr、W、Pt、Ni、Pa 或 In 的化学化合物或合金的金属,所述半导体材料例如为可选地提供有适当的掺杂的多晶硅。电介质层 10 可以例如由氮化硅或氧化硅或氧化钽制成,例如由 Si₃N₄、SiO₂、Ta₂O₅ 或者其他适当的类型的绝缘体制成。

[0045] 栅层 60 可以与第二层 4 和 / 或第一层 3 电容性接触。可替选地,栅层 60 可以与第二层 4 或第一层 3 直接接触,以形成肖特基型势垒。在这样的情况下,栅层 60 可以是多层结构。该多层结构可以例如包括两个或更多个金属层,例如 Ti/Au;Ti/Al 或 Ni/Au、Ni/Al 或 Pt/Ti/Au、Pt/Al、Ir/Au、Ir/Al 或 Pt/Au、Pt/Al 多层。

[0046] 可以例如通过在层堆叠的暴露表面上沉积电介质层 10 并且局部地蚀刻电介质层 10 至特定深度、例如在直接接触栅极结构的情况下蚀刻至第二层 4 或者在电容性接触的情况下蚀刻至小于电介质层 10 的厚度的深度,来提供栅极结构 6。如图所示,在这样得到的凹进中,可以沉积栅层 60。如图所示,栅层 60 的厚度可以超过凹进的深度。电介质层可以例如包括钝化层和 / 或其他元素或层。

[0047] 可以与功率晶体管 200 同时提供垂直肖特基二极管 100。如下面更加详细解释的,垂直肖特基二极管的形成可以包括:形成延伸通过第一层和 / 或第二层的至少一部分的阳极;形成包括衬底的阴极;以及在阴极和阳极之间形成肖特基势垒。

[0048] 如图 3 和 4 所示,例如,可以例如通过与形成用于第二电源端子 7 的凹进同时、例如采用等离子体蚀刻来局部地去除一部分层堆叠以得到通过至少第一和第二层的凹进,来提供垂直肖特基二极管。该凹进可以例如从堆叠的顶表面延伸至成核层 11 或者至衬底 1。如图 5 所示,然后该凹进可以用与填充其中形成第二电源端子 7 的凹进的材料相似的合适的阳极半导体材料、例如掺杂的半导体材料、并且与之同时来填充,以便形成肖特基二极管 100 的阴极(的一部分)。该凹进可以例如用诸如掺杂的半导体层、例如 n 掺杂 GaN 的合适的阳极半导体材料来完全填充,以使阴极延伸至凹进中。半导体层的顶表面可以用形成阳极 104 的金属层来覆盖,在此情况下,肖特基势垒可以位于半导体层和金属层之间。

[0049] 图 5 中,凹进利用半导体层 102 来部分地填充,所述半导体层 102 与层堆叠的暴露在凹进中的表面直接接触,例如在本示例中为成核层 11。可替选地,当凹进延伸通过成核

层时或者当成核层不存在时,在此情况下,暴露表面可以是衬底 1。半导体层传导层 102 可以例如为掺杂的半导体层,例如 n 掺杂 GaN,并且可以例如通过采用分子束外延(垂直再生长)或者金属有机化学气相外延(横向和垂直再生长)的外延再生长来生长。

[0050] 在生长半导体层 102 之后,然后可以通过一个或多个附加的层来完全地填充凹进。例如,如图 5 所示,然后可以通过生长由半导体材料或者由金属材料、例如诸如掺杂的 GaN 的 III 族氮化物材料制成的另一层 101 来完全地填充凹进。在层 101 为金属的情况下,肖特基势垒将位于层 101、102 之间,并且层 101 因而成为阳极的一部分。如图 6 所示,在层 101 为半导体层的情况下,肖特基势垒可以通过在层 101 的暴露表面上沉积具有适合于形成阳极的形状和大小的金属层来得到。该金属层可以例如与栅层 60 相同,并且在凹进上方被构图成阳极 104。

[0051] 在层 101 由半导体材料制成的情况下,层 102 可以由相同类型但掺杂剂浓度不同的材料制成。例如,传导层 101 和半导体层 102 可以都由例如通过外延再生长得到的 n 型掺杂 GaN 制成,与半导体层 101(表示为 N-) 相比,传导层 102 具有较高(N+)的浓度。例如,下层可以具有比顶层 101 中的浓度高几个数量级的浓度。已发现合适的值是在下层 102 中为 10^{19}Cm^{-3} 的掺杂浓度,并且在顶层 101 中为 10^{16}Cm^{-3} 的掺杂浓度。层 102 和 101 的掺杂浓度确定肖特基二极管的垂直击穿电压和电流电阻。例如,可以得到 600V 或以上、例如高达 1500V 的击穿电压以及几毫欧姆或以下的电流电阻。

[0052] 参照图 8,示出了半导体结构的示例的等效电路。如图所示,该等效电路包括与二极管 100 串联连接的功率晶体管 200。更具体地,二极管的阴极连接至功率晶体管的源极。功率晶体管 100 的漏极可以例如接地或者连接至正电势,而源极可以例如连接至负电势或接地。如图 7 所示,电感 L1 可以并联连接至二极管、功率晶体管的源极。二极管 100 然后可以被用作反激二极管(flyback diode),其抑制当功率晶体管 200 被关断时由电感引起的反激电流,即,中断流过功率晶体管 200 的电流。将明显的是,半导体结构也可以用于其他应用中,并且示出的电流只是示例。例如通过在同一集成电路封装中提供电感 L1 和半导体结构或者通过在同一管芯上提供电感 L1 和半导体结构,可以例如将电路实现为集成电路。

[0053] 在图 3-6 的示例中,第二电源端子可以是晶体管的源极,且第一电源端子可以是漏极,并且如以上所解释的,第二电源端子 7 和栅极 6 之间的距离可以小于第一电源端子 5 和栅极 6 之间的距离。

[0054] 参照图 7 和 9,可替选地,第一电源端子 5 可以为源极,而第二电源端子 7 可以为漏极。第一电源端子 5 和栅极 6 之间的距离 A 于是可以小于第二电源端子 7 和栅极 6 之间的距离 B。栅极结构 6 和第一电源端子 5 之间的距离可以例如为 10 微米或以下,诸如大约 2 微米或以下,并且栅极结构 6 和第二电源端子 7、例如本示例中功率晶体管的源极之间的距离,可以大于 10 微米,例如 15 微米或以上。然后栅极结构 6 和第一电源端子 5 之间的电压差可以为 30V 或以下,例如 10V 或以下,而栅极结构 6 和第二电源端子 7 之间的电压差可以为几百伏,例如 1500V 或以下,诸如 600V 或以下。

[0055] 如图所示,在第二电源端子形成漏极的情况下,肖特基二极管 100 的阳极可以电连接至源极,即第一电源端子 5。由此,肖特基二极管 100 可以被用作箝位二极管,其箝位功率晶体管 200 的源极和漏极。例如,可以提供将阳极层连接至第一电源端子 5 的传导路径,例如金属线。传导路径可以例如被提供为沉积在电介质层 10 上的构图的层 50,其在第

一电源端子 5 和阳极 104 之间延伸并与其直接接触。

[0056] 参照图 9, 示出了图 7 的示例的等效电路。如图所示, 该等效电路包括与二极管 100 并联连接的功率晶体管 200。更具体地, 二极管的阴极连接至功率晶体管的漏极, 且阳极连接至源极。功率晶体管 100 的漏极可以例如连接至正电势, 而源极可以例如接地。然后可以将二极管 100 用作箝位二极管, 以在功率晶体管 200 被关断时排除任何电压 / 电流涌, 即, 中断流过功率晶体管 200 的电流。

[0057] 在前面的说明书中, 参照本发明的实施例的具体示例描述了本发明。然而, 将显而易见的是, 在不脱离如所附的权利要求书中所阐明的本发明的较广泛的精神和范围的情况下, 可以在其中做出各种修改和变化。例如, 晶体管可以是包括一个或多个晶体管的集成电路的一部分。而且, 虽然图中示出了横截面图, 但将明显的是, 晶体管可以例如具有圆形、六边形或者矩形形状。而且, 例如, 衬底隔离也可以利用 pn 结隔离来进行。

[0058] 例如, 这里所描述的半导体衬底可以是任何半导体材料或者这些材料的组合, 例如碳化硅、砷化镓、锗化硅、绝缘体上硅 (SOI)、硅、单晶硅等及其组合。

[0059] 此外, 描述和权利要求中的术语“前”、“后”、“顶”、“底”、“之上”、“之下”等, 如果有, 则用于描述性目的而非是用于描述永久的相对位置。予以理解的是, 这样使用的术语在适当的环境下是可互换的, 使得例如在这里所描述的本发明的实施例例如能够以除了这里示出或者另外描述的以外的其他取向上操作。

[0060] 如这里所讨论的连接可以是适合于例如经由中间器件而自或向各节点、单元或器件传送信号的任何类型的连接。因此, 除非另外暗示或声明, 否则这些连接可以例如是直接连接或者间接连接。

[0061] 虽然在示例中描述了电势的具体传导性类型或极性, 但将理解的是, 电势的传导性类型和极性是可以颠倒的。

[0062] 然而, 其他修改、变化和替代也是可能的。因此, 说明书和附图应当被认为是示例性的而非限制性的。在权利要求书中, 括号内的任何参考符号都不该被解释为对权利要求的限定。词语“包括”并未排除存在除权利要求中列出的以外的其他元件或步骤。此外, 词语“一”和“一个”也不该被解释为限定为“只有一个”, 而是用以意指“至少一个”, 并且并不排除多个。在互不相同的权利要求中记载了某些措施仅这一事实并未表明这些措施的组合不能用以获利。

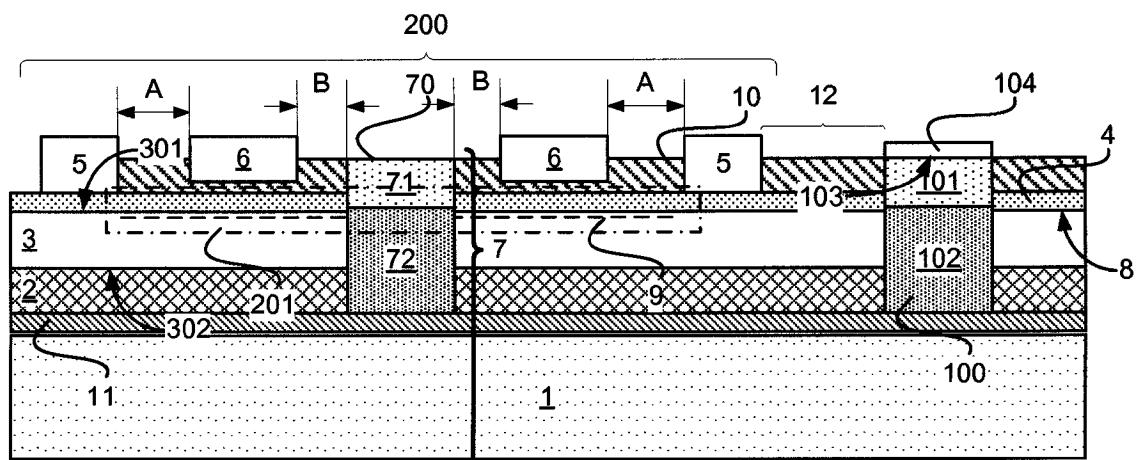


图 1

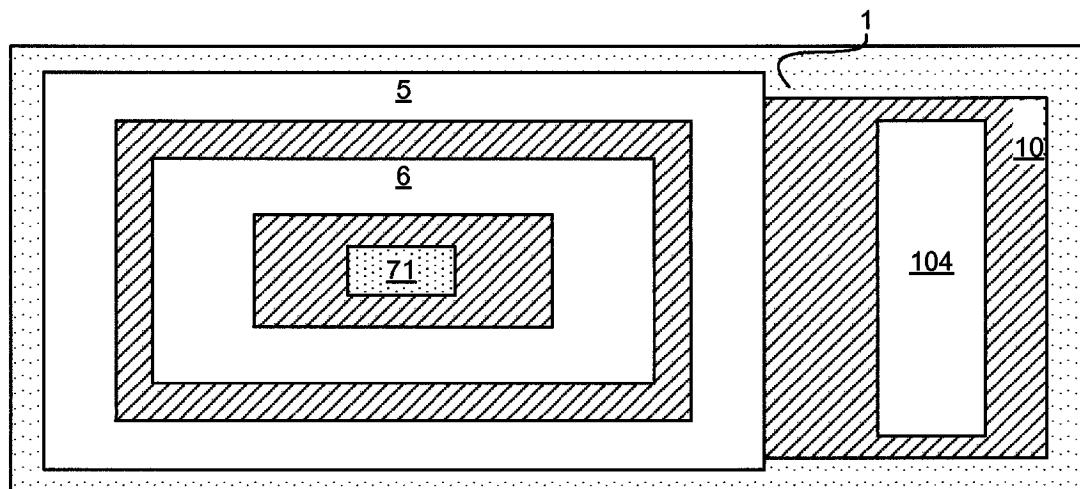


图 2

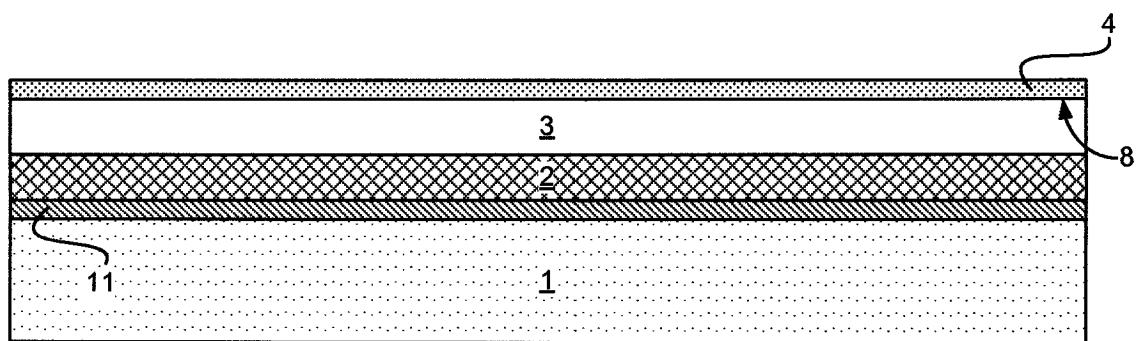


图 3

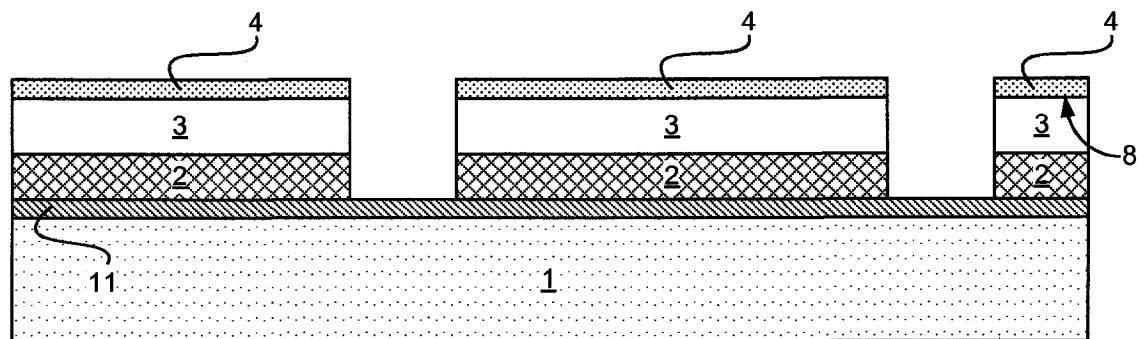


图 4

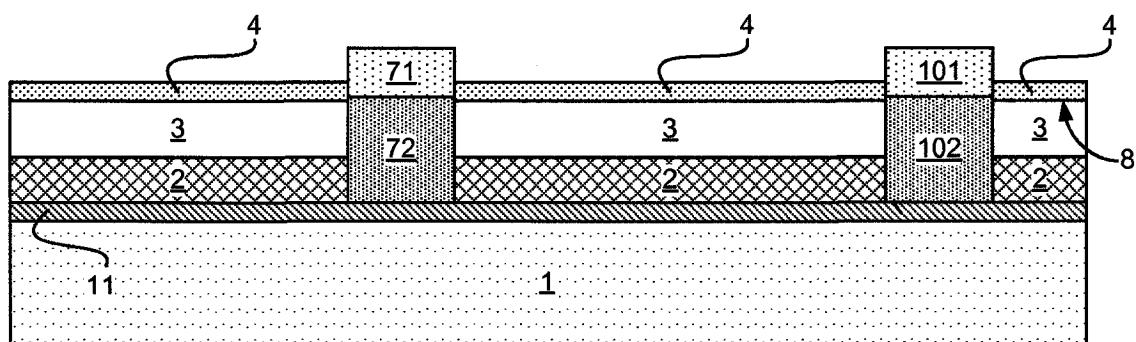


图 5

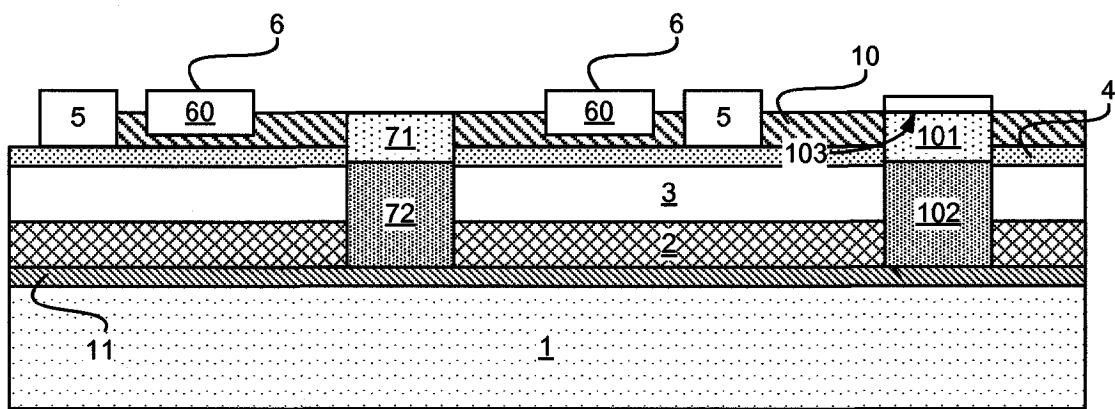


图 6

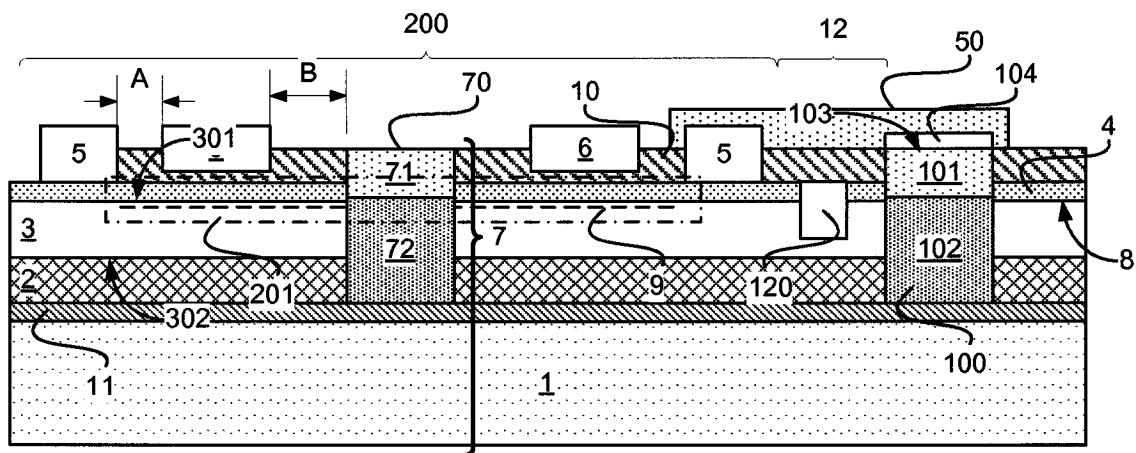


图 7

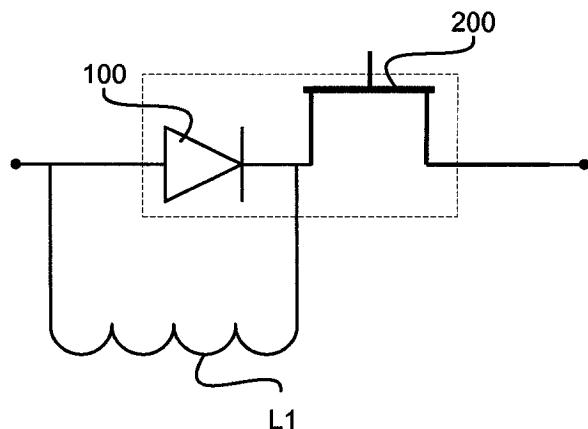


图 8

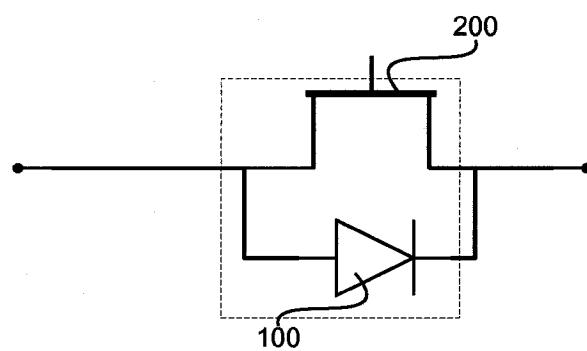


图 9