

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

100年10月31日修(更)正本

※申請案號：093109996

※申請日期：93 年 04 月 09 日

※IPC 分類：~~G11C~~

壹、發明名稱：

G11C16/06 (2006.01)

(中) 半導體積體電路
(英)

貳、申請人：(共 1 人)

1. 姓 名：(中) 瑞薩電子股份有限公司
(英) RENESAS ELECTRONICS CORPORATION

代表人：(中) 1. 赤尾 泰
(英) 1. AKAO, YASUSHI

地 址：(中) 日本國神奈川縣川崎市中原區下沼部一七五三番地
(英) 1753, Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa,
Japan

國籍：(中英) 日本 JAPAN

參、發明人：(共 6 人)

1. 姓 名：(中) 藤戶正道
(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號瑞薩科技股份有限公司知的財產
權統括部內
(英)

2. 姓 名：(中) 品川裕
(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號瑞薩科技股份有限公司知的財產
權統括部內
(英)

3. 姓 名：(中) 鈴川一文
(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號瑞薩科技股份有限公司知的財產
權統括部內
(英)

4.姓 名：(中) 角田綾子
(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號瑞薩科技(股)知的財產
權統括部內
(英)

5.姓 名：(中) 加藤章
(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號瑞薩科技(股)知的財產
權統括部內
(英)

6.姓 名：(中) 田中利廣
(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號瑞薩科技(股)知的財產
權統括部內
(英)

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2003/04/14 ; 2003-108604 ☒ 有主張優先權

4.姓 名：(中) 角田綾子
(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號瑞薩科技(株)知的財産
權統括部內
(英)

5.姓 名：(中) 加藤章
(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號瑞薩科技(株)知的財産
權統括部內
(英)

6.姓 名：(中) 田中利廣
(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號瑞薩科技(株)知的財産
權統括部內
(英)

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2003/04/14 ; 2003-108604 ☒ 有主張優先權

玖、發明說明

【發明所屬之技術領域】

本發明係關於可電性抹除及寫入之非揮發性記憶體、進而搭載有中央處理裝置（也記為 CPU）和前述非揮發性記憶體之微電腦或微處理器等稱為資料處理裝置等之半導體積體電路，例如，關於有效使用在搭載快閃記憶體之微電腦之技術。

【先前技術】

快閃記憶體的讀出動作例如其步驟為，①預先充電讀出位元線，②令字元線提升為高位準（“H”）之類的選擇位準，令記憶體單元暫存器成為導通狀態，③藉由記憶體單元暫存器而流通記憶體電流時，經過預先通電之位元線被抽為低位準（“L”），④以感測放大器感測藉由該低位準抽取之位元線的電位。

在記憶體單元暫存器的臨界值電壓（ V_{th} ）低於字元線電位（字元線選擇位準）之情形，引起位元線的放電，成為資料“1”而被讀出，在記憶體的 V_{th} 高於字元線電位之情形，不引起位元線的放電，成為資料“0”而被讀出。在高速讀取之情形，需要令位元線容量小，以快速放電，一般係採用位元線階層構造。位元線負荷容量係由記憶體的汲極容量所支配故，在位元線階層構造中，將位元線分割為幾個之區塊，當成複數之副位元線構造。記憶體與此被分割的副位元線連接，副位元線藉由階層開關而與主位

元線連接。因此，如採用位元線階層構造，位元線的負荷容量便成為：有限數目之記憶體所連接的副位元線之配線容量和所連接之記憶體的汲極容量之合計的副位元線負荷，和主要為配線容量之主位元線負荷之合計。此與不具有階層構造之全部的記憶體與主位元線連接之情形相比，成為數分之一的負荷容量。以記憶體電流令這些小負荷快速放電，以感測放大器放大位元線電位的降低。另外，在進行寫入之情形，令包含寫入字元線之階層開關導通，對主位元線給予寫入脈衝。此結果為，脈衝通過階層開關而給予副位元線。不施加於其他的副位元線故，與全部記憶體連接於主位元線之情形相比，所給予汲極干擾之時間也可大幅降低。

另外，以高速讀出之其他方法則有，將記憶體陣列分割為複數之陣列，令各別具備讀出電路和寫入電路之構造（參考專利文獻 1）。例如，將記憶體陣列分割為 4 個，令其各別具有行解碼器或感測放大器，其輸出連接於匯流排線。在有存取之情形，判斷最上位位址，其一之陣列動作。在進行寫入之情形也相同，判斷最上位位址，對其一之寫入電路由匯流排線轉送寫入資料，進行寫入。

〔專利文獻 1〕

日本專利特開 2000-339983 號公報

【發明內容】

〔發明所欲解決之課題〕

但是，在前述只藉由主副位元線之階層化位元線構造中，關於由於主位元線之負荷容量所致之訊號傳播延遲，並無採取對策，在進一步要求讀出速度之高速化的情形，無法予以對應。

在如專利文獻 1 所代表之分割為複數之陣列的情形，在該陣列間，位元線被完全分離。此雖在高速化上為所期望，但是需要令與讀出電路或寫入電路進而匯流排線之介面電路對應分割數而各別具有，電路規模增加。另外，在寫入和讀出係使用相同主位元線。在抹除及寫入中，對位元線施加高電壓之情形，讀出系統也須考慮高的耐壓。

另外，感測放大器部份係配置在記憶體陣列之位元線端部，感測放大器數需要在同時讀出位元數以上的數目。這些同時動作，消耗電流比較大之故，容易產生電源雜訊。但是，感測放大器係放大微小電壓故，不需要的雜訊發生會導致誤動作，對於供應給感測放大器之電源，為了降低電源阻抗，需要進行令配線寬變大之對策。如此反而會令晶片佔有面積變大。

另外，內藏在微電腦之程式儲存用之快閃記憶體，需要以與 CPU 相同的速度進行讀出。伴隨微細化，CPU 的動作速度提升，快閃記憶體伴隨微細化，電荷儲存部之氧化膜卻無法變薄，要增加記憶體電流有其困難。因此，微電腦的動作速度由內藏快閃記憶體的存取時間所決定。就微電腦中晶片內之快閃記憶體而言，讀出動作的高速化特

別重要，進一步下工夫於快閃記憶體之讀出電路方式的必要性由本發明人所發現。

本發明之目的在於提供：可令對於可電性改寫之晶片內非揮發性記憶體的讀出速度變快之半導體積體電路。

本發明之別的目的在於提供：極力抑制電路規模之增加，可令對於晶片內非揮發性記憶體之讀出速度變快之半導體積體電路。

本發明之前述及其他目的和新的特徵，由本說明書之記載及所附圖面裡應可變得清楚。

〔解決課題之手段〕

〔1〕<<讀出系統之階層化>>關於本發明之半導體積體電路係於半導體機板具有可電性抹除及寫入之非揮發性記憶體。前述非揮發性記憶體係具有：由複數之記憶體陣列之各個所固有的第1位元線（BL）、與複數之記憶體陣列之第1位元線共通之第2位元線（GBLr）、及配置在前述第1位元線和第2位元線之間的感測放大器（SA）所形成之階層化位元線構造。更詳細為，前述非揮發性記憶體係具有：由複數之記憶體陣列之各個所固有的第1位元線、與複數之記憶體陣列共通之第2位元線、每一記憶體陣列地選擇第1位元線，可與第2位元線連接之第1選擇電路（22）及配置在前述第1選擇電路的輸出和第2位元線之間的感測放大器所形成的階層化位元線構造。藉由前述記憶體陣列之分割所致之階層位元線構造可降低感

測放大器之輸入負荷容量。藉由記憶體陣列之分割，位元線選擇電路和感測放大器增加。

前述感測放大器例如係配置在相鄰一對的記憶體陣列間之差動感測放大器，一對之差動輸入係設相互一方的輸入為由在該一方的記憶體陣列所選擇的第 1 位元線之讀出訊號，相互另一方之輸入為參考輸入。差動感測器有助於讀出動作的高速化。

也可設置輸入端子連接於前述第 2 位元線之主感測器（MA）。可令讀出動作更為高速。

例如，前述主感測器係差動輸入連接於相鄰一對的第 2 位元線之差動感測器，一對之差動輸入係設為相互一方之輸入為輸出給該一方之第 2 位元線之輸出訊號，另一方之輸入為參考輸入。主感測器也藉由差動化，讀出動作可更高速化。

〔2〕<<寫入系統之單一化>>在前述中，著眼於記憶資訊的寫入。有別於第 2 位元線另外設置與前述複數之記憶體陣列共通之寫入用的第 3 位元線（GBLw）。即使採用分割記憶體陣列構造，也可不用每一記憶體陣列配置寫入電路及寫入資料鎖存器等之寫入系統電路。前述第 3 位元線係設置有因應對於記憶體陣列之並行寫入位元數之條數。可不受限於來自記憶體陣列之記憶資訊的讀出位元線（例如，32 位元），能夠以所需要的位元線（例如，512 位元組）進行並行寫入。

設置可令每一記憶體陣列相互對應的第 1 位元線與第

3 位元線連接及分離之分離電路（34、DSW），在讀出動作中，設為讀出對象之記憶體陣列的分離電路係將第 3 位元線由第 1 位元線予以分離。在讀出動作中，可切離由於第 3 位元線所導致之非所期望的負荷。得以保證高速讀出。另外，讀出對象之記憶體陣列被由第 3 位元線切離故，藉由第 2 位元線之讀出動作和藉由第 3 位元線之寫入動作可並行化。

確認讀出例如使用前述第 3 位元線進行。即具有：以資料之外部並行輸入輸出位元數單位選擇第 3 位元線之第 2 選擇電路（30），和感測自以前述第 2 選擇電路所選擇之第 3 位元線之確認讀出資料之確認用放大器（31）。藉此，可不用令確認用放大器分散於每一記憶體陣列。

〔3〕<<感測放大器電源>>感測放大器藉由前述記憶體陣列之階層化而被分散。此時，在每一並列之複數的感測放大器，於沿著其之並列方向設置有第 1 電源配線（61、62），在與第 1 電源配線分開之位置設置有寬度比該第 1 電源配線還寬之第 2 電源配線（63、64），各別之第 1 電源配線和第 2 電源配線係藉由設置在第 1 位元線方向之第 3 電源配線（65、66）而在複數處相連接。

在藉由記憶體陣列之階層化的前述階層感測方式中，係將感測放大器等之讀出電路複數配置於記憶體墊內之故，感測放大器係與第 1 位元線正交配置，電源線也相同係與第 1 位元線正交。複數之感測放大器如並行動作時，會引起電流集中故，需要令電源配線寬變大，以抑制雜訊的

產生。如將其就各每一感測放大器陣列來進行時，則非揮發性記憶體之晶片佔有面積增加。因此，每一感測放大器陣列之第 1 電源配線的寬度不大，在與其分開之位置設置寬度大的第 2 電源配線，以沿著第 1 位元線的延伸方向之複數的第 2 電源配線來連接第 1 電源配線和第 2 電源配線。對於感測放大器陣列並非由該陣列方向一端側供給動作電源，而是由與陣列方向交叉之多數的第 3 電源配線並行供給動作電源。因此，即使多數的感測放大器同時動作，也不易產生因為電流集中所致之電位變化，也可抑制由於感測放大器用電源配線所致之晶片佔有面積的增加。

具體形態為，每 2 條的第 1 位元線設置 1 條之前述複數的記憶體陣列所共通的前述第 3 位元線，前述分離電路在各記憶體陣列中，可選擇將 1 條的第 3 位元線與對應的 2 條的第 1 位元線之何者之一連接或與雙方分離時，前述第 3 電源配線也可配置於每 2 條第 1 位元線之其間。如此可極力抑制由於第 3 電源配線所致之晶片佔有面積增加。

〔 4 〕 <<並行存取>>在前述中，各別具有讀出用的第 2 位元線和寫入用的第 3 位元線，在讀出動作中，設為讀出對象之記憶體陣列的分離電路係將第 3 位元線由第 1 位元線予以分離。對於不同的記憶體陣列，可並行地進行讀出動作和抹除及寫入動作。為了以相同週期進行抹除及寫入動作，係各別具有：在讀出動作中，選擇字元線、地 1 位元線、分離電路及感測放大器之動作的第 1 位址解碼器（70、CDEC），和在寫入動作中，選擇字元線及分離電

路的動作之第 2 位址解碼器（71）。

藉由前述，可將記憶非揮發性記憶體之改寫程序的程式之記憶區域，和使用者可自由改寫之記憶區域配置在同一非揮發性記憶體。分開實現階層感測方式之階層位元線構造和寫入位元線構造，即使在前述同一記憶體週期也可將寫入和讀出並行化故，可一面實行改寫程序程式之讀出，一面改寫使用者區域之記憶體。不需要將改寫程序程式暫時轉送於 RAM，即使在不內藏該種 RAM 之半導體積體電路也可搭載前述非揮發性記憶體。

〔5〕<<管線存取>>前述第 1 位址解碼器及第 2 位址解碼器係採用：進行位址映射以令對於連續位址，共有感測放大器之記憶體陣列成為不同之位址碼邏輯。藉此，在依據存取單位，依序存取相鄰之資料時，得以依序選擇不同的記憶體陣列。

說明以該位址映射為前提之第 1 管線存取形態。此係在讀出動作中，第 1 位址解碼器響應位址訊號的變化，每一對應的記憶體陣列地保持讀出動作所必要的週期數份之位址解碼訊號和第 1 位元線的選擇訊號，響應位址訊號的改變，令前述感測放大器延遲動作而予以實現。藉此，可一面令每一週期位址訊號變化，一面進行連續位址之資料讀出。

也可採用第 2 管線存取形態。即在讀出動作中，第 1 位址解碼器並行選擇以位址訊號所指定的位址，和下一位址的字元線及第 1 位元線的同時，依序驅動控制藉由因應

前述所指定的位址和下一位址之各感測放大器之第 2 位元線的驅動。

[6] <<資料處理裝置>>前述半導體積體電路係令前述半導體基板具備可存取前述非揮發性記憶體之中央處理裝置所構成。對於非揮發性記憶體之抹除及寫入處理之控制可由中央處理裝置進行。例如，設前述複數之記憶體陣列的一部份的記憶體陣列為資料區域，剩餘的記憶體陣列為管理區域，設前述管理區域為改寫資料區域用之改寫程序控制程式之記憶區域。前述中央處理裝置係由前述管理區域讀入改寫程序控制程式而實行，可進行資料區域的改寫控制。

[7] <<非揮發性記憶體裝置>>

關於本發明之非揮發性記憶體裝置係具有：控制器和一個或複數之非揮發性記憶體。前述非揮發性記憶體係被分割為複數之記憶體陣列，具有由屬於第 1 群之記憶體陣列，和對應屬於前述第 1 群之記憶體陣列之各陣列之記憶體陣列所成之第 2 群之記憶體陣列。前述控制器可並行控制對於特定的第 1 群之第 1 記憶體陣列的第 1 存取動作，和對於除了該第 1 記憶體陣列及對應第 1 記憶體陣列之第 2 群的第 2 記憶體陣列之第 3 記憶體陣列的第 2 存取動作。

在屬於前述第 1 群之記憶體陣列和第 2 群之對應記憶體陣列之間具有複數的感測放大器（SA），各別之記憶體陣列係具有複數之第 1 位元線（BL），第 1 群之記憶

體陣列的第 1 位元線和第 2 群之對應記憶體陣列的第 1 位元線係連接在前述感測放大器的輸入端子。前述感測放大器之輸出係連接在第 2 位元線（GBLr），前述第 1 位元線和第 2 位元線係使用在讀出動作，另外具有寫入動作所使用之第 2 位元線（GBLw）。

如依據本發明之非揮發性記憶體裝置，可以相互不同之記憶體陣列並行進行讀出動作和寫入動作，能縮短由使用者所見到之轉迴時間。

<<確認讀出>>

依據本發明之進而別的觀點之半導體積體電路，係於半導體基板具有可電性抹除及寫入之非揮發性記憶體。前述非揮發性記憶體係具有藉由：複數之記憶體陣列之各個所固有的第 1 位元線（BL）、與複數之記憶體陣列之第 1 位元線共通之第 2 位元線（GBLr）、與複數之記憶體陣列共通之第 3 位元線（GBLv）、及選擇性地放大由前述第 1 位元線所讀出的資料，在第 1 讀出動作中，輸出於第 2 位元線，在第 2 讀出動作中，輸出於第 3 位元線之感測放大器（SA）所形成之階層化位元線構造。

本發明之具體形態為，前述第 1 讀出動作係將所讀出的資料輸出於半導體積體電路的外部用之讀出動作。前述第 2 讀出動作係在對於記憶體陣列之資料的寫入中，依據所讀出的資料，決定是否繼續資料的寫入動作或抹除動作用之確認讀出動作。

在不同階層中，於令讀出動作和寫入動作中的確認讀出動作並行時，藉由令自雙方之讀出資料的路徑予以個別化，自雙方的讀出資料之競爭得以解除，能夠縮短由使用者所見到之轉迴時間。

【實施方式】

<<微電腦>>

第 1 圖係顯示關於本發明之半導體積體電路的一例之資料處理器或也稱為微電腦等之單晶片的微電腦。

同圖所示之微電腦雖無特別限制，可藉由周知的半導體積體電路製造技術，形成在如單晶矽之 1 個半導體基板（晶片）上。

微電腦 1 係作為連接在內部匯流排 2 之電路模組，具有：中央處理裝置（也記為 CPU）3、前述 CPU2 之工作區域等所使用之隨機存取記憶體（也記為 RAM）4、匯流排控制器 5、振盪器 7、分頻電路 8、快閃記憶體 9、電源電路 10、輸入輸出埠（I/O）11、及計時計數器等其他的周邊電路 12。前述 CPU3 係具備命令控制部和實行部，解讀所提取之命令，依據解讀結果，在實行部進行運算處理。快閃記憶體 9 雖無特別限制，但是係儲存 CPU3 的動作程式或資料。電源電路 10 係產生快閃記憶體 9 之抹除及寫入用高電壓等。分頻電路 8 係分頻藉由振盪器 7 之振盪，產生動作基準時脈訊號或其他內部時脈訊號。前述內部匯流排 2 係分別包含：位址匯流排、資料匯流排及控制匯

流排。前述匯流排控制器 5 係回應來自 CPU3 之存取要求，進行因應該存取對象位址之存取週期數、等待狀態數、脈衝寬等之匯流排存取控制。

微電腦 1 在構裝於系統之狀態下，CPU3 係進行對於快閃記憶體 9 之抹除及寫入控制。在裝置測試或製造階段中，外部的寫入裝置（未圖示出）藉由輸入輸出埠 11 而可直接進行對於快閃記憶體 9 之抹除及寫入控制。電源投入後，於重置訊號的低位準期間，微電腦 1 的內部被起始化。藉由重置訊號的高位準，重置一被解除，則 CPU2 開始藉由位址 0 之向量等所指定的程式區域之程式的實行。

<<快閃記憶體>>

第 2 圖係以方塊圖整體地顯示快閃記憶體 9。快閃記憶體 9 係具有可電性抹除及寫入之多數的非揮發性記憶體 MC 排列呈矩陣狀之記憶體墊 20。前述非揮發性記憶體 MC 雖無特別限制，係設為具有：源極（源極線連接）、汲極（位元線連接）、通道、相互絕緣形成在通道上所堆疊之浮置閘及控制閘（字元線連接）之堆疊閘極構造。或者也可設為具有：源極（源極線連接）、汲極（位元線連接）、通道、在前述通道上相鄰，相互絕緣所形成之選擇閘極（字元線連接）及記憶體閘（記憶體閘控制線連接）之分離閘極構造等。

記憶體墊 20 係被分割為複數之記憶體陣列 21。每一個記憶體陣列 21 設置有複數之副位元線 BL，以列選擇電

路 22 選擇副位元線 BL，列選擇電路 22 的輸出由感測放大器陣列 23 接受。圖之感測放大器陣列 23 係以 1 個之感測放大器 SA 為代表予以圖示。將感測放大器陣列 23 的輸出連接於各記憶體陣列共通之讀出主位元線 GBLr。總之，位元線係設為階層位元線構造，藉由感測放大器之放大係設為階層感測方式。感測放大器陣列 23 係由圖之上下一對的記憶體陣列 21 所共有。寫入系統係具有與讀出系統分離之寫入位元線 BGLw，寫入位元線 GBLw 未被階層化，在各記憶體陣列 21 為共通化。與寫入位元線 GBLw 對應之副位元線 BL 係藉由分離開關 DSW 可選擇為連接或分離。讀出動作時，分離開關 DSW 至少在讀出對象記憶體陣列中，係由副位元線 BL 分離寫入位元線 GBLw。雖無特別限制，但是設讀出主位元線 GBLr 為 32 條，寫入主位元線 GBLw 為 1024 條。

非揮發性記憶體單元 MC 的字元線 WL 係依據藉由和解碼器（RDEC）25 之位址訊號的解碼結果而選擇性地被驅動。驅動位準係因應對於快閃記憶體之抹除、寫入、或讀出處理而決定。藉由列選擇電路 22 之副位元線 BL 的選擇係依據藉由列解碼器（CDEC）26 之位址訊號的解碼結果而進行。分離開關 DSW 或感測放大器 SA 係因應對於記憶體陣列之讀出、抹除或寫入之動作而藉由行解碼器 25 所控制。位址訊號係由位址匯流排 ABUS 所供應。

前述讀出主位元線 GBLr 係藉由匯流排驅動器 BDRV 而連接於資料匯流排 DBUS。如依據此例，資料匯流排

DBUS 係 32 位元。寫入位元線係連接於寫入電路 28。寫入電路 28 係因應 1024 位元的寫入控制資料之各位元的邏輯值，而對對應之寫入位元線 GBLw 施加寫入電壓。寫入控制資料係由寫入資料門鎖電路 29 所給予。由 CPU3 依序以 32 位元單位所給予之寫入資料係藉由資料選擇器（第 2 選擇電路）30 而以 1024 位元輸入，預先設定於寫入資料門鎖電路 29。在確認讀出中，讀出於寫入位元線 GBLw 之資料係藉由前述資料選擇器 30 而以 32 位元所選擇，所被選擇的資料在確認用放大器 31 被放大而輸出於外部。在確認讀出中所讀出於外部之資料係藉由 CPU3 而以位元單位進行確認判定，該判定結果係當成新的寫入控制資料，由 CPU3 通過寫入選擇器 30 而被載入資料門鎖電路 29。資料選擇器 30 之選擇動作雖無特別限制，但是係依據由位址匯流排 ABUS 所供給之位址訊號而進行。

控制電路 32 係藉由控制匯流排 CBUS 及資料匯流排 DBUS 而由 CPU3 設定記憶體控制資訊，依據其進行因應讀出、抹除及寫入動作之控制程序及動作電源的切換控制。

<<非揮發性記憶體單元>>

此處，說明前述非揮發性記憶體單元之具體例。

第 3 圖係顯示作為非揮發性記憶體單元之一例之堆疊閘極構造。同圖所示之非揮發性記憶體 MC 係在連接於源極線（第 2 資料線）SL 之源極區域 40 和連接於位元線（

第 1 資料線) BL 之汲極區域 42 間形成通道區域，在此通道區域之上，藉由閘極絕緣膜而形成有浮置閘電極 43，在其上藉由氧化膜而形成有控制閘電極 44。浮置閘電極 43 係藉由多晶矽層所構成。控制閘電極 44 係藉由多晶矽配線等所構成，成為字元線 WL 的一部份。

在將寫入設為熱載子注入之情形的動作電壓如下：例如，寫入係藉由設字元線電壓 V_g 為 10V、位元線電壓 V_d 為 5V、汲極線電壓 V_s 為 0V、井電壓 V_w 為 0V、由汲極區域 22 對於浮置閘 33 之熱載子注入所進行。抹除係藉由設字元線電壓 V_g 為負的 -10V、井電壓 V_w 為 10V、位元線及源極線為高阻抗、由浮置閘拉拔電子至井區域所進行。讀出係藉由設字元線電壓 V_g 為電源電壓、位元線電壓 V_d 為電源電壓、源極線電壓 V_s 為 0V、井電壓 V_w 為 0V 所進行。在抹除及寫入處理中，需要對字元線 WL 及井區域施加高壓。

在設寫入為 FN 隧道之情形的動作電壓如下：例如，寫入係藉由設字元線電壓 V_g 為 -10V、位元線電壓 V_d 為 10V、源極線電壓 V_s 為 0V、井電壓 V_w 為 0V、藉由 FN 隧道，由汲極對浮置閘 33 注入電子所進行。抹除係藉由設字元線電壓 V_g 為 10V、井電壓 V_w 為 -10V、源極電壓 V_s 為 -10V、位元線為高阻抗、由浮置閘 33 拉拔電子至井區域所進行。在此情形下，於抹除及寫入處理中，需要對於字元線 WL、位元線 BL 及井區域施加高壓。讀出係與前述相同。

<<階層化位元線構造>>

第 4 圖係顯示記憶體墊之階層化位元線構造的詳細。第 4 圖之例子係設為 1 條的寫入位元線 GBLw 於各記憶體陣列中，可藉由分離開關 DSW 而與 2 條的位元線 BL 連接。第 4 圖中，分離開關 DSW 係在相鄰的記憶體陣列 21 之間以分離開關陣列 34 所配置。位元線在第 4 圖之橫方向係配置 2048 條，寫入位元線 GBLw 係 1024 條，讀出主位元線 GBLr 係 32 條。UT 係意指位元線以 64 條單位所配置之區域。列選擇電路 22 係在 2048 條的位元線中，由 64 條單位之中選擇 1 條，連接於對應的感測放大器 SA。分離開關 DSW 在讀出動作及抹除動作中，全部設為關閉狀態。在寫入動作及確認讀出中，分離開關 DSW 係寫入對象記憶體陣列側之一行 1024 個被設為導通狀態。

例如，在資料讀出動作中，1 條的字元線 WL 被選擇，所選擇之記憶體單元的記憶資訊出現在位元線 BL，位元線 BL 係以每 64 條中 1 條之比例而被選擇，傳達給對應的感測放大器 SA 之輸入。感測放大器 SA 則驅動對應的讀出主位元線 GBLr。藉由此記憶體陣列之分割所成之階層位元線構造可降低感測放大器 SA 的輸入負荷容量。寫入位元線 GBLw 係設置有因應對於記憶體陣列之並行寫入位元線之 102 條故，可不受自記憶體陣列之記憶資訊的讀出位元數（例如，32 位元）的限制，能以所需要的位元數進行並行寫入。

位元線 BL 係藉由分離開關 DSW 而可與寫入位元線

GBLw 連接及分離，在讀出動作中，設為讀出對象之記憶體陣列的分離開關 DSW 係由寫入位元線分開故，在讀出動作中，可切離由於寫入位元線 GBLw 所致之非所期望的負荷，可保證高速讀出。另外，讀出對象之記憶體陣列被由寫入位元線 GBLw 切離故，在相互不同之記憶體陣列中，可令藉由讀出主位元線之讀出動作和藉由寫入位元線 GBLw 之寫入動作並行化。

另外，確認讀出例如係使用前述寫入位元線 GBLw 而傳達給確認用放大器 31 故，可不須令確認用放大器分散於每一記憶體陣列。

<<差動感測>>

第 5 圖係顯示進行差動感測之記憶體墊的階層化位元線構造之詳細。在第 5 圖之例中，前述感測放大器 SA 係設為對於在圖之上下相鄰之一對的記憶體陣列進行差動輸入之差動放大形態，一對之差動輸入係設為相互一方的輸入為由在該一方的記憶體陣列所選擇的位元線 BL 之讀出訊號，相互另一方的輸入係設為參考書入。差動感測係有助於讀出動作的高速化。另外，在讀出主位元線 GBLr 設置有主放大器 MA，令讀出動作更為高速化。主放大器 MA 係採用差動放大器，設一對的主位元線 GBLr (L)、GBLr (R) 的相互一方為讀出訊號輸入，另一方為參考書入。主放大器 MA 也藉由差動畫，讀出動作更為高速化。藉由採用差動的主放大器 MA，與第 4 圖之設 32 條的位

元線 BL 爲一單位，設置感測放大器 SA，整體具備 64 個的感測放大器之方面係爲不同。對於非揮發性記憶體單元之寫入處理單位皆是 1024 位元，外部輸入輸出皆是 32 位元單位，此係不變。

前述主放大器 MA 係藉由：藉由均衡訊號 MEQ 而被開關控制，可令對應的一對之讀出主位元線 GBLr (L)、GBLr (R) 導通之傳輸閘 TG、連接於對應的一對之讀出主位元線 GBLr (L)、GBLr (R)，藉由放大器啓動訊號 MEN 可控制爲活性、非活性之靜態鎖存器 LAT、及在靜態鎖存器 LAT 之一側，輸入端子連接於輸入輸出節點，輸出端子連接於匯流排驅動器 BDRV 之輸出反相器 INV 所構成。

第 6 圖係顯示差動放大器用之感測放大器 SA (L) 之一例。圖中，對於 P 通道型 MOS 電晶體，於閘極賦予小的圓形記號，以便與 n 通道型 MOS 電晶體做區別。具有分別連接於一方之記憶體陣列的輸出訊號線 CBL (T) 和另一記憶體陣列之輸出訊號線 CBL (B) 之差動輸入 MOS 電晶體 Q5、Q6，於其連接有以 MOS 電晶體 Q1~Q4 構成爲靜態鎖存器形態之門鎖電路。於 MOS 電晶體 Q1、Q4 分別並聯設置有起始化 MOS 電晶體 Q7、Q8，連接於電源電壓。在 MOS 電晶體 Q5、Q6 之共通源極係藉由功率開關 MOS 電晶體 Q11 而連接於電路的接地電壓 V_{ss} 。藉由 MOS 電晶體 Q1~Q4 之門鎖電路之一對的記憶節點之一方係連接於輸出反相器之 MOS 電晶體 Q9 之閘極，另一方係

被反轉而連接於輸出反相器之 MOS 電晶體 Q10 之閘極。構成輸出反相器之 MOS 電晶體 Q9、Q10 的共通汲極係連接於對應的讀出主位元線 GBLr。Q12 係 CBL (T) 和 CBL (B) 之均衡 MOS 電晶體，Q13、Q14 係預先充電 MOS 電晶體。Q15 係比較電流 MOS 電晶體，Q16、Q17 係令前述比較電流 MOS 電晶體 Q15 選擇性地與訊號線 CBL (T)、CBL (B) 導通之傳輸 MOS 電晶體。比較電流 MOS 電晶體 Q15 係流通藉由閘極偏壓電壓 CCB 而流通於導通狀態之記憶體單元 MC 之電流的一半電流。

在感測放大器 SA (L) 中，於非活性期間，電晶體 Q7、Q8 導通，電晶體 Q11 關閉，由電晶體 Q9 和電晶體 Q10 所成之輸出反相器成為高阻抗狀態。在此狀態下，電晶體 Q12、Q13、Q14 導通，令訊號線 CBL (T) 和 CBL (B) 之雙方預先充電為高位準。例如藉由感測放大器 SA (L)，感測自訊號線 CBL (T) 側之讀出訊號時，電晶體 Q7、Q8 關閉，電晶體 Q11 導通，電晶體 Q17 導通，電晶體 Q16 關閉。藉此，讀出訊號電壓會施加於電晶體 Q5，參考電壓會施加於電晶體 Q6，雙方因應輸入，由電晶體 Q9 和電晶體 Q10 所成之輸出反相器驅動讀出主位元線 GBLr。在此讀出動作中，相反側之感測放大器 SA (R) 被設為參考側，維持在非活性狀態。此時，雙方的讀出主位元線 GBLr (L) 和 GBLr (R) 已經被均衡故，主放大器 MA 因應藉由感測放大器 SA (L) 對於讀出主位元線 GBLr (L) 之高位準驅動或低位準驅動，確定閘鎖電路

LAT 之狀態，驅動匯流排驅動器 BDRV。

第 7 圖係顯示差動感測放大器和藉由差動主放大器之資料讀出動作的時序圖。此處，設第 5 圖之上側的記憶體陣列 21 中，以圓形符號所代表之位置的記憶體單元之記憶資訊為 SA (L) 讀出者，SA (R) 為參考側。

時刻 t_0 ，位址訊號一改變，與此同步，藉由列解碼器之選擇狀態隨之改變，字元線的選擇開始，期間，SPC (L) 設為低位準，進行感測放大器 SA (L) 之預先充電及均衡動作。在參考側之感測放大器 SA (R) 中，預先充電及均衡動作係維持失能狀態。感測放大器 SA (L) 之預先充電及均衡動作時，比較電流選擇開關 Q16、Q17 設為關閉狀態，訊號線 CBL (B)、CBL (T) 由低位準被充電為高位準。感測放大器 SA (L) 之預先充電及均衡動作一結束，非感測側之比較電流選擇開關 Q17 設為導通狀態，在訊號線 CBL (T) 側中，因應記憶體單元的臨界值電壓，位準改變，在訊號線 CBL (B) 側中，因應流過 Q15 之參考電流，位準改變。直到此位準改變大至某種程度為止，感測放大器 SA (L) 設為非活性。其間，主放大器 MA 被均衡，讀出主位元線 GBLr (R)、GBLr (L) 成為中間位準。時刻 t_2 時，感測放大器 SA (L) 一被活化，差動放大此時之訊號線 CBL (T) 和 CBL (B) 之差電壓，放大讀出主位元線 GBLr (R)、GBLr (L)。之後，時刻 t_3 時，主放大器 MA 被起動，讀出主位元線 GBLr (R)、GBLr (L) 更被放大，輸出 OUT 得以確定。

第 8 圖係顯示進行差動感測之記憶體墊的階層化位元線構造之別的詳細例。假定爲，於記憶體陣列間連接有感測放大器或列選擇電路之構造中，於寫入或抹除時，在位元線 BL 施加有高電壓之情形。在感測放大器或列選擇電路之動作速度方面，期望構成這些電路之電晶體不是高耐壓 MOS 電晶體。在此情形，如第 8 圖般，可在記憶體陣列與列選擇電路間，設置藉由高耐壓 MOS 電晶體而可連接及分離之分離電路 50。以高耐壓 MOS 電晶體來構成感測放大器或列選擇電路之情形，當然是不用說了，即使是如分離閘極構造般，在寫入及抹除並不需要於位元線施加高電壓之電路構造中，前述分離電路 50 也不需要。

<<感測放大器電源配線配置>>

第 9 圖係顯示感測放大器陣列之電源配線配置圖。藉由第 2 圖及第 5 圖等所說明之記憶體陣列 21 的階層化，感測放大器陣列 23 係分散在記憶體陣列 21 的並列方向。此時，在每一個複數之感測放大器陣列 23，於沿著感測放大器 SA 的排列方向設置有窄幅之個別電源配線（第 1 電源配線）61、62，在離開前述個別電源配線 61、62 之位置設置有比該個別電源配線 61、62 還寬幅之共通電源配線（第 2 電源配線）63、64，各個之前述個別電源配線 61、62 和共通電源配線 63、64 係以設置在位元線 BL 方向之連接電源配線（第 3 電源配線）65、66 而在複數處所連接。特別是在此例中，在記憶體陣列中，以每 2 條位

元線為 1 條之比例來設置寫入位元線 GBL_w ，與哪條位元線連接可以分離開關 DSW 加以選擇而構成。總之，在各記憶體陣列中，並不令 1 條位元線 BL 對應於 1 條的寫入位元線 GBL_w 。換言之，係採用：並行寫入位元數在事先決定為如 1024 位元般時，在獲得必要的記憶容量時，可令排列在字元線方向之記憶體單元的數目變成 2 倍，因此，可使字元線條數減少之配置。著眼於此，將前述連接電源配線 65、66 配置在每 2 條位元線 BL 之其中間，以極力抑制由於前述連接電源配線 65、66 所致之晶片佔有面積增加。

前述電源配線 61、63、65 係電源電壓 V_{dd} 用，電源配線 62、64、66 係電路的接地電壓 V_{ss} 用。前述個別電源配線 61、62 和連接電源配線 65、66 例如係 $0.24\ \mu m$ 之電源配線。前述共通電源配線 63、64 係分別為 $10\ \mu m$ 之寬幅的電源配線。

藉由前述電源配線配置，並非對各別之感測放大器陣列 23 由該陣列方向一端側供應動作電源，而是由與陣列方向交叉之多數的連接電源配線 65、66 並行地供應動作電源 V_{dd} 、 V_{ss} 。因此，即使多數的感測放大器 SA 同時動作，也不易產生因為電流集中所致之電位改變。此如著眼於連接電源配線 65、66 之條數，更容易理解。即連接電源配線 65、66 的條數分別為寫入位元線 GBL_w 之一半數目，如依據並行寫入位元數為 1024 位元之例子，只存在 512 條。連接電源配線 65、66 的寬度合併成為 512×0.24

$$\mu m = 122.88 \mu m。$$

另一方面，不需要每個感測放大器陣列 23 令各如 $10 \mu m$ 之寬幅的電源電壓用、接地電壓用之個別電源配線分開而配置多條。可防止感測放大器的電源配線與感測放大器陣列 23 的數目成比例而所致之晶片佔有面積增加。

第 10 圖係顯示感測放大器電源配置之比較例。此處，每個感測放大器陣列 23 之個別電源線 61、62 例如係連接於其兩端部省略圖示之電源支線。總之，電源由電源配線 61、62 之兩端所供給。複數之感測放大器 SA 一並行動作時，引起電流集中故，需要令個別電源配線 61、62 之配線寬大至抹種程度，以抑制雜訊的產生。在第 10 圖之例中，令各感測放大器陣列 23 之個別電源配線 61（電源電壓 V_{dd} 用）、62（電路之接地電壓 V_{ss} 用）之寬度變大。例如，設個別電源配線 61、62 之配線寬分別為 $10 \mu m$ 。例如，併同列選擇電路 22、感測放大器陣列 23 需要 $50 \mu m$ 之配置寬。如將此在每一各感測放大器陣列 23 做配置時，則非揮發性記憶體之晶片佔有面積增加。例如，在記憶體墊 20 中配置 8 區塊之選擇電路 22 及感測放大器陣列 23 之情形，單單感測放大器陣列之個別電源配線 61、62 之寬度，便需要 $160 \mu m$ 。在第 9 圖之例子中，共通電源配線 63、64 之配線寬可以為 $20 \mu m$ 之程度。另外，第 10 圖之例子係在各記憶體陣列中，於 1 條的位元線 BL 配置 1 條的寫入位元線 GBL_w 。

<<並行存取>>

在第 2 圖及第 4 圖等說明的快閃記憶體 9 中，係分別具有：讀出用之讀出主位元線 GBL_r 和寫入用之寫入位元線 GBL_w，在讀出動作中，設為讀出對象之記憶體陣列 21 的分離開關 DSW 係令寫入位元線 GBL_w 由位元線 BL 分開。因此，對於不同的記憶體陣列 21，可並行進行讀出動作和抹除及寫入動作。為了令抹除及寫入動作在相同週期進行故，如第 11 圖所例示般，分別具有：在讀出動作中，選擇字元線 WL、分離開關 DSW 及感測放大器 SA 的動作之讀出用行解碼器 70，和在寫入動作中，選擇字元線 WL 及分離開關 DSW 的動作之寫入用行解碼器（第 2 位址解碼器）71。在各解碼器 70、71 的前段係配置正位址鎖存器 72、73。前述讀出用行解碼器 70 和前述列解碼器 CDEC 係意指第 1 位址解碼器。

第 12 圖係顯示對於相互不同之記憶體陣列的寫入處理和讀出處理的動作時序。

第 13 圖係顯示第 11 圖之快閃記憶體之應用例。設記憶體墊 20 的一部份之記憶體陣列為記憶該快閃記憶體的改寫程序之程式的記憶區域（改寫程序區域）74，剩餘的記憶體陣列為使用者可自由改寫之記憶區域（使用者記憶體區域）75。如依據第 11 圖所說明般，分離實現階層感測方式之階層位元線構造和寫入位元線構造，即使在前述相同記憶體週期也可令寫入和讀出並行化故，可一面讀出改寫程序程式而實行，一面改寫使用者區域之記憶體。總

之，如第 14 圖所例示般，可直接由改寫程序區域 74 提取改寫控制用之命令，依據其，進行對於使用者記憶體區域 75 之改寫。第 15 圖係例示改寫控制步驟。CPU3 直接由改寫程序區域 74 提取改寫控制用命令，依據其，在控制電路 32 的改寫控制暫存器設定控制資料（S2）。在寫入之情形，CPU3 對快閃記憶體 9 轉送寫入資料（S3）。快閃記憶體 9 以位址訊號選擇使用者記憶體區域 75 之所需要區域，在寫入之情形，施加寫入電壓，在抹除之情形，施加抹除電壓（S4）。

如此，並不需將改寫程序程式暫時轉送 RAM4，由 RAM4 提取命令以控制改寫。藉此，可節省程式容量比較大之改寫程序程式的轉送時間，而且，即使不內藏 RAM 之半導體積體電路，也可搭載前述快閃記憶體 9，以 CPU 控制來進行改寫。

<<管線存取>>

在第 2 圖、第 4 圖及第 5 圖等所說明的快閃記憶體 9，藉由令感測放大器陣列 23 介於其間之階層化位元線構造，在至感測放大器止之記憶體陣列內，可每一記憶體陣列地並行進行讀出動作。管線存取係著眼於此，前述第 1 位址解碼器及第 2 位址解碼器係採用進行位址映射之位址碼邏輯以令對於連續位址，共有感測放大器之記憶體陣列成為不同。藉此，依據存取單位，依序存取相鄰之資料時，得以依序選擇不同的記憶體陣列。例如，在第 16 圖中

，掌握記憶體墊為階層 A~階層 D 時，記憶體陣列的實體位址係依據依階層 A、階層 B、階層 C、階層 D 之順序而重複配置。在第 16 圖中，對每一各階層 A、B、C、D 賦予字尾 a、b、c、d，以代表性地圖示預先充電訊號 SPC、感測放大器啟動訊號 SEN。第 16 圖所示之解碼器係前述各行解碼器 RDEC 及列解碼器 CDEC 之總稱。

第 16 圖至第 18 圖係以該位址映射為前提以說明第 1 管線存取形態用之圖面。第 16 圖係實現第 1 管線存取形態時之快閃記憶體的概略方塊圖，第 17 圖係解碼器的邏輯電路圖，第 18 圖係管線讀取動作的時序圖。

在第 1 管線存取形態中，第 2 圖說明的行解碼器（RDEC）25 係在讀出動作中，響應位址訊號的改變，每一個對應之記憶體陣列地保持讀出動作所必要之週期數份的位址解碼訊號，響應位址訊號的改變，令前述感測放大器延遲動作。列解碼器（CDEC）26 與平常的讀出動作沒有不同，依據藉由行解碼器之解碼結果，在選擇字元線側之記憶體墊選擇位元線，設該選擇其間至少與感測放大器驅動期間重疊。

藉此，例如如第 18 圖所例示般，讀取週期為時脈訊號的 2 週期時，可以一面令每週期位址訊號改變，一面連續讀出連續位址 A、位址 B、位址 C、及位址 D 的資料 A、資料 B、資料 C、資料 D。

進行此種管線存取用之行解碼器 RDEC 的邏輯係如第 17 圖所示般。即顯示有其詳細之行解碼器 RDECa（意指

階層 A 之行解碼器 RDEC) 係以上位前置解碼器單元 80 判定讀取存取對象階層，以下位前置解碼器單元判定階層內之存取對象字元線，對於雙方之輸出的與邏輯訊號係設為字元線 WLa 的選擇訊號。雙方之前置解碼器單元 80、81 基本上具有相同構造，其構造係如代表性地顯示有其詳細之上位前置解碼器單元 80 般，將解碼上位位址之前置解碼器 82 的解碼結果以門鎖電路 83、84 保持時脈訊號 CLK 的 2 週期而予以輸出。下位前置解碼器單元 81 的前置解碼器係進行下位位址的解碼。預先充電訊號 SCPa 及感測放大器活化訊號 SENa 係使用 3 段的延遲電路 85 予以調整時序以產生上位前置解碼器單元 80 的前置解碼器 82 之解碼結果訊號。其他的行解碼器 RDECb、RDECc、RDECd 也同樣構成。產生主放大器 MA 的活化控制訊號 MEN 之訊號產生電路 MDG 係藉由：與時脈訊號 CLK 同步門鎖選擇快閃記憶體之讀出動作之模組選擇訊號 MSEL 之串聯 2 段的門鎖電路 87、88，和依據終段門鎖電路 88 之輸出變化，產生脈衝之脈衝產生電路 89 所構成。

第 19 圖至第 21 圖係以前述位址映射為前提，說明第 2 管線存取形態之圖面。第 19 圖係實現第 2 管線存取形態時之快閃記憶體的概略方塊圖，第 20 圖係解碼器的邏輯電路圖，第 21 圖係管線讀取動作的時序圖。另外，在實現第 2 管線存取形態之快閃記憶體之情形，感測放大器 SA 需要採用第 22 圖的構造以代替第 6 圖。

第 19 圖中，係對每一各階層 A、B、C、D 賦予字尾

a、b、c、d 而代表性地圖示字元線 WL、預先充電訊號 SPC、感測放大器啟動訊號 SEN、讀出主位元線驅動訊號 GBLrDRV。第 19 圖所示之解碼器係前述各行解碼器 RDEC 及列解碼器 CDEC 的總稱。

在第 2 管線存取形態中，設於第 2 圖說明的行解碼器 (RDEC) 25 係在讀出動作中，並行選擇以位址訊號所指定的位址和下一位址的雙方之字元線的同時，依序驅動控制藉由因應前述所指定的位址和下一位址之各別的感測放大器之第 2 位元線的驅動。列解碼器 (CDEC) 26 係依據藉由行解碼器 25 之解碼結果，在選擇字元線側的記憶體墊選擇位元線，設該選擇期間至少與感測放大器驅動期間重疊。因此，響應連續位址的字元線被並行選擇，在各別的記憶體陣列中，位元線也被並行選擇。

藉此，例如如第 21 圖所例示般，讀取週期為時脈訊號的 2 週期時，如以最初的記憶體週期來指定位址 A，以下一記憶體週期來指定位址 C 時，在最初的記憶體週期 (CLK2 週期) 中，在位址 A 的記憶體墊進行字元線選擇、位元線選擇及感測放大器驅動，予以並行，在位址 B 的記憶體墊進行字元線選擇、位元線選擇及感測放大器驅動。在下一記憶體週期 (CLK2 週期) 中，在位址 C 的記憶體墊進行字元線選擇、位元線選擇及感測放大器驅動，與此並行，在位址 D 的記憶體墊進行字元線選擇、位元線選擇及感測放大器驅動。合計 4 個記憶體陣列的感測放大器 SA 的輸出係依據資料 A、資料 B、資料 C、資料 D 之順

序串列地進行。

進行此種管線存取用之感測放大器 SA 的構造係如第 22 圖所例示般。即爲了令可以各別控制感測動作和輸出動作的時序，對於第 6 圖的構造，追加或邏輯閘 90、91 和反相器 92 以便讀出主位元線驅動訊號 GBLrDRV 被活化後開始可做藉由 MOS 電晶體 Q9、Q10 之輸出動作。

另外，進行第 2 形態之管線存取用之行解碼器 RDEC 之邏輯係如第 20 圖所示般。此處，例示意指階層 A 及階層 B 的行解碼器 RDEC 之行解碼器 RDECab。對於第 17 圖之 RDECa、RDECb，上位前置解碼器單元 80 及下位前置解碼器單元 81 係具有相同構造，雙方之與邏輯訊號係設爲字元線 WLa 和字元線 WLb 的選擇訊號。預先充電訊號 SPCa、SPCb 係由依據上位前置解碼器 82 的輸出變化，產生脈衝之脈衝產生電路 100 所產生。感測放大器活化訊號 SENa、SENb 係藉由輸入前述門鎖電路 84 的輸出和前述脈衝產生電路 100 的輸出之延遲門鎖電路 101 所產生。讀出主位元線驅動訊號 GBLrDRVa、GBLrDRVb 係依序以延遲電路 102、103、104、105 令前述門鎖電路 84 的輸出延遲而依序被活化。

<<記憶卡>>

第 23 圖係顯控於本發明之非揮發性記憶體裝置之一例的記憶卡之概略圖。記憶卡 120 係由：作爲與外部的介面之介面部 121 和進行記憶卡的動作控制之控制器 122 及

1 個或複數個之本發明的非揮發性記憶體 123 所構成。非揮發性記憶體 123 例如係與第 5 圖所代表之前述快閃記憶體 9 相同，在除了包含進行寫入之記憶體單元的記憶體陣列和將該記憶體陣列的副位元線當成感測放大器的參考書入之記憶體陣列外的其他記憶體陣列中，可與該寫入動作並行而進行讀出動作。因此，對於來自外部的寫入動作要求和讀出動作要求，控制器可與對於這些要求的動作並行而進行。另外，如第 24 圖般，在對於自外部所輸入的位址（邏輯位址），具有與存取之非揮發性記憶體內的位址（實體位址）之轉換對應表 124 之記憶卡 120 的情形，於進行寫入動作時，可於任意的實體位址寫入新的資料，而更新轉換對應表。如係具有此種轉換對應表 124 之記憶卡 120，可以成為與包含進行讀出動作的實體位址之記憶體陣列並行可做寫入動作之記憶體陣列，選擇實體位址，並行進行讀出動作和寫入動作，之後，藉由更新轉換對應表，外觀外可令寫入動作和讀出動作之轉迴時間變短。

<<確認存取>>

說明著眼於在記憶體陣列的不同階層中，前述寫入動作和讀出動作並行時之確認讀出之實施形態。

第 25 圖至第 29 圖係顯示在不同階層中，寫入動作和讀出動作並行時，可避免確認讀出的讀出資料和讀出動作的讀出資料的競合之第 1 實施形態。

第 25 圖係顯示實現前述讀出資料競合迴避時之快閃

記憶體之概略。圖中顯示階層 A、B 之 2 階層份的記憶體陣列。對應讀出主位元線 GBLr 而設置有確認用主位元線 GBLv。主放大器係對於左右區域 UT 而設置有讀出用之 MAr 和確認用之 MAV，以選擇器 SEL 以選擇其之輸出。讀出用主放大器 MAr 係輸入連接於對應之左右區域 UT 的讀出主位元線 GBLr，設相互一方為感測側，另一方為確認側。確認用主位元線 GBLv 係輸入連接於對應之左右區域 UT 的確認用主位元線 GBLv，設相互一方為感測側，另一方為確認側。確認讀出資料係藉由資料匯流排而送訊給未圖示出之 CPU 而做比較。其他的構造係與第 4 圖及第 5 圖所說明的構造相同。

第 26 圖係顯示第 25 圖之動作時序圖。第 25 圖中，階層 A 係進行讀出動作，階層 B 係進行作為寫入動作之 1 步驟的確認讀出動作，說明其動作。

在第 26 圖之時序圖中，顯示了，在階層 A 中，讀出 GBL 驅動訊號 GBLrDRVa 成為啟動，該階層之感測放大器 SA(L) 對於讀出主位元線 GBLr 輸出讀出資料之時序，和在階層 B 中，確認 GBL 驅動訊號 GBLrDRVb 成為啟動，該階層之感測放大器 SA(L) 對確認用主位元線 GBLv 輸出讀出資料之時序係相同之例。在此情形下，連接選擇訊號 ASL 之選擇器 SEL 係將以連接在讀出主位元線 GBLr 側之階層 A 的主放大器 MAr 所放大的訊號輸出於資料匯流排。之後，將在連接於確認用主位元線 GBLv 之階層 B 側的主放大器 MAV 所被放大的訊號輸出於資料

匯流排。此在讀出動作和確認動作中，係以讀出動作爲優先，反之也不會有問題。另外，MA_r和MA_v之其中一者先進行訊號的輸出動作時，在輸出結束後，另一方的主放大器再開始輸出動作即可。

第 27 圖係顯示實現前述讀出資料競合迴避時之別的快閃記憶體之概略。與第 25 圖之不同點是，在讀出主位元線 GBL_r 配置主放大器 MA，在確認用主位元線 GBL_v 配置確認比較器 CMP。確認比較器 CMP 係進行由資料匯流排所供給的寫入資料和由確認用主位元線 GBL_v 所讀出的資料的比較，可進行寫入動作是否結束之判定。

第 28 圖係顯示第 27 圖之動作時序。第 28 圖係以第 27 圖的階層 A 進行讀出動作，階層 B 進行作爲寫入動作的 1 步驟之確認讀出動作的情形爲例。在第 28 圖之時序圖中，係顯示了，在階層 A 中，讀出 GBL 驅動訊號 GBL_rDRV_a 成爲啓動，該階層之感測放大器 SA(L) 對讀出主位元線 GBL_r 輸出讀出資料之時序，和在階層 B 中，確認 GBL 驅動訊號 GBL_vDRV_b 成爲啓動，該階層之感測放大器 SA(L) 對確認用主位元線 GBL_v 輸出讀出資料之時序爲相同之例子。在此情形，以連接在讀出主位元線 GBL_r 之主放大器 MA 所放大的訊號係輸出於資料匯流排。與此並行，在連接於確認用主位元線 GBL_v 之確認比較器 CMP 中，進行寫入資料和由確認用主位元線 GBL_v 所讀出之資料的比較。在包含確認比較器 CMP 之未圖示出的寫入系統電路中，在比較結果顯示寫入動作尚未結束之

情形，繼續寫入動作，在比較結果顯示寫入動作結束時，對於連接在該確認用主位元線 GBLv 之寫入對象記憶體單元之寫入結束。另外，在第 27 圖中，雖圖示寫入資料直接由資料匯流排輸入給比較器 CMP 之輸入，但是，請理解實際上，係經過省略圖示之寫入資料鎖存器或其他寫入用電路。

藉由前述快閃記憶體，可在不同階層中並行進行寫入動作和讀出動作，外觀上可令寫入動作和讀出動作的轉迴時間變短。

第 29 圖係顯示在第 25 圖至第 28 圖所示實施形態中所使用之感測放大器 SA 的詳細。同圖所示之感測放大器係具有：將對於由連接於讀出主位元線 GBLr 之電晶體 Q9、Q10 所成之輸出驅動器，和由連接於確認用主位元線 GBLv 之電晶體 Q20、Q21 所成之輸出驅動器之其一供給輸出訊號，係藉由讀出 GBL 驅動訊號 GBLrDRV 和確認 GBL 驅動訊號 GBLvDRV 所決定之選擇電路部。選擇部係藉由閘極電路 90~95 所構成。第 29 圖的構造與第 22 圖的構造之不同是，追加有由電晶體 Q20、Q21 所成之輸出驅動器、由閘極電路 93~95 所成之選擇邏輯。藉由將感測放大器 SA 做成此種構造，在一個放大器電路中，可對讀出主位元線 GBLr 和確認用主位元線 GBLv 之其一由記憶體單元放大輸出讀出訊號。

如依據以上說明的發明之實施形態，則可獲得以下之作用和效果。

(1) 將位元線方向分割為幾個。在此分割的副位元線單位配置列解碼器和感測放大器之讀出電路。藉此，可令位元線的負荷容量變小。

(2) 在上下對稱的副位元線間插入列解碼器和感測放大器，令上下之列解碼器同時動作。在讀出上部的副位元線時，設下部的副位元線為參考線，在讀出下部的副位元線時，令上部的副位元線為參考線，以差動型感測放大器比較此 2 條的副位元線電位。藉由位元線電位的差動感測，有助於讀出動作的高速化。

(3) 各感測放大器的輸出係藉由讀出主位元線而拉至記憶體陣列端，可以連接於匯流排介面電路。

(4) 藉由採用將讀出主位元線連接於主放大器之構造，讀出動作的更高速化成為可能。

(5) 有別於讀出主位元線，另外配置寫入位元線，藉由階層開關（分離開關）而連接於分割的副位元線。藉此，可保證藉由一組的寫入電路等之並行寫入。

(6) 判定寫入抹除之結束的確認讀出係許可以比較低速進行故，確認讀出係使用此寫入之主位元線。因此，確認所使用之電路也可不令其做分散。

(7) 在階層感測方式中，在記憶體墊內配置多數之感測放大器等之讀出電路。此感測放大器係配置為與位元線正交，電源線也同樣與位元線正交。在複數個動作之感測放大器中，引起電流集中故，設為寬電源寬度，以抑制雜訊的產生。此複數的寬電源寬度會增加模組面積。因此

，在藉由階層開關而將副位元線連接於寫入位元線之情形，將 2 位元或複數的副位元線連接於 1 條的寫入位元線。此結果為，主位元線的金屬間隔變寬，可在此主位元線間配置電源配線。在感測放大器等之讀出電路中，藉由由與此位元線平行之電源配線供給動作電源，可抑制模組面積的增加。同時，可抑制金屬層之增加。複數的感測放大器即使同時動作，也不會引起電流集中故，具有抑制雜訊之產生的效果。

(8) 具備與讀出之主位元線不同的寫入之主位元線，對於不同的副位元線內的記憶體，可在相同週期進行讀出和寫入抹除。此處，為了不令讀出資料和寫入資料衝突，需要對於相同副位元線內的記憶體，做不在相同週期進行存取之限制。在相同週期實行讀出和寫入抹除上，作為讀出和寫入抹除用需要具備 2 組的位址門鎖電路或字元線解碼器電路。

(9) 可在同一陣列配置記憶快閃記憶體的改寫程序之程式的記憶體，和使用者改寫之記憶體。使用前述之讀出階層感測和寫入位元線構造以分割兩者，可以一面讀出改寫程序程式而實行，一面改寫使用者區域之記憶體。不需如習知般，需要將改寫程序程式一度轉送於 RAM，即使在不內藏 RAM 之半導體積體電路也可搭載該種快閃記憶體。

(10) 藉由將使用本發明之非揮發性記憶體用於記憶卡，可並行進行讀出動作和寫入動作，可以縮短由使用者

所見到之轉迴時間。

(11) 在不同階層中，令讀出動作和寫入動作中的確認讀出動作並行時，藉由令自雙方的讀出資料之路徑個別化，得以解除自雙方之讀出資料的競合，可縮短自使用者所見到之轉迴時間。

依據雖依據實施形態而具體說明由本發明人所完成之發明，但是，本發明並不限於此，在不脫離其要旨之範圍內，不用說可有種種變更之可能性。

例如，非揮發性記憶體可以是依據臨界值電壓的不同以進行資訊記憶者，或者依據電子等載子之注入位置的不同以進行資訊記憶者。另外，藉由一個記憶體單元之資訊記憶並不限定為 1 位元，也可為複數位元。非揮發性記憶體也可採用具備複數記憶體墊，對於各記憶體墊，為藉由記憶體陣列之階層化位元線構造。

在將本發明使用於微電腦等之資料處理用半導體積體電路的情形，與非揮發性記憶體為同一晶片內之電路模組並不限定於前述例子，也可適當加以變更。另外，本發明也可使用於非揮發性記憶體單體之半導體積體電路。非揮發性記憶體並不限定於快閃記憶體，也可以是高介電質記憶體等。

在參考第 25 圖以後所說明的確認讀出中，也可將寫入所使用之寫入主位元線當成確認讀出用之主位元線使用，以代替追加確認用主位元線。

〔發明效果〕

如簡單說明由本申請案所揭示發明中的代表性者所獲得之效果，則如下述：

即可令連接於 1 個感測放大器之負荷容量變小，能大幅縮短讀出時間。另外，在讀出中，對於其他記憶體也可進行寫入抹除。

藉由在位元線和位元線間配置電源配線，將其連接於多數的感測放大器，即使多數的感測放大器同時動作，也不易產生電流集中。進而，不需要在每一各感測放大器分散配置寬度大的電源配線，有助於晶片面積的小型化。

讀出主位元線和寫入位元線被分割故，可同時處理讀出資料和寫入資料。因此，在使用本發明之半導體積體電路的資料處理系統中，可在需要比較長時間的寫入抹除中不令系統停止，繼續伴隨資料讀出之服務。另外，在將改寫程式配置於同一記憶體陣列內之情形，不需要儲存改寫程序之專用的記憶體。

【圖式簡單說明】

第 1 圖係關於本發明之半導體積體電路之一例的微電腦之方塊圖。

第 2 圖係整體顯示晶片內之快閃記憶體之方塊圖。

第 3 圖係顯示堆疊閘極構造之非揮發性記憶體單元之概略剖面圖。

第 4 圖係顯示記憶體墊之階層化位元線構造之詳細的

電路圖。

第 5 圖係顯示進行差動感測之記憶體墊的階層化位元線構造之詳細的電路圖。

第 6 圖係顯示差動感測用之感測放大器的一例之電路圖。

第 7 圖係藉由差動感測放大器和差動主放大器之資料讀出動作的時序圖。

第 8 圖係顯示進行差動感測之記憶體墊的階層化位元線構造之別的詳細之電路圖。

第 9 圖係顯示感測放大器陣列之電源配線配置的說明圖。

第 10 圖係顯示感測放大器電源配置的比較例之說明圖。

第 11 圖係概念地顯示可在同一週期進行讀出動作和抹除或寫入動作之行解碼器的構造之說明圖。

第 12 圖係顯示對於相互不同之記憶體陣列，進行寫入處理和讀出處理之動作時序的時序圖。

第 13 圖係顯示第 11 圖之快閃記憶體的應用例之說明圖。

第 14 圖係使用 11 圖之快閃記憶體之動作的說明圖。

第 15 圖係顯示使用第 11 圖之快閃記憶體之改寫控制步驟的流程圖。

第 16 圖係實現第 1 圖的管線存取形態時之快閃記憶體的概略方塊圖。

第 17 圖係實現第 1 圖之管線存取形態時，快閃記憶體所採用之解碼器的邏輯電路圖。

第 18 圖係藉由第 1 圖之管線存取形態之管線讀取動作的時序圖。

第 19 圖係實現第 2 管線存取形態時的快閃記憶體之概略方塊圖。

第 20 圖係實現第 2 管線存取形態時，快閃記憶體所採用之解碼器的邏輯電路圖。

第 21 圖係藉由第 2 管線存取形態之管線讀取動作的時序圖。

第 22 圖係實現第 2 管線存取形態時，代替第 6 圖所採用之感測放大器之電路圖。

第 23 圖係顯示關於本發明之非揮發性記憶體裝置的一例之記憶卡的概略方塊圖。

第 24 圖係顯示關於本發明之非揮發性記憶體裝置之別的例子之記憶卡的概略方塊圖。

第 25 圖係顯示實現讀出資料競合迴避時之快閃記憶體的概略方塊圖。

第 26 圖係第 25 圖所示之快閃記憶體的動作時序圖。

第 27 圖係顯示實現讀出資料競合迴避時之別的快閃記憶體之概略方塊圖。

第 28 圖係第 27 圖所示之快閃記憶體的動作時序圖。

第 29 圖係顯示在第 25 圖至第 28 圖所示實施形態中所使用之感測放大器 SA 的詳細之電路圖。

符號說明

1：微電腦

3：CPU

4：RAM

9：快閃記憶體

MC：非揮發性記憶體單元

20：記憶體墊

21：記憶體陣列

BL：位元線

GBLr：讀出主位元線

GBLw：寫入位元線

DSW：分離開關

WL：字元線

22：列選擇電路

23：感測放大器陣列

25：行解碼器

26：列解碼器

28：寫入電路

29：資料門鎖電路

30：資料選擇器

31：確認用放大器

32：控制電路

34：分離開關陣列

SPC：預先充電訊號

SEN：感測放大器活化控制訊號

MA：主放大器

MEN：感測放大器活化控制訊號

61、62：個別電源配線

63、64：共通電源配線

65、66：連接電源配線

70：讀出行解碼器

72：寫入行解碼器

74：改寫程序區域

75：使用者記憶體區域

RDECa：第 1 形態之管線存取用行解碼器

RDECab：第 2 形態之管線存取用行解碼器

伍、中文發明摘要

發明之名稱：半導體積體電路

〔課題〕令對於可電性改寫之晶片內非揮發性記憶體之讀出速度變快。

〔解決手段〕前述非揮發性記憶體係具有：由複數之記憶體陣列（21）之各個所固有的第1位元線（BL）、與複數之記憶體陣列共通之第2位元線（GBLr）、可每一記憶體陣列地選擇第1位元線，而可與第2位元線連接之第1選擇電路（22）及配置在前述第1選擇電路的輸出和第2位元線之間的感測放大器（SA）所形成之階層化位元線構造。藉由前述記憶體陣列的分割之階層化位元線構造可降低感測放大器的輸入負荷容量。

陸、英文發明摘要

發明之名稱：

拾、申請專利範圍

1.一種半導體積體電路，其特徵為：

半導體基板上具有可電性抹除及寫入的非揮發性記憶體，

前述非揮發性記憶體係具有：由複數之記憶體陣列之各個所固有的第 1 位元線、與複數之記憶體陣列共通之第 2 位元線、將每一記憶體陣列之前述第 1 位元線選擇性地連接至前述第 2 位元線之第 1 選擇電路及配置在前述第 1 選擇電路的輸出和第 2 位元線之間的感測放大器所形成之階層化位元線構造。

2.如申請專利範圍第 1 項所記載之半導體積體電路，其中，前述感測放大器係配置在相鄰之一對的記憶體陣列間的差動感測放大器，一對的差動輸入係設為相互一方的輸入為由在該一方的記憶體陣列所選擇的第 1 位元線之讀出訊號，相互另一方之輸入為參考輸入。

3.如申請專利範圍第 1 項所記載之半導體積體電路，其中，具有輸入端子連接於前述第 2 位元線之主放大器。

4.如申請專利範圍第 3 項所記載之半導體積體電路，其中，前述主放大器係差動輸入連接於相鄰之一對的第 2 位元線之差動放大器，一對的差動輸入係設為相互一方的輸入為輸出給該一方的第 2 位元線之讀出訊號，另一方之輸入為參考輸入。

5.如申請專利範圍第 1 項所記載之半導體積體電路，其中，具有與前述複數的記憶體陣列共通之寫入用之第 3

位元線，前述第 3 位元線係設置為和對記憶體陣列之並行寫入位元線之數目對應的數目。

6.如申請專利範圍第 5 項所記載之半導體積體電路，其中，每一記憶體陣列具有可將相互對應的第 1 位元線與第 3 位元線連接及分離之分離電路，在讀出動作中，設為讀出對象之記憶體陣列的分離電路係令第 3 位元線由第 1 位元線分離。

7.如申請專利範圍第 6 項所記載之半導體積體電路，其中，具有：以資料的外部並行輸入輸出位元數單位選擇第 3 位元線之第 2 選擇電路，和感測由前述第 2 選擇電路所選擇的第 3 位元線之確認讀出資料之確認用放大器。

8.如申請專利範圍第 1 項所記載之半導體積體電路，其中，在每一個並排之複數的感測放大器，沿著該並排方向設置有第 1 電源配線，在離開第 1 電源配線之位置設置有寬度比該第 1 電源配線寬的第 2 電源配線，各個第 1 電源配線和第 2 電源配線係以鋪設在第 1 字元線方向之第 3 電源配線而在複數處連接。

9.如申請專利範圍第 8 項所記載之半導體積體電路，其中，具有：每 2 條的第 1 位元線設置有 1 條，與前述複數的記憶體陣列共通之複數的寫入用第 3 位元線，及

在各記憶體陣列中，可選擇性地將 1 條之第 3 位元線與對應的 2 條之第 1 位元線的某一方連接或與雙方分離之分離電路。

10.如申請專利範圍第 9 項所記載之半導體積體電路

，其中，前述第 3 電源配線係在每 2 條的第 1 位元線中，配置於其間。

11.如申請專利範圍第 6 項所記載之半導體積體電路，其中，各別具有：在讀出動作中，選擇字元線、第 1 位元線、分離電路及感測放大器的動作之第 1 位址解碼器，和在寫入動作中，選擇字元線及分離電路的動作之第 2 位址解碼器。

12.如申請專利範圍第 11 項所記載之半導體積體電路，其中，前述第 1 位址解碼器及第 2 位址解碼器係具有進行位址映射之位址碼邏輯，可令對於連續位址，共有感測放大器之記憶體陣列不同。

13.如申請專利範圍第 12 項所記載之半導體積體電路，其中，在讀出動作中，第 1 位址解碼器係響應位址訊號的改變，每一個對應之記憶體陣列地保持讀出動作所必要之週期數份的位址解碼訊號和第 1 位元線之選擇訊號，響應位址訊號的改變，令前述感測放大器延遲動作。

14.如申請專利範圍第 12 項所記載之半導體積體電路，其中，在讀出動作中，第 1 位址解碼器係並行選擇以位址訊號所指定的位址和下一位址的字元線及第 1 位元線的同時，依序驅動控制藉由因應前述所指定的位址和下一位址之各別的感測放大器的第 2 位元線之驅動。

15.如申請專利範圍第 12 項所記載之半導體積體電路，其中，在前述半導體基板具備可存取前述非揮發性記憶體之中央處理裝置。

16.如申請專利範圍第 15 項所記載之半導體積體電路，其中，設定前述複數之記憶體陣列的一部份之記憶體陣列為資料區域，剩餘之記憶體陣列為管理區域，前述管理區域被設為改寫資料區域用之改寫程序控制程式之記憶區域，

前述中央處理裝置係由前述管理區域讀入改寫程序控制程式而實行，可做資料區域之改寫控制。

17.一種半導體積體電路，其特徵為：

在半導體基板上具有：可電性抹除及寫入之非揮發性記憶體，和可存取前述非揮發性記憶體之中央處理裝置，

前述非揮發性記憶體係具有：由複數之記憶體陣列之各個所固有的第 1 位元線、與複數之記憶體陣列的第 1 位元線共通之第 2 位元線、及配置在前述第 1 位元線和第 2 位元線之間的感測放大器所形成之階層化位元線構造，前述第 2 位元線之數目係比對於記憶體陣列之並行寫入位元數少。

18.如申請專利範圍第 17 項所記載之半導體積體電路，其中，具有與前述複數之記憶體陣列共通之寫入用的第 3 位元線。

19.如申請專利範圍第 18 項所記載之半導體積體電路，其中，每一記憶體陣列具有可將相互對應的第 1 位元線與第 3 位元線連接及分離之分離電路，在讀出動作中，設為讀出對象之記憶體陣列的分離電路係令第 3 位元線由第 1 位元線分離。

20.一種半導體積體電路，其特徵為：

在半導體基板上具有可電性抹除及寫入之非揮發性記憶體，

前述非揮發性記憶體係具有：由複數之記憶體陣列之各個所固有的第 1 位元線、與複數之記憶體陣列的第 1 位元線共通之第 2 位元線、及選擇性地放大由前述第 1 位元線所讀出的資料，輸出給第 2 位元線之感測放大器所形成之階層化位元線構造。

21.一種非揮發性記憶體裝置，其特徵為：

具有控制器和一個或複數個之非揮發性記憶體，

前述非揮發性記憶體係具有被分割為複數的記憶體陣列，屬於第 1 群之記憶體陣列，和由對應屬於前述第 1 群之記憶體陣列之各個的記憶體陣列所成之第 2 群之記憶體陣列，

前述控制器係可並行控制對於特定的第 1 群之第 1 記憶體陣列的第 1 存取動作，和對於除了該第 1 記憶體陣列及對應第 1 記憶體陣列之第 2 群的第 2 記憶體陣列以外之第 3 記憶體陣列的第 2 存取動作。

22.如申請專利範圍第 21 項所記載之非揮發性記憶體裝置，其中，在屬於前述第 1 群之記憶體陣列和第 2 群之對應的記憶體陣列之間，具有複數之感測放大器，

各別之記憶體陣列係具有複數的第 1 位元線，第 1 群之記憶體陣列的第 1 位元線和第 2 群之對應的記憶體陣列之第 1 位元線係連接在前述感測放大器的輸入端子，

前述感測放大器的輸出係連接於第 2 位元線，

前述第 1 位元線和第 2 位元線係使用於讀出動作，進而具有寫入動作所使用的第 3 位元線。

23.一種半導體積體電路，其特徵為：

在半導體基板上具有可電性抹除及寫入之非揮發性記憶體，

前述非揮發性記憶體係具有：由複數之記憶體陣列之各個所固有的第 1 位元線、與複數之記憶體陣列的第 1 位元線共通之第 2 位元線、與複數之記憶體陣列共通的第 3 位元線、及選擇性地放大由前述第 1 位元線所讀出的資料，在第 1 讀出動作中輸出至第 2 位元線，在第 2 讀出動作中輸出至第 3 位元線之感測放大器所形成之階層化位元線構造。

24.如申請專利範圍第 23 項所記載之半導體積體電路，其中，前述第 1 讀出動作係將所讀出的資料輸出至半導體積體電路的外部用之讀出動作，

前述第 2 讀出動作係在對於記憶體陣列的資料寫入中，依據所讀出的資料，決定是否繼續資料的寫入動作或抹除動作之確認讀出動作。

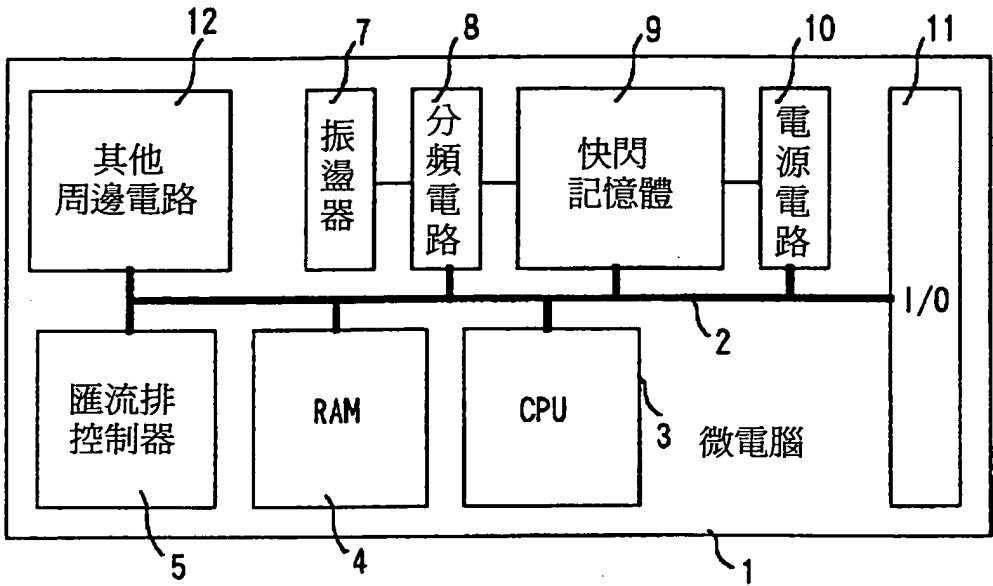
25.如申請專利範圍第 23 項所記載之半導體積體電路，其中，前述感測放大器係具有放大由前述第 1 位元線所讀出的資料，選擇輸出給前述第 2 位元線或輸出給前述第 3 位元線之選擇電路，

前述選擇電路係依據特定的選擇訊號以選擇輸出端。

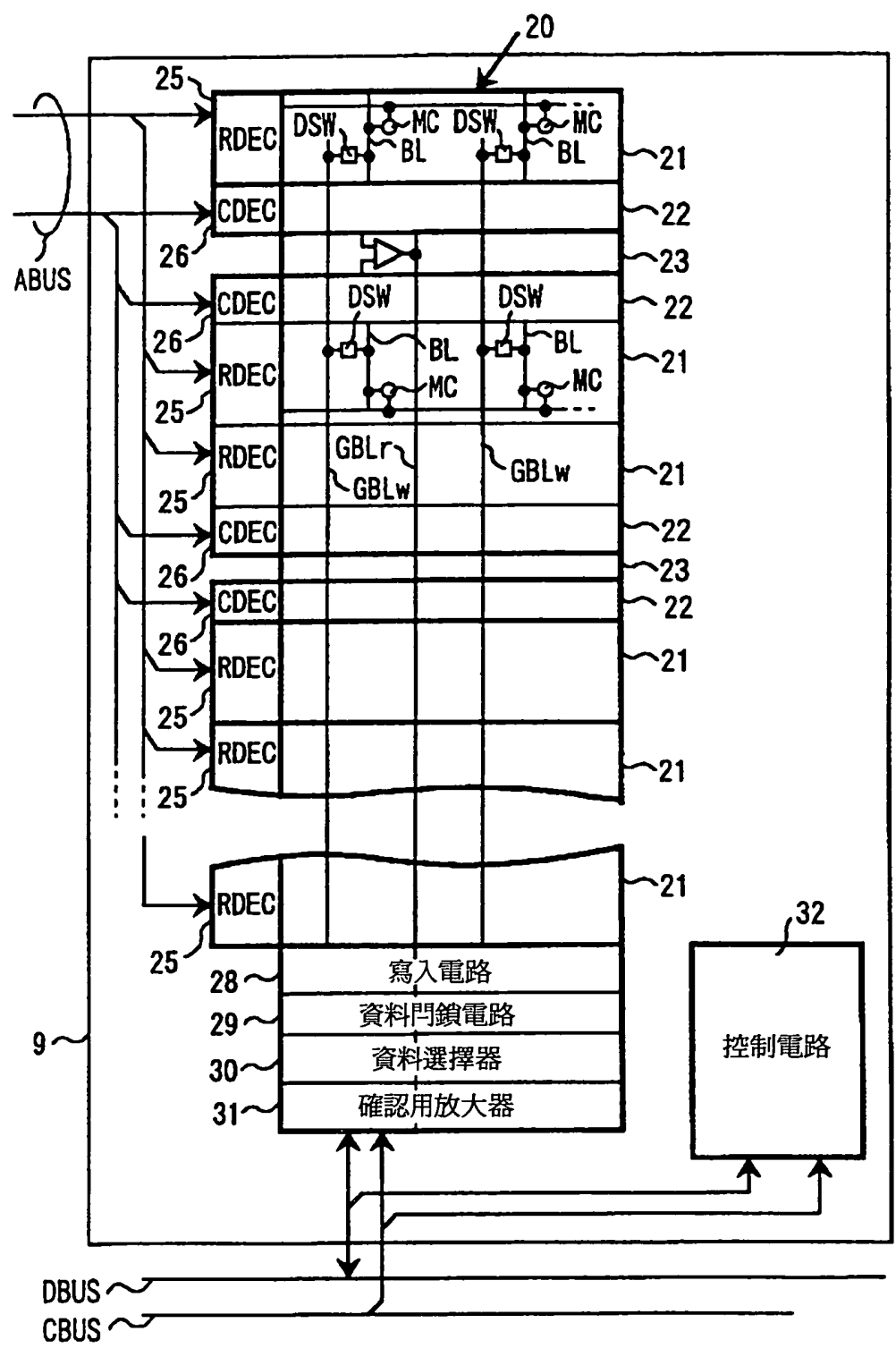
752404

100年10月→ 日修(更)正本

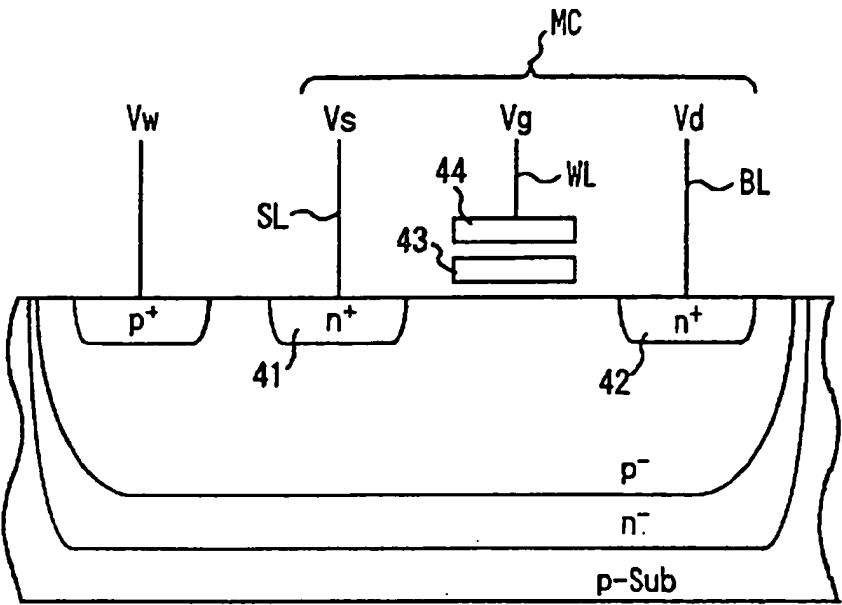
第1圖



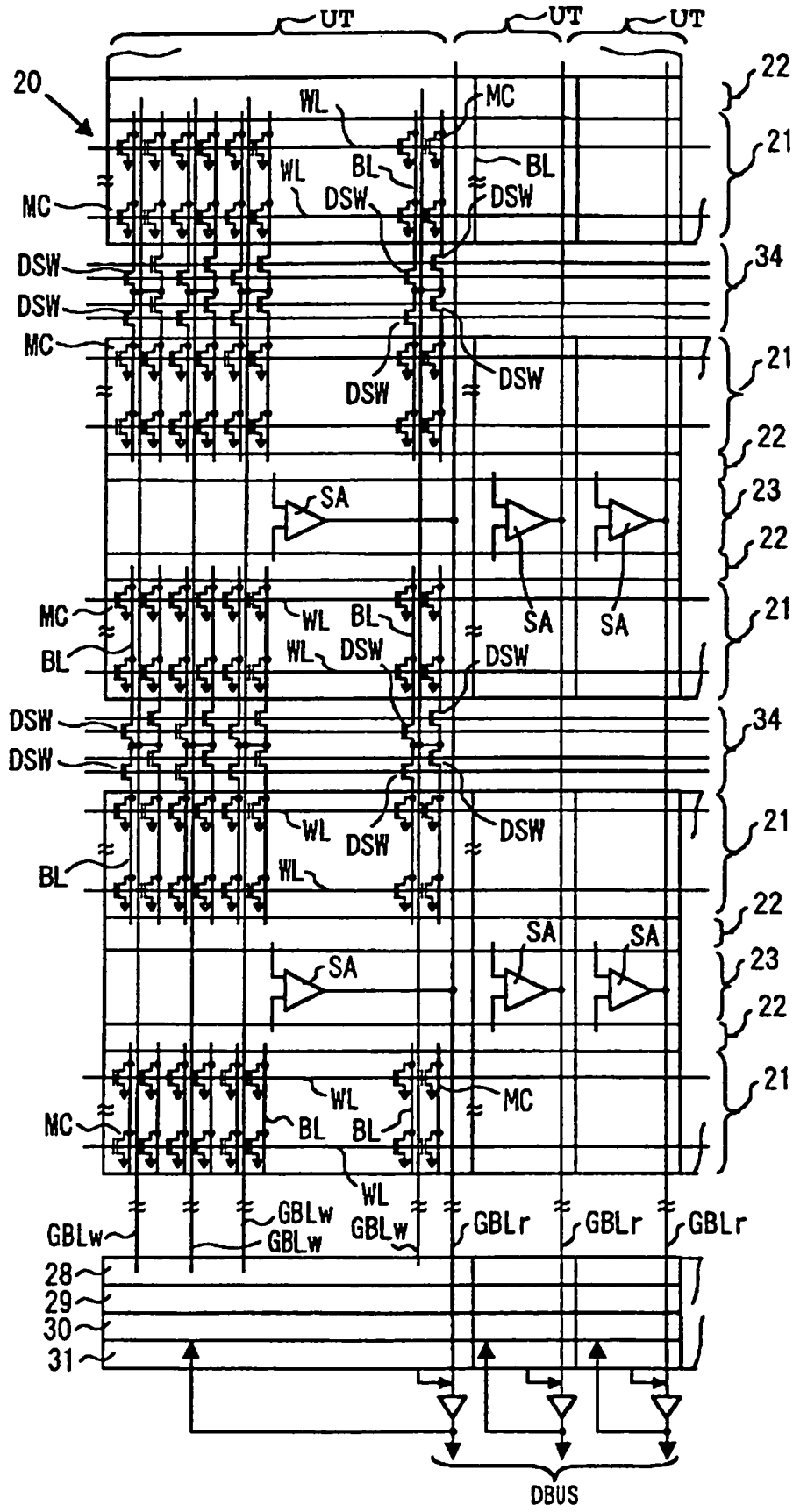
第2圖



第3圖

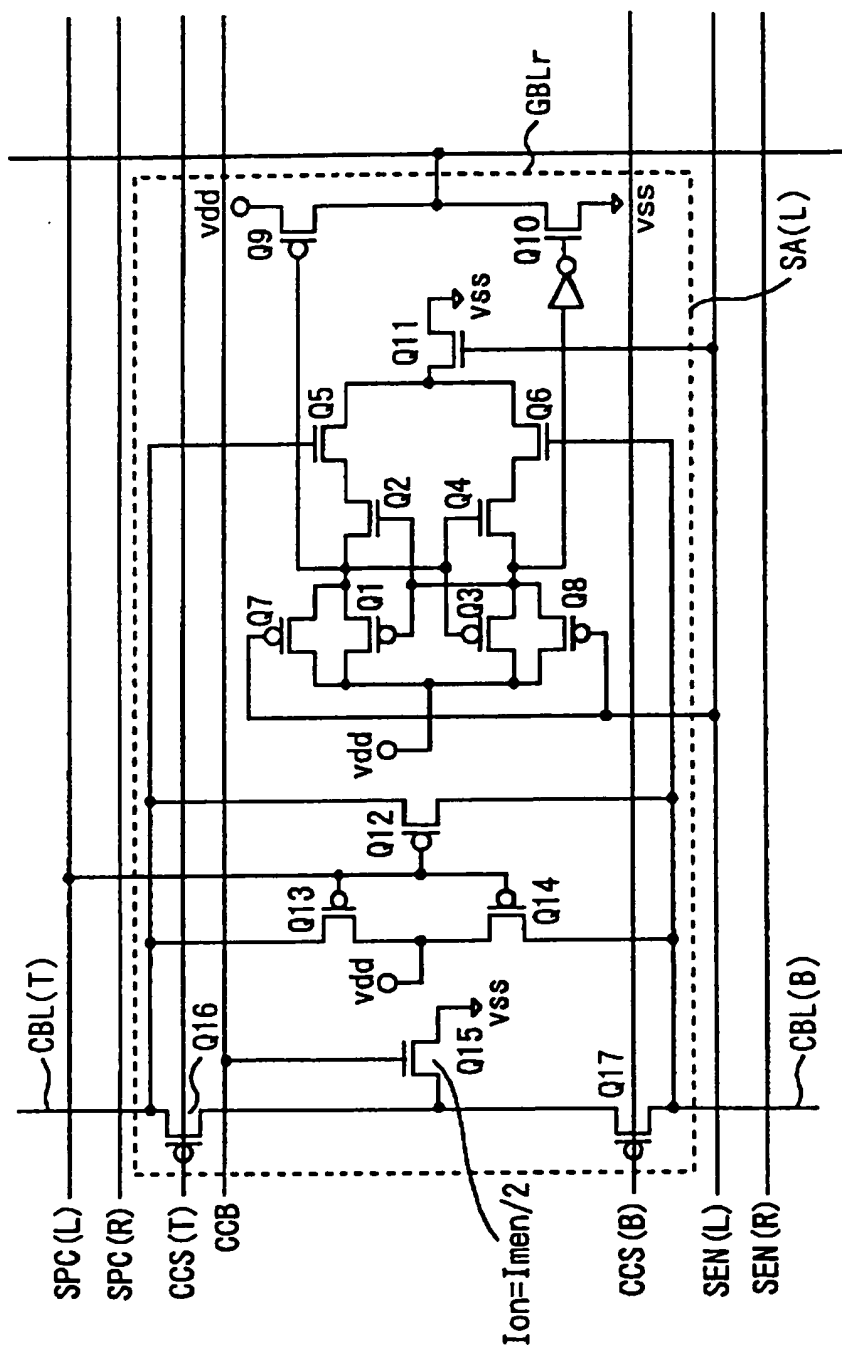


第4圖

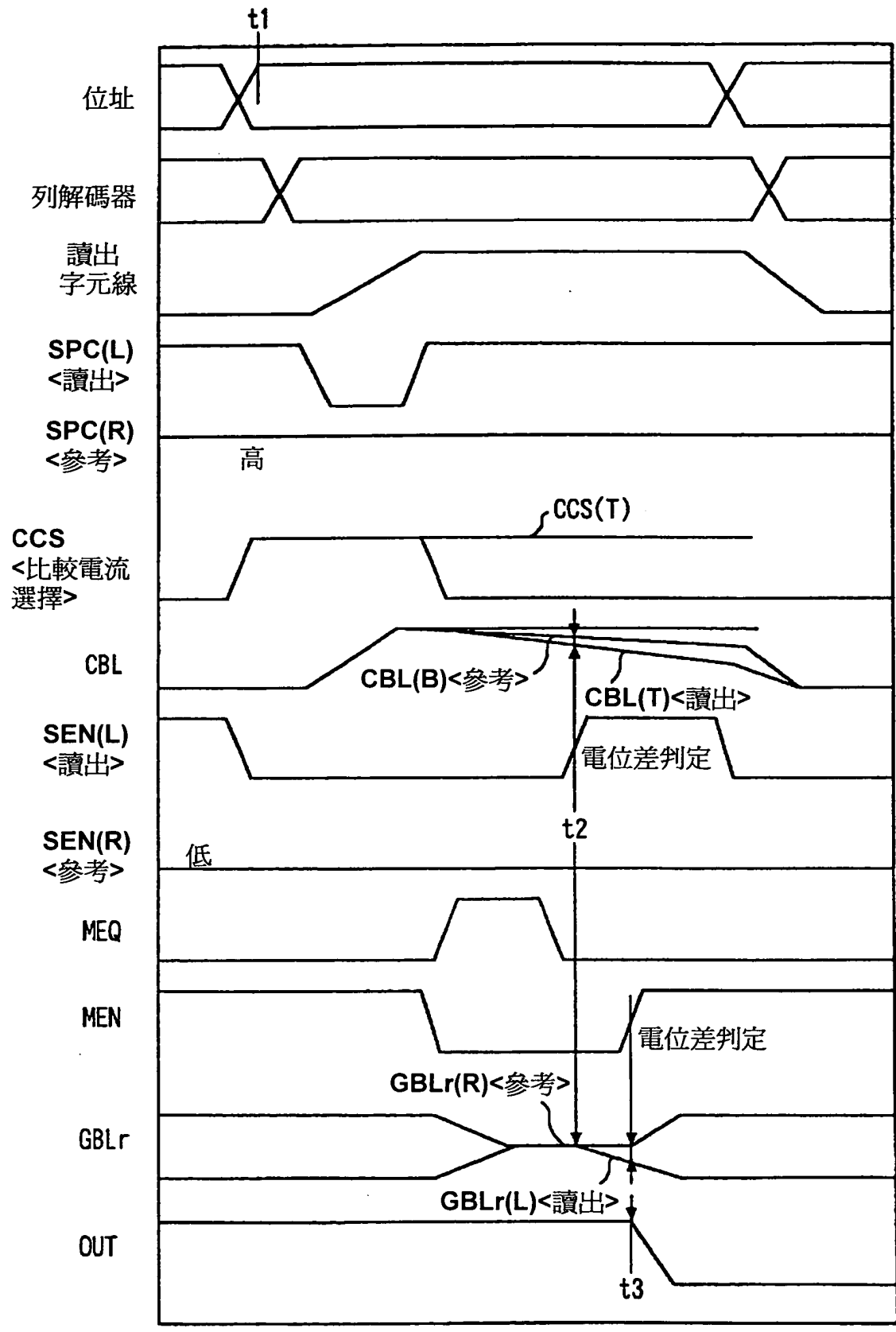




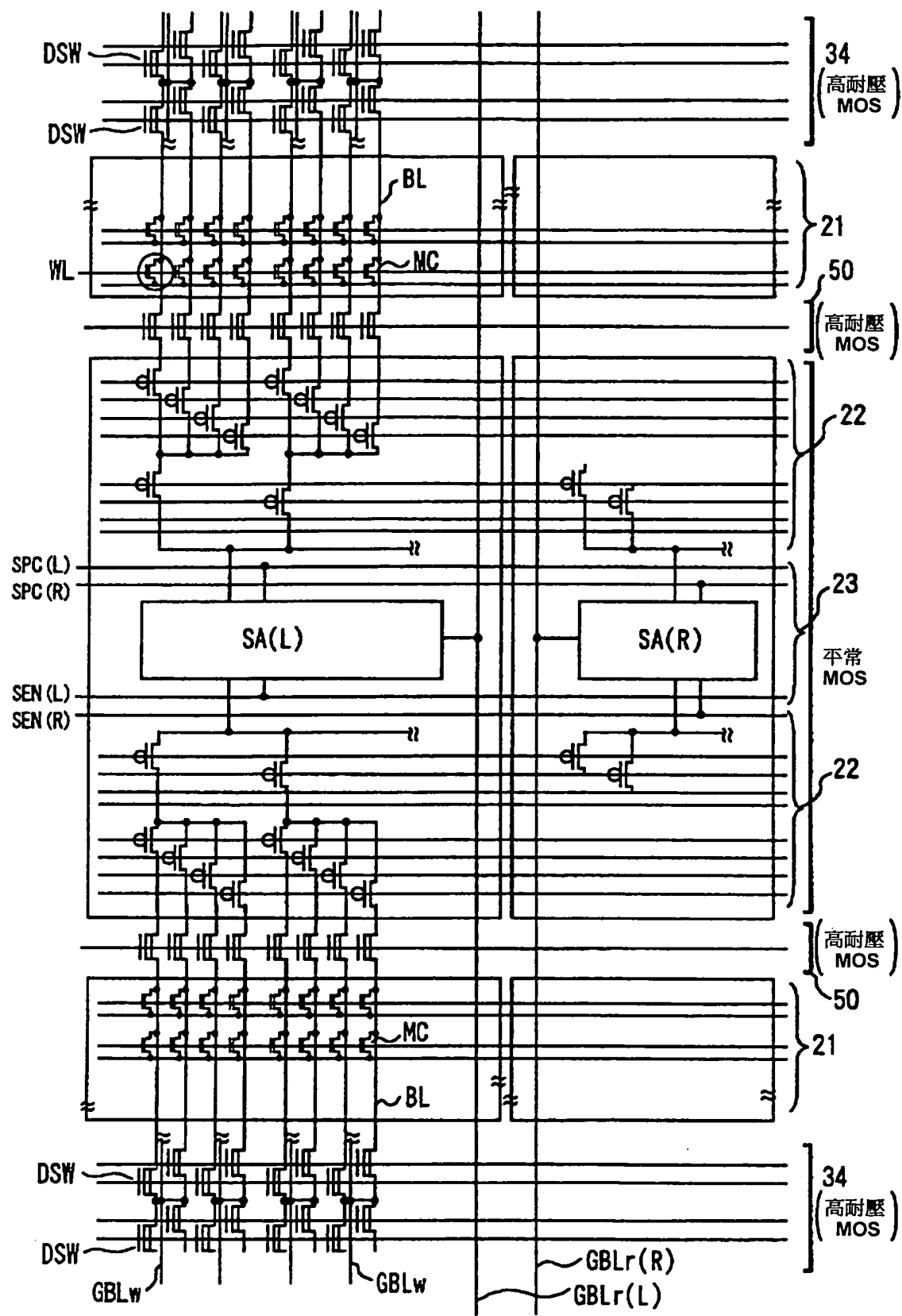
第6圖



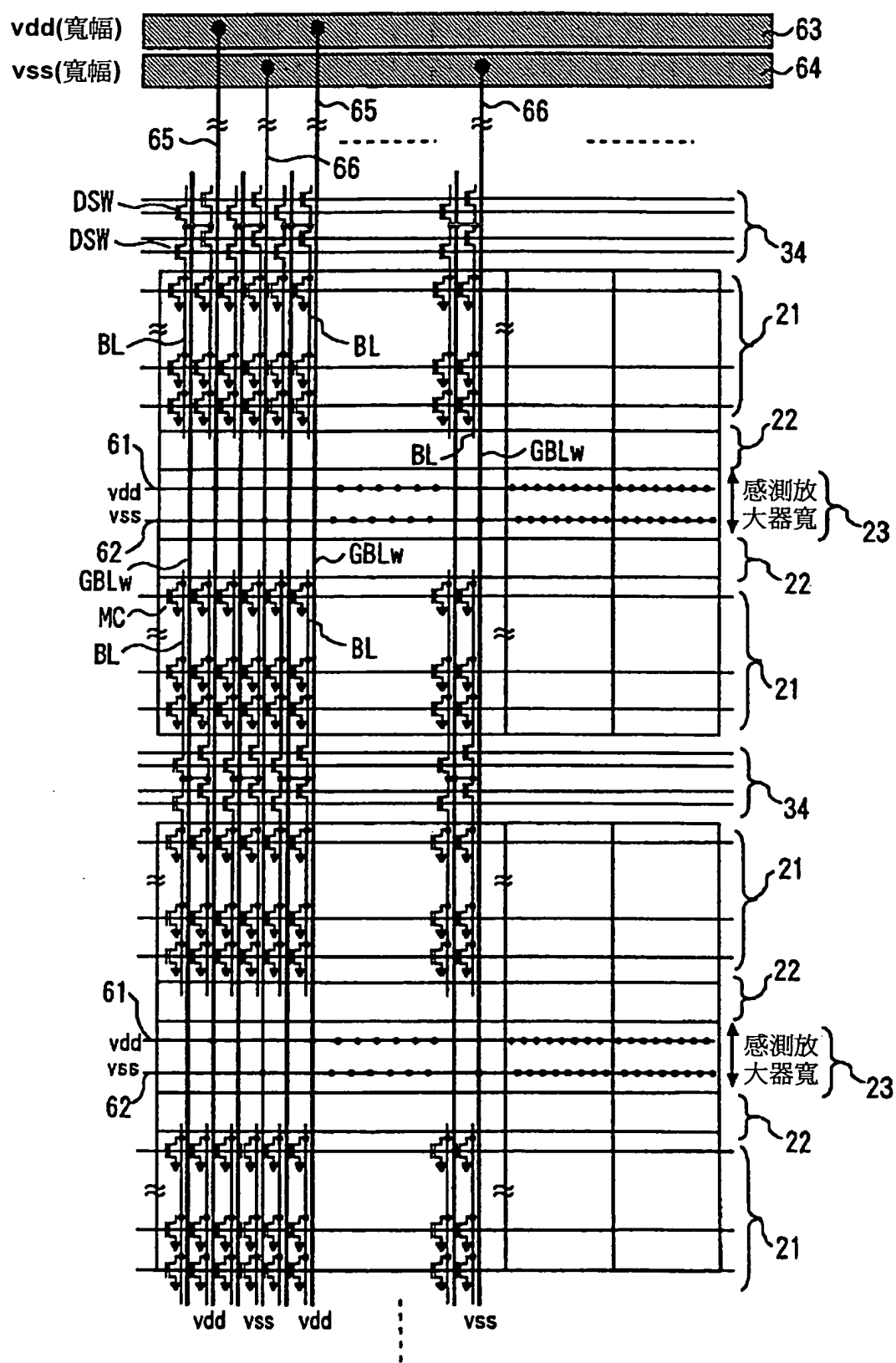
第7圖



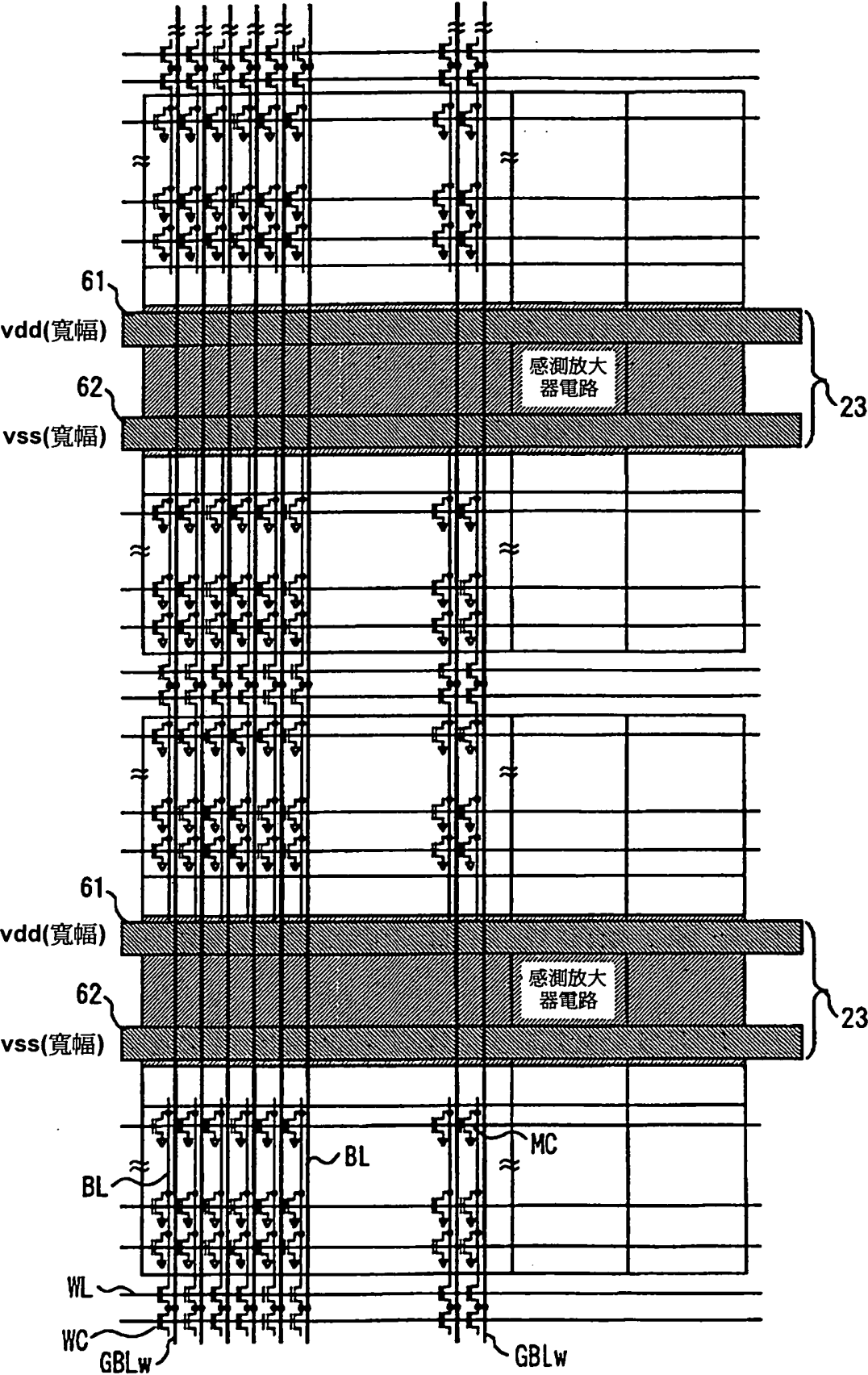
第8圖



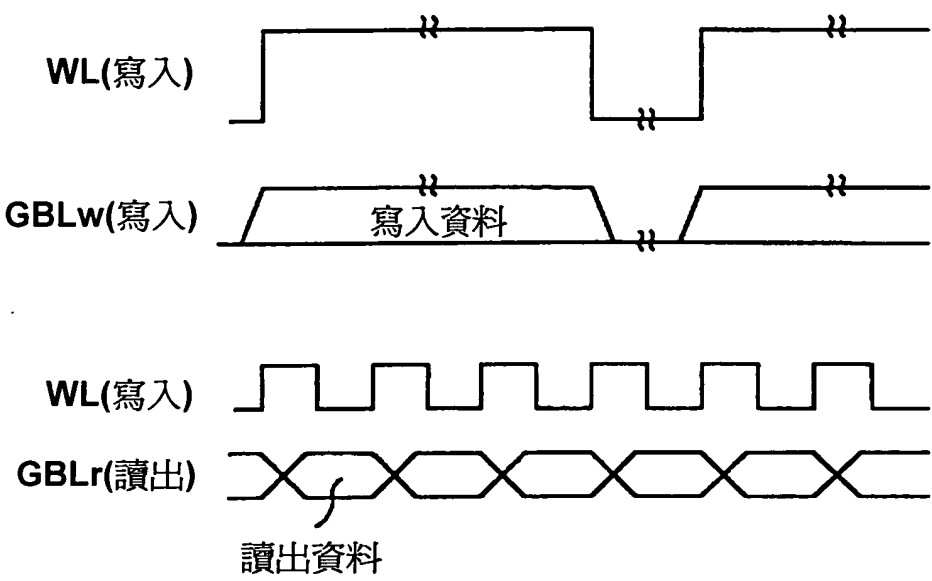
第9圖



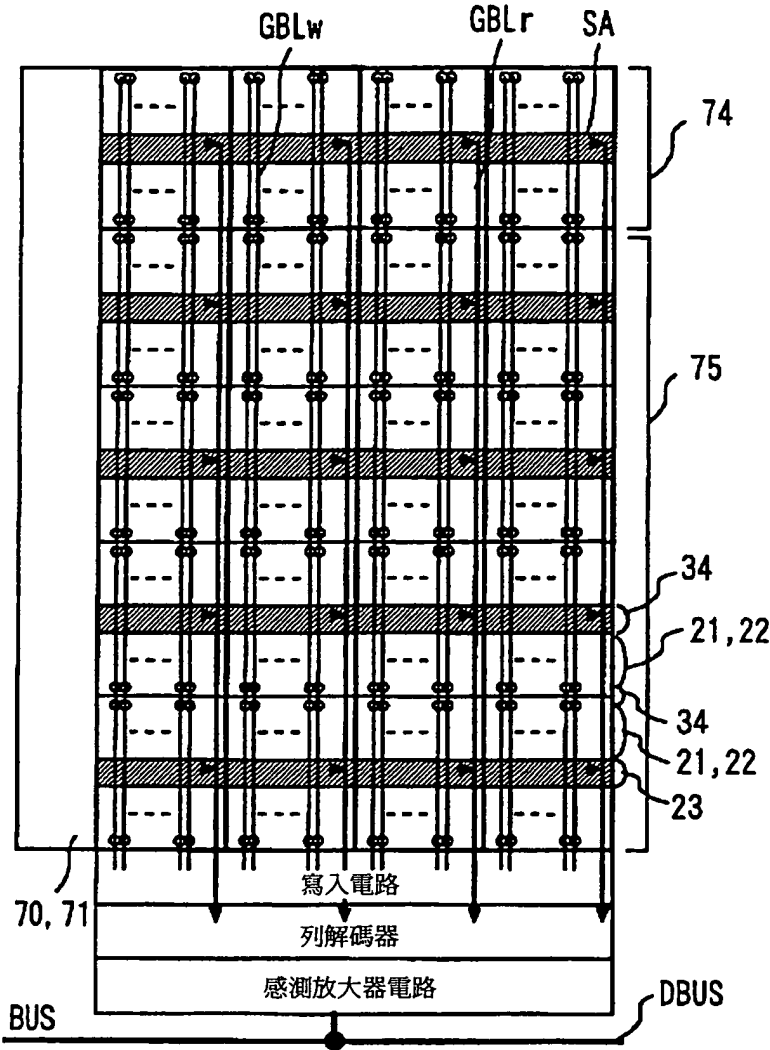
第10圖



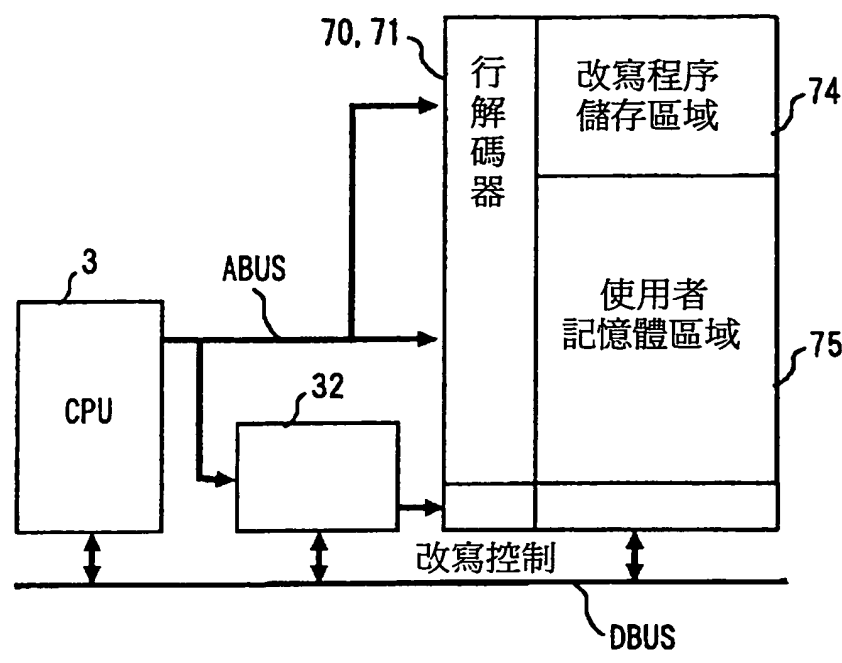
第12圖



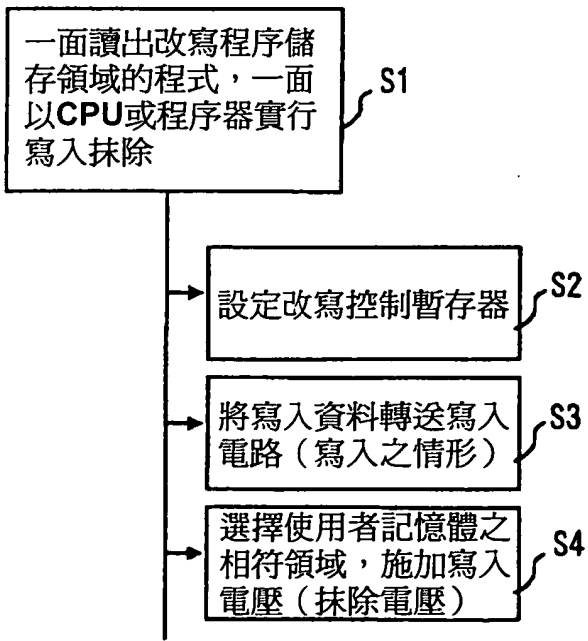
第13圖



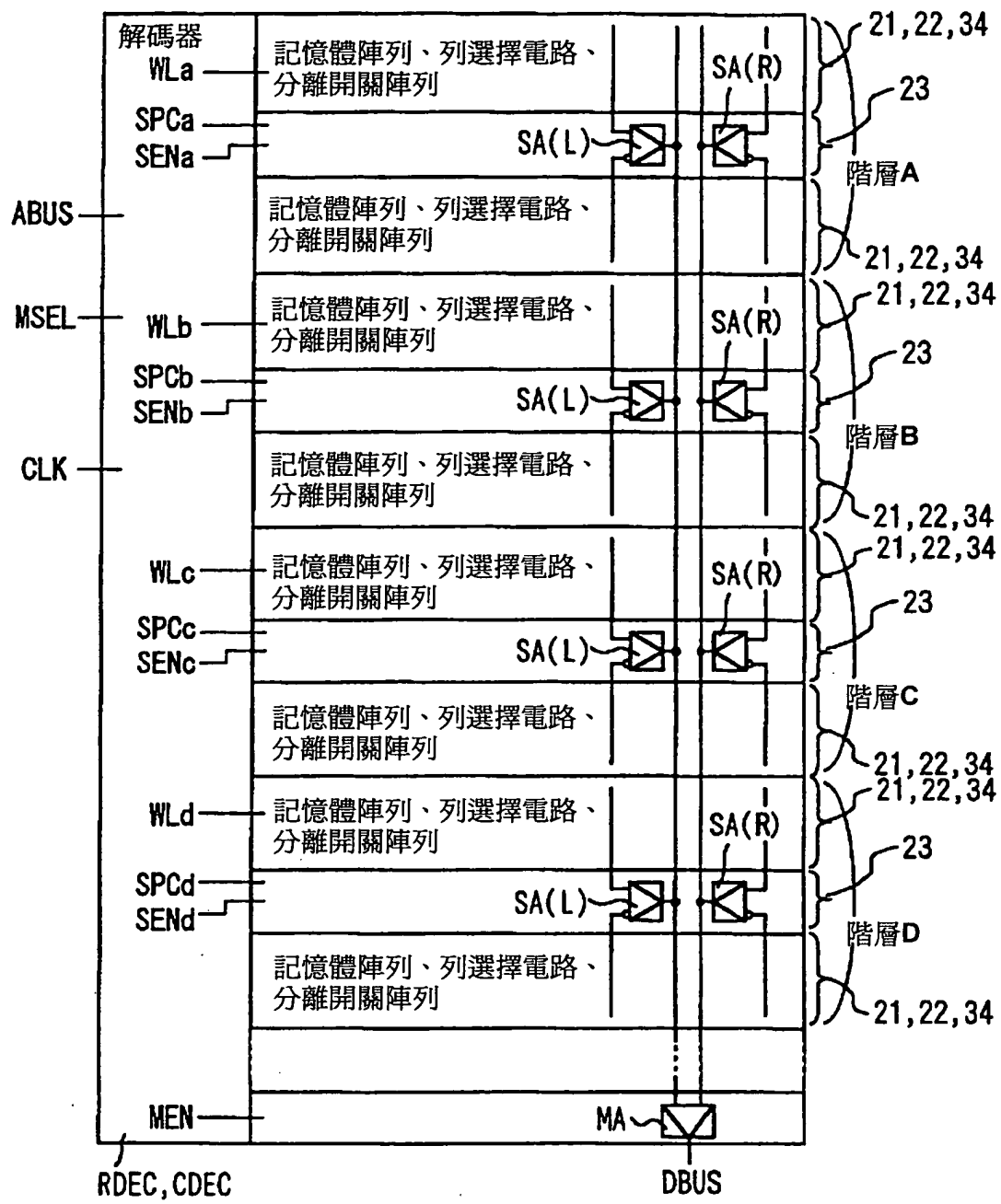
第14圖



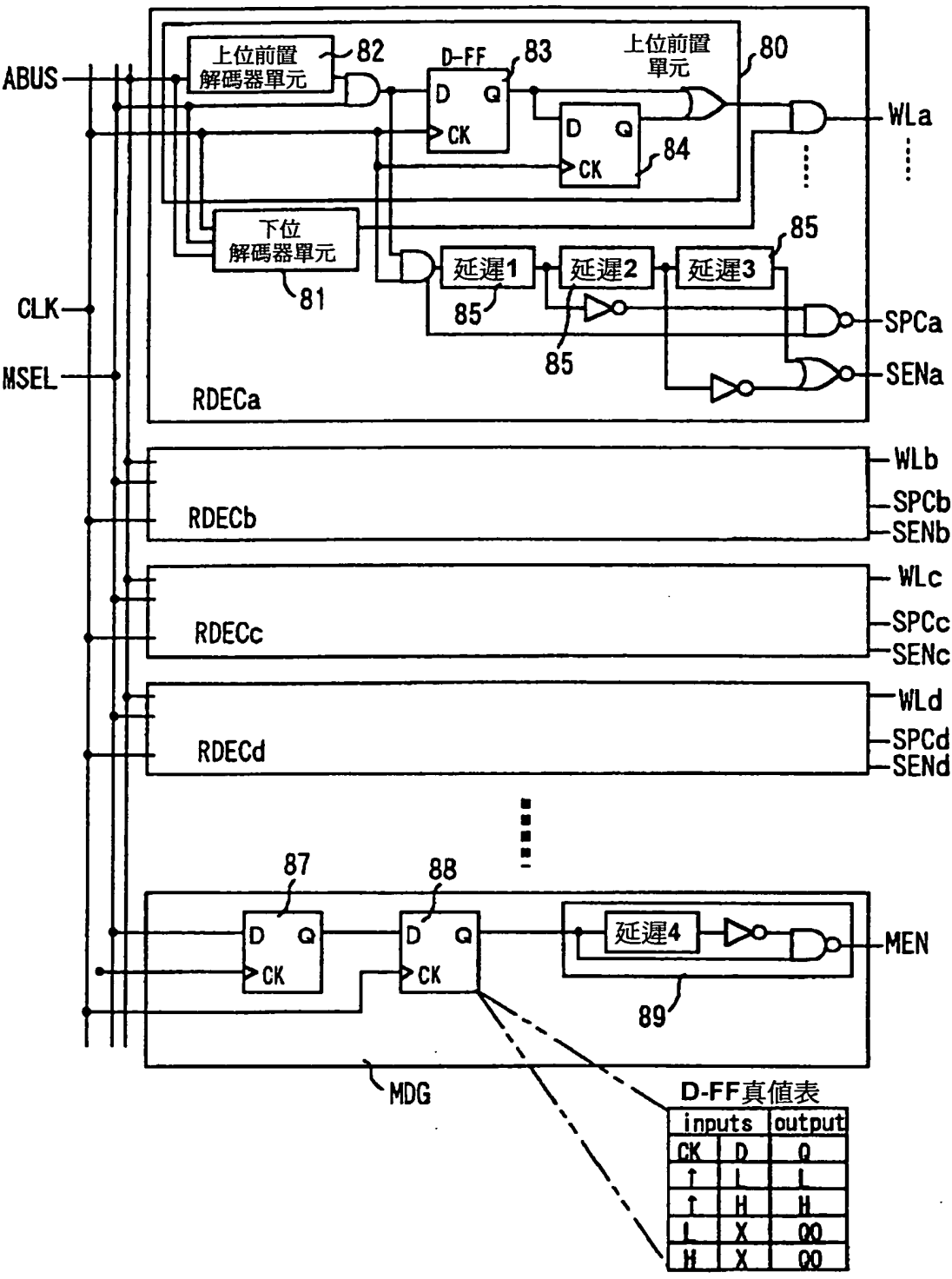
第15圖



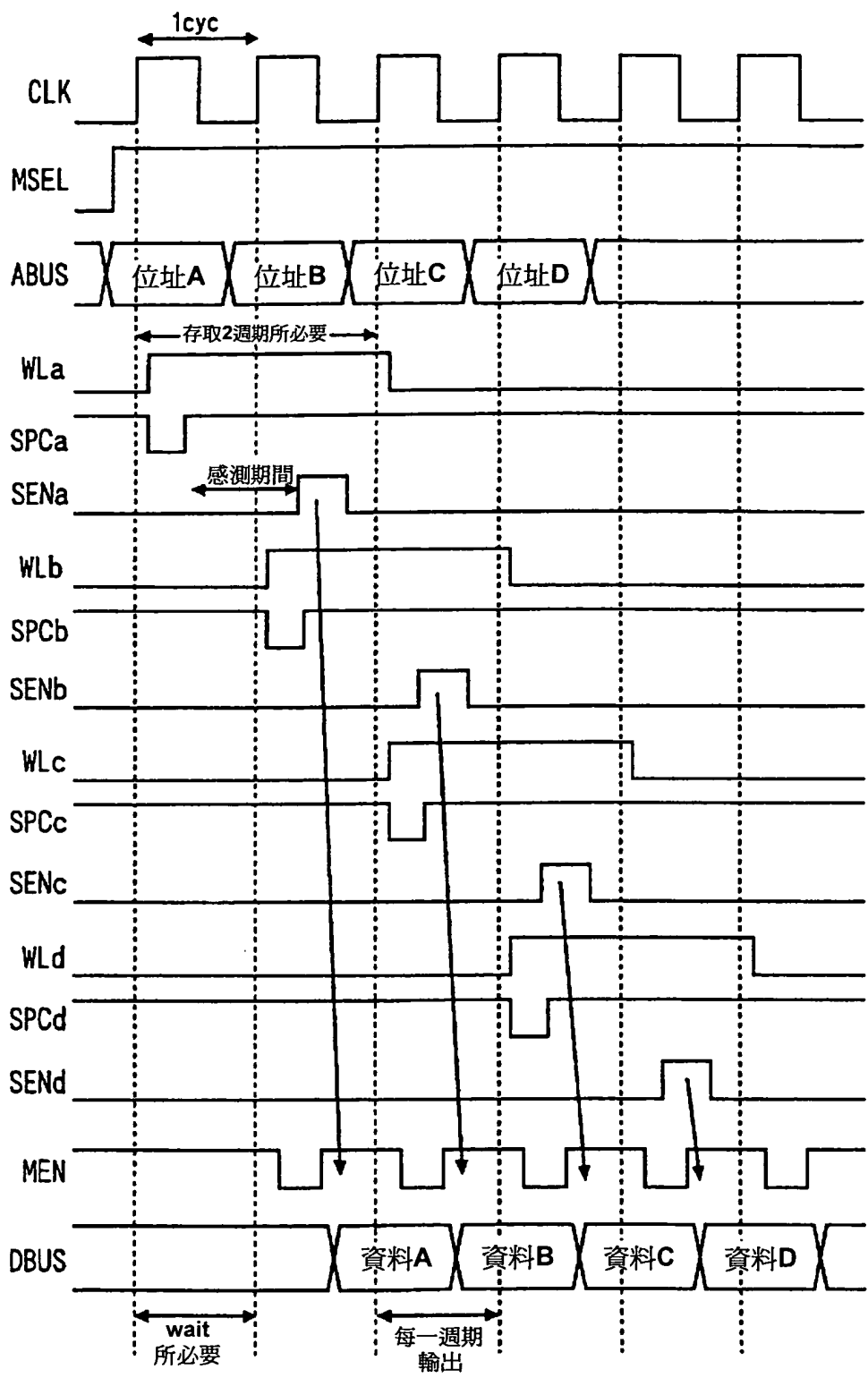
第16圖



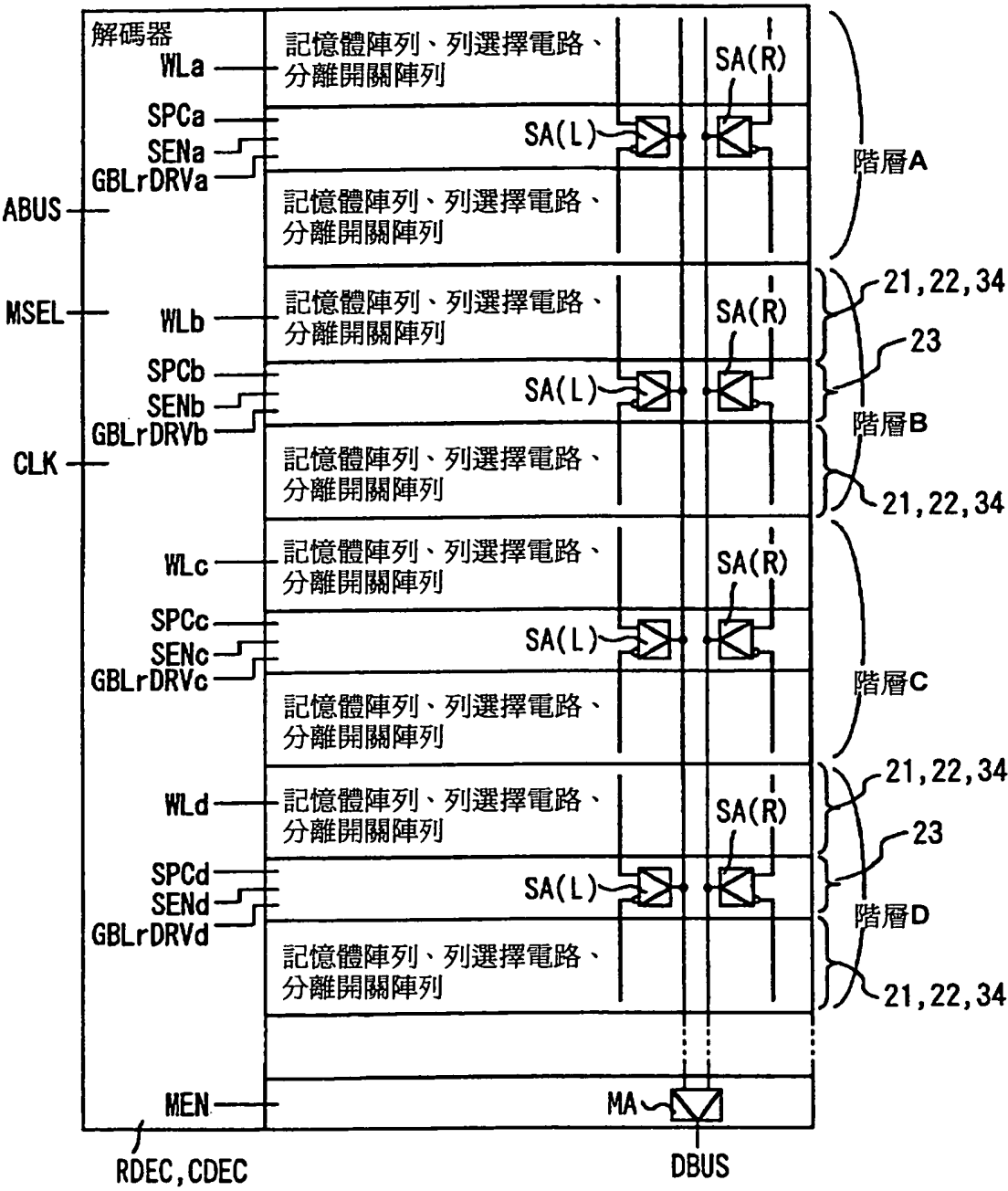
第17圖



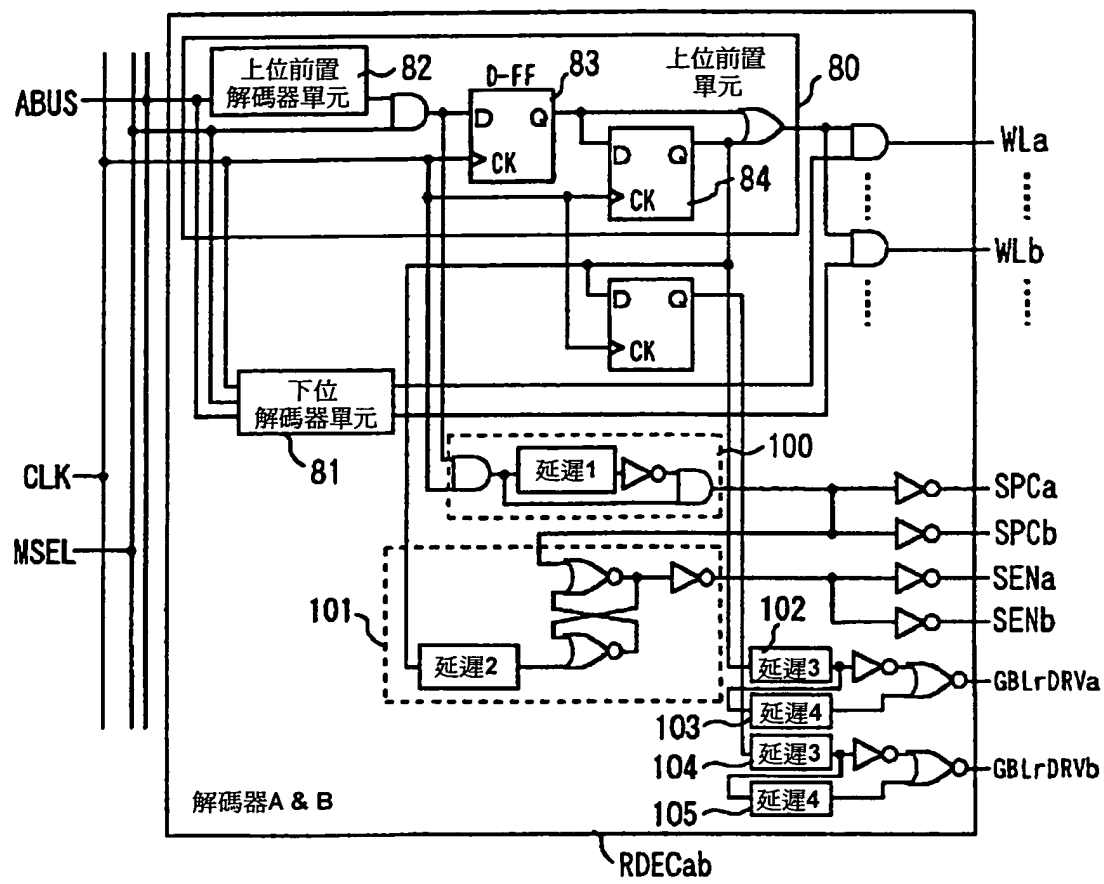
第18圖



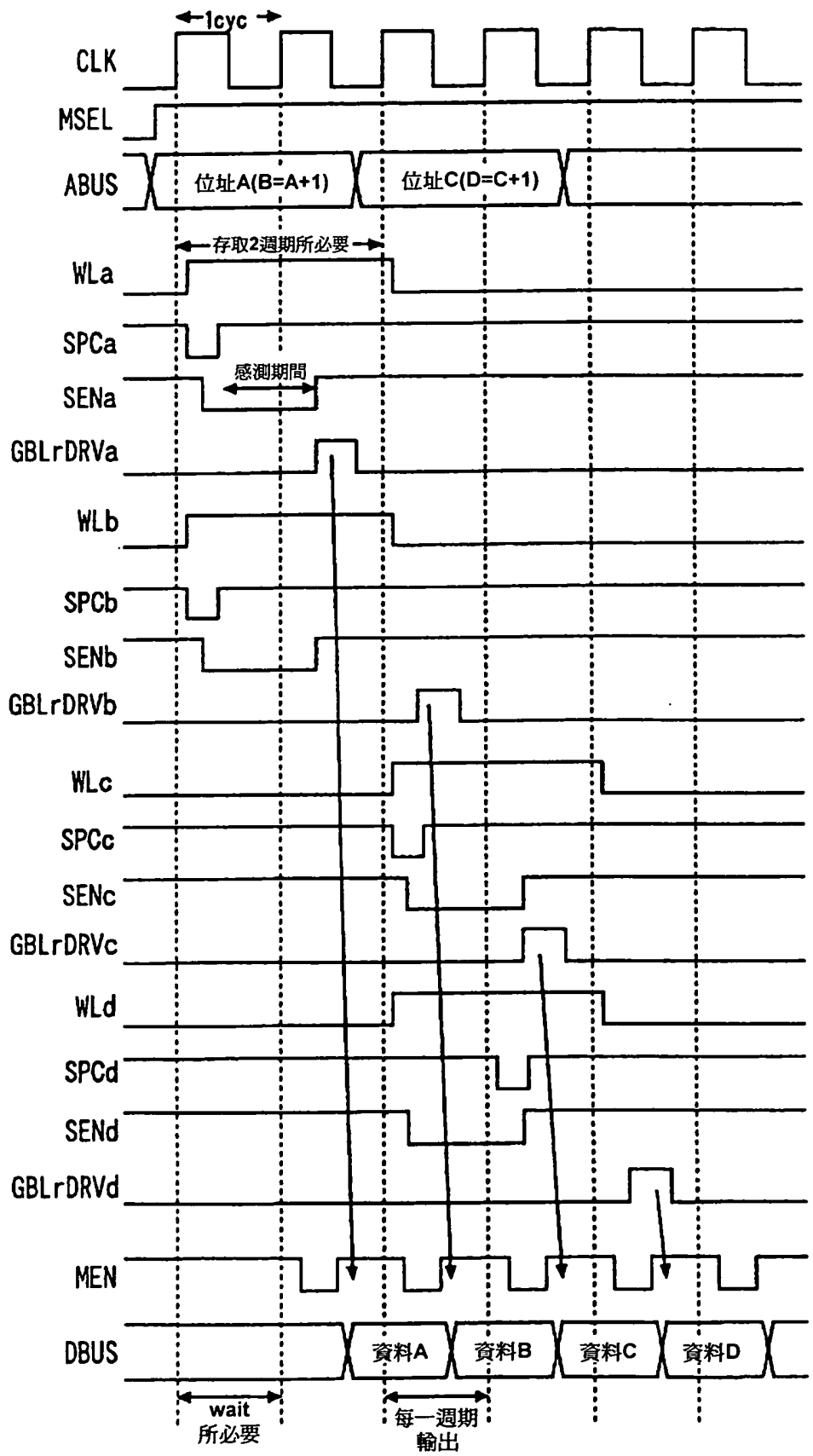
第19圖



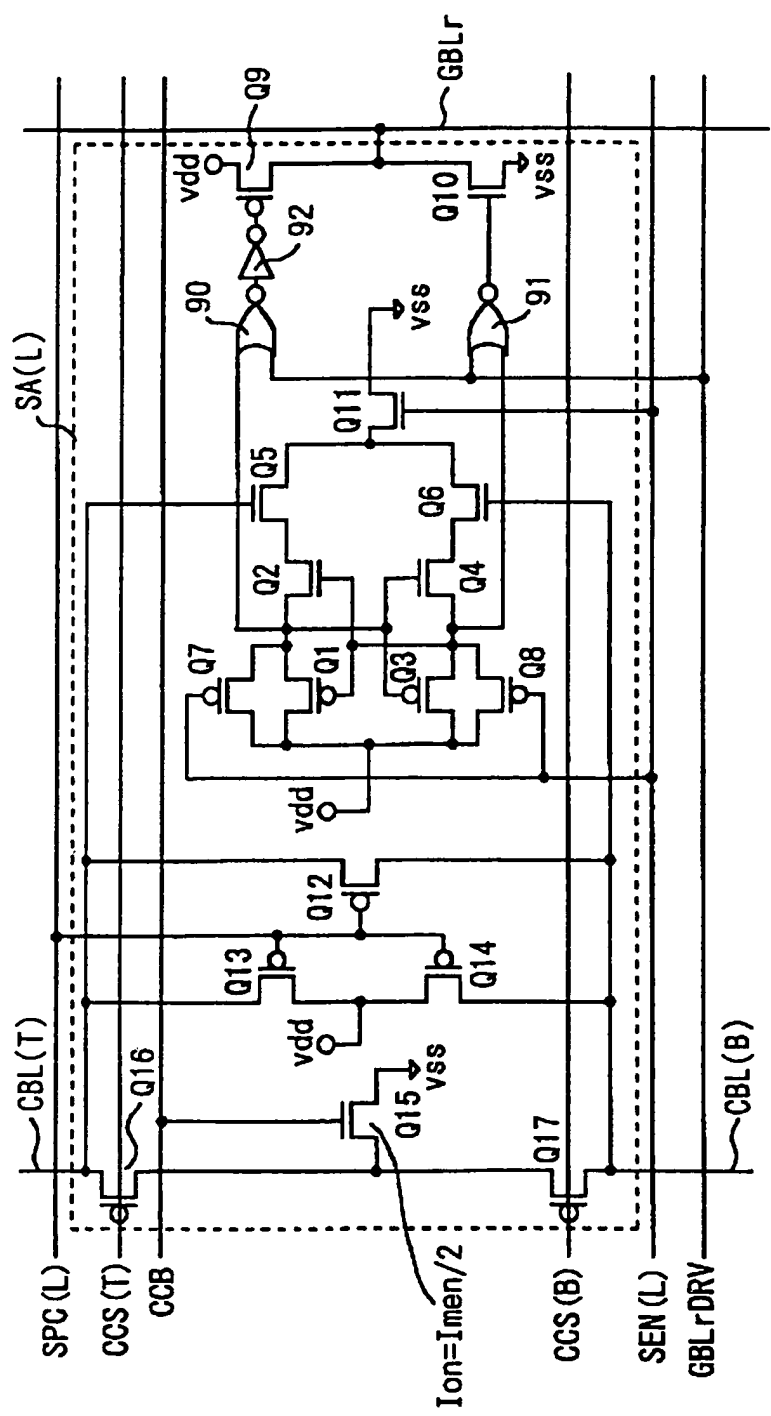
第20圖



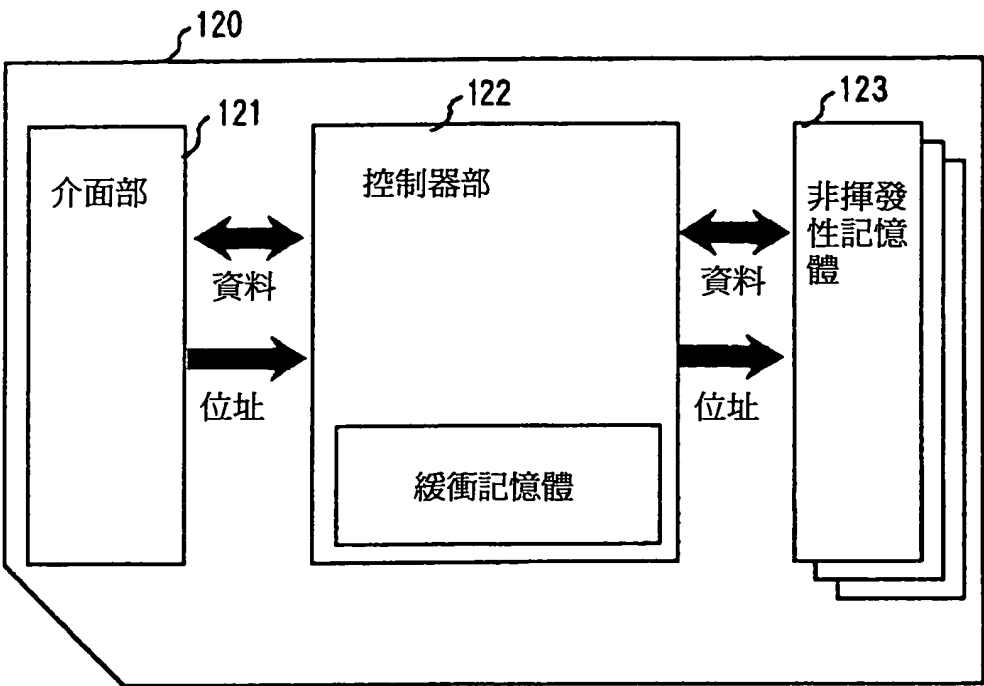
第21圖



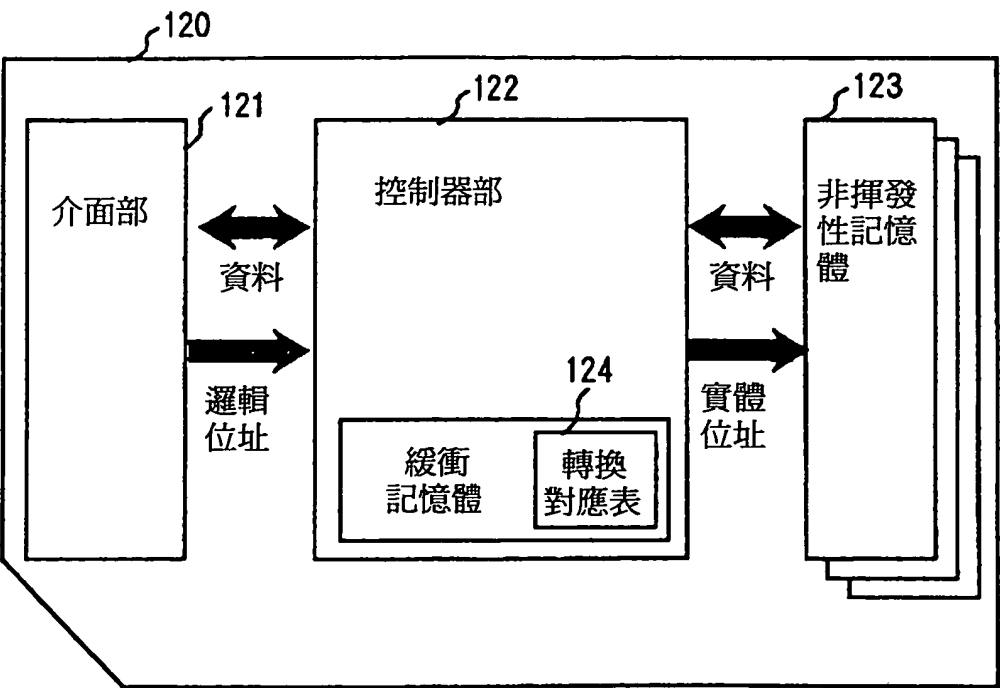
第22圖



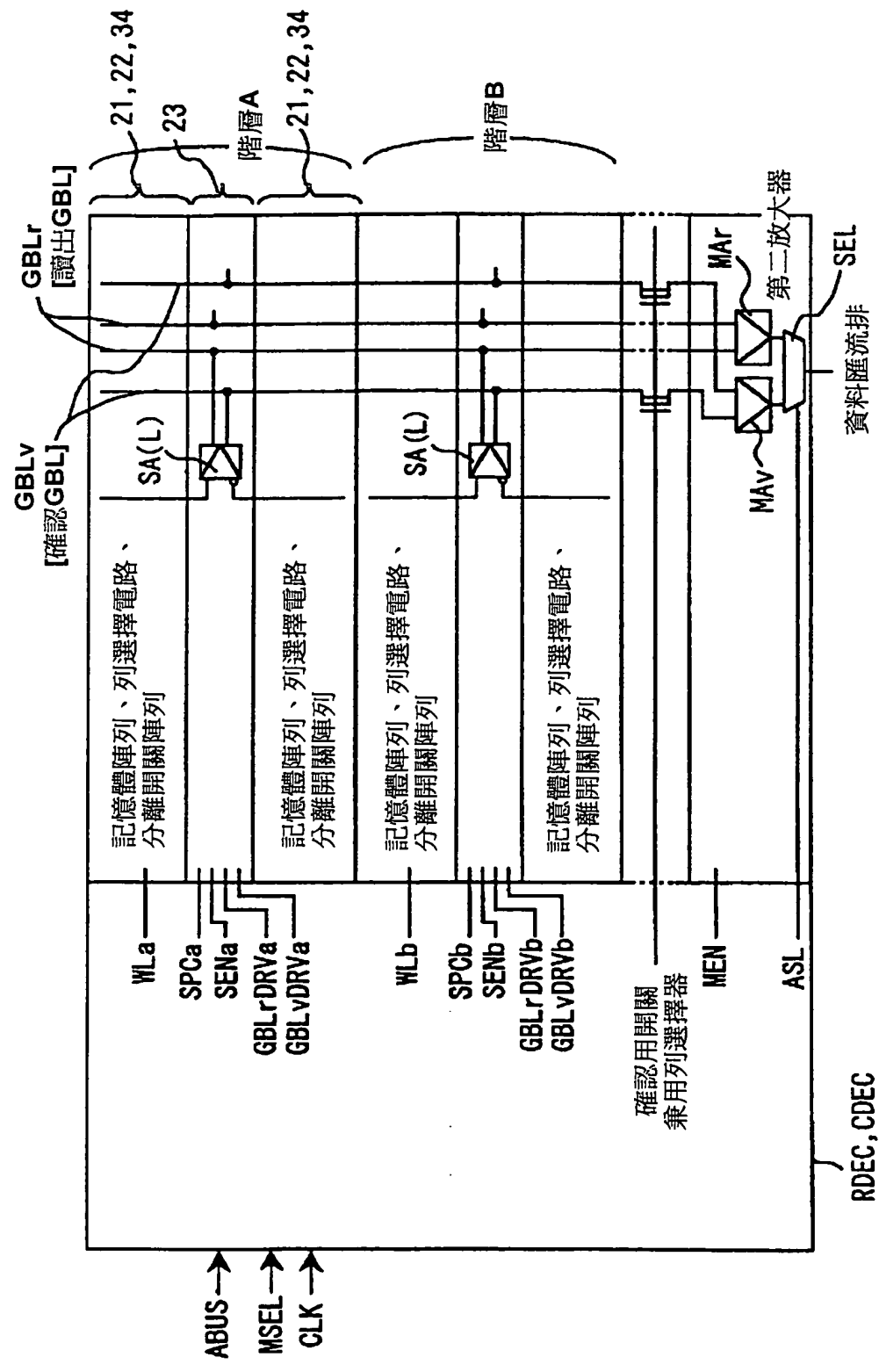
第23圖



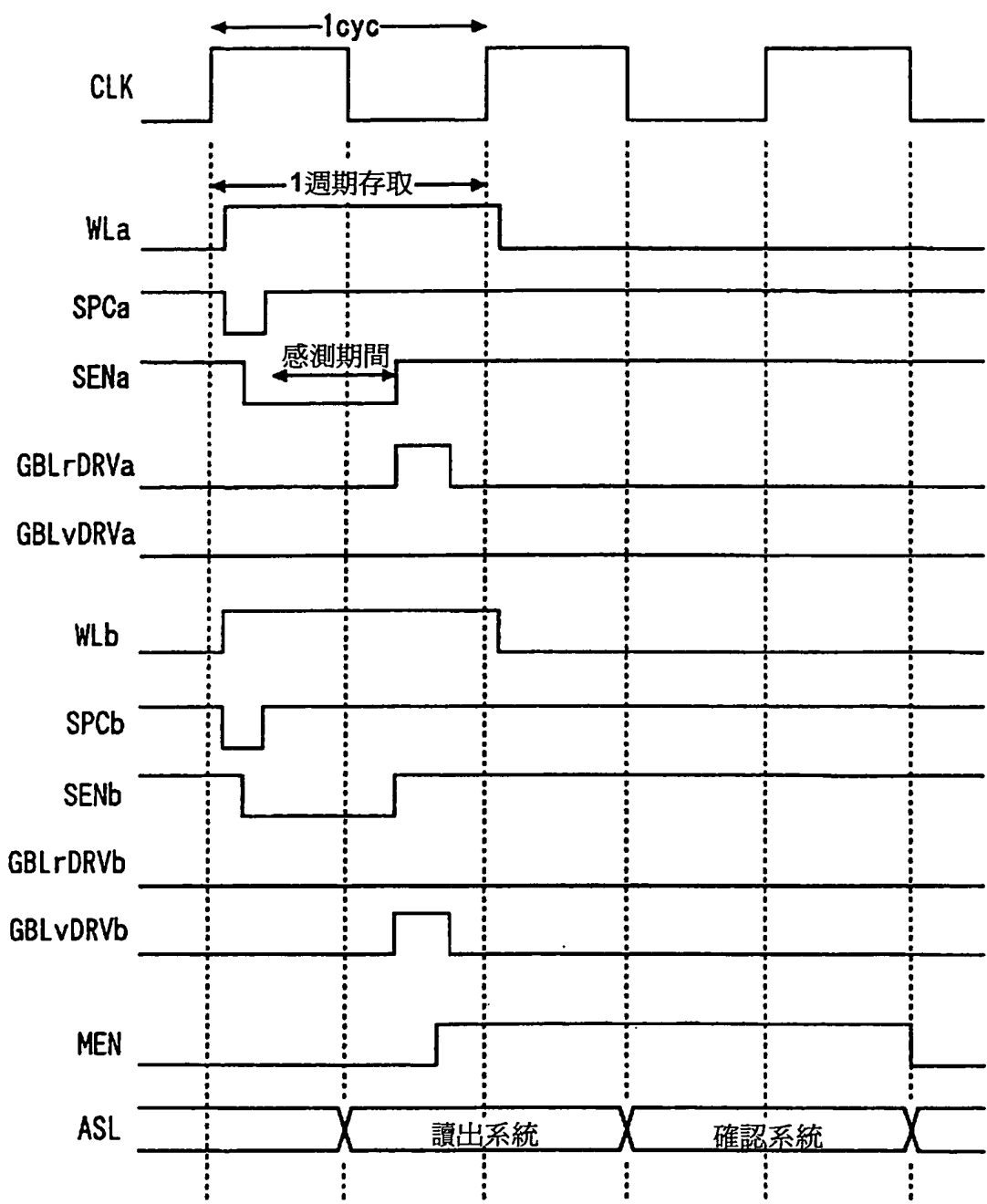
第24圖



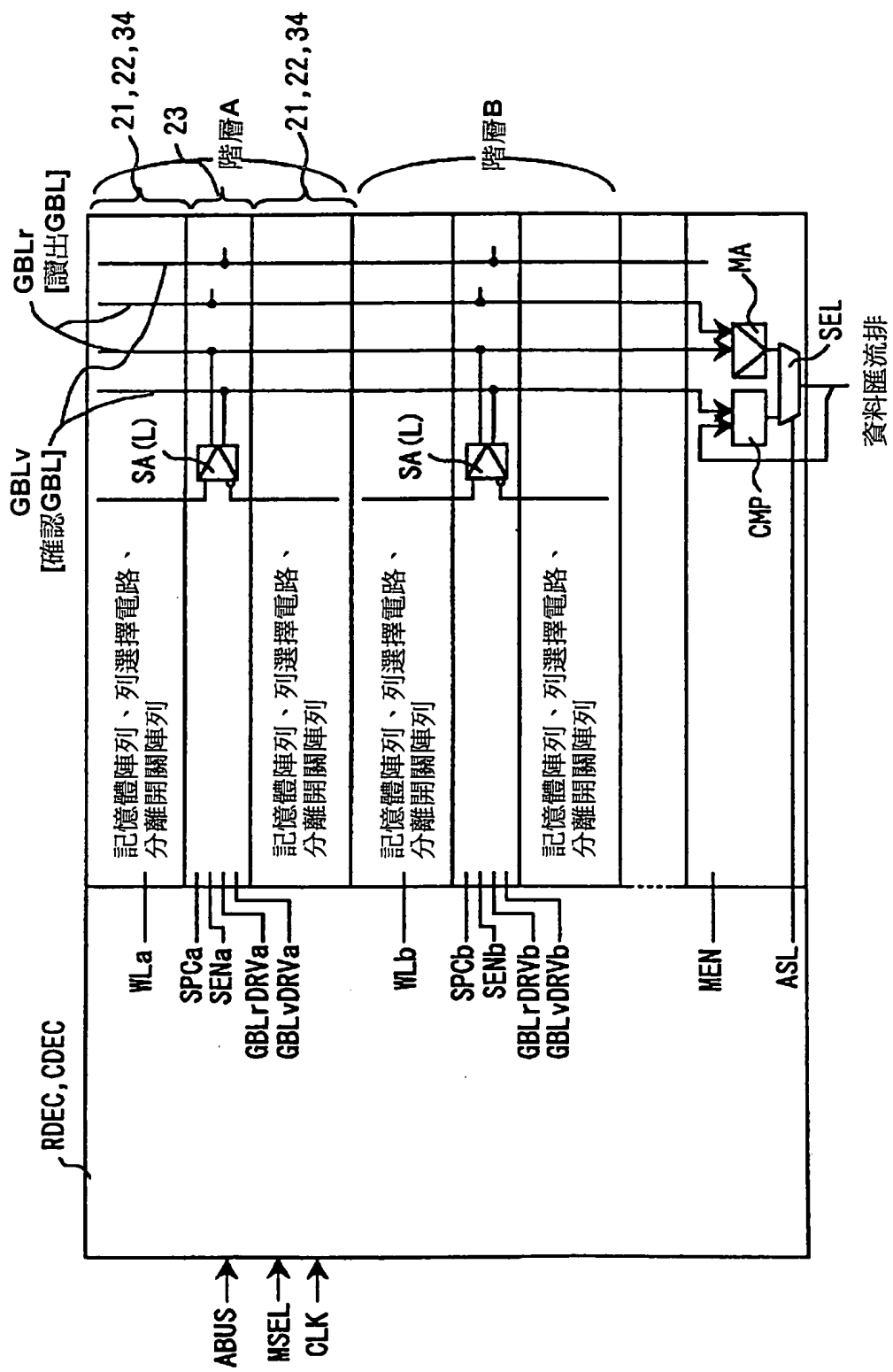
第25圖



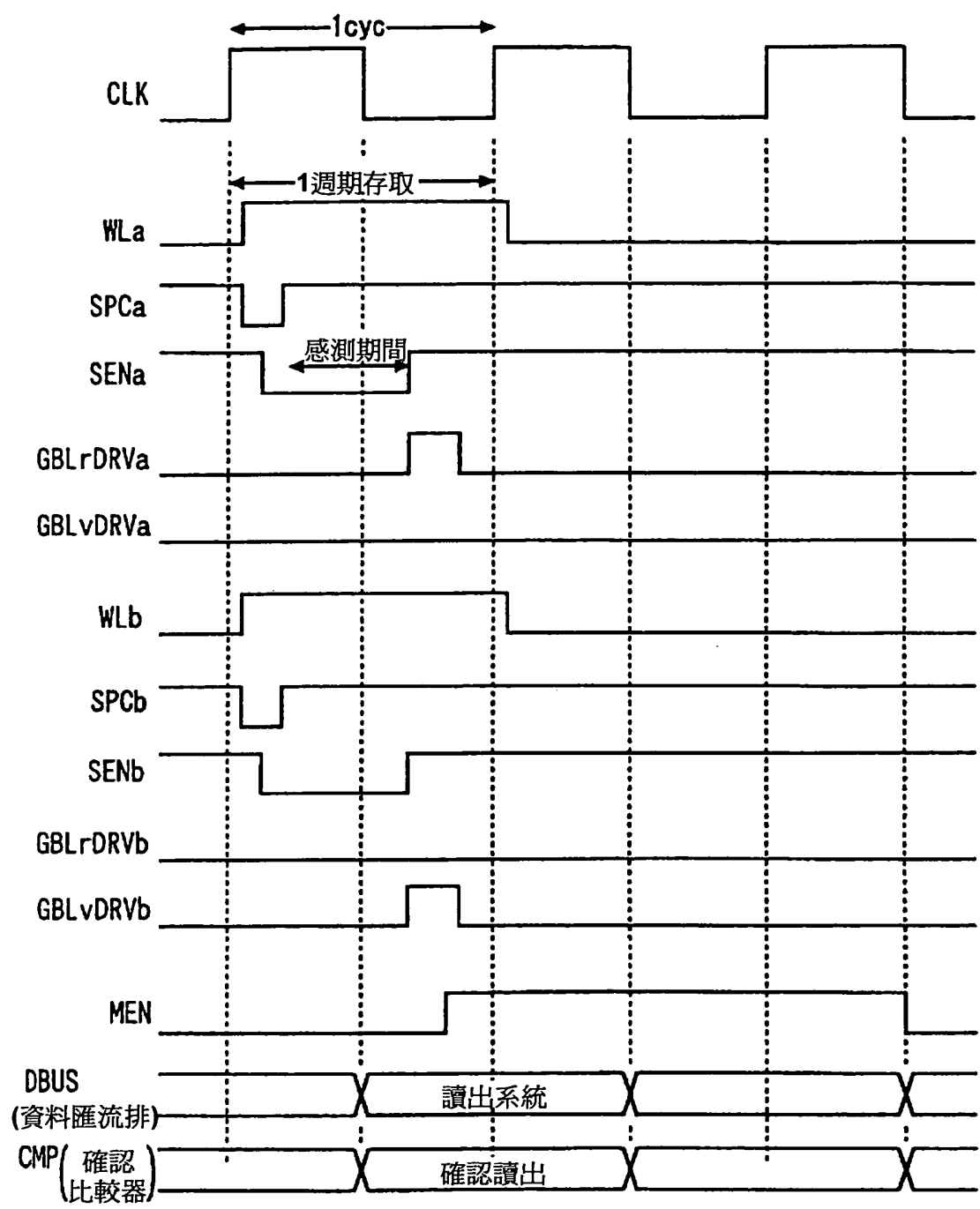
第26圖



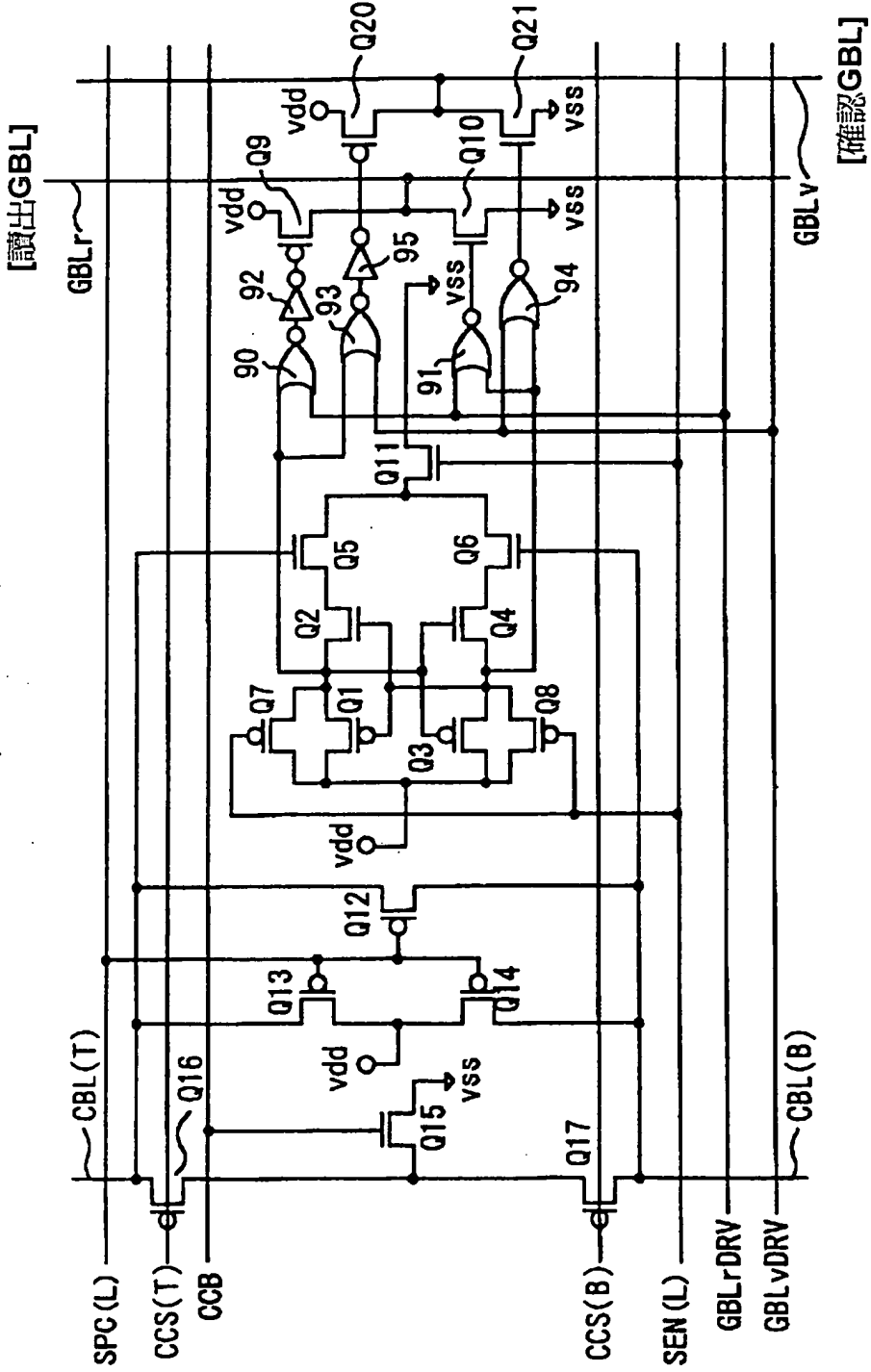
第27圖



第28圖



第29圖



柒、（一）、本案指定代表圖為：第 2 圖

（二）、本代表圖之元件代表符號簡單說明：

9：快閃記憶體	20：記憶體墊
21：記憶體陣列	22：列選擇電路
23：感測放大器陣列	25：行解碼器
26：列解碼器	28：寫入電路
29：資料門鎖電路	30：資料選擇器
31：確認用放大器	32：控制電路
ABUS：位址匯流排	BL：位元線
DSW：分離開關	GBLr：讀出主位元線
GBLw：寫入位元線	MC：非揮發性記憶體

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無