(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G11C 16/02

(45) 공고일자 2001년09월17일
(11) 등록번호 10-0292543
(24) 등록일자 2001년03월24일

(21) 출원번호 10-1994-0003576
(22) 출원일자 1994년02월26일

(65) 공개번호 특1994-0022568
(43) 공개일자 1994년10월21일

(30) 우선권주장 93-43566 1993년03월04일 일본(JP)

(73) 특허권자
가부시끼가이샤 히다치 세이사꾸쇼
가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
사사키도시오
일본국도오쿄오토니시타마군미즈호마치이시하타1878-3
다나카도시히로
일본국도오쿄오토아키가와시니노미야2273-5
가토오마사다카
일본국도오쿄오토무사시노시쿄오난죠오5-2-13 B 201

(74) 대리인
강용복
특허법인 원전 임석재

심사관 : 이철희

(54) 불휘발성메모리장치

요약

소거와 라이트, 즉 불휘발성 메모리장치의 재라이트를 저소비전력과 고속도로 동작시키기 위해서, 복수의 메모리 불럭의 각각은 적어도 섹터와 같은 메모리 용량을 가지는 바퍼 메모리에 접속되는 복수의 불휘발성 메모리들을 각각 포함하는 복수의 섹터와, 섹터에 해당하는 바퍼메모리와 내부 어드레스에 해당하는 섹터사이의 데이터의 재라이트와 리이드를 제어하기 위한 타이밍신호와 외부어드레스에 따른 섹터를 선택하기 위한 타이밍과 내부 어드레스를 생성하는 리이드/라이트 회로로 구성되고, 리이드/라이트 회로는 서로 쉬프트된 타이밍에서 섹터를 선택하고 데이터를 재라이트하기 위해서 선택된 섹터의 데이터를 소거 또는 라이트한다.

대표도

도 1

명세서

[발명의 명칭]

불휘발성 메모리 장치

[도면의 간단한 설명]

제1도는 본 발명의 비휘발성 메모리 장치의 소거 및 라이트를 나타내는 모식적 불럭도,

제2도는 종래기술에 관한 비휘발성 메모리 장치를 나타내는 블럭도,

제3도는 본 발명을 설명하기 위한 타임 시켄스,

제4도는 본 발명을 설명하기 위한 타임 시켄스,

제5도는 본 발명을 설명하기 위한 타임 시켄스,

제6도는 본 발명을 설명하기 위한 타임 시켄스,

제7도는 본 발명을 설명하기 위한 블럭도,

제8도는 본 발명을 설명하기 위한 블럭도,

제9도는 리이드/재라이트 회로의 동작의 플로워 차트,

제10도는 다른 섹터의 재라이트 전류의 파형도,

제11도는 본 발명을 설명하기 위한 블럭도이다.

〈도면의 주요부분에 대한 부호의 설명〉

2 : 메모리장치 4 : 장치제어회로

6 : 외무메모리제어신호 8 : 외부어드레스신호

10 : 리이드/라이트회로 12 : 메모리블럭제어회로

14 : 메모리블럭제어신호 16 : 제1의 바퍼메모리제어회로

18 : 제1의 바퍼메모리제어회로 20 : 내부어드레스신호

22-1~22-8 : 메모리블럭 24-1~24-8 : 제1의 바퍼메모리

26-1~26-8 : I/O공통버스 28-1~28-8 : 데이터 버스

30-1~30-8 : 제2의 바퍼메모리 34 : 제2의 바퍼메모리제어신호

36 : 공통버스제어부 38 : 외부 I/O신호

42 : 그외의 제어회로 44 : 제2의바퍼메모리제어회로

50 : 메모리블럭군 51 : 제1의 바퍼메모리군

52 : 제3의 바퍼메모리 53 : 제2의 바퍼메모리군

54 : 제3의 바퍼메모리제어회로 56 : 제3의 바퍼메모리제어회로

102,104,106,108,110 : 선택된 섹터 E : 소거동작기간

W : 라이트동작기간 t1~t9 : 섹터활성화시간

AD : 어드레스 및 라이트데이터의 전송동작기간

ø1 : 제1의 바퍼메모리 제어회로의 활성화신호

ø2 : 제2의 바퍼메모리 제어회로의 활성화신호

ø3 : 제3의 바퍼메모리 제어회로의 활성화신호

[발명의 상세한 설명]

본 발명은 반도체 메모리에서 전기적으로 소거가능한 프로그램어블 리이드 오운리 메모리(EEPROM)에 관한 것으로 특히 고속의 소거, 라이트에 적합한 불휘발성 메모리 장치에 관한 것이다.

제2도에 나타난 소거, 라이트에 사용되는 데이터 재라이트 방법을 채용한 종래의 비휘발성 메모리는 1989. 4. 13.에 등록된 미특허 07/337,566호에 해당하는 일본 특허공개 2-292798의 도면에 개시되어 있다. 칩상의 EEPROM셀의 어레이는 섹터로 구성되고 섹터에 포함된 전체의 셀은 일시에 소거된다. 즉, 메모리장치는 소거를 위해 칩 사이의 조합을 선택하여 부분적으로 이들을 일시에 소거한다. 그러므로, 이 장치는 전체셀이 매회 소거되던가 또는 하나의 섹터가 일시에 소거되는 과거의 장치에 비해 보다 빠르고 효과적으로 되어 있다.

본 발명의 목적은 종래기술을 분석하여 문제점을 확인하여 그 기술을 향상시키는데 있다.

상기 종래 기술의 문제점은 칩사이 걸친 복수의 섹터를 동시에 제거하는 것이다.

소거 또는 라이트에 요하는 전류는 불휘발성 메모리의 셀의 프로팅게이트에의 주입, 방출 현상에 의해 다르나, 예를 들면 터널 현상에 의한 전류에는 셀당 10nA정도이고, 동시 선택된 셀수가 1K 비트에서는 10mA로 된다. 그러나, 소거 또는 라이트시의 고전압 계전원, CMOS 논리회로 등의 구동회로를 고려하면 수 10μA로 크고, 장치 전체에서 복수의 칩이 동시 소거 또는 라이트를 활성화한 경우, 상당량의 전류로 된다. 이 때문에 장치는 소비전류의 증가에 의한 노이즈 증가, 발열 요인에 의한 신뢰성상의 문제가 생긴다. 또한, 1칩내의 복수섹터의 동시구동을 기본적으로 소거하는 셀 수가 증가하는 것에서 1섹터 구동과 큰 차가 없고, 복수의 칩에 걸친 섹터 구동에 비해서 소전류 증가로 되는 정도이다.

그러므로, 본 발명의 목적은 장치 전체의 소거 또는 라이트에서 흐르는 소비전류를 시간적으로 분산해서, 불휘발성 메모리장치의 소거, 라이트동작(즉 재라이트처리를 행한다)을 효율좋게 저소비 전력으로 고속화하는 것이다.

본 발명의 목적, 특성 및 잇점은 도면과 더불어 바람직한 실시예의 상세 설명으로 더욱 명확해진다.

본 발명의 일실시예에 의하면, 상기 목적은 다음과 같이해서 달성했다. 예를 들면, 제1도에 나타난 대로 제1의 바퍼 메모리(24-1~24-8)는 섹터(102,104,106)(3개의 섹터)의 각각의 용량과 적어도 같거나 바람직하기로는 같은 메모리 용량을 각각 가지며, 상기 섹터 용량은 비휘발성 메모리(50)의 데이터의 재라이트 유니트이다. 제1바퍼 메모리는 메모리 블럭(22-1~22-8)과 외부 I/O신호(38,I/100~I/07)로 외부단자(점선으로 나타낸 단일 회로의)를 통해서 접속되는 공통 버스제어(36)사이에 배치된다. 즉, 제1의 바퍼메모리의 메모리셀과 메모리 블럭의 하나의 섹터의 메모리셀은 일대일로 대응하여 데이터는 제1의 바퍼메모리를 통해서 리이드 또는 라이트된다. 불휘발성 메모리(50)의 소거 및 라이트 즉 재라이트하기 위해서는 메모리블럭 간에서 각각의 섹터의 활성 또는 지정을 섹터마다에 시간적으로 예를 들면 t_1에서 t_9의 쉬프트 타이밍으로 선택시켜, 제어된다.

제1도의 구조를 단순하게 나타내거나 또는 본 발명의 다른 실시예인 제7도에 의하면, 예를 들면, 제2바퍼 메모리(2nd BUF)(30-1~30-8)은 제1바퍼 메모리(24-1~24-8)와 외부 I/O 신호(38)사이에 배치된다. 이것이 한번에 2섹터분의 데이터가 전속 가능하게 되는 등 라이트 리이드의 실효적인 효율향상에 유효하다.

상술한 바와 같이 쉬프트 타이밍(t_1~t_9)에서 섹터선택의 제어에 대해서, 소거、라이트하는데 요구되는 시간은 메모리 블럭의 각섹터의 특성에 의해 섹터와 섹터에 따라서 다양하다. 그러므로, 최소 쉬프팅 시간은 하나이상의 섹터가 병렬로 동시 선택되어 활성화할 수 있는 메모리 블럭 수를 구하여서 메모리 장치(2)의 최대허용전류를 고려한 것이다.

이상에서, 본 발명의 불휘발성 메모리장치는 소거,라이트(즉, 재라이트 동작)의 제어가 최적으로 되어 고속화할 수 있다.

데이터의 재라이트는 각 메모리 블럭(22-1~22-8)의 섹터 사이에서 쉬프트 타이밍(t_1~t_9)에서의 섹터를 선택함으로써 효과적이다. 이 경우에 있어서, 외부 어드레스(8)의 수취상에 메모리장치(2)가 현동작 모드로서 제거할 수 있는 외부 어드레스에 해당하는 섹터인가 아닌가를 판정한다. 섹터가 소거될 수 있다고 판정되며, 섹터는 실제로 소거된다. 재라이트중의 섹터수(이전 및 새로 지정된)가 많으면, 동시 병렬 재라이트가 설정된 메모리 장치의 최대허용전류를 초과해서, 재라이트가 불가능한 경우 일시 멈추어서 전의 처리중의 섹터 완료를 기다린다. 그 완료후에 해당섹터의 재라이트가 행해진다. 병렬로 일시에 재라이트되는 메모리 블럭이 재라이트 가능한 현범위 내에 메모리 블럭수가 있는한 프로그램이 다음의 섹터 소거를 행하게 된다. 블럭수의 범위가 초과하는 경우는 입력된 어드레스의 순서에 따라서, 라이트도 멈추게 된다. 이와 같이, 본 발명의 불휘발성 메모리장치에서는 메모리블럭의 각 섹터를 타이밍 시간 쉬프트 선택하여, 소거, 라이트 제어하는 것에 의해, 소비전류의 증가를 억제하고 전체의 재라이트 시간을 단축하는 것이 가능하다.

한편, 제1의 바퍼메모리(24-1~24-8)와 제2의 바퍼 메모리(30-1~30-8)를 한번에 단일블럭의 두섹터분의 데이터를 전송가능하고, 예를 들면 제1바퍼(24-20)에서 블럭(22-2)의 소정의 섹터로 라이트데이터를 전송함과 동시에 공통 버스제어(36)에서 제2바퍼(30-2)로 라이트데이터를 전송 가능하다. 또한, 제1바퍼메모리(예를 들면 24-7)가 그 내용을 소정의 섹터로 전송함으로써 데어터를 라이트하면서, 같은 블럭(예를 들면 22-7)의 제2바퍼메모리(예를 들면 30-7)는 이 라이트 중에 리이드할 수 있다. 그러므로, 쉬프트 타이밍에서 메모리 블럭(22-1~22-8)사이의 섹터를 선택함으로써 효과적으로 각 블럭의 2개의 바퍼 메모리를 제어하고 종래에 존재했던 빈시간을 이용해서 동작속도를 증가시키는데 효과적이다.

메모리블럭(22-1~22-8)은 메모리 보드, 메모리카드 또는 메모리모듈의 형태간의 데이터로서 저장되는 전기적으로 라이트 가능한 불휘발성 메모리로 구성된다. 장치 리이드/라이트 제어회로(4)는 메모리장치(2)의 메모리블럭(22-1~22-8)의 리이드 또는 재라이트(즉, 리이드, 소거 및 라이트)를 제어한다. 클럭 또는 메모리 제어신호(6)와, 리이드/라이트제어신호와 같이 하나 이상의 외부 타이밍 신호는 예를 들면 마이크로 컴퓨터(도시되지 않음)에서 보내온다. 리이드/라이트회로(R/W CKT)(10)는 외부 어드레스 신호(8)과 외부 메모리 제어신호(6)에 의거해서 메모리 블럭(22-1~22-8)의 내부 어드레스를 생성해서 리이드 및 재라이트를 제어한다. 어드레스 레지스터(R)(40)는 메모리블럭과 섹터를 선택하는 내부 어드레스를 저장한다. 내부 어드레스 신호(20)는 메모리 블럭(22-1~22-8)으로 공급된다. 메모리 블럭 제어회로(MBC)(12)는 메모리 블럭 제어신호(14)를 출력함으로써 분리되는 메모리 블럭(22-1~22-8)을 제어한다.

제1메모리 바퍼 그룹(51)은 제1바퍼 메모리(24-1~24-8)로 구성된다. 데이터가 메모리 블럭 그룹(50)의 메모리블럭(22-1~22-8)로 라이트되면, 제1메모리 바퍼 그룹(51)의 제1바퍼 메모리(24-1~24-8)은 만약 섹터가 512바이트용량(8비트/바이트 ×512바이트 = K비트)을 가지면 4K비트의 라이트 데이터가 제1바퍼 메모리 중의 하나를 가질 때까지 데이터를 일시적으로 보지한다. 바퍼 메모리는 메모리블럭의 섹터의 재라이트가 시간내에 쉬프트되면 라이트 데이터 저장영역으로 이용된다. 제1의 제1바퍼메모리의 전체용량은 32K비트(8 제1바퍼 메모리 × 제1바퍼메모리당 4K비트)이다. 제1바퍼 제어회로(FBC)(16)는 제어신호(18)로 제1바퍼 메모리(24-1~24-8)를 제어하고 제2바퍼 제어회로(SBC)(44)는 제어신호(34)에 의해 제2바퍼 메모리(30-1~30-8)를 제어한다.

라인(26-1~26-8)은 내부 I/O버스이고, 라인(28-1,28-8)은 메모리 블럭과 제1바퍼 메모리 사이의 데이터버스이다. 공통 버스제어(36)는 제어회로(4)에서의 제어신호(36a)에 의해 제어되어서 공통 버스제어는 외부 I/O신호(38)를 내부 I/O버스(26-1~26-8)로 연결한다. 타이밍(t1~t4,t9)는 각 섹터가 활성화되는 곳에서의 시간을 나타낸다. 즉, 섹터가 소정 시간 또는 랜덤시간에서 활성화 되는 것을 나타낸다. 제어회로(16) 또는 (44)의 활성화 신호($ø_1$) 또는 ($ø_2$)는 제어신호(18) 또는 (34)를 제1또는 제2바퍼 메모리(24-1~24-8)또는 (30-1~30-8)를 활성화하고 그 동작 타이밍을 판정한다. 제1바퍼 메모리(24-1~24-8)의 출력은 제어신호(18)에 의해 3상태로 바뀔때, 내부 I/O공통버스(26-1~26-8)가 직접 외부 I/O신호(38)에 연결되고, 공통버스제어 유니트(36)가 제거된다.

소거와 라이트는 상기 실시예의 메모리장치(2)의 데이터의 재라이트이다. 재라이트는 먼저 지정된 섹터의 메모리 셀의 내용을 지움으로서 행해지고 계속해서 제1바퍼 메모리(24-1~24-8)의 적합한 하나의 데이터를 지정된 섹터의 막 소거된 메모리셀의 각각에 라이트한다. 이러한 라이트는 메모리셀의 각 플로팅 게이트로 전자나 전공을 주입하므로 고전압이 요구된다. 라이트용의 고전압인가 시간은 리이드시간에 비해서 장시간으로 된다. 이 때문에 리이드시간과 라이트시간은 약 2-3행의 크기의 시간차가 생긴다. 이 재라이트시간이 긴것이 메모리장치에 불휘발성 메모리를 사용상의 하나의 결점으로 된다.

이 실시예에 있어서 시간 쉬프트 재라이트 동작이 행해져서, 종래의 일력 재라이트 동작과 다르게 어떤 섹터가 소거되면서, 다른 섹터가 순차적으로 라이트(병렬 소거 및 라이트)된다. 본 발명의 병렬 동작은 상술의 종래 기술과 비교하면 직렬로 소거와 라이트는 섹터의 각각에 순차적으로 미치고, 라이트가된 후에 한번에 복수의 칩의 복수섹터가 소거되는 방법과 비교된다.

제1도에서는 소거/라이트 동작이 한번에 어드레스 메모리 블럭의 t3에서 시작하는 여러개 섹터를 순차적으로 또는t1, t2,t9또 t4에서 하나의 섹터에서 행해진다. 또 t1~t4,t9는 지정된 섹터가 소거된 후 섹터가 재라이트 되는 시간 순서를 나타낸다.

종래방법으로 재라이트가 실행될 때, 요구되는 재라이트 시간이 섹터가 일렬로 재라이트 되는 시간에 해당한다. 그러나, 본 실시예에서는 복수의 섹터가 쉬프트 타이밍에서 선택되고 소정시간 내에 병렬로 재라이트된다. 이러한 방법에 의해서 재라이트된 복수의 섹터가 레지스터(42)내의 외부 어드레스의 수신에 앞서서 제공되고, 그후 리이드/라이트회로(10)는 이 외부 어드레스를 어드레스 레지스터(40)에 저장하고 섹터는 쉬프트타이밍에 소거된다.

그후 섹터는 쉬프트타이밍에서 순차적으로 라이트된다. 이 경우에 있어서, 라인(8)상의 외부 어드레스와 함께 제1바퍼 메모리(24-1~24-8)로 입력 데이터(제9도 스텝100)가 메모리 블럭(22-1~22-8)에 대해 제어신호(18,20,14,36a)의 소거, 라이트 타이밍과 동기한 상대적으로 확장된 쉬프트 타이밍에서 블럭(22-1~22-8)으로 보내지도록 한 타이밍이다. 또 상기 어드레스 레지스터(40)에서는 소정의 섹터 이외의 섹터 선택을 금지하기 때문에 실행되는 다음 어드레스를 저장하기 위한 FIFO레지스터(42)가 제공된다. 이러한 FIFO레지스터는 다음에 재라이트되는 섹터의 다음 어드레스를 저장 가능하므로서 소거 및 라이트의 처리시간을 단축한다. 어드레스 레지스터(40)에서는 쉬프트 타이밍을

판정하고 실행되는 내부 어드레스와 그로부터 실행되는 내부 어드레스를 식별하기 위한 각 어드레스에 대해 적어도 하나의 플래그 비트가 배당된다. 또한 플래그비트는 라이트 또는 소거되는 어드레스 레지스터(40)내에 보지되는 섹터어드레스에 의해 제9도의 스텝(100)에서 사용되고 이것이 섹터가 완전히 소거 또는 재라이트되어 있는지를 판정하게 된다. 또 해당 섹터 이외의 소거 또는 라이트 엑세스를 금지하는 신호로해서 사용해도 좋다. 라이트를 메모리블럭(22-1~22-8)으로부터의 소거 또는 라이트완료신호 또는 리이드/라이트회로(10)그자신에 의해 순차적으로 제어된다.

스텝(100)의 외부어드레스(8)의 입력상에 확실히 제9도에 나타난 바와 같이 소거 또는 라이트되는 섹터수가 너무 큰가 아닌가에 따라서 즉시 소거될 수 있는 외부어드레스(8)에 해당하는 섹터인가 아닌가 스텝(110)에서 판정된다. 즉 동시 병렬 재라이트(소거 및 라이트)용의 전전류가 장치(2)의 I MAX인 현재의 허용전류를 초과한다. 따라서 처리되는 어드레스 해당하는 섹터의 소거의 YES가 허가되지 않으면 동작은 대답이 NO일 때까지 몇개 다른 섹터의 이전의 시작된 재라이트가 반복으로 스텝(110)으로 돌아 감으로써 완료될 때까지 일시적으로 대기상태로 된다. 소거 동작 후에 해당 섹터의 라이트가 행해진다. 동시에 병렬로 재라이트되는 섹터수는 스텝(110)의 전류에 의해 제한된다. 그러므로 섹터수가 제한을 넘으면 프로그램 동작을 입력되는 어드레스의 순서에 따라서 대기한다. 상술한 바와 같이, 불휘발성 메모리장치(2)는 소거 및 라이트를 제어하는 쉬프트 타이밍에서 메모리블럭의 섹터를 선택한다. 그러므로, 전류소비가 억제되어 라이트시간이 단축된다. 이와 같이 플래그 비트는 라이트동작의 관리비트로해서 참조, 갱신된다.

쉬프트 타이밍 선택에 의거해서 섹터 지정제어는 재라이트용(즉, 소거와 라이트)전류가 복수의 불휘발성 메모리 블럭이 스텝(12)에 의해 판정된 대로 병렬로 동작할 때 전류의 허용범위(스텝 110에서 판정)내의 조건아래서 실행된다. 즉, 장치의 고속 동작은 불휘발성 메모리 블럭의 전전류가 최대 제한 아래로 있도록한 병렬 재라이트의 최적 주파수에 의해 달성된다. 전전류는 주로 고 휘발성 회로를 기동하기 위한 것이고, 메모리 블럭을 재라이트하고, 소거 및 재라이트 회로의 충방전용이고, CMOS논리 회로를 기동하기 위한 것이다. 그러므로, 쉬프트 타이밍에서 재라이트제어는 동시에 피크전류가 흐르는 것을 피한다(제10). 소거 동작의 일부 주기에서 큰 전류가 흐르고 그외의 동작 주기에서는 저레벨의 전류로 되는 메모리 블럭은 상기 라이트 방법에 의해 제10도에 나타난 대로 그 큰전류가 흐르는 기간을 피하므로서 동시에 활성화되는 메모리 블럭수를 크게 할 수 있다.

예를 들면, 제10도에 도시된 대로, 장치의 허용전(全)전류는 200㎃이고, 소거하기 위한 피크전류는 단하나의 섹터(102,104,106,108,110중 하나의 섹터)용으로 100㎃(예를들면 전소거 시간 ET의 단지 약 15% 일어남)이고, 단하나의 섹터용으로 정소거전류는 20㎃(예를들면, 전소거 시간의 85%가 일어남)로 가정한다. 이 경우에 있어서, 피크 전류는 메모리 블럭의 섹터(108)가 t6가 100㎃된 후 짧게 소거하기 위해 선택된 때이고, 5개 블럭(102,104,106,106,106)용 전소거전류는 쉬프트타이밍선택 때문에 100㎃이다(소거시작은 섹터사이에서 전소거시간 ET의 약 15%로 쉬프트된다) 그러므로, 6개의 메모리블럭은 상기 동작에 의해 병렬로 소거되게 된다.(하나의 피크전류 및 5개의 정전류) 또한, 소거 및 라이트가 거의 같은양의 전류를 소비하지 않으면, 즉, 예를 들면 라이트가 큰전류를 소비하면 라이트용으로 활성화되는 메모리 블럭 수는 소거용으로 활성화된 수 이상으로 제한된다. 섹터를 소거 및 라이트하는데 요구되는 시간은 서로 다르고, 쉬프트 타이밍 소거 및 라이트 재라이트는 활성전전류가 허용범위내이고, 병렬로 재라이트되는 블럭 메모리수가 최적수이하인 조건 아래서 실행된다. 또한, 최소 쉬프트 시간은 동시에 병렬로 선택 활성화되는 메모리블럭의 수에 의거해서 계산되고, 장치의 최대허용전류가 고려되어 판정된다.

상술의 종래 기술의 장치는 메모리 블럭의 각각의 재라이트 속도는 소거 및 라이트동작에서 섹터는 512바이트이고, 하나의 섹터의 소거시간은 10㎳이며, 라이트시간은 5㎲/바이트이고, 8개의 제1바퍼 메모리가 있으며, 모든 제1바퍼 메모리는 항상 매번 억세스된다는 가정으로 계산된다. 이러한 종래 방법에 의해 불휘발성 메모리의 재라이트은 섹터당 약 12.56㎳가 걸린다(=10㎳ + 5㎲ X 512).

이러한 실시예의 쉬프트 타이밍 재라이트 동작에서는 4개의 메모리가 일시에 피크전류가 흐르는 것을 방지하는 정도로 쉬프트 된 타이밍에서의 정전류 상태 아래서 소거되면, 평균 재라이트 속도는 종래 메모리보다 2배이상 빠른 약 5㎳/섹터=(10㎳ X 8/4 + 5㎲ X 512 X 8)/8)이다. 속도는 바퍼 메모리가 더 제공되면 증가하게 된다. 같은 섹터를 라이트 하는데는 데이터가 해당의 제1바퍼 메모리내에 존재하고 그래서 재라이트주파수(즉 소거 및 라이트)가 감소되게 된다.

한편, 소거라이트된 섹터의 어드레스는 어드레스 레지스터(40)에 의해 일시적으로 보지되고, 소거라이트는 외부 어드레스에 의해 비동기로 실행되거나 외부 어드레스(8)는 그 스스로 내부 어드레스(20)로 사용되고 외부어드레스(8)가 공급되는 타이밍으로부터 상대적으로 쉬프트된 타이밍에서 메모리블럭으로 공급된다.

바퍼 메모리의 또 다른 역할에 관해서는 외부 어드레스가 입력되고 데이터가 유사하게 입력될 때 조차도, 그를 처리는 FIFO레지스터(42)와 어드레스 레지스터(40)내에서 어드레스 저장과 제1바퍼 메모리(24-1~24-8)의 데이터 바퍼링에 의해 순서대로 완료되며 재라이트는 입력 타이밍의 독자의 속도로 실행된다. 상술한 바와 같이, 제1 및 제2바퍼메모리의 용량은 메모리 블럭의 섹터의 그것과 같다. 많은 양의 어드레스와 데이터가 재라이트용으로 먼저 입력될 때, 다음과 같은 사항이 고려된다 : 어드레스 레지스터의 용량과 바퍼 메모리 용량 및 제어의 증가, 불휘발성 메모리의 메모리셀을 재라이트에서는 섹터와 같은 용량을 가지는 데이터 랫치 회로의 사용이 각 섹터용으로 메모리셀을 라이트하고 라이트완료를 확신하고 즉, 라이트을 입증하기 위해서 필요로 한다. 이 경우에, 재라이트용의 쉬프트 타이밍 선택은 재라이트용 쉬프트 타이밍 선택은 데이터 랫치회로와 제1바퍼 메모리로서의 제1바퍼메모리의 결합 또는 제1바퍼 메모리로서 데이터 랫치회로 그자신을 사용하는 것이 효과적이다.

재라이트되지 않은 메모리 블럭의 섹터 내에 저장되는 데이터는 다른 블럭의 재라이트와 병행해서 리이드된다. 하나의 섹터의 내용에 대한 페이지 억세스는 같은 시간에 바퍼 메모리에서 보지되고, 순차출력은 통상의 어드레스 억세스인 각 바이트의 리이드에 첨부해서 이행시킬 수 있다. 재라이트 동작 중에 라이트 및 리이드는 다른 메모리 블럭의 섹터를 리이드 하는 중에 해당의 제1바퍼메모리의 라이트 데이터에 의거해서 메모리 블럭의 섹터를 재라이트 함으로써 동시에 효과적이다. 이러한 라이트 및 리이드를 제어하는 데는, 제1바퍼 메모리내에 라이트된 셀의 리이드데이터가 통상 메모리에서 고속도로 전송되며 결과적으로 리이드동작을 재라이트 동작의 완료하도록 긴 시간을 대기할 필요가 없다. 재라이트 및 리이드는 동시에(병렬로)실행 될 때, 활성화되는 메모리 블럭수는 병렬재라이트 및 처리 중에 전류의 증가의 점에서 재라이트 동작같이 제어된다.

제1바퍼메모리는 라이트 또는 라이트전 또는 갱신후의 데이터를 보지함으로써 메모리블럭을 리이드하기 위한 캐쉬 메모리로 기능한다.

제3도에서, 주기(AD)는 에드레스의 전송 및 프로그램데이터의 전송용이고 E는 해당 메모리 블럭의 섹터를 소거하는 기간을 나타내고, W는 라이트 동작기간을 나타낸다(라이트 동작). 제3도는 불휘발성 메모리장치(2)의 메모리블럭(22-1~22-8)의 섹터 동작이 소거(E)의 동작과 재라이트 중 시간(t)의 통과에 의한 라이트(W)와 제9도의 해당의 타이밍으로 쉬프트되는 타임 스켄스를 나타낸다. 본 발명에 따른 재라이트 데이터의 타이밍은 제1,3,9도를 참조해서 설명한다.

시간(t_1)에서 시작할 때, 메모리 블럭(22-1)의 섹터(102)는 기간(AD) 동안 지정되고 기간(E)는 소거되며 그후 바퍼메모리(24-1)의 내용이 섹터(102)로 기판(W)내에 라이트(프로그래밍)된다(제9도의 스텝 100-150의 한번 반복). 시간(t_2)에서 시작하는 바퍼메모리(24-2)에 해당하는 메모리 블럭(22-2)의 섹터(104)는 기간(AD)에서 지정되며 기간(E)에서 소거되어, 시간(t2)는 스텝(1)의 적어도 AT의 고정지연에 의해 시간(t_1)으로부터 쉬프트되며, AT는 시간(W)의 기간과 같도록 설정되는 것이 바람직하며, 다른 섹터의 라이트 기간(W)을 포개지지 않고서 그후 기간(W)에 스텝(100-150)의 두번째 반복 동안에 라이트된다. 유사한 동작이 다른 메모리 블럭(22-3~22-8)에서 실행되며 기간(W)의 라이트동작의 각각은 제3도에서 점선 수직선의 나타난 바와 같이 스텝(180)때문에 포개짐이 없이 다른 메모리 블럭의 다른 섹터의 다른 라이트 동작에 영향을 미치게 된다. 섹터의 소거(E) 및 라이트시간(W)은 서로 다른 시간에 일어난다. 제1도에서 참조해서 설명된 어드레스 레지스터(40)에 추가된 플래그 비트는 제10도에 나타난 대로 섹터의 각각에 대한 기간(W)의 라이트의 피크 전류부의 완료가 스텝(150)에서 설정된다. 그후 이 설정 비트는 다음섹터의 기간(W)의 라이트를 시작하게 하고, 그 다음에 상술된 지연(△T)를 하게 비트를 리셋트를 시작한다. 스텝(130-150, 180)의 상기의 재라이트에 의해, 라이트중의 복수의 섹터의 일괄(병렬) 소거 및 라이트에 의해 일어나는 전류 집중이 분산에 의해 감해지고(기간(E) 및 기간(W)의 포개짐)그러므로 재라이트 동작은 고속으로 할 수 있게 된다. 또한, 지연(△T)은 각 개셀과 회로의 속도에 따라서 최대 속도을 얻는 다른 섹터에 대해 다양하게된다.

제4도는 제1도의 장치의 동작의 또다른 모드의 타임시켄스를 나타낸다.

제4도에서, 메모리 블럭(22-1)의 섹터(102)는 기간(AD)에서 지정되며, 기간(E)에서 소거되어 소정시간(t1)에서 시작되어 다음 세모리블럭(22-2)의 섹터(104)는 메모리블럭(22-1)의 섹터(102)의 완전 소거시간에 의해 시간(t1)에서 쉬프트된 시간(t2)에서 기간(E)동안 소거되기 시작한다.(상기 쉬프트, △T는 해당외부 어드레스를 수신하는 타이밍 내에 차이에 관해서 임의이다). 레지스터(40)에 부가되는 플래그 비트는 제4도의 섹터 전류와 제10도의 피크전류가 제3도에서 떨어진 바와 같이 스텝(150)에서 전류소거의 완료를 설정한다. 기간(AD)의 끝에서 메모리어레이(종래 내부 어드레스를 해독하여 어레이로 전송)내의 어드레스 설정은 다음 섹터의 소거의 시작을 할 수 있고, 스텝(140)에서 플래그비트의 리셋트를 시작한다. 그러므로, 이전에 활성화된 섹터(102)의 기간(W)내에 라이트이 제4도의 시간동안 다음섹터(104)의 기간(E)에서 소거로 겹쳐진다. 또한, 재라이트 어드레스와 재라이트 데이터는 어드레스 레지스터(40)와 섹터(102)의 제1바퍼메모리(24-1)에 각각 저장된다. 라이트 시간(W)이 특정 섹터가 포함된 특성에 의해 길어질때, 제3도의 동작에서 다음섹터의 라이트 기간(W)과 겹쳐지지 않도록 제어된다. 한편, 소거기간(E)은 하나의 메모리 블럭에서 하나이상 섹터에 항상 영향을 미친다. 이것이 큰전류가 메모리 블럭을 소거하는 시간에 흐르는 경우에 잇점을 가지고, 적어도 소거기간(E)와 라이트기간(W)을 소거하는 병렬동작이 실행되나, 일괄(병렬)소거는 방지되어서 종래 방법보다 빠른 재라이트 동작을 하게 된다.

재라이트 동작이 메모리 장치(2)에 요구될 때 또다른 타이밍 모드가 제5도에 나타난대로 채용된다. 메모리 블럭(22-1)의 제1지정 섹터(102)는 시간(t)에서 제1지정과 소거를 시작한다. 섹터(102,104,106,109 등)의 이러한 재라이트는 어드레스 레지스터(40)에 저장되는 해당 복수의 재라이트 어드레스와 제1바퍼 메모리(24-1~24-8)내에서 저장되는 해당 데이터에 의해 제어된다. 재라이트는 각 어드레스에 대해 어드레스 레지스터(40)내에 있는 플래그 비트에 의거해서 각 타임(t1,t2,t3,t4,t5)에서 각 섹터가 시작된다. 모든 소거는 어드레스 레지스터(40)의 플래그버트와 소정 셋트수 내에서 순차적으로 효과가 미친다. 그 다음 소거의 소정수가 이루어진 후, 장치는 라이트동작을 행한다. 그러므로, 소거와 라이트사이에서 교대되는 회수는 본장치에서 감소하며, 전원의 스위칭, 즉 소거와 라이트에 필요한 전원의 셋엎 및 셋다운이 소정수의 섹터의 모든 소거 및 라이트에 단지한번 효과를 미친다. 제5도는 5개의 섹터(즉 소정수의 섹터)를 재라이트하는 예를 나타내고 메모리 블럭(22-1)은 시간(t1)가 시작되는데서 지정 및 소거 된후 메모리 블럭(22-2,22-4,22-8)은 이런 순서로 지정되며 소거된다; 그후 메모리 블럭(22-2)는 다시 선택된다. 여기서, 메모리 블럭(22-2)을 소거하는 명령이 시간(t5)에서 다시 메모리 블럭에서 다시 선택될 때, 메모리 블럭(22-2)는 시간주기(t2-t3)내에서 이미 소거되어져 있다. 즉, 소거에 관계된 소거 플래그 비트를 참조해서 완전히 소거가 완료되었으나, 각 섹터(102,104,106,108)에 라이트에 관계한 분리 라이트 플래그 비트를 참조해서 아직 라이트가 효과를 미치지 못한다. 시간(t5)에서, 섹터(110)은 기간(AD)에서 지정되나, 섹터(110)의 소거는 효과가 미치지 않고 대신에 섹터(102,104,106,108)의 라이트가 메모리 블럭(22-1,22-4,22-8)내에서 행해진다. 소거되는 5개의 섹터(t1의 102, t2의 104 등)가 소거되어도 시간(t5)에서 섹터(110)의 소거는 무시되고 대신에 4개블럭의 섹터(102,104,106,108)의 라

이트가 행해진다. 메모리 블럭(22-2)에 해당하는 제2바퍼메모리(30-2)의 내용은 단지 시간(t5)에서 섹터(110)의 데이터 입력과 대체된다. 그후, 4개의 블럭의 라이트는 시간(t6)까지 제1바퍼메모리를 사용하는데 효과를 미친다. 시점(t6)에서 메모리 블럭(22-2)은 제2바퍼 메모리(30-2)에서 제1바퍼메모리(t6이전)로 데이터를 전송함으로써 섹터(110)에 라이트되고, 그 다음에 제5도에 나타난 대로 제2타이밍에서 제1바퍼메모리(24-2)로 부터 섹터(110) 데이터를 시간(t6) 전송한다. 상기 타임시켄스에 의하면, 전원이 소거(t1-t5)및 라이트(t5-t6)중에 단지 한번 셋엎 또는 셋다운된다. 그러므로, 재라이트하는 시간(t5-t6)는 제3도와 제4도에서 나타난 대로 쌍으로된 소거 및 라이트가 행해질 때와 비교해서 짧아진다. 또한, 특정 섹터(예를 들면 102)의 데이터는 섹터(102)에 라이트가 아직 영향을 미치지 않는 한 바퍼메모리(예를 들면 24-1)의 내용을 정정함으로써 쉽게 정정될 수 있다(예를 들면 소거후라도, 시간 (t2-t5)내에)이러한 방법에서는 섹터의 소거는 서로 겹쳐지지 않는다.

그러나, 제3도의 실시예에 나타난대로, 복수의 불휘발성 메모리블럭의 소거(복수의 반복 스텝 130-150)는 불휘발성 메모리 블럭의 전전류가 스텝(120)에 의해 판정된대로 허용범위 내에 있으면 실행된다. 이것은 라이트하기위한 트루(TURE)를 보지한다. 같은 메모리 블럭(예를 들면 제5도의 22-2)내에서 다른 섹터(예를 들면 104와 110)의 계속적인 소거와 라이트에서는 복수의 바퍼 메모리는 메모리블럭에 대해서는 병렬(제11도에 도시)로 요구된다. 제5도에서 나타난 대로, 하나의 메모리 바퍼(24-2)는 섹터(104)에 데이터를 보지하고 시간(t5)에서 지정된 또다른 메모리바퍼(31-2)과 병렬로 효과적으로 동작하는 시간(t2)에서의 어드레싱을 포함하고 섹터(104)가 아닌 섹터(110)에 접속된다. 그러므로, 복수의 어드레스 레지스터가 메모리 블럭과 함께 제1메모리바퍼 쌍으로 구성되어 병렬로 마련된다.

제6도는 도해장치의 동작의 또다른 시간 시켄스를 설명한다. 제6도에 있어서, 제1도와 제3도와 같은 부분은 같은 참조번호에 의해 나타나므로 설명하지 않는다. 본 발명에 따른 데이터가 재라이트되는 타이밍이 제1도 및 제6도를 참조해서 기술된다.

제6도는 소거시간의 기간(E)가 적어도 몇개의 섹터로 나누어진 경우에 대해 설명한다. 이 경우에 있어서, 장치의 전류는 라이트기간(W)중에 증가한다. 그러므로 장치는 하나의 섹터가 라이트될 때에는(예를 들면, 블럭 22-1의 기간(W)중에) 다른 섹터는 금지된다. 이것은 섹터가 라이트중에, 다른 섹터가 소거 및 라이트가 금지되며, 섹터를 소거하는데 필요시간은 짧게 나누어진다. 예를 들면, 메모리 블럭(22-5)의 섹터가 다음의 시켄스로 : 기간(AD)의 지정과 기간(E)의 소거(t3-t4), 비활성상태의 빈시간(t4-t5)이 기간(E)(t5-t6)의 소거를 계속과 빈시간(t6-t7)으로 억세스된다. 이러한 방법의 소거에서는 완료될 때까지 계속해서 하나의 섹터에서 행해진한다. 한편, 장치의 전류가 소거기간(E)중에 증가할 때, 다른 섹터의 소거는 방지되며 라이트가 실행된다. 이러한 실시예는 메모리 장치(2)의 전전류를 억제하고 장치전체로해서 증가된 속도에서 재라이트를 할 수 있는 것이다.

제7도에서, 제1도와 같은 부분은 같은 참조번호를 붙이고 설명은 생략한다. 또한, 제2바퍼메모리그룹(53)으로서 제2바퍼메모리(30-1~30-8)와, 제2바퍼 메모리해서 제어신호와 제2바퍼메모리용의 제어회로 SBC(44)와 제2바퍼 메모리제어회로(44)용으로 활성화인에이블 신호(ø2)가 있다. 재라이트는 지금 제7도를 이용해서 설명한다. 기본동작은 제1도와 같고, 제2바퍼 메모리(30-1~30-8)의 추가는 아래에 기술된 추가 동작을 실행하는 것이 가능하다. 제1바퍼메모리(24-1~24-8)와 I/O신호(38)사이의 라이트 데이터 전송과 I/O신호(38)는 일반적으로 재라이트 용으로 요구되는 시간보다 훨씬 짧게 요구되므로서 거기에서 상당히 긴 활성화기간 또는 공통버스제어(36)의 관점에서 사용되지 않는 빈시간이 존재한다. 본 발명의 빈시간의 이용은 재라이트와 리이드의 효율을 효과적으로 증가시킬 수 있다. 예를 들면, 각 블럭에 두개의 바퍼 메모리가 있으므로, 두개 섹터의 데이터는 한번에 전송된다(예를 들면, 병렬로) 반면에 라이트 데이터는 소정섹터로 전송된다. 또한 바퍼 메모리중 하나는 소정 섹터로 데이터를 전송하면서 섹터를 라이트하고, 같은 블럭의 다른 바퍼메모리는 I/O신호(38)로부터 데이터를 리이드할 수 있다. 그러므로 공시간이 쉬프트 타이밍에서 메모리 블럭(22-1~22-8)중에서 섹터를 억세스하고 두개의 바퍼 메모리를 효율적으로 제어함으로써 유효하게 사용되게 된다. 그러므로, 재라이트-동작은 그 일부가 데이터 입력과 겹쳐지므로서 더 증가된 속도를 가지게 된다(병렬로 동작). 제1바퍼 메모리(24-1~24-8)는 주로 재라이트 동작 중에 사용되고, 제2바퍼메모리(30-1~30-8)는 I/O신

호(38)로부터 리이드하는 것으로 단지 이용되고, 그 다음에 제1바퍼 메모리(24-1~24-8)은 리이드하는데 이용된다. 제1 및 제2바퍼메모리는 섹터를 라이트하는데와 다른 메모리 블럭의 섹터를 리이드하기위해 사용된다. 단지 리이드동작만이 실행되면, 데이터는 하나의 블럭의 제1및 제2의 바퍼 메모리에 의해 교대로 얻어지고, 교대로 리이드되어서 리이드시간이 효과적으로 짧아지게 한다.

동일 섹터가 이전의 시작된 재라이트 중에 재라이트를 하기위해 억세스될때, 제1 및 제2바퍼 메모리는 제1바퍼 메모리에서 현재의 재라이트 프로그램 데이터와 제2바퍼 메모리에서 다음의 재라이트 프로그램데이터를 일시적으로 저장해서 교대로 활성화되어 있다. 제1바퍼 메모리의 데이터가 라이트용으로 섹터로 라이트된 후, 다음의 라이트 데이터는 재라이트를 계속하는 제1바퍼 메모리로 제2바퍼 메모리로부터 전송된다.

내부 어드레스를 저장하기 위한 어드레스 레지스터(40)는 다양한 시스템이 상술된 바퍼 메모리와 일치해서 제어, 요구된대로 증가하게 된다. 제1고, 제2바퍼 메모리는 제7도에 나타난 대로 메모리블럭과 I/O(36,38)와 병렬로 구성되게 된다. 이 경우에는, 제1 및 제2바퍼 메모리는 같게 사용되고, 바퍼 메모리의 용량이 메모로블럭의 섹터의 용량보다 2배 크거나 그 둘 중 하나는 배타적으로 라이트하기 위해 사용되고 다른 하나는 리이드하는데 배타적으로 사용되도록 하게 한다.

제1바퍼 메모리와 제2바퍼 메모리는 재라이트를 실행하는 시간을 고려해서 효과적으로 제어되므로서 병렬동작이 실행되거나 또는 빈시간이 이용되어 장치의 동작속도를 증가시킨다. 또한, 병렬리이드과 재라이트 처리에 있어서, 두개의 바퍼메모리는 교대로 사용되고, 같은 섹터 내에서 라이트된 데이터의 충돌을 피하기 위한 3-상태 또는 바퍼메모리의 데이터 갱신 등이 이용된다. 여기에서, 제1바퍼 메모리로서, 메모리블럭의 섹터의 재라이트중에 셀로 한번에 데이터를 공급하는 메모리 블럭 내에 설치된 일반적인 데이터선 랫치회로가 사용된다. 이 경우에, 데이터 랫치 회로의 라이트데이터는 재라이트가 끝나거나 바뀔때 메모리블럭 중에 보지된다. 그러므로, 출력 데이터가 바뀌는 재라이트에서는 재라이트가 완료된 후 데이터는 메모리셀에서 다시 리이드된다. 제1 및 제2바퍼 메모리 모두에 라이트데이터를 저장하고 리이드데이터를 제2바퍼메모리의 내용을 사용하는 것이 또한 가능하다.

제8도에서, 제1도와 같은 부분은 같은 참조 부호를 붙쳐 그 설명을 생략한다. 공통 바퍼 메모리(52)는 제어회로(54)에서 제어신호(56)에 의해 제어되며 신호(ø3)에 의해 활성화된다. 제1바퍼 메모리(24-1~24-8)는 불휘발성 메모리 셀이 완전히 재라이트 될때까지 랫치회로로서 해당의 메모리 블럭(22-1~22-8)용 라이트데이터를 보지한다. 제8도에 나타난대로 제1바퍼메모리(24-1~24-8)는 같은 메모리 블럭(50)과 함께 메모리블럭(22-1~22-8)이 포함된다. 공통바퍼 메모리(52)는 공통으로 외부 I/O신호(38)와 I/O공통버스(26-1~26-8)로 이용되고 일시적으로 리이드 및 라이트 데이터를 저장하고, 임의로 소정 섹터내의 상술한 저장된 라이트데이터를 재라이트하는 메모리 블럭 중 하나를 선택한다. 제1 및 공통 바퍼메모리는 전송 데이터속도를 증가할 수 있는 상술된 구성으로 된다.

제8도를 참조해서, 재라이트 동작은 아래에 설명한다.

본 실시예의 기본적인 동작은 제1도와 같고, 상술된 실시예에서 기술된 쉬프트 타이밍 선택과 재라이트 동작이 메모리 블럭 시작 어드레스를 각각 일시적으로 보지하는 레지스터(40)에 복수의 어드레스를 배열하고 스위치 방법으로 메모리 블럭의 섹터로 바퍼 데이터를 계속으로 전송함으로써 달성된다. 데이터는 바퍼 메모리(52)에서 제1바퍼메모리(24-1~24-8), 주로 섹터의 메모리셀의 프로그램 동작의 시간보다 짧은 시간에서 섹터에 해당하는 데이터 랫치 회로로 전송된다. 그것은, 섹터의 라이트 동작이 서로 겹쳐지지 않을 때 바퍼에 라이트 데이터를 전송하는데 걸리는 시간은 10㎳/섹터의 라이트 시간보다 훨씬 짧은 약 10μs/섹터이다(=I/O신호(38)에서 바퍼메모리로 20ns X 512바이트의 데이터 전송속도).

이 경우에, 불휘발성 메모리내에 설치된 데이터 랫치 회로는 상술한 바와 같이 제1바퍼메모리로 사용되며 메모리셀의 재라이트 동작의 완료까지 데이터를 보지한다. 데이터 랫치 회로는 제1바퍼메모리로 사용되고, 제3바퍼 메모리(52)는 적어도 하나의 섹터와 같은 용량을 가지며 쉬프트 타이밍선택과 재라이트를 실행되도록 할 수 있다.

제3,4,5,6도의 타이밍은 단일 메모리장치용의 소프트웨어 또는 하드웨어 선택 동작가능 모드로서 또는 다른 실시예로 간주된다.

또, 바퍼메모리는 데이터의 리이드 및 라이트 중에 캐쉬 메모리로서 기능하므로서, 불휘발성 메모리의 재라이트 주파수를 감소,억제한다. 또한, 재라이트 동작이 시작되는 섹터의 어드레스는 적어도 하나의 섹터 어드레스로서 제어유니트의 어드레스 레지스터 내로 저장되고, 재라이트를 나타내는 레지스터에 부가된 플래그비트는 라이트 또는 소거 또는 라이트에 따라 갱신한다. 재라이트후, 플래그 비트는 재라이트가 필요하지 않음을 나타내게 재라이트된다. 그래서, 재라이트 완료는 플래그 비트를 판정함으로서 확인할 수 있다. 기본적으로 재라이트 어드레스는 재라이트처리기간 중에 일시적으로 저장되어 할 필요가 있어 DRAM 또는 SRAM과 같은 휘발성 메모리에 저장된다. 이것이 리이드/라이트 회로를 제어하고 구성하는데 용이하게 한다. 바퍼메모리는 DRAM이나 SRAM으로 사용될 수 있다. 전원에서 인터럽트가 있을 때나 데이터가 전송중에 셀의 레벨이 하강할 때, 라이트데이터는 외부유니트로부터 다시 전송된다. 여기서, 섹터 시간 어드레스와 데이터 같이 셀에 의해 백엎 되는 휘발성 메모리 또는 불휘발성 메모리에 의해 제1 또는 제1바퍼메모리 모두가 구성되는 메모리내로 저장되면, 데이터는 전원레벨이 재저장된 후에 자체 라이트되게 된다. 또한, 플래그 비트를 불휘발성으로 함으로써 라이트 보호신호로서 사용될 수 있다.

장치의 모양과 정보의 저장방법도 필요에 따라 다양하게 변형될 수 있다. 소거 및 라이트의 순서는 변경가능하고 순서의 일부 또는 전체는 장치 외부 유니트에 의해 제어가능하다. 이경우, 소거 또는 라이트가 실행되는 효과에 대한 정보는 제어동작을 촉진하게 외부유니트로 출력된다. 메모리에 관해서는 I/O신호수나 섹터수에는 제한이 없다. 한셋트의 섹터인 메모리 블럭에 관해서도, 복수의 섹터가 메모리 블럭 중 섹터가 선택되는 경우와 비교되어 선택될 때 매우 적은 양에 의해서 전류가 증가한다. 본 발명은 메모리 블럭이 어레이(섹터로서)로 나뉘어질 경우에는 적용가능하고, 나뉘어진 메모리어레이의 각각은 재라이트되고 메모리블럭같이 리이드된다. 바퍼메모리는 하나의 포트형 메모리로 제한되지 않으며 직렬 및 병렬 포트를 가지는 멀티포트 형 메모리도 가능하다. 이 경우에, 본 장치는 고속도와 용이하게 직렬데이터를 전송한다.

본 발명의 실시예에서, 한셋트의 메모리 블럭이 장치로서 사용된다. 적어도 두개의 메모리가 예를 들면 메모리 블럭과 바퍼 메모리 및 리이드/라이트 회로를 제어하는 회로들로 구성되는 메모리 장치내에 큰 용량을 가지는 메모리칩 내의 같은 반도체 기판상에 설치가능하다. 또한, 본 발명은 논리포함 메모리와 웨이퍼상에 형성된 웨이퍼 스케일 인터그래이숀 내의 반도체메모리와, 유니트와 메모리셀이 디스크의 분할되지 않는 데이터 유니트로 존재할 때 재라이트이 섹터에 영향을 미치게 되는 광자기 디스크와 같은 메모리장치와, 상기 조합의 메모리셀에 적용가능한 것은 분명하다.

이러한 처리에 있어서, 복수의 메모리 블럭의 소거 및 라이트가 서로 동시에 겁쳐지는 것 즉, 병렬동작이 가능하다고 생각된다. 그러나, 장치에 의해 소비되는 전전류는 그 값에 따라서 외부 어드레스 입력타이밍과 메모리 제어신호와 입력에 의해 활성화된 내부 어드레스 제어신호에 의한 억제와 피크 전류가 포개지는 것을 피하기 위한 쉬프트 타임 선택 때문에 크게 초과되지 않는다.

큰전류가 흐르지 않아서 방열이 억제되고, 저 노이즈 레벨이 유지되며, 신뢰성이 향상된다. 큰 용량을 저 코스트로 실현가능하다. 왜냐하면, 데이터를 보지하는 전원을 필요없고 단위비트당의 가격이 낮은 DRAM이라면 불휘발성 메모리인 반도체 메모리를 이용하는 것이 가능하다.

바람직한 본실시예는 특성의 상세, 더욱 형상화, 변형 및 다양성 들이 광범한 본 발명의 특성에 따라서 설명되고, 발명의 사상 및 범위는 다음의 클레임에 의해 모두 판정된다.

(57) 청구의 범위

청구항 1.

복수의 메모리셀을 포함하고 메모리용량을 각각 가지는 복수의 섹터를 각각 가지는 복수의 메모리 블록과; 데이터를 전송하기 위하여 상기 메모리 블록의 각각에 접속되어, 대응하는 섹터의 메모리 용량과 적어도 같은 메모리 용량을 각각 가지는 복수의 버퍼 메모리와; 외부 어드레스와 타이밍 신호에 응답하여 섹터를 선택하기 위한 내부 어드레스와 타이밍을 생성하여, 내부 어드레스에 대응하는 선택된 섹터와 섹터에 대응하는 버퍼 메모리 사이에서 데이터의 판독 및 재기록을 제어하는 판독/기록 회로를 구비하며, 상기 판독/기록 회로는, 데이터의 재기록을 행하기 위해서 선택된 섹터에서 데이터의 소거 및 프로그래밍을 제어하기 위한 메모리 장치의 현재 요구에 응답하여 서로의 타이밍을 시프트하는 것을 특징으로 하는 메모리 장치.

청구항 2.

제1항에 있어서, 상기 판독/기록 회로는 상기 섹터들의 소거를 위하여 임의의 시간으로 시프트된 타이밍에서 섹터를 선택하고, 상기 섹터들의 프로그래밍이 시간적으로 서로 겹쳐지지 않도록 내부 어드레스를 제어하는 것을 특징으로 하는 메모리장치.

청구항 3.

제1항에 있어서, 상기 판독/기록 회로는 소거가 시간적으로 서로 겹쳐지지 않도록 내부 어드레스를 제어하는 것을 특징으로 하는 메모리 장치.

청구항 4.

제1항에 있어서, 상기 판독/기록 회로는 먼저 외부 어드레스에 해당하는 전체 섹터의 소거를 제어하고, 이어서 해당 섹터의 전체로의 프로그래밍을 제어하는 것을 특징으로 하는 메모리 장치.

청구항 5.

제1항에 있어서, 상기 판독/기록 회로는 프로그램용의 하나의 메모리 블록의 임의의 섹터를 선택하고, 상기 하나의 메모리 블록의 다른 섹터의 재기록을 금지하는 것을 특징으로 하는 메모리 장치.

청구항 6.

제1항에 있어서, 상기 버퍼 메모리는 데이터를 일시적으로 저장하고; 상기 판독/기록 회로는 소거 또는 프로그래밍에 따라 버퍼메모리를 통해 장치 외부에서 메모리셀로 데이터를 공급하는 것을 특징으로 하는 메모리 장치.

청구항 7.

제1항에 있어서, 상기 판독/기록 회로는 메모리블록 내에서 소정의 섹터가 소거중 또는 프로그래밍 중인 것을 검출하고, 소정의 섹터가 소거중인 때에는 메모리 블록에서 다른 섹터들을 프로그래밍하며, 상기의 소정의 섹터가 프로그래밍중인 때에는 상기 다른 섹터들을 소거하는 것을 특징으로 하는 메모리 장치.

청구항 8.

제1항에 있어서, 상기 판독/기록 회로는 소거 또는 프로그래밍중인 하나의 메모리 블록의 상기 제1 섹터에 응답하여, 상기 제1섹터가 소거중인 때에는 프로그래밍되고 상기 제1 섹터가 프로그래밍중인 때에는 소거되도록 다른 메모리 블록의 섹터를 제어하는 것을 특징으로 하는 메모리 장치.

청구항 9.

제1항에 있어서, 상기 판독/기록 회로는 실행 중인 내부 어드레스를 저장하는 하나의 어드레스 레지스터와 실행되어질 내부어드레스를 저장하는 또 다른 하나의 어드레스 레지스터를 가지는 것을 특징으로 하는 메모리 장치.

청구항 10.

제9항에 있어서, 상기 판독/기록 회로는 소거 또는 프로그래밍하는 동안에 선택된 소정의 섹터를 가지는 메모리 블록이외의 메모리 블록의 섹터의 선택을 금지하는 것을 특징으로 하는 메모리장치.

청구항 11.

제10항에 있어서, 상기 하나의 어드레스 레지스터는 실행 중인 내부 어드레스와 실행되어질 내부어드레스를 구별하기 위한 플래그 비트를 적어도 하나 가지며, 상기 판독/기록 회로는 플래그 비트에 응답하여 현재의 선택된 섹터이외의 섹터의 선택을 금지하는 것을 특징으로 하는 메모리 장치.

청구항 12.

제9항에 있어서, 상기 하나의 어드레스 레지스터는 실행 중인 내부 어드레스와 실행되어질 내부 어드레스를 구별하기 위한 플래그 비트를 적어도 하나 가지며, 상기 판독/기록 회로는 플래그 비트에 응답하여 현재의 선택된 섹터이외의 섹터의 선택을 금지하는 것을 특징으로 하는 메모리 장치.

청구항 13.

제1항에 있어서, 상기 버퍼 메모리는 제1 버퍼 메모리와 제2 버퍼 메모리를 포함하고, 상기 판독/기록 회로는 상기 제1 버퍼 메모리와 상기 제2 버퍼 메모리 사이에서 데이터를 전송하고, 동시에 선택된 섹터와 제1 버퍼 메모리 또는 또 다른 섹터와 제2 버퍼 메모리 사이에서 데이터를 전송하도록 상기 제1의 버퍼 메모리와 상기 제2의 버퍼 메모리를 제어하는 것을 특징으로 하는 메모리 장치.

청구항 14.

제13항에 있어서, 상기 판독/기록 회로는 소정의 섹터로 데이터를 전송하는 상기 제1 버퍼 메모리에 응답하여, 같은 메모리블록의 다른 섹터로부터 판독된 데이터를 외부 유니트로 전송하도록 상기 제2 버퍼 메모리를 제어하는 것을 특징으로 하는 메모리 장치.

청구항 15.

제13항에 있어서, 상기 판독/기록 회로는 소정의 섹터로 데이터를 전송하는 상기 제1 버퍼메모리에 응답하여, 다른 메모리 블록의 섹터로부터 판독된 데이터를 외부 유니트로 전송하도록 상기 제2 버퍼 메모리를 제어하는 것을 특징으로 하는 메모리 장치.

청구항 16.

제13항에 있어서, 상기 제1 또는 제2 버퍼메모리 중 적어도 하나는 불휘발성 메모리인 것을 특징으로 하는 메모리장치.

청구항 17.

제1항에 있어서, 상기 각 버퍼 메모리는 직렬 및 병렬 포트를 가지는 멀티 포트(multi-port)형 메모리인 것을 특징으로 하는 메모리장치.

청구항 18.

제1항에 있어서, 적어도 상기 2개의 메모리블록, 상기 2개의 버퍼 메모리 및 상기 2개의 판독/기록 회로는 단일 반도체 기판 상에 설치되는 것을 특징으로 하는 메모리장치.

청구항 19.

제1항에 있어서, 상기 각 버퍼 메모리는 SRAM형 메모리, DRAM형 메모리, 또는 SRAM형과 DRAM형 메모리의 조합 중 어느 하나인 것을 특징으로 하는 메모리 장치.

청구항 20.

복수의 불휘발성 메모리셀로 이루어지는 복수의 섹터를 가지는 메모리 블록과, 상기 메모리 블록에 기록하는 정보를 일시 저장하는 버퍼 메모리와, 상기 메모리 블록과 상기 버퍼 메모리와의 사이에서의 정보 전송의 제어를 행하는 판독/기록회로를 가지며, 상기 버퍼 메모리로서 제1의 버퍼 메모리와 제2의 버퍼 메모리를 가지고, 상기 판독/기록회로는 상기 제1의 버퍼 메모리와 제2의 버퍼 메모리에 지시함으로써, 제1과 제2의 버퍼 메모리 사이의 데이터 전송 또는 상기 메모리 블록과 제1의 버퍼 메모리 사이의 데이터 전송 또는 상기 메모리 블록과 제2의 버퍼 메모리 사이의 데이터 전송을 제어하는 것을 특징으로 하는 불휘발성 메모리장치.

청구항 21.

제20항에 있어서, 상기 제1의 버퍼 메모리가 상기 메모리 블록의 소정의 섹터에 기록해야할 정보를 저장하는 기간과, 상기 제2의 버퍼 메모리가 상기 메모리 블록의 다른 섹터로부터 판독한 정보를 저장하는 기간의 적어도 일부가 중복되는 것을 특징으로 하는 불휘발성 메모리장치.

청구항 22.

제20항에 있어서, 상기 제1의 버퍼 메모리가 상기 메모리 블록의 소정의 섹터에 기록해야할 정보를 저장하는 기간과, 상기 제2의 버퍼메모리가 상기 메모리블록의 상기 소정의 섹터로부터 판독한 정보를 저장하는 기간의 적어도 일부가 중복되는 것을 특징으로 하는 불휘발성 메모리장치.

청구항 23.

제20항에 있어서, 상기 제1의 버퍼 메모리가 상기 메모리 블록의 소정의 섹터로부터 판독한 정보를 저장하는 기간과, 상기 제2의 버퍼 메모리가 상기 메모리블록의 상기 소정의 섹터로부터 판독한 정보를 저장하는 기간의 적어도 일부가 중복되는 것을 특징으로 하는 불휘발성 메모리장치.

청구항 24.

제20항 내지 제23항 중 어느 한 항에 있어서, 상기 제1 및 제2의 버퍼 메모리의 용량은, 상기 섹터의 용량의 정수 배인 것을 특징으로 하는 불휘발성 메모리장치.

청구항 25.

제20항 내지 제24항 중 어느 한 항에 있어서, 상기 섹터단위로 불량섹터를 대체하는 섹터구제회로를 가지는 것을 특징으로 하는 불휘발성 메모리장치.

청구항 26.

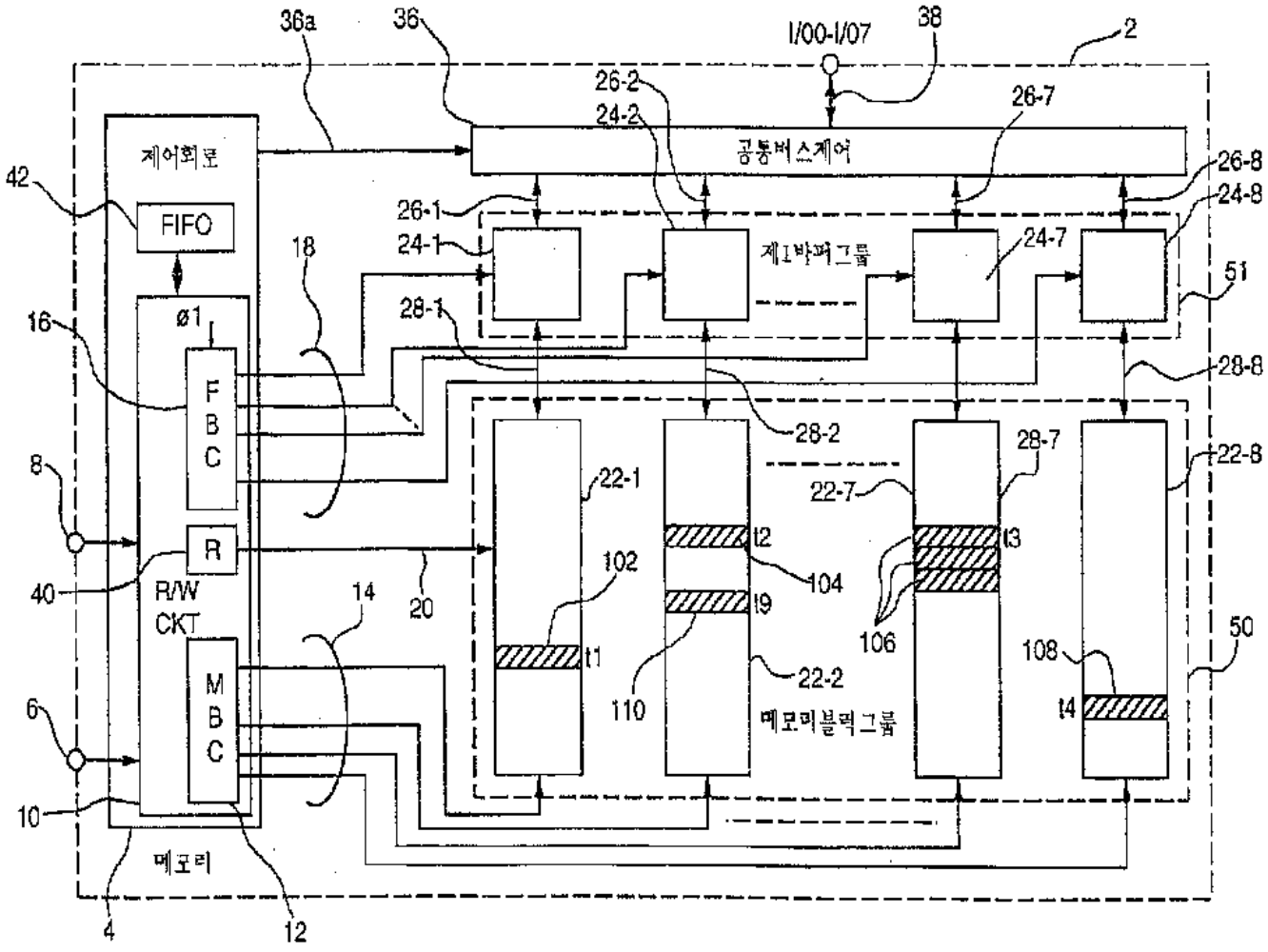
복수의 불휘발성 메모리셀로 이루어지는 복수의 섹터를 가지는 메모리블록과, 상기 메모리 블록에 기록할 정보를 일시 저장하는 버퍼 메모리와, 상기 메모리 블록과 상기 버퍼 메모리와의 사이에서의 정보 전송의 제어를 행하는 판독/기록 회로를 가지고, 상기 섹터의 임의의 하나에 대하여 정보의 재기록을 행할 때에는 당해 섹터의 정보를 소거하고, 그 후 상기 섹터에 대하여 정보의 기록을 행하는 구성이며, 소정의 제1의 섹터의 정보가 소거되고 있는 기간과, 상기 제1의 섹터와는 다른 제2의 섹터에 대하여 정보의 기록이 행해지고 있는 기간이 일부 중복되도록 제어하는 것을 특징으로 하는 불휘발성 메모리 장치.

청구항 27.

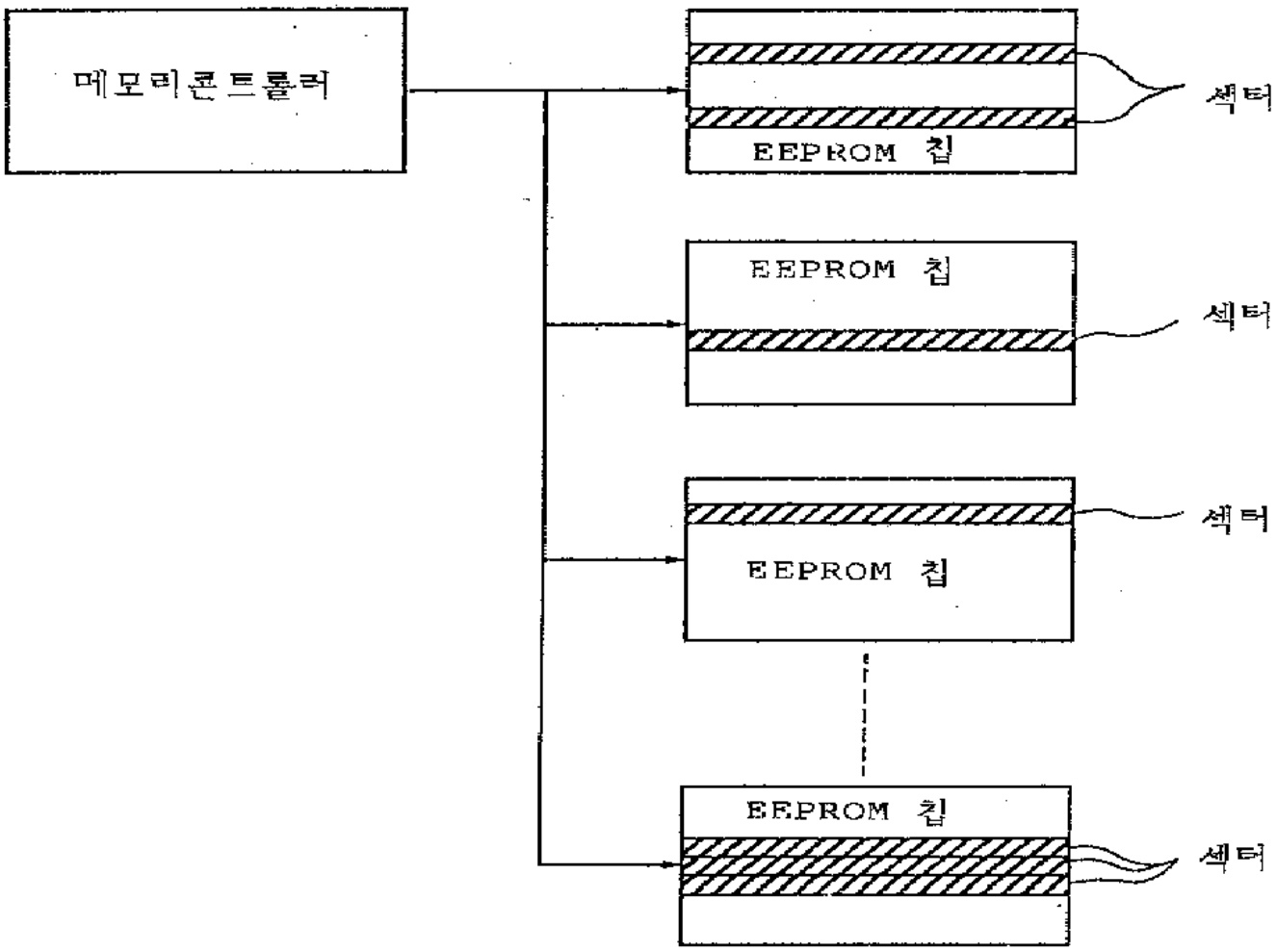
제26항에 있어서, 상기 메모리 블록내의 적어도 하나의 섹터를 단위로 하여, 상기 각 메모리 블록의 각각의 섹터의 활성을 시간적으로 시프트하면서 선택하는 수단과, 그 선택한 섹터에 대하여 정보의 재기록을 위한 정보의 소거 또는 기록을 하는 상기 판독/기록회로를 가지는 것을 특징으로 하는 불휘발성 메모리 장치.

도면

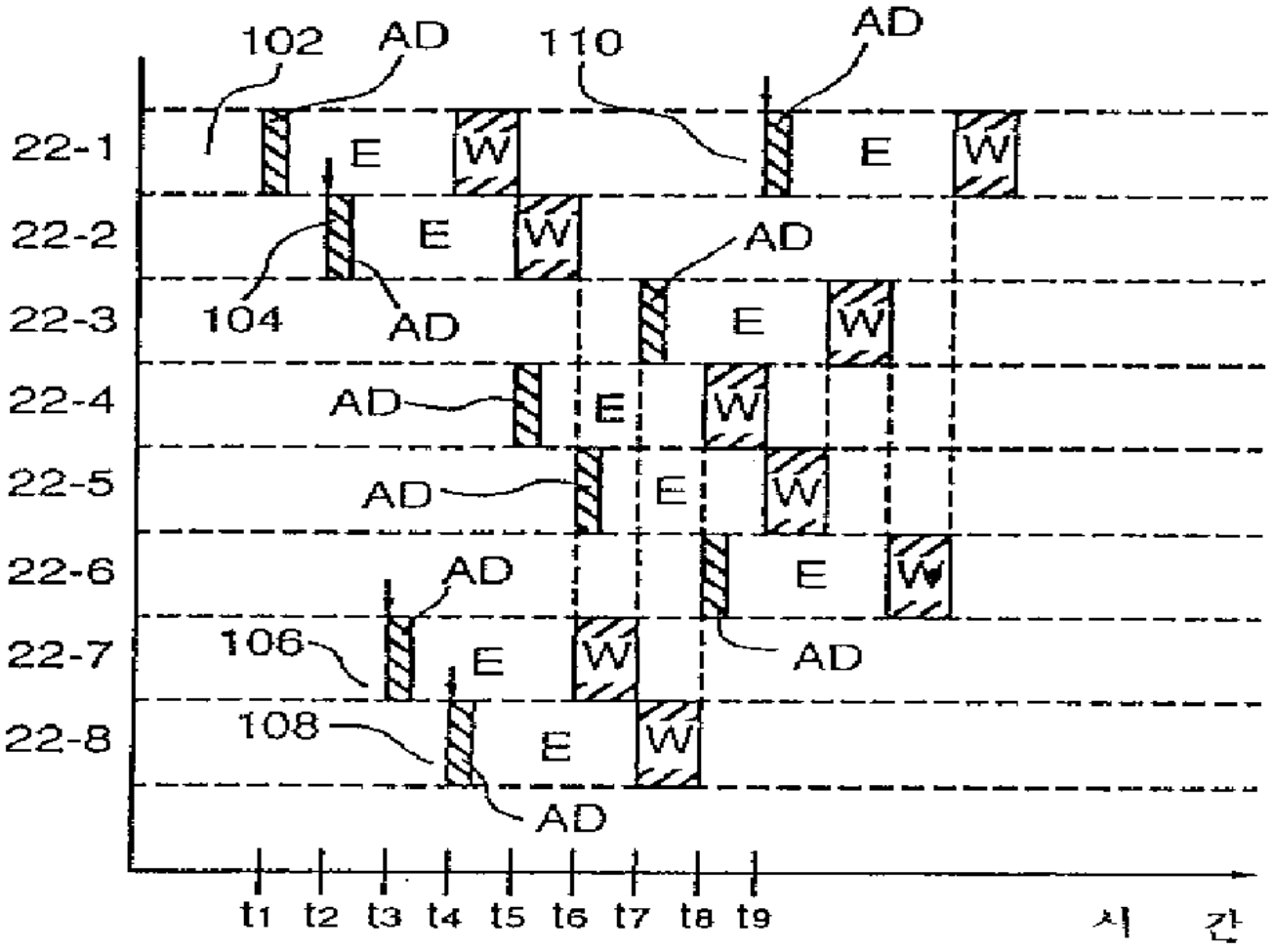
도면 1



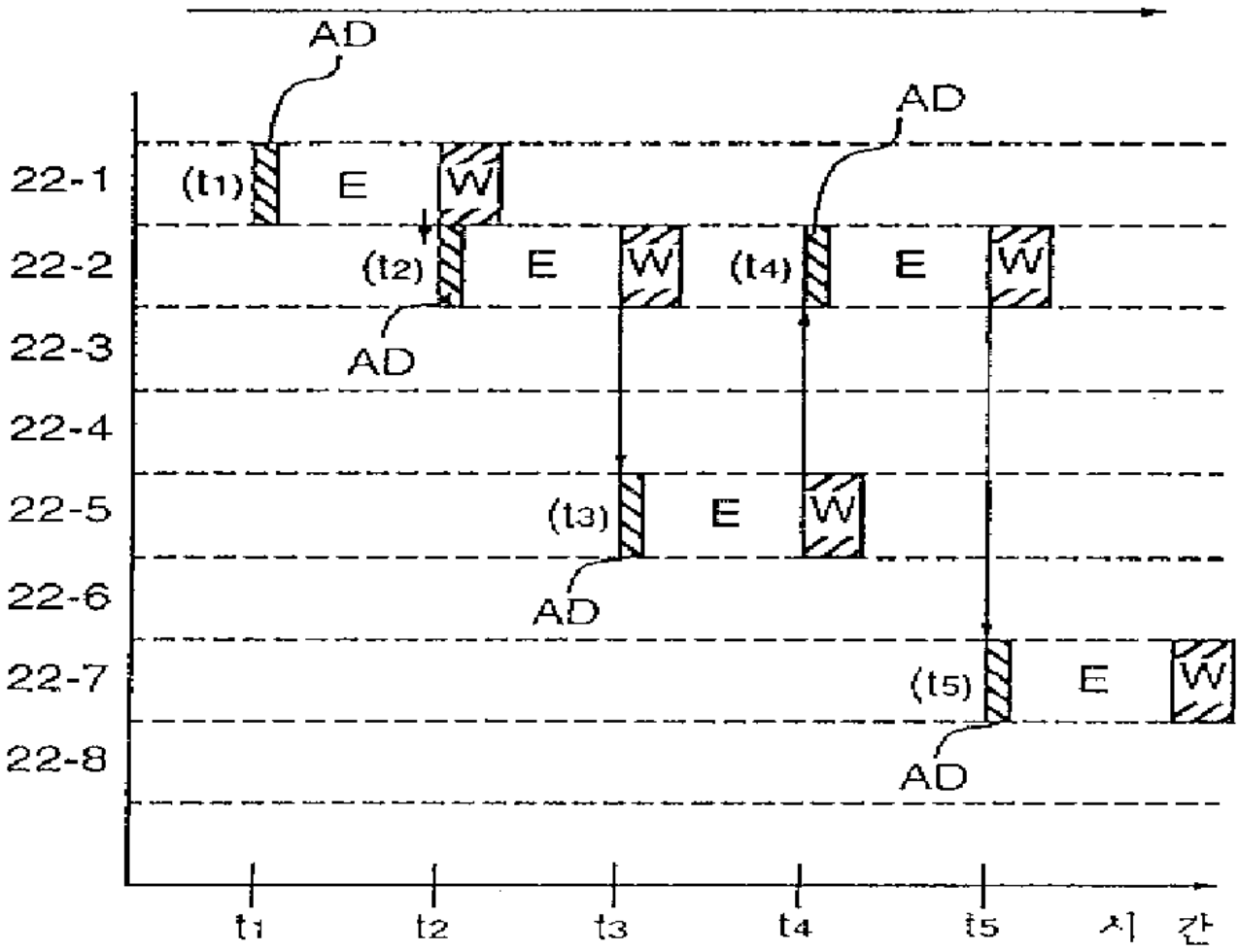
도면 2



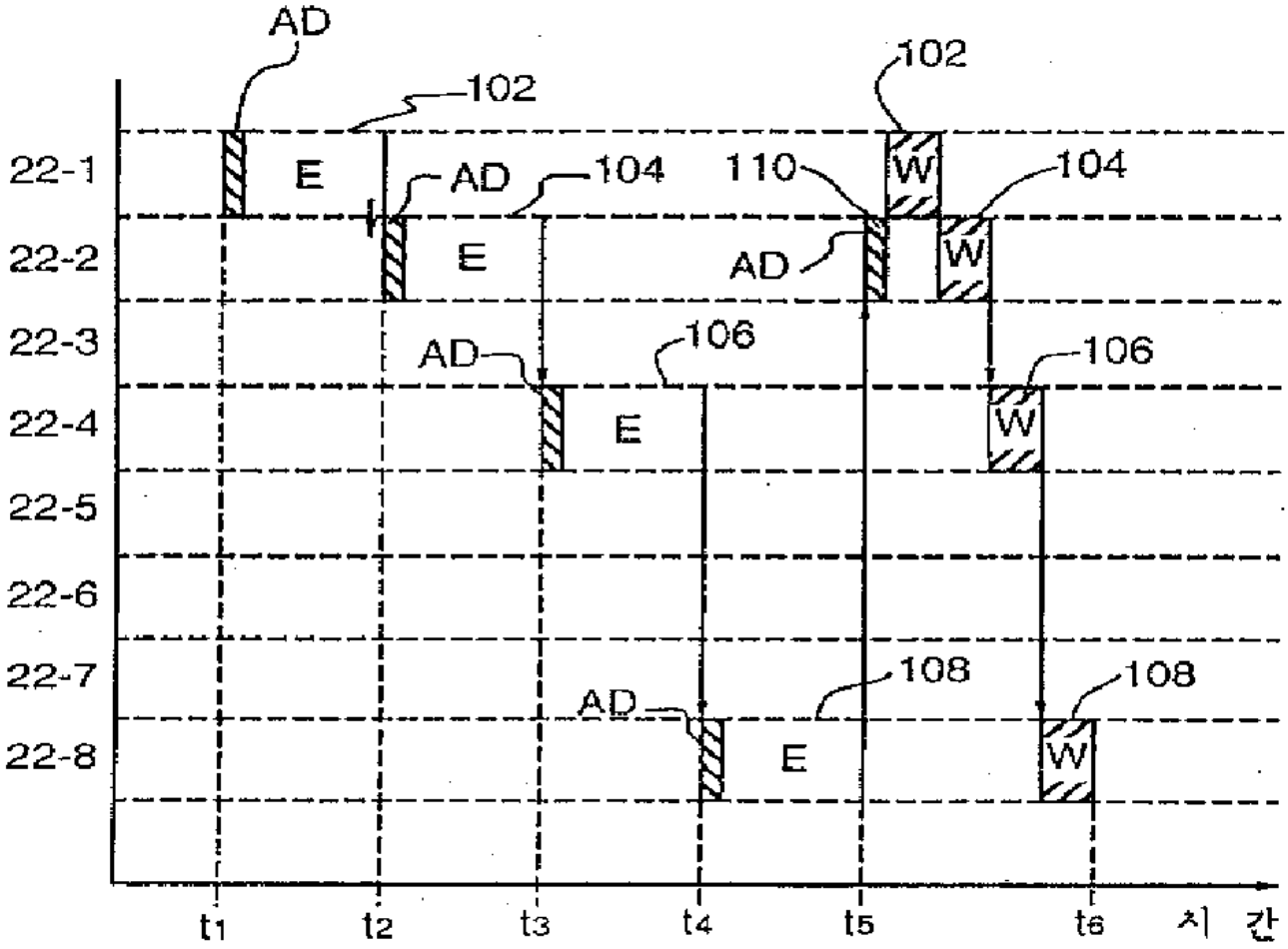
도면 3


102
AD
110
AD
22-1
E
W
E
W
22-2
E
W
AD
104
AD
22-3
E
W
AD
E
W
22-4
AD
E
W
22-5
AD
E
W
22-6
AD
E
W
22-7
106
E
W
AD
22-8
108
E
W
AD
t1 t2 t3 t4 t5 t6 t7 t8 t9
시 간

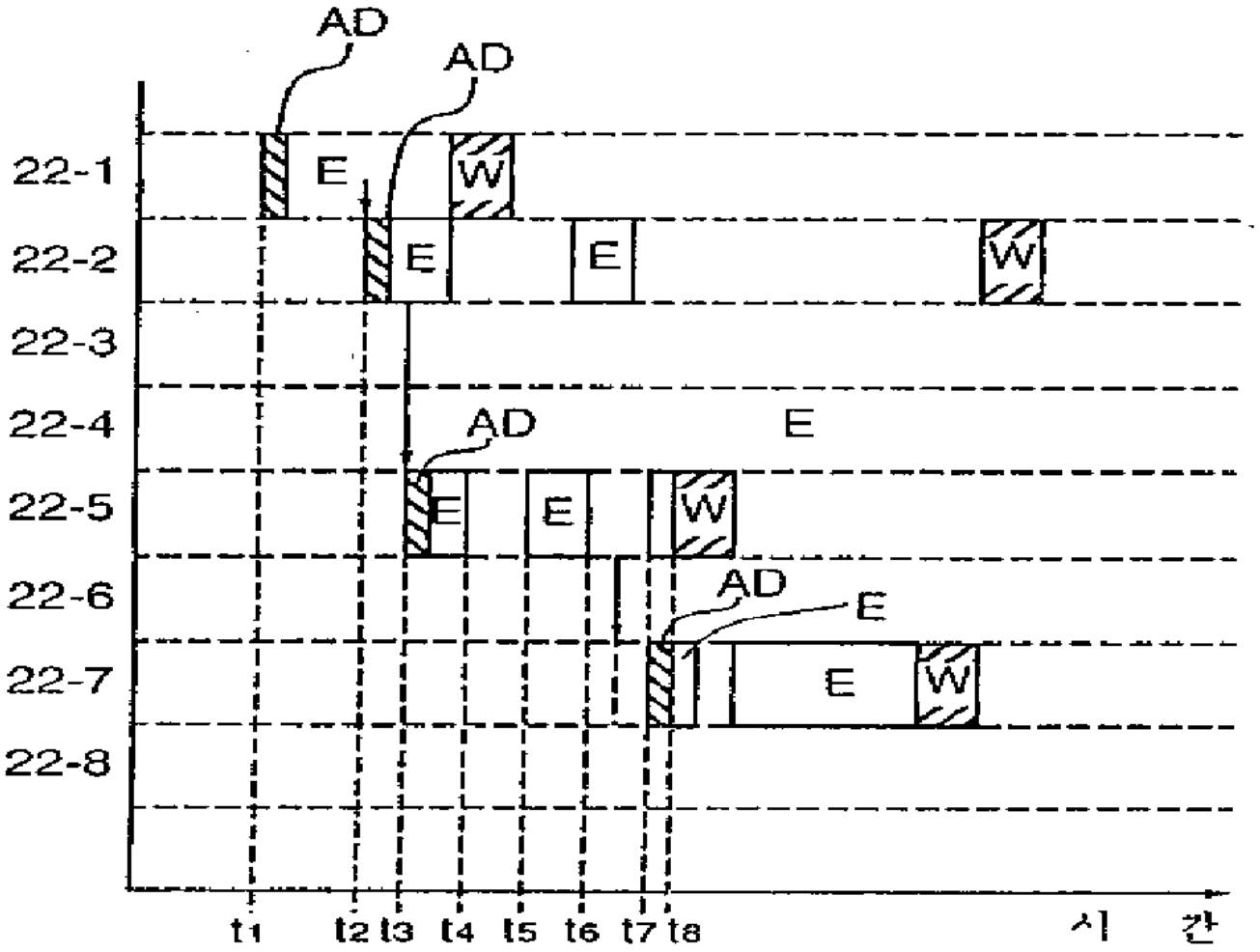
도면 4


AD
AD
AD
AD
AD
22-1
22-2
22-3
22-4
22-5
22-6
22-7
22-8
(t1)
E
W
(t2)
E
W
(t4)
E
W
(t3)
E
W
(t5)
E
W
t1
t2
t3
t4
t5
시 간

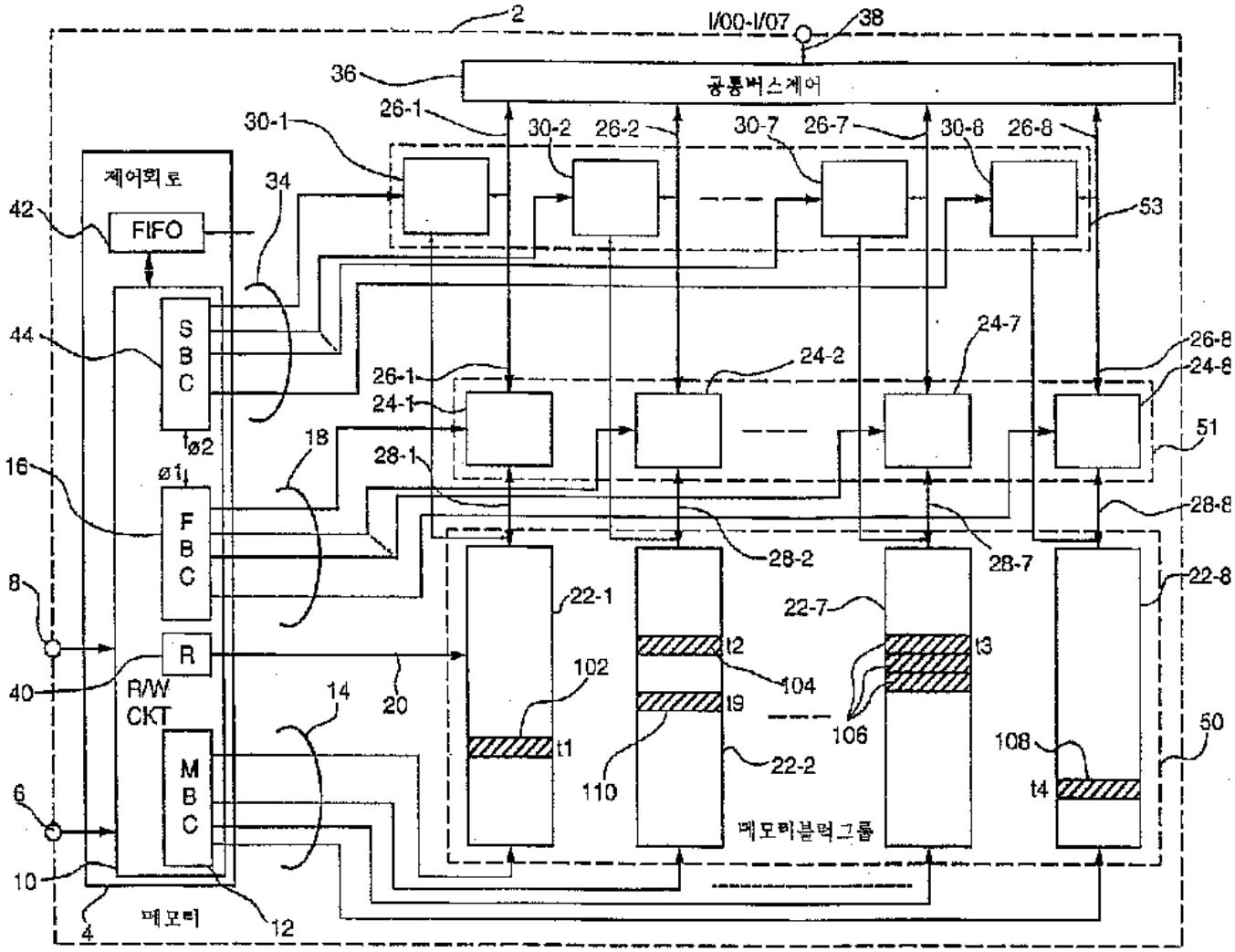
도면 5


AD
102
102
22-1
E
AD
104
110
W
104
22-2
E
AD
W
22-3
AD
106
106
22-4
E
W
22-5
22-6
22-7
108
108
AD
22-8
E
W
t1
t2
t3
t4
t5
t6
시 간

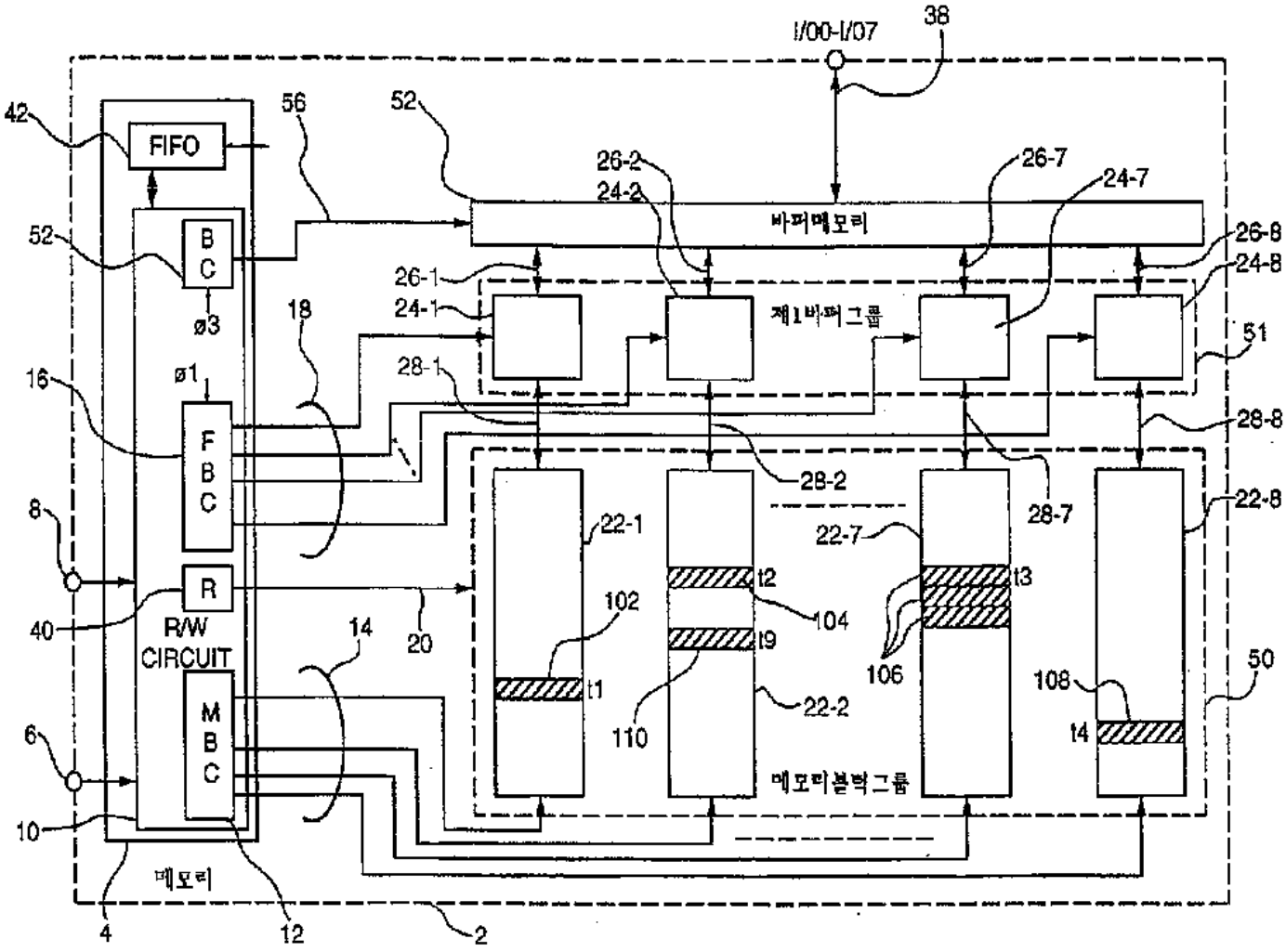
도면 6


AD
AD
22-1
22-2
22-3
22-4
22-5
22-6
22-7
22-8
E
W
E
E
W
AD
E
E
W
AD
E
E
W
t1
t2
t3
t4
t5
t6
t7
t8
시 간

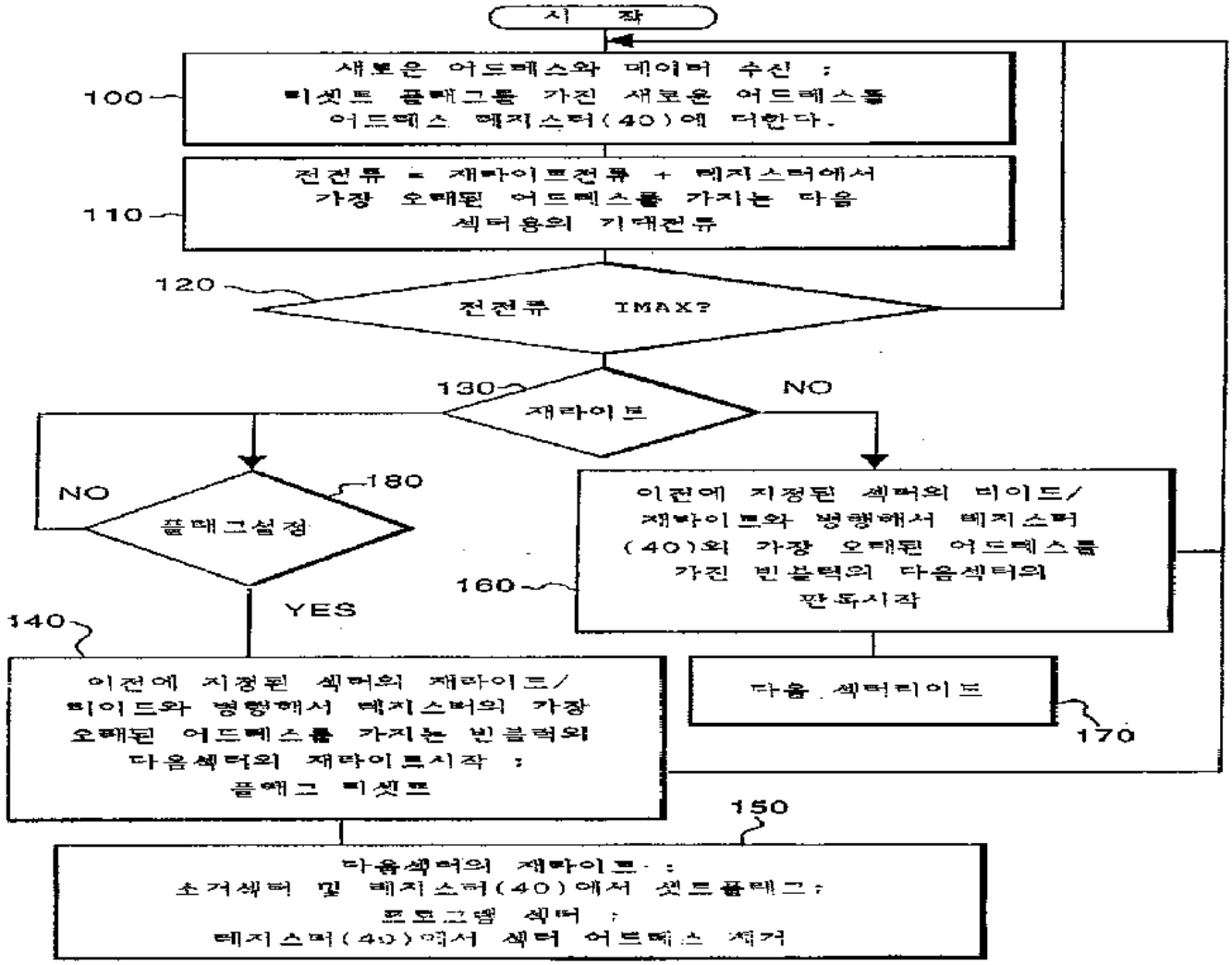
도면 7


2
I/00-I/07
38
36
공통버스제어
26-1
30-1
30-2
26-2
30-7
26-7
30-8
26-8
제어회로
FIFO
42
34
53
44
S
B
C
ø2
ø1
24-7
24-2
26-8
24-8
26-1
24-1
51
18
28-1
16
F
B
C
28-8
28-2
28-7
22-8
8
22-1
22-7
R
t2
t3
102
104
40
R/W
CKT
14
20
t9
106
50
108
t1
22-2
M
B
C
110
t4
6
메모리블럭그룹
10
메모리
4
12

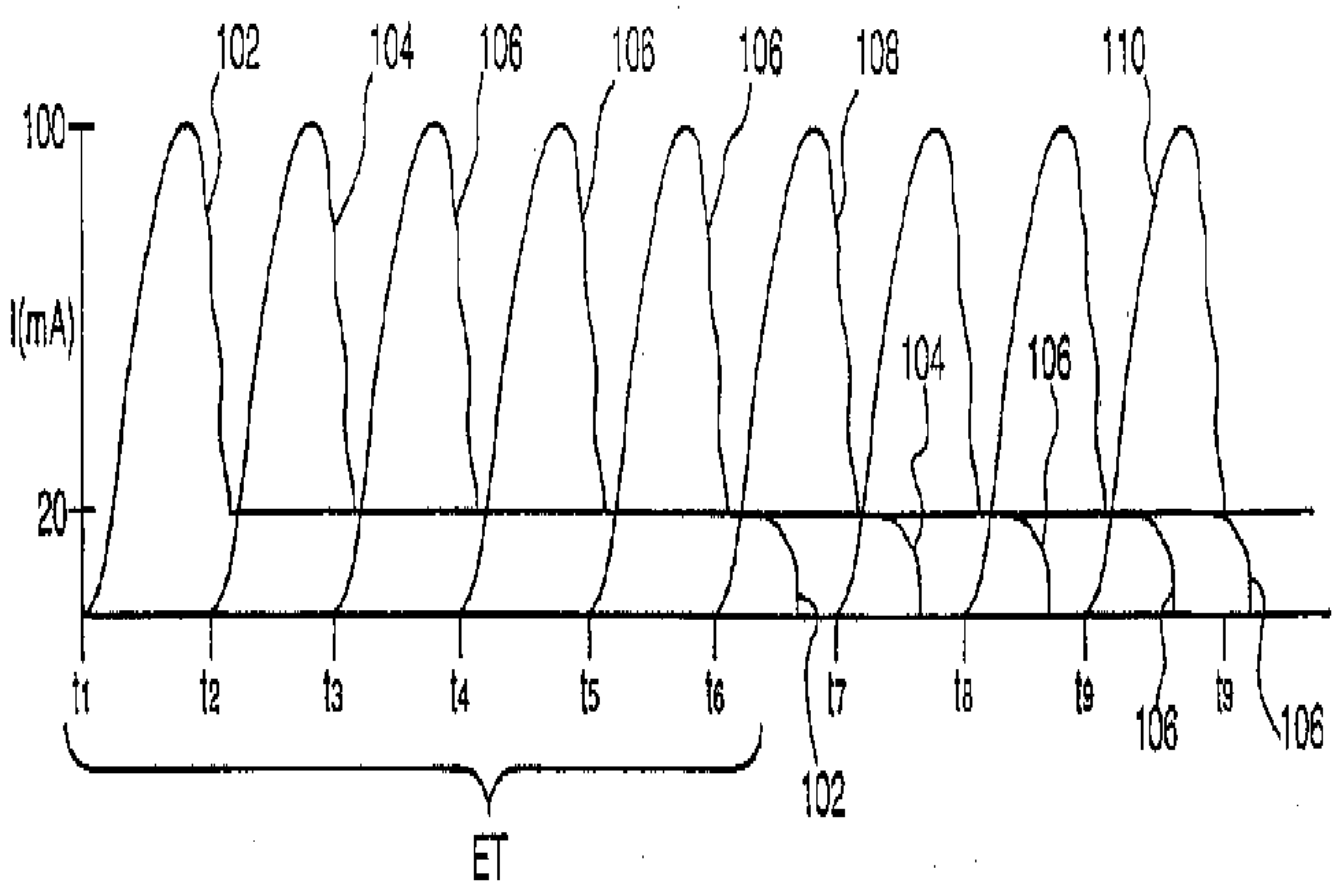
도면 8


I/O0-I/O7
38
42
FIFO
56
52
26-2
24-2
26-7
24-7
바퍼메모리
52
B
C
ø3
26-8
24-8
26-1
24-1
18
제1바퍼그룹
51
ø1
16
F
B
C
28-1
28-8
28-2
28-7
22-8
8
22-1
22-7
R
t2
t3
102
104
40
R/W
CIRCUIT
14
20
t9
106
108
50
M
B
C
6
t1
110
22-2
t4
메모리블럭그룹
10
메모리
4
12
2

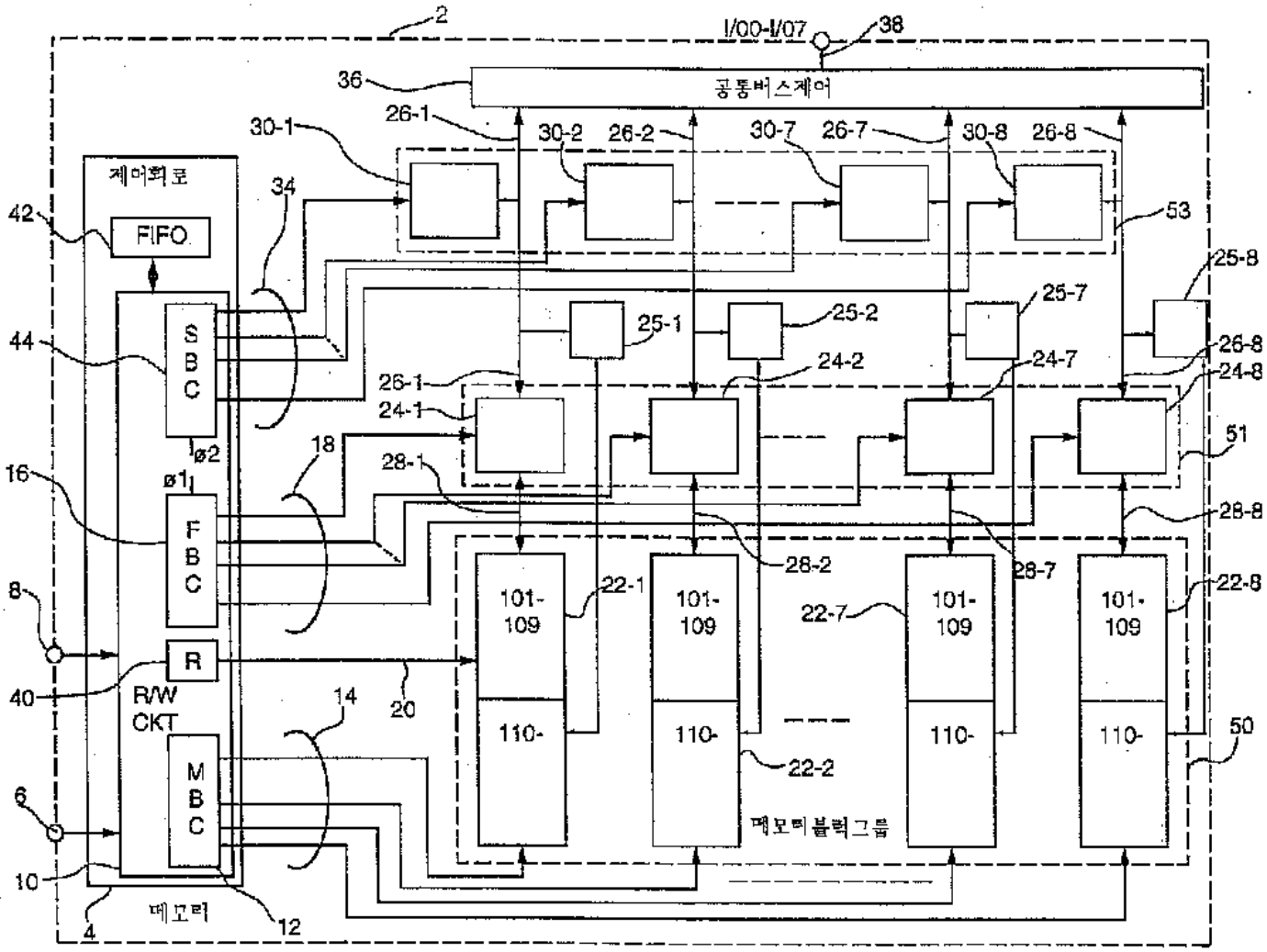
도면 9


시 작
새로운 어드레스와 데이터 수신 ;
비셋트 플래그를 가진 새로운 어드레스를
어드레스 레지스터(40)에 더한다.
100
전전류 = 재타이프전류 + 레지스터에서
가장 오래된 어드레스를 가지는 다음
섹터용의 기대전류
110
120
전전류 IMAX?
130
재타이프
NO
NO
180
플래그설정
YES
140
이전에 지정된 섹터의 재타이프/
비이드와 병행해서 레지스터의 가장
오래된 어드레스를 가지는 빈블럭의
다음섹터의 재타이프시작 ;
플래그 비셋트
160
이전에 지정된 섹터의 비이드/
재타이프와 병행해서 레지스터
(40)의 가장 오래된 어드레스를
가진 빈블럭의 다음섹터의
판독시작
다음 섹터리이브
170
150
다음섹터의 재타이프 ;
소거섹터 및 레지스터(40)에서 셋트플래그;
프로그램 섹터 ;
레지스터(40)에서 섹터 어드레스 제거

도면 10


102
104
106
106
106
108
110
100
I(mA)
20
104
106
t1
t2
t3
t4
t5
t6
t7
t8
t9
106
t9
106
102
ET

도면 11


2
I/O0-I/O7
38
36
공통버스제어
30-1
26-1
30-2
26-2
30-7
26-7
30-8
26-8
제어회로
34
42
FIFO
53
25-8
25-7
44
SBC
25-1
25-2
26-8
24-2
24-7
24-8
26-1
24-1
51
18
ø2
ø1
16
28-1
FBC
28-8
28-2
28-7
101-109
22-1
22-7
22-8
8
R
40
R/W CKT
20
14
110-
22-2
50
6
MBC
메모리블럭그룹
10
4
메모리
12