

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7146784号  
(P7146784)

(45)発行日 令和4年10月4日(2022.10.4)

(24)登録日 令和4年9月26日(2022.9.26)

(51)国際特許分類	F I			
H 0 1 L 21/28 (2006.01)	H 0 1 L	21/28	3 0 1 B	
H 0 1 L 21/3205(2006.01)	H 0 1 L	21/28	3 0 1 R	
H 0 1 L 21/768(2006.01)	H 0 1 L	21/28	3 0 1 S	
H 0 1 L 23/522(2006.01)	H 0 1 L	21/88	J	
H 0 1 L 29/417(2006.01)	H 0 1 L	29/50	J	
請求項の数 24 (全45頁) 最終頁に続く				

(21)出願番号	特願2019-544889(P2019-544889)	(73)特許権者	503455363 レイセオン カンパニー アメリカ合衆国 マサチューセッツ州 0 2 4 5 1 - 1 4 4 9 ウォルサム ウィン ター ストリート 8 7 0
(86)(22)出願日	平成30年2月13日(2018.2.13)	(74)代理人	100107766 弁理士 伊東 忠重
(65)公表番号	特表2020-508573(P2020-508573 A)	(74)代理人	100070150 弁理士 伊東 忠彦
(43)公表日	令和2年3月19日(2020.3.19)	(74)代理人	100091214 弁理士 大貫 進介
(86)国際出願番号	PCT/US2018/017895	(72)発明者	ラロッシュ, ジェフリー, アール. アメリカ合衆国 テキサス州 7 8 7 4 9 オースティン ヘイデン・レーン 9 0 0 1
(87)国際公開番号	WO2018/156374	(72)発明者	チュンベス, エドアルド, エム. 最終頁に続く
(87)国際公開日	平成30年8月30日(2018.8.30)		
審査請求日	令和1年8月19日(2019.8.19)		
(31)優先権主張番号	15/438,148		
(32)優先日	平成29年2月21日(2017.2.21)		
(33)優先権主張国・地域又は機関	米国(US)		
前置審査			

(54)【発明の名称】 金フリーコンタクトを有する窒化物構造及びそのような構造を形成する方法

(57)【特許請求の範囲】

【請求項1】

基板、

前記基板上に配置された I I I 族 - N 半導体層、

前記 I I I 族 - N 半導体層と接触した多層電気コンタクト構造であり、当該多層電気コンタクト構造は、フィンガー状ドレイン電極構造、フィンガー状ソース電極構造、及びソースパッドを提供し、当該多層電気コンタクト構造は、

前記 I I I 族 - N 半導体層と接触した金フリーコンタクト層と、

前記金フリーコンタクト層上に配置され且つ前記金フリーコンタクト層に電氣的に接続された金フリーの導電性のエッチング停止層と、

を有する、多層電気コンタクト構造、及び

前記ソースパッドの前記金フリーの導電性のエッチング停止層まで及び前記フィンガー状ソース電極構造の前記金フリーの導電性のエッチング停止層まで、前記基板、前記 I I I 族 - N 半導体層、及び前記金フリーコンタクト層を通り抜けている複数の導電ビア、

を有する半導体構造。

【請求項2】

前記多層電気コンタクト構造は、前記金フリーコンタクト層の上に配置されたアルミニウムベースの層を含む、請求項1に記載の半導体構造。

【請求項3】

前記金フリーコンタクト層は、前記 I I I 族 - N 半導体層と直に接触しており、前記金

フリーコンタクト層及び前記アルミニウムベースの層は、660度未満の温度で前記ⅡⅡ族 - N半導体層とともにアニールすることで前記ⅡⅡ族 - N半導体層とのオーミックコンタクトを形成することが可能な物理的アニーリング特性を有する、請求項2に記載の半導体構造。

【請求項4】

当該半導体構造は、前記多層電気コンタクト構造に電氣的に接続された電極コンタクトを含む、請求項1に記載の半導体構造。

【請求項5】

半導体構造を形成する方法であって、

ⅡⅡ族 - N半導体層が上に配置された基板を用意し、

前記ⅡⅡ族 - N半導体層と接触させて多層電気コンタクト構造を形成し、該多層電気コンタクト構造は、フィンガー状ドレイン電極構造、フィンガー状ソース電極構造、及びソースパッドを提供し、該多層電気コンタクト構造は、前記ⅡⅡ族 - N半導体層と接触した金フリーコンタクト層と、該金フリーコンタクト層上に配置され且つ該金フリーコンタクト層に電氣的に接続された金フリーの導電性のエッチング停止層とを有し、前記ソースパッドの前記金フリーの導電性のエッチング停止層まで及び前記フィンガー状ソース電極構造の前記金フリーの導電性のエッチング停止層まで、前記基板、前記ⅡⅡ族 - N半導体層、及び前記金フリーコンタクト層を通り抜けている複数の導電ビアを形成する、

ことを有する方法。

【請求項6】

前記多層電気コンタクト構造は、前記金フリーコンタクト層の上に配置されたアルミニウムベースの層を含む、請求項5に記載の方法。

【請求項7】

前記金フリーコンタクト層は、前記ⅡⅡ族 - N半導体層と直に接触して形成され、前記金フリーコンタクト層及び前記アルミニウムベースの層が、660度未満の温度でアニールされて、前記ⅡⅡ族 - N半導体層とのオーミックコンタクトを形成する、請求項6に記載の方法。

【請求項8】

前記多層電気コンタクト構造は、前記多層電気コンタクト構造に電氣的に接続された電極コンタクトを含む、請求項5に記載の方法。

【請求項9】

前記金フリーの導電性のエッチング停止層は、アルミニウム、ニッケル、モリブデン、白金、又はアルミニウムを有する、請求項1に記載の半導体構造。

【請求項10】

前記電気コンタクト構造は、Ta、Ti、TiN、Pt、Ni、Si、AlSi、W、又はMoとのAlの2層以上のスタックを有する、請求項1に記載の半導体構造。

【請求項11】

前記金フリーコンタクト層は金属シリサイドを有する、請求項1に記載の半導体構造。

【請求項12】

前記金属シリサイドは、CoSi<sub>2</sub>又はNiSiである、請求項11に記載の半導体構造。

【請求項13】

前記金属シリサイドは、前記ⅡⅡ族 - N半導体層内にリセス化されている、請求項11に記載の半導体構造。

【請求項14】

前記金属シリサイドはCoSi<sub>2</sub>又はNiSiである、請求項13に記載の半導体構造。

【請求項15】

前記金属シリサイドは、リン(P)、ヒ素(As)、又はアンチモン(Sb)でドーブされている、請求項11に記載の半導体構造。

## 【請求項 16】

前記金属シリサイドは  $\text{CoSi}_2$  又は  $\text{NiSi}$  である、請求項 15 に記載の半導体構造。

## 【請求項 17】

前記金属シリサイドは、前記 III 族 - N 半導体層内にリセス化されている、請求項 15 に記載の半導体構造。

## 【請求項 18】

前記多層電気コンタクト構造は、前記 III 族 - N 半導体層内にリセス化されている、請求項 1 に記載の半導体構造。

## 【請求項 19】

前記電極コンタクトは、金フリーの電極コンタクトである、請求項 4 に記載の半導体構造。 10

## 【請求項 20】

前記電極コンタクトは、金フリーの電極コンタクトとして形成される、請求項 8 に記載の方法。

## 【請求項 21】

基板、

前記基板上に配置された III 族 - N 半導体構造、

前記 III 族 - N 半導体構造と接触した多層電気コンタクト構造であり、当該多層電気コンタクト構造は、フィンガー状ドレイン電極構造、フィンガー状ソース電極構造、及びソースパッドを提供し、当該多層電気コンタクト構造は、 20

前記 III 族 - N 半導体構造と接触した金フリーコンタクト層と、

前記金フリーコンタクト層上に配置され且つ前記金フリーコンタクト層に電氣的に接続された金フリーの導電性のエッチング停止層と、

前記金フリーの導電性のエッチング停止層と電氣的に接触した金フリーの電極コンタクトと、

を有する多層電気コンタクト構造、及び

前記ソースパッドの前記金フリーの導電性のエッチング停止層まで及び前記フィンガー状ソース電極構造の前記金フリーの導電性のエッチング停止層まで、前記基板を通り抜けている複数の導電ビアであり、前記金フリーの導電性のエッチング停止層が、当該導電ビアの上面と直に接触した底面と、前記金フリーの電極コンタクトと直に接触した上面とを持つ、導電ビアと、 30

を有する半導体構造。

## 【請求項 22】

前記金フリーの導電性のエッチング停止層の前記底面の内側部分が、前記導電ビアと接触しており、前記金フリーの導電性のエッチング停止層の前記底面の外側部分が、前記金フリーコンタクト層の外側部分と接触している、請求項 21 に記載の半導体構造。

## 【請求項 23】

前記金フリーコンタクト層は、金属シリサイドを有し、該金属シリサイドは、前記 III 族 - N 半導体構造とオーミックコンタクトしており、且つ該金属シリサイドはドーブされている、請求項 21 に記載の半導体構造。 40

## 【請求項 24】

前記金属シリサイドは、リン (P)、ヒ素 (As)、アンチモン (Sb)、又はこれらの組み合わせでドーブされている、請求項 23 に記載の半導体構造。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本開示は、概して、窒化物の上面と接触する金フリーの電気コンタクト構造を有する構造に関する。

## 【背景技術】

## 【0002】 50

技術的に知られているように、例えば窒化ガリウム系 ( $\text{AlGaIn}/\text{GaIn}$ ) 高電子移動度トランジスタ (HEMT) など、窒化物半導体として参照されることもある III 族窒化物半導体を有する数多くのモノリシックマイクロ波集積回路 (MMIC) が、高周波及び高電力 (ハイパワー) の用途でますます使用されている。以降では、III 族窒化物を III 族 - N として参照することもあり、これは例えば、二元の  $\text{InN}$ 、 $\text{GaIn}$ 、 $\text{AlIn}$  合金、例えば  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $\text{AlGaIn}$ ) 合金などの三元合金、及び他の窒素系合金を含む。

#### 【0003】

これらの HEMT デバイスの潜在能力を実現するためには、低抵抗で、良好なエッジ鋭敏性の、信頼性のある金属 - 金属コンタクト、及び金属 - 半導体オーミックコンタクトを達成することが必要である。大抵の III 族 - N ファウンドリ金属 - 金属及び金属 - 半導体低抵抗オーミックコンタクトは、(伝送線路及びオーミックコンタクトのために) シート抵抗を低減させるように、及び能動デバイスに対して最も低い金属 - 半導体オーミックコンタクト抵抗を達成するのに必要とされる高温アニール中の酸化を減らすよう、金 ( $\text{Au}$ ) を使用している。

10

#### 【0004】

これまた知られているように、多くのモノリシックマイクロ波集積回路 (MMIC) 及び他の集積回路 (IC) において、マウントされたチップへのグランド及び電気信号の双方のために、MMIC の底面に電気的な接続がなされ、これらの接続は、基板及び/又は基板の少なくとも一部上の半導体エピタキシャル層を通り抜ける導電ビアを通じて、これらビアをウエハ上のメタライゼーション (前面側メタライゼーションとして参照されることもある) に接続する電気コンタクトに対してなされる。

20

#### 【0005】

伝統的に、III 族 - N の HEMT MMIC 及びデバイスは、III - V 族ファウンドリにおいてリフトオフに基づく処理によって製造される。しかしながら、最近、III 族 - N HEMT は、 $\text{Si}$  CMOS ファウンドリ環境で、高歩留まりシリコン ( $\text{Si}$ ) のような、 $\text{Au}$  フリーのサブトラクティブ処理技術を用いて製造され始めている。より具体的には、“リフトオフ” プロセスは、表面のうち材料が堆積されるべき選択部分を露出させる窓をマスクが有するものである。材料がマスク上に堆積され、材料の一部が、表面の露出された選択部分上へと窓を通り抜ける。溶媒を用いて、マスクが、マスク上の材料の部分 (堆積された材料のうち不所望の部分) とともにリフトオフされ、表面のうち上記露出された選択部分上に材料の所望部分が残される。“サブトラクティブ” プロセスは、まず材料が表面全体に堆積されるものである。次いで、堆積された材料の選択部分 (処理後に残ることになる部分) のみを覆ってマスクが形成され、堆積された材料の不所望部分は露出される。次いで、エッチャントをマスクと接触させ、それにより、露出されている不所望部分が除去される一方で、マスクが、材料のうち覆われている所望部分をエッチャントが除去するのを防ぐ。

30

#### 【0006】

よく知られていることには、 $\text{Si}$  CMOS ファウンドリに対して、(伝統的な III - V 族ファウンドリで処理される) III - V 族化合物半導体デバイス及び回路の歩留まり及びコストは、小さいウエハ出来高、処理中の基板ハンドリングの増加、金属ラインを画成するためのリフトオフベースの処理技術の広範な使用、及びサブ 500 nm ゲートリソグラフィのための時間のかかる電子ビームリソグラフィの使用によって、長いこと制限されてきた。一方、 $\text{Si}$  CMOS ファウンドリ環境は、大きいウエハ出来高、大きいウエハ径 (200 mm)、高度に自動化されたカセット・ツー・カセットウエハ製造又は処理ツール、サブトラクティブ処理技術、高度な光リソグラフィクラスタツール及び技術 (サブ 100 nm の造形を画成することが可能)、及び設備の発展とテクノロジーノードの発展との双方を駆り立てるムーアの法則パラダイムという利益を有する。

40

#### 【0007】

しかしながら、前述のように、 $\text{Si}$  ファウンドリ基盤及び付随する  $\text{Si}$  CMOS ウエ

50

八出来高の利益を活用するためには、開発される III 族 - N プロセスが Au フリーでなければならない。金は Si においては深い準位のトラップドープメントである。従って、致命的な歩留まり問題を引き起こし得る深刻な汚染の懸念であるため、Si CMOS ファウンドリ製造ラインのフロントエンド又はバックエンドにおいて Au は許されない。

#### 【0008】

従って、Si ファウンドリ環境における GaN (又は他の III - V 族) デバイスウエハの金フリー処理は、例えばアルミニウム (Al) 又は銅 (Cu) などの、Si ファウンドリバックエンドオンライン (BEOL) に適合したメタライゼーションの使用を必要とする。銅は、優れた導電率及びエレクトロマイグレーション耐性を持つので、これらの金属の中で、使用するのに最も魅力的である。しかしながら、揮発性の銅ドライエッチング副生成物の欠如のため、フォトレジストマスクング及びプラズマエッチングがアルミニウムでは大なる成功を伴って使用されてきたフォトリソグラフィの技術によってでは、容易には、銅をサブトラクティブにパターニングすることができない。銅を処理するために、ダマシンプロセス (これもサブトラクティブである) が開発された。Cu ダマシンプロセスでは、典型的には下に位置する絶縁層 (通常は二酸化シリコン) である銅のためのホスト絶縁体材料が、銅を形成すべきところに開口トレンチを有するようにパターニングされる。この絶縁層上に、トレンチをかなり過充填する銅の厚いコーティングが堆積され、化学機械平坦化 (CMP) を用いて、絶縁層の頂面上に延在する余分な銅が除去される。絶縁層のトレンチ内に充填された Cu は除去されずに、パターン形成された導電インターコネクトとなる。

#### 【0009】

これまた技術的に知られているように、Cu は管理可能なものではあるが、Si ファウンドリに対してそれ自身の汚染リスクをもたらすものでもある。周囲材料への銅の拡散はそれらの特性を劣化させることになるので、バリア層が全ての銅インターコネクトを完全に取り囲むべきである。典型的に、Cu メタルインターコネクトの底面及び側面に沿った拡散バリアとして作用する薄いタンタル (Ta) 及び / 又は窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) メタル層 (Ta / Ta<sub>2</sub>N<sub>5</sub> / Cu めっきシードメタルスタックの一部としてのもの) で、トレンチがライニングされる。Cu CMP 後に、インターコネクトメタルの頂面が SiN<sub>x</sub> で被覆され、これが、層間酸化物堆積中の酸化を防止する頂部界面拡散バリアとして作用するとともに、更なるインターコネクト形成のための (二酸化シリコンのトレンチエッチング中の) エッチング停止層として作用する。しかしながら、ビアを形成するために塩素 (又は他の酸化剤) 系エッチングを必要とするウエハ貫通ビア又は半導体層貫通ビアによって裏面から前面へのメタルインターコネクトが支援されるとき、追加のプロセス複雑性が生じる。塩化物系のエッチング副生成物は不揮発性であり、このエッチングプロセスは劣化した Cu 界面をもたらす。

#### 【発明の概要】

#### 【0010】

開示によれば、半導体構造が提供され、当該半導体構造体は、基板と、該基板上に配置された III 族 - N 半導体層と、III 族 - N 半導体層と接触した多層電気コンタクト構造とを有する。電気コンタクト構造は、III 族 - N 半導体層と接触した金フリーコンタクト層と、該金フリーコンタクト層に電氣的に接続された金フリーの導電性のエッチング停止層とを有する。導電ビアが、エッチング停止層まで基板を通り抜けている。

#### 【0011】

一実施形態において、多層電気コンタクト構造は、金フリーコンタクト層の上に配置されたアルミニウムベースの層を含む。

#### 【0012】

一実施形態において、金フリーコンタクト層は、III 族 - N 半導体層と直に接触しており、金フリーコンタクト層及びアルミニウムベースの層は、660 度未満の温度で III 族 - N 半導体層とともにアニールすることで III 族 - N 半導体層とのオーミックコンタクトを形成することが可能な物理的アニーリング特性を有する。

10

20

30

40

50

## 【 0 0 1 3 】

一実施形態において、電極コンタクトが、多層電気コンタクト構造に電氣的に接続され、多層電気コンタクト構造及び電極コンタクトは、ソース、ドレイン又はゲートの電極構造を提供している。

## 【 0 0 1 4 】

一実施形態において、電極コンタクトは、金フリーの電極コンタクトである。

## 【 0 0 1 5 】

一実施形態において、半導体構造を形成する方法が提供される。当該方法は、III族-N半導体層が上に配置された基板を用意し、III族-N半導体層と接触させて多層電気コンタクト構造を形成し、該多層電気コンタクト構造は、III族-N半導体層と接触した金フリーのコンタクト層と、該コンタクト層に電氣的に接続された金フリーの導電性のエッチング停止層とを有し、エッチング停止層まで基板を通り抜けている導電ビアを形成することを有する。

10

## 【 0 0 1 6 】

一実施形態において、コンタクト層は、III族-N半導体層と直に接触して形成され、コンタクト層及びアルミニウムベースの層が、660度未満の温度でアニールされて、III族-N半導体層とのオーミックコンタクトを形成する。

## 【 0 0 1 7 】

一実施形態において、半導体構造が提供され、当該半導体構造は、III族-N半導体層と、金属窒化物を含んだ電気コンタクト構造であり、金属シリサイドがIII族-N半導体層とオーミックコンタクトしている、電気コンタクト構造とを有する。

20

## 【 0 0 1 8 】

一実施形態において、III族-N層と接触した導電性オーミックコンタクトを形成する方法が提供され、当該方法は、電気コンタクト構造とIII族-N半導体層との間にオーミックコンタクトを形成することを有し、該形成することは、電気コンタクト構造の第1の金属とIII族-N半導体層との間に金属窒化物を形成し、そして、電気コンタクト構造の第2の金属を第1の金属内に及びIII族-N半導体層の上面に拡散させることを有し、拡散させることは、電気コンタクトの第3の金属又は金属窒化物との混ざり合いを防止することを含む。

## 【 0 0 1 9 】

一実施形態において、混ざり合いを防止することは、オーミックコンタクトの第3の金属又は金属窒化物の堆積に先立って、オーミックコンタクト形成中に、電気コンタクト構造の第1の金属及び第2の金属を形成してアニールすることを有する。

30

## 【 0 0 2 0 】

一実施形態において、混ざり合いを防止することは、電気コンタクトメタル堆積プロセス中に、電気コンタクト構造の第2の金属と第3の金属又は金属窒化物との間に、部分的に酸化された中間層を形成することを有する。

## 【 0 0 2 1 】

一実施形態において、混ざり合いを防止することは、電気コンタクト構造の金属堆積プロセス中に第3の金属を金属窒化物として形成することを有する。

40

## 【 0 0 2 2 】

一実施形態において、半導体構造が提供され、当該半導体構造は、基板と、該基板の上面上のIII族-N層であり、基板の上面まで当該III族-N層を通り抜ける窓を有するIII族-N層と、基板の上面上に、窓の中に配置され、III族-N層とオーミックコンタクトしたコンタクト構造とを有する。

## 【 0 0 2 3 】

一実施形態において、半導体構造が提供され、当該半導体構造は、基板と、該基板の上面上のIII族-N層であり、当該III族-N層は、基板の上面まで当該III族-N層を通り抜ける窓を有し、該窓が当該III族-N層の側壁を露出させる、III族-N層と、窓の中に配置され、III族-N層の露出された側壁とオーミックコンタクトした

50

コンタクト構造とを有する。

【0024】

一実施形態において、エッチング停止層は、アルミニウム、ニッケル、モリブデン、白金、又はアルミニウムを有する。

【0025】

一実施形態において、電気コンタクト構造は、Ta、Ti、TiN、Pt、Ni、Si、AlSi、W、又はMoとのAlの2層以上のスタックを有する。

【0026】

一実施形態において、電気コンタクト構造は金属シリサイドを有する。

【0027】

一実施形態において、電気コンタクト構造は、CoSi<sub>2</sub>又はNiSiである金属シリサイドを有する。

【0028】

一実施形態において、金属シリサイドは、III族 - N半導体層内にリセス化されている。

【0029】

一実施形態において、半導体構造が提供され、当該半導体構造は、III族 - N半導体層と、該III族 - N半導体層とオーミックコンタクトしたソース電極構造及びドレイン電極構造と、ソース電極構造とドレイン電極構造との間に配置され、III族 - N半導体層と接触したゲート電極構造とを有し、ソース電極構造、ドレイン電極構造及びゲート電極構造は各々、電気コンタクト構造と、該電気コンタクト構造上の電極コンタクトとを有し、各電極コンタクトが同様の材料である。

【0030】

一実施形態において、電極コンタクトは、金フリーの導電性材料である。

【0031】

一実施形態において、電極コンタクトの各々が、ライナと、該ライナ上に配置された金フリーの導電性材料とを有する。

【0032】

一実施形態において、電極コンタクトは、共平面の上面を有する。

【0033】

一実施形態において、半導体構造が提供され、当該半導体構造は、III族 - N半導体層と、該III族 - N半導体層とオーミックコンタクトしたソース電極構造及びドレイン電極構造と、ソース電極構造とドレイン電極構造との間に配置され、III族 - N半導体層と接触したゲート電極構造とを有し、ソース電極構造、ドレイン電極構造及びゲート電極構造は各々、電気コンタクト構造と、該電気コンタクト構造上の電極コンタクトとを有し、電極コンタクトが共平面の上面を有する。

【0034】

一実施形態において、電極コンタクトの各々が、金フリーの導電性材料を有する。

【0035】

一実施形態において、半導体構造を形成する方法が提供され、当該方法は、III族 - N半導体層を設け、ソース電気コンタクト構造及びドレイン電気コンタクト構造がIII族 - N半導体層とオーミックコンタクトし、ソース電気コンタクト構造とドレイン電気コンタクト構造との間に配置されるゲート電気コンタクト構造がIII族 - N半導体層と接触し、複数の電極コンタクトを同時に形成し、複数の電極コンタクトの各々が、ソース電気コンタクト構造、ドレイン電気コンタクト構造及びゲート電気コンタクト構造のうちの対応する1つの上に形成されて該1つに電氣的に接続される、ことを有する。

【0036】

一実施形態において、半導体構造を形成する方法が提供され、当該方法は、III族 - N半導体層を設け、該III族 - N半導体層上に、複数の層を有するゲート電極を形成することを有し、上記複数の層は、ニッケル(Ni)、窒化チタン(TiN)、ニッケル/

10

20

30

40

50

窒化タンタル (Ni/TaN)、ニッケル/タンタル (Ni/Ta)、ニッケル/タンタル/窒化タンタル (Ni/Ta/TaN)、ニッケル/モリブデン、(Ni/Mo)、窒化チタン/タングステン (TiN/W)、又はドーブされた金属シリサイド、を含む単一の材料又は複数の材料を有し、ゲート電極の形成は、窒化チタン (TiN)、窒化チタン/タングステン (TiN/W)、又はドーブされた金属シリサイドを有する複数の層のうちの1つ以上を、塩素系若しくはフッ素系のエッチャント又はこれらの組み合わせを有するドライエッチャントでエッチングすることを有する。

【0037】

一実施形態において、ゲート電極の形成は、ニッケル/窒化タンタル (Ni/TaN)、ニッケル/タンタル (Ni/Ta)、ニッケル/タンタル/窒化タンタル (Ni/Ta/TaN) を有する複数の層のうちの1つ以上をウェットエッチングでエッチングすることを有する。

10

【0038】

このような構成では、前面側の金フリーのメタルインターコネクトコンタクト構造と、裏面側のエッチングされるビアとの間で、ウエハの前面側に、シリコンファウンドリに適合した、サブトラクティブにパターンニングされる基板貫通ビア (TSV) エッチング停止メタル層が配置される。例えばニッケル又はモリブデン又は白金などの金属が、塩素系の裏面側ビアエッチング用のエッチング停止層として使用される一方で、アルミニウムが、フッ素系エッチング用のエッチングストップとして機能することができる。これらのメタルエッチング停止層は、インターコネクトコンタクト構造の前面から裏面への抵抗に対する悪影響を軽減するために、可能な限り薄くされる。

20

【0039】

一実施形態において、電気コンタクト構造は、当該電気コンタクト構造の第3の金属層 (混ざり合いを防止する層) より上に配置された導電性のエッチング停止層を含む。この実施形態では、前面側の処理及び裏面側のウエハ薄化の後に、裏面側ビアホールが、導電性エッチング停止層で終了する二段階 (2ステップ) エッチングプロセスを伴う化学ドライエッチングを用いて形成される。ビアホールエッチングプロセスの第1ステップにて、基板の底面の露出した部分に、フッ素系ドライエッチングを用いてビアホールが形成される。このフッ素系エッチングは、III族 - N層上で選択的に停止する。第2ステップにて、ビアホール内で露出したIII族 - N層の底面が塩素系ドライエッチングにさらされる。この塩素系の裏面側ビアホールドライエッチングは、III族 - N層及び電気コンタクト構造を貫いてビアホールエッチングを続け、そして、電気コンタクト構造メタルの導電性エッチング停止層で終了する。

30

【0040】

一実施形態において、電気コンタクト構造の最初の3つの金属のうちの1つがまた導電性エッチング停止層であり、化学エッチングは、基板及び誘電体層を貫く単一のフッ素系エッチャントでビアホールを形成することを有する。この実施形態では、電気コンタクト構造の堆積に先立って、III族 - N材料を基板に対して選択的にエッチングして、ビアホールを形成すべきところでIII族 - N材料に開口 (アパーチャ) を形成する。次いで、アパーチャが、基板と同様にフッ素系ケミストリにてエッチングされることができる誘電体材料で充填される。次いで、その最初の3つの層のうちの1つがフッ素系ケミストリに対するエッチング停止層を含むものである電気コンタクト構造が堆積され、そして、残りの前面側処理が続けられる。結果として、裏面側処理において、単一のフッ素系ドライエッチングを用いて、電気コンタクト構造内に埋め込まれたエッチング停止層まで基板及びアパーチャ誘電体を貫いて、ビアホールを選択的にエッチングすることができる。

40

【0041】

一実施形態において、電気コンタクト構造の最初の3つの金属のうちの1つがまた導電性エッチング停止層であり、化学エッチングは、基板層を貫く単一のフッ素系エッチャントでビアホールを形成することを有する。この実施形態では、電気コンタクト構造の堆積に先立って、III族 - N材料を基板に対して選択的にエッチングして、ビアホールを形

50

成すべきところで I I I 族 - N 材料に開口（アパーチャ）を形成する。次いで、アパーチャ内に電気コンタクト構造が堆積され（故に、アパーチャの底で基板に直に接触する）、残りの前面側処理が続けられる。結果として、裏面側処理において、単一のフッ素系ドライエッチングを用いて、電気コンタクト構造内に埋め込まれたエッチング停止層まで基板を貫いて、ビアホールを選択的にエッチングすることができる。

【 0 0 4 2 】

本開示の 1 つ以上の実施形態の細部が、添付の図面及び以下の記載にて説明される。本開示のその他の特徴、目的及び利点が、これらの記載及び図面並びに請求項から明らかになる。

【図面の簡単な説明】

10

【 0 0 4 3 】

【図 1 A】本開示に従った、ここでは高電子移動度トランジスタ（H E M T）である電界効果トランジスタ（F E T）の簡略化した断面図である。

【図 1 B】図 1 A の直線 1 B - 1 B に沿ってとられた図 1 A の F E T の一部の簡略化した平面図である。

【図 2 A】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 B】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 C】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

20

【図 2 D】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 D a】図 2 D において矢印で囲んだ部分の図 2 D の拡大部分である。

【図 2 E】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 F】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 G】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

30

【図 2 H】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 I】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 J】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 K】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 L】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

40

【図 2 M】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 N】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 O】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 P】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 Q】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

50

【図 2 R】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 S】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 T】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 U】図 2 A - 2 U は、本開示に従った、半導体構造の製造の様々な段階における半導体構造の概略断面図である。

【図 2 U a】矢印 2 U' - 2 U' で指し示した図 2 U の一部の分解概略断面図である。

【図 3 A】本開示に従った、図 2 A - 2 T の構造で使用される複数のゲート電極構造のうち 10 の例示的な 1 つの概略断面図である。

【図 3 A a】図 2 A - 2 T の構造で使用され得る複数のゲート電極構造のうち 1 つの他の一実施形態の概略断面図である。

【図 3 B】本開示に従った、図 2 A - 2 U の構造でソース及びドレイン電極構造として使用される複数の電極のうち 1 つの例示的な 1 つの概略断面図である。

【図 3 B a】本開示の他の一実施形態に従った、図 2 A - 2 U の構造でソース及びドレイン電極構造として使用される複数の電極のうち 1 つの例示的な 1 つの概略断面図である。

【図 4 A】図 4 A 及び 4 A a は、本開示に従った半導体構造を形成する際に使用される低温アニールプロセスを理解するのに有用な 1 つの概略断面図である。

【図 4 A a】図 4 A 及び 4 A a は、本開示に従った半導体構造を形成する際に使用される低温アニールプロセスを理解するのに有用な 1 つの概略断面図である。

【図 4 B】図 4 B 及び 4 B a は、本開示に従った半導体構造を形成する際に使用される他の低温アニールプロセスを理解するのに有用な 1 つの概略断面図である。

【図 4 B a】図 4 B 及び 4 B a は、本開示に従った半導体構造を形成する際に使用される他の低温アニールプロセスを理解するのに有用な 1 つの概略断面図である。

【図 5 A】図 5 A - 5 C は、本開示の他の一実施形態に従った、半導体構造の製造の様々な段階における概略断面図である。

【図 5 A】本開示の他の一実施形態に従った半導体構造の概略断面図である。

【図 5 B】図 5 A - 5 C は、本開示の他の一実施形態に従った、半導体構造の製造の様々な段階における概略断面図である。

【図 5 B a】図 5 B において矢印 5 B' - 5 B' で囲んだ部分の図 5 B の拡大部分を示す概略断面図である。

【図 5 C】図 5 A - 5 C は、本開示の他の一実施形態に従った、半導体構造の製造の様々な段階における概略断面図である。

【図 6 A】図 6 A - 6 D は、本開示の他の一実施形態に従った、半導体構造の製造の様々な段階における概略断面図である。

【図 6 B】図 6 A - 6 D は、本開示の他の一実施形態に従った、半導体構造の製造の様々な段階における概略断面図である。

【図 6 C】図 6 A - 6 D は、本開示の他の一実施形態に従った、半導体構造の製造の様々な段階における概略断面図である。

【図 6 C a】図 6 C において矢印 6 C' - 6 C' で囲んだ部分の図 6 C の拡大部分を示す概略断面図である。

【図 6 D】図 6 A - 6 D は、本開示の他の一実施形態に従った、半導体構造の製造の様々な段階における概略断面図である。

【図 6 D a】本開示の他の一実施形態に従った半導体構造の拡大部分を示す概略断面図である。

【図 7 A】図 7 A - 7 G は、本開示の他の一実施形態に従った、半導体構造の製造の様々な段階における概略断面図である。

【図 7 B】図 7 A - 7 G は、本開示の他の一実施形態に従った、半導体構造の製造の様々な段階における概略断面図である。

10

20

30

40

50



ある。

【図10F】図10A - 10Gは、本開示に従った、図2A - 2Uの半導体構造及びその製造の様々な段階で使用されるゲート電極構造の製造の様々な段階における概略断面図である。

【図10G】図10A - 10Gは、本開示に従った、図2A - 2Uの半導体構造及びその製造の様々な段階で使用されるゲート電極構造の製造の様々な段階における概略断面図である。

【0044】

様々な図中の似通った参照符号は同様の要素を指し示している。

【発明を実施するための形態】

【0045】

次いで、図1A及び1Bを参照するに、ここではHEMTであるマルチゲート電界効果トランジスタ(FET)12が中に形成された半導体構造10が示されている。FET12は、図1Aに示すように、金フリーの(すなわち、金を含まない)ゲートパッド16に相互接続された、ここでは例えば4つの、複数の金フリーのフィンガー状のゲート電極コンタクト構造14<sub>1</sub> - 14<sub>4</sub>と、金フリーのドレインパッド20に相互接続された、ここでは例えば2つの、複数の金フリーのフィンガー状ドレイン電極構造18<sub>1</sub> - 18<sub>2</sub>と、金フリーの導電インターコネクト構造24によって相互接続された、ここでは例えば3つの、複数の金フリーのソース電極構造22<sub>1</sub> - 22<sub>3</sub>とを含んでいる。理解されるべきことには、ゲート電極構造14<sub>1</sub> - 14<sub>4</sub>、ソース電極構造22<sub>1</sub> - 22<sub>3</sub>、及びドレイン電極構造18<sub>1</sub> - 18<sub>2</sub>の数は、示されるものよりも多く(又は少なく)てもよい。いずれにしても、ゲート電極構造14<sub>1</sub> - 14<sub>4</sub>の各々が、ドレイン電極構造18<sub>1</sub> - 18<sub>2</sub>のうちの対応する1つと、ソース電極構造22<sub>1</sub> - 22<sub>3</sub>のうちの対応する1つとの間に配置されて、ドレイン電極構造18<sub>1</sub> - 18<sub>2</sub>のうちの上記対応する1つと、ソース電極構造22<sub>1</sub> - 22<sub>3</sub>のうちの上記対応する1つとの間での半導体構造10内のキャリアの流れを制御する。また、図示のように、2つのパッド26<sub>1</sub>、26<sub>2</sub>が設けられ、導電インターコネクト構造24の両端に接続されている。これらのパッド26<sub>1</sub>、26<sub>2</sub>は、それぞれ、半導体構造10を通り抜ける導電ビア30<sub>1</sub>、30<sub>2</sub>によって、半導体構造10の底面を覆って形成された導電層28に接続されている。図2A - 2Tに関して更に詳細に説明するように、構造10の前面側又は頂面側が、マルチゲートFET12を形成するようにシリコンファウンドリにて処理される。

【0046】

より具体的には、図2Aを参照するに、半導体構造10が、より詳細に、ここでは例えばシリコン(Si)、炭化ケイ素(SiC)、又はシリコン・オン・インシュレータ(SOI)である基板32を含むように示されている。基板32の上部上にIII族-N半導体層34の層があり、ここでは例えば、基板32の上面を覆っておよそ1 - 5ミクロンの厚さを有し、そして、III族-N半導体層34の上面上に、ここでは例えばおよそ5 - 30nmの厚さを有する窒化アルミニウムガリウム(Al<sub>x</sub>Ga<sub>1-x</sub>N、ただし、xは0 < x < 1)である第2のIII族-N半導体層36が続いている。理解されるべきことには、層34はここではGaNバッファ構造であり、これはまた、図示していない核形成層及び歪み緩和層を含み、典型的に、窒化アルミニウム(AlN)及び窒化アルミニウムガリウム(Al<sub>x</sub>Ga<sub>1-x</sub>N、ただし、xは0 < x < 1)である。図1Aに示すメサ構造を形成するよう、従来からのシリコン(Si)ファウンドリ適合サブトラクティブパターンング(リソグラフィ及びエッチング)技術を用いて、III族-N半導体層34及びIII族-N半導体層36の一部が除去される。なお、しかしながら、図1Aにおいてエッチングされたメサ構造によって提供されている電気的分離(アイソレーション)は、同じ被マスク層の(エッチングの代わりに)イオン注入(ここでは例えば窒素)によって提供されてもよい。これはプレーナ構造をもたらすことになる。後述するように、構造10は、上で図1A及び1Bにて示したマルチゲートFET12を形成するように処理される。なお、フィンガー状のゲート電極構造14<sub>1</sub> - 14<sub>4</sub>、ドレイン電極構造18<sub>1</sub> - 18<sub>2</sub>、及

10

20

30

40

50

びソース電極構造  $22_1 - 22_3$  はメサ  $11$  上にあるが、ゲートパッド  $16$ 、ドレインパッド  $20$ 、及び  $2$  つのパッド  $26_1$ 、 $26_2$  はメサ  $11$  から外れている。

【0047】

次に図  $2B$  を参照するに、図  $2A$  に示した構造の前面側又は頂面側が、ここでは例えば窒化シリコン  $SiN_x$  であるパッシベーション層  $38$  で被覆される。図  $2C$  に示すように、層  $38$  の選択された部分を貫く窓又は開口  $40_1 - 40_7$  を形成するように、従来からのシリコン ( $Si$ ) ファウンドリ適合サブトラクティブパターンング (リソグラフィ及びエッチング) 技術を用いて層  $38$  が処理され、それにより、パッド  $26_1$ 、 $26_2$ 、ゲートパッド  $16$  及びドレインパッド  $20$  (図  $1A$  及び  $1B$ ) が形成されることになるところで、窓  $40_1$  及び  $40_7$  が、下に位置する  $GaN$  層  $34$  の表面部分を露出させるとともに、ソース電極構造  $22_1 - 22_3$  及びドレイン電極構造  $18_1 - 18_2$  (図  $1A$  及び  $1B$ ) が形成されることになるところで、窓  $40_2 - 40_6$  が、下に位置する  $AlGaN$  層  $36$  の部分を露出させる。

10

【0048】

次に図  $2D$  を参照するに、電気コンタクト構造  $42_1 - 42_7$  は構成において同じであり、ここでは電気コンタクト構造  $42_1$  であるそのうちの例示的な  $1$  つを、以下の (A) - (C) を含むように、より詳細に図  $3B$  に示す。(A) チタン ( $Ti$ ) 又はタンタル ( $Ta$ ) の底部層  $42a$  と、層  $42a$  上の例えばアルミニウム又は  $Si$  ドープトアルミニウム ( $Al_{1-x}Si_x$ ) (ただし、 $Si$  ドーピングの  $x$  は典型的に  $0.05$ ) の層  $42b$  と、例えばタンタル ( $Ta$ ) 又は金属窒化物 (ここでは例えば窒化チタン ( $TiN$ )) である層  $42c$ 、(B) オーミックコンタクト構造  $42oc$  上に配置された、ここでは例えばニッケル又はモリブデン又は白金である金フリーの導電性エッチング停止層  $42es$ 、及び (C) 図  $2K$  に関連して説明するここでは銅ダマシン電極コンタクトである金フリーの電極コンタクト。なお、エッチング停止層は、特定のエッチャントに対して、そのエッチャントがエッチング停止層に達する前にエッチングされる材料をエッチングする速度よりも半分未満 ( $1/2$ ) の速度でエッチングされる。層  $42a$ 、 $42b$ 、 $42c$  及び  $42es$  は、図  $2C$  に示した構造の表面の上に及び開口  $40_1 - 40_7$  を通って配置される。なお、電気コンタクト構造  $42_1$  及び  $42_7$  は、 $2$  つのパッド  $26_1$ 、 $26_2$  (図  $1B$ ) の上に配置されてそれらに電氣的に接続され、電気コンタクト構造  $42_2$ 、 $42_4$ 、及び  $42_6$  は、ソース電極構造  $22_1 - 22_3$  の上に配置されてそれらに電氣的に接続され、電気コンタクト構造  $42_3$  及び  $42_5$  は、ドレイン電極構造  $18_1$  及び  $18_2$  の上に配置されてそれらに電氣的に接続され、電気コンタクト構造  $42_1$  及び  $42_7$  は、 $GaN$  層  $34$  と接触して形成される。堆積の後、従来からのシリコン ( $Si$ ) ファウンドリ適合サブトラクティブパターンング (リソグラフィ及びエッチング) 技術を用いて、オーミックコンタクト構造  $42oc$  の層  $42a$ 、 $42b$  及び  $42c$  が形成される (具体的には、オーミックコンタクト構造  $42oc$  が、塩素系ドライエッチングケミストリを用いてドライエッチングされる)。次いで、後述するアニールプロセス中に、電気コンタクト構造  $42_2 - 42_6$  が、ここでは  $AlGaN$  層  $III$  族 -  $N$  半導体層  $36$  とオーミックコンタクトして形成される。ここで、例えば、電気コンタクト構造  $42_1 - 42_7$  は、 $60\text{ nm}$  より大きい厚さである。

20

30

40

【0049】

より具体的には、オーミックコンタクト構造  $42oc$  の各々は、トリメタルスタックであり、(a)  $Ti$  又は  $Ta$  の底部層  $42a$  (これは、層  $42a$  を堆積させるのに先立って、層  $36$  の中まで塩素プラズマ系ドライエッチングによって、構造  $42_2 - 42_6$  に関して (図  $2Da$  に示すように)  $III$  族 -  $N$  半導体層  $36$  の上面部分内にリセス化されてもよい) と、(b) ここでは例えばアルミニウム又は  $Si$  ドープトアルミニウム  $Al_{1-x}Si_x$  層  $42b$  (ただし、 $x$  は  $1$  未満であり、ここでは  $x$  は典型的に  $0.05$ ) であるアルミニウムベースの層  $42b$  と、(c) アルミニウムベースの層  $42b$  上の例えばタンタル又は金属窒化物 (ここでは例えば窒化チタン ( $TiN$ )) の層  $42c$  である頂部メタル層  $42c$  とを含んでいる。層  $42a$  及び層  $42c$  の典型的な厚さは  $5 - 30\text{ nm}$  であり、

50

一方、層42bは、オーミックコンタクト三層構造42ocスタック用に選択されるメタル層に応じて50 - 350nmの範囲とし得る。

#### 【0050】

より具体的には、最適なコンタクト形態を維持するため、及び汚染制御のため、半導体オーミックコンタクトを形成するためのオーミックコンタクト構造42ocのアニールは、アルミニウムの融点未満(660)に保たれる。このような低温アニールは典型的に、定常状態の温度において窒素雰囲気中で5分より長く(5分)かかる。より具体的には、ここでは例えばTi又はTa層42aである金属-半導体オーミックコンタクト構造体42ocの第1の金属要素が、ここでは例えばAl<sub>x</sub>Ga<sub>1-x</sub>N層36であるIII族-N表面上に直に堆積され、又はそれと接触して配置され、そして、オーミックコンタクト構造42ocのオーミックコンタクト形成アニール(ここではオーミックアニールとしても参照する)中の周囲温度から定常状態への温度ランプの間に、III族-N材料界面層36内のV族元素である窒素と反応することによって、金属窒化物を形成する。なお、温度ランプは、線形温度ランプが使用されるとき典型的に15/秒であるが、金属窒化物の形成においてIII族-N表面層36との第1の金属層42aの相互作用を最適化するために、段階的温度ランププロファイル及び混合段階及び線形ランププロファイルも全て使用され得るものである。次に、5分にわたる660での定常状態アニールプロセス中に、ここでは例えばアルミニウム層42bである第2のいっそう低抵抗の金属が、第1の金属(ここでは層42a)、形成された金属窒化物、及びIII族-N材料(ここでは層36)の表面の中に拡散して、非常に低抵抗のオーミックコンタクトをもたらす。最後に、オーミックコンタクトを形成する金属-半導体オーミックコンタクト構造42ocのここでは層42a及び42bである第1及び第2の金属と、III族-N材料層36との間での、660の温度での相互作用の量を最大にするために、これら2つの層(ここでは層42a及び42b)の上にこれら2つの層のうちの上側の層(ここでは層42b)と接触して配置された第3の金属層(金属窒化物又は金属、ここでは層42c)との混ざり合いを防止する必要がある。

#### 【0051】

オーミックコンタクト構造体42ocの最初の2つの層(ここでは層42a及び42b)と第3の層(ここでは層42c)との混ざり合いの防止は、いくつかの手法で達成されることが出来る。第1に、それは、第1及び第2の金属(層42a及び42b)の二層スタックとしてオーミックコンタクト構造42ocを堆積させて該オーミックコンタクト構造42ocをアニールし、その後、第3の金属(ここでは層42c)の堆積に先立って、酸化された界面を除去する(酸化された界面のドライエッチング、ウェットエッチング、又はインサイチュドライスパッタ除去による)ことによって達成され得る。第2に、オーミックコンタクト構造42ocの3つ全ての金属層42a、42b及び42cがオーミックコンタクト構造42ocのオーミックアニールに先立って堆積されるときには、以下の2つの方法のうちの一つを用いて、オーミックコンタクト構造42ocとIII族-N半導体層36との間に低温(660)オーミックコンタクトを形成し得る。第1の方法では、図4を参照するに、オーミックコンタクト構造42ocの金属窒化物層(例えばTiN又はTa<sub>x</sub>Nなど、ここでは層42c)が、第2のアルミニウム層(42b)と接触して配置され、660でのアニール中に層42bと混ざり合いに耐え、金属層42aが、III族-N層36及び金属層42bと合金化されて、図4Aaに示すように、層42aとIII族-N層36との間に金属窒化物中間層a(ILa)が形成されて(なお、アニール後に層42aのいくつかの未合金化部分Un-Lが存在してもよく、金属窒化物中間層は不連続であってもよい)、ポストアニールオーミックコンタクト構造42ocを形成する。第2の方法では(図4Bを参照するに)、オーミックコンタクト構造42oc堆積プロセス中又はオーミックコンタクト構造42ocのオーミックアニール中に堆積装置及び/又はアニール装置の中で使用されるガス中に存在するか又は該装置中に意図的に導入されるかのいずれかである酸素との反応によって、薄い(~1-10nm厚)部分的に酸化された第2の金属(ここではアルミニウム層42b)若しくは第3の金属(ここでは

10

20

30

40

50

Ta、TiN、又はTa<sub>2</sub>N層42c)又はこれらの組み合わせである中間層b(ILb)が形成される。この部分的に酸化された金属中間層ILbは、図4Baに示すように、第2の金属層(ここではアルミニウム層42b)と第3の金属又は金属窒化物層(ここではTa、TiN、又はTa<sub>2</sub>N層42c)との間に形成され、又は、660°でのアニール中に混ざり合いに耐える第2のアルミニウム層(42b)と接触して形成され、ポストアニールオーミックコンタクト構造42oc'を形成する。別の言い方をすれば、第2の方法(図4B及び図4Ba)では、金属堆積プロセス中及び/又はアニールプロセス中の酸化物中間層ILbの形成によって、アニール中に第3の金属層42c(金属窒化物又は金属)が層42bと混ざり合うことが防止され、この酸化物中間層ILbは、層42bと層42cとの間に形成され、また、金属層42aが、III族-N層36及び金属層42bと合金化されて、層42aとIII族-N層36との間に金属窒化物中間層ILaが形成される(なお、アニール後に層42aのいくらかの未合金化部分Un-Lが存在してもよい)。従って、一実施形態(図4B及び4Ba)においては、電気コンタクト構造メタル堆積プロセス及び/又はオーミックアニールプロセス中に、オーミックコンタクト構造42ocの第2の金属と第3の金属との間に、部分的に酸化された中間層ILbを形成することによって、混ざり合いが防止される。第1の方法(図4A及び4Aa)においては、層42cとして金属又は金属窒化物層を形成することによって、混ざり合いが防止される。

#### 【0052】

上述のように、オーミックコンタクト構造に少量のシリコンドーパントを添加することによって、金属-半導体オーミックコンタクト抵抗の更なる最適化も達成され得る。シリコンは、例えば電子線蒸着及びスパッタリングなどの複数の方法によって付与され得る。シリコンは、(シリコンスパッタリングターゲットのスパッタリングによって、又は電子線蒸着によって)オーミックコンタクト構造42oc内の別個の層として付与されてもよいし、あるいは、複数の純粋ターゲット(ここでは例えばシリコン及びアルミニウム)を同時スパッタリングすることによって、又はSiドーパされたターゲットをスパッタリングすることによって、シリコンを別の層の中に混ぜることによって付与されてもよい(ここでは例えばSiドーパされたアルミニウムであるAl<sub>1-x</sub>Si<sub>x</sub>層42b、ただし、Siドーピングのxは典型的に0.05)。

#### 【0053】

従って、低温でのオーミックコンタクト形成アニールは、以下のようにまとめることができ、すなわち、周囲温度から定常状態アニール温度へのアニールプロセスの温度ランプ段階中に、ここでは層42aであるオーミックコンタクト構造42ocの第1の金属と金属窒化物を形成し、ここでは層42bである電気コンタクト構造の第2の金属が、第1の金属の中へ、そして、ここでは層36であるIII族-N半導体層の上面へと拡散して、III族-N層36とオーミックコンタクト構造体42ocとの界面に形成されるオーミックコンタクトの抵抗を下げ、そして、III族-N半導体層36と接触した第1の金属、及びオーミックコンタクト層の第2の金属42bが、オーミックアニールプロセス中にオーミックコンタクト層の第3の金属(又は金属窒化物)42cと混ざり合うのが防止され、そして、第1の金属及び第2の金属及び第3の金属(金属窒化物又は金属)は、オーミックコンタクト形成アニールプロセスの間、それらの融点未満に維持される。最初の2つの金属(層42a及び42b)の第3の金属(層42c)との混ざり合いの防止は、最初の2つの金属の、III族-N界面との、低温での相互作用を間接的に促進させ、それによって、より低いコンタクト抵抗を支援する。上述のアニールプロセスの後、図3Bに示すように、ここでは例えばニッケル、モリブデン又は白金である導電性のエッチング停止層42esが、層42c上に配置される。

#### 【0054】

次に図2Eを参照するに、図2Dに示した構造の表面が、図示のように、ここでもSiNxである誘電体層44で被覆される。

#### 【0055】

次に図2Fを参照するに、フィンガー状ゲート電極構造141-144(図1A及び1

10

20

30

40

50

B)が(この実施形態では、ここではAlGaIn層であるIII族-N半導体層36とショットキーコンタクトして)形成されることになるIII族-N半導体層36の部分を露出させるように、従来からのシリコン(Si)ファウンドリ適合理ソグラフィ及びエッチング処理技術を用いて、層44内に開口又は窓46が形成される。

#### 【0056】

次に図2Gを参照するに、シリコン(Si)ファウンドリ適合理ソグラフィ及びエッチングプロセスを用いて、図3Aにて更に詳細に説明するフィンガー状ゲート電極構造14<sub>1</sub>-14<sub>4</sub>(図1A及び1B)が、図示のように、開口又は窓46を通して形成される。より具体的には、ゲート電極構造14<sub>1</sub>-14<sub>4</sub>の各々は構成において同じであり、ここではゲート電極構造14<sub>1</sub>であるそのうちの例示的な1つを、以下の(A)及び(B)を含むように、より詳細に図3Aに示す。(A)ここでは、AlGaIn半導体層36とショットキーコンタクトした、例えばニッケル(Ni)、窒化チタン(TiN)、ニッケル/窒化タンタル(Ni/TaN)、ニッケル/タンタル(Ni/Ta)、ニッケル/タンタル/窒化タンタル(Ni/Ta/TaN)、ニッケル/モリブデン(Ni/Mo)、窒化チタン/タングステン(TiN/W)、又はドーパントシリサイドである単一の材料又は複数の材料であるゲート金属層14aを有するゲート電気コンタクト構造14<sub>Gc</sub>、及び(B)図2Kに関連して後述するここでは銅ダマシン電極コンタクトである金フリーの電極コンタクト。従来からのシリコン(Si)ファウンドリ適合サブトラクティブパターンニング技術を用いて形成されるゲート金属層14aは、ここでは、III族-N半導体層36とショットキーコンタクトを形成するショットキーコンタクトメタルである。なお、ゲート電気コンタクト構造14<sub>Gc</sub>は、メタル絶縁ゲートHEMT(MISHEMT)を形成するように、図3Aに示すように、ゲート金属層14aとIII族-N半導体層36との間に配置された、例えば酸化アルミニウム(Al<sub>2</sub>O<sub>3</sub>)である薄い(典型的に、~2-10nm)誘電体層14bを有していてもよい。なお、ゲート金属層14aは、図示のようにT字形であってもよいし、あるいは、隣接するドレイン電極構造の方を向いたオーバーハング部15を有するフィールドプレート構造を形成するよう、図3Aaに示すようにガンマ字形(字形)であってもよい。

#### 【0057】

なお、ショットキーゲート金属層14aが有する金属又は金属窒化物のドライエッチングは、典型的に、塩素系(例えば、Ni及びTiNをエッチングするため)若しくはフッ素系(例えば、Mo、TiN、W、Ta、及びTaNをエッチングするため)又はこれらの組み合わせ(例えば、TiN、W、Ta、及びTaNをエッチングするため)となる。しかしながら、ショットキーゲート金属層14aにNiが使用されるとき、揮発性のエッチング副生成物の欠如のためにドライエッチングすることがかなり困難となり得る。従って、ここでは例えば塩素(Cl<sub>2</sub>)とアルゴン(Ar)のガス混合物であるニッケルドライエッチングは、主に物理的なエッチング(スパッタリング)であり、化学的なエッチングではない。主に物理的なドライエッチングは、下に位置する層に対して乏しいエッチング選択性を有するので、ショットキー層14aを含むNiをドライエッチングすることは、一部の状況において(ここでは、例えば、ショットキーゲート金属層14aのNiの厚さとパッシベーション層38の誘電体の厚さとがほぼ同じであるとき)、パッシベーション層38内への許容できないオーバーエッチングをもたらすことがある。そのような場合には、パッシベーション層38とショットキーゲート金属層14aのオーバーハング部15との間に、ここでは例えば二酸化シリコン(SiO<sub>2</sub>)である犠牲誘電体層(図示せず)を堆積させる必要があり得る。

#### 【0058】

Niを有するショットキーゲート金属層14aをエッチングする別の方法は、存在する場合に頂部金属(ここでは、例えば、TaN、Ta、Mo、又はこれらの組み合わせ)に対してドライエッチングを使用し、そして、Ni層に対してはウェットエッチング(ここでは、例えば、HF、H<sub>3</sub>PO<sub>4</sub>、HNO<sub>3</sub>若しくはH<sub>2</sub>SO<sub>4</sub>系、又はこれらの組み合わせ)を使用するものである。ショットキー金属層14aのNiウェットエッチャントの選

10

20

30

40

50

扱は、頂部金属層（使用される場合、下の図10C - 10Gの説明においてのように、底部ショットキー金属層が14a'になり、頂部ショットキー層が14a"になる）に対して高度に選択的であるようにすることが重要である。さらに、マスクされたショットキーゲート金属層14aフィーチャの下のニッケルの意図しない除去（ここでは、アンダーカットとしても参照する）は、このプロセスから得られるゲート寸法が再現可能であり且つゲートが意図したように機能するように、最小にされるべきである。結果として、ショットキー金属層14aによってマスクされるフィーチャサイズの全幅が縮小するにつれて、アンダーカットを最小化するために、ショットキーゲート金属層14a内のニッケル層の厚さも縮小することになる。ショットキーゲート金属14aによって画成される1ミクロン未満（ $1\mu\text{m}$ ）のフィーチャサイズの場合、堆積させるショットキーコンタクトゲート金属層14aのNiの厚さは、ここでは例えば、 $100\text{nm}$ になる見込みである。

10

## 【0059】

ゲート電極構造141 - 14 - 44の形成を、図10A - 10Gに関して更に詳細に示す。従って、図2E及び2Fに関連して上述したように、ここでも $\text{SiN}_x$ である誘電体層44を図10Aに示すように形成し、そして、図10Bに示すように層44内に開口又は窓46を形成した後に、図10Cに示すように、誘電体層44の上に及び窓46を通してAlGaIn層36の露出部分上に、ここでは例えばNi又はTiNである第1のゲート金属又はショットキーコンタクト金属層14'aが堆積される。次に、図10Cに示すように、第1のゲート金属又はショットキーコンタクト層の上に、ここでは例えばTa<sub>2</sub>N、Ta、Mo、又はWである第2のゲート金属層14" aが堆積される。

20

## 【0060】

次に、図10Dに示すように、窓46と位置合わせして第2のゲートコンタクト金属14" aの表面の一部の上に、フォトレジスト又はハードマスクのいずれか45が形成される。図10Eに示すように、マスクによって露出された第2のゲートコンタクト金属14" aの部分が、ドライエッチングを用いて除去される。次に、図10Fに示すように、同じマスク45を使用して、ドライエッチング又はウェットエッチングを用いて第1のゲートコンタクト又はショットキーコンタクト金属14'aの露出部分が除去される。次いで、図10Gに示すように、マスク45が除去される。

## 【0061】

ショットキーゲート金属層14aが形成された後、処理は、ここでは図2Kに示すような銅ダマシン電極コンタクト54<sub>1</sub> - 54<sub>11</sub>（これらのうち、ここでは電極54<sub>2</sub>である例示的な1つを図3Aに詳細に示している）である前述の電極コンタクトの形成を続ける。なお、銅ダマシン電極コンタクト54<sub>1</sub> - 54<sub>11</sub>の各々の形成は、図2Iに示すような2つの誘電体層（ここでは $\text{SiN}_x$ 層48及び $\text{SiO}_2$ 層50）の堆積を用いて行われる。ここでは $\text{SiN}_x$ である第1の層48は、拡散バリア（その下に銅が配置されているとき）及びエッチングストッパとして機能する。ここでは $\text{SiO}_2$ 層50である第2の層が、ここでは $\text{SiN}_x$ である第1の層48に対して選択的にエッチングされ、次いで、ゲート金属層14aを露わにするように第1の層48がエッチングされ、それにより、その中にここでは銅である金フリー材料が後に堆積されるトレンチが形成される。

30

## 【0062】

典型的に、銅ダマシン電極コンタクト54<sub>1</sub> - 54<sub>11</sub>は、先ず、第2の誘電体層内に形成されたトレンチの中への銅めっきを容易にするために、薄い金属シード層（典型的に、Ta/Cu、Ta/TaN、又はTa<sub>2</sub>N/Cu、且つ $100\text{nm}$ ）をスパッタリングすることによって形成される。なお、このシード層はまた、銅拡散バリアとして、及び誘電体に対する密着層としても機能する。次いで、トレンチの過剰な銅オーバーフィルが化学機械研磨（CMP）で除去され、それが、トレンチ内に配置された金属だけを置き去りにすることによって金属インターコネクトを画成する。他の銅ダマシン層が追加されるとき、後述するようにこのプロセスが繰り返される。従って、ダマシン電極コンタクト54<sub>1</sub> - 54<sub>11</sub>は、共平面の上面を有する。

40

## 【0063】

50

前段落に記載したダマシプロセスを開始し、そして、次に図 2 H を参照するに、図 2 G に示した構造の表面を覆って、ここでは例えば  $\text{SiN}_x$  である誘電体層 4 8 が堆積される。次に図 2 I を参照するに、層 4 8 を覆って、ここでは例えば  $\text{SiO}_2$  である第 2 の誘電体層 5 0 が堆積され、そして、ソース、ドレイン及びゲート電極 5 4 1 - 5 4 1 1 の同時形成のために、従来からのシリコン ( $\text{Si}$ ) ファウンドリ適合理ソグラフィ及びエッチング技術を用いて、図 2 J に示すように、層 5 0 及び層 4 8 の選択部分を貫く窓 5 2 を形成してそれによって電気コンタクト構造 4 2 1 - 4 2 7 及びフィンガー状ゲート電極構造 1 4 1 - 1 4 4 の頂面を露出させるようにパターニングされ、それにより、図 1 A に関連して上述したゲート電極構造 1 4 1 - 1 4 4、ドレイン電極構造 1 8 1 - 1 8 2、及びソース電極構造 2 2 1 - 2 2 3 が完成する。

10

#### 【 0 0 6 4 】

次に図 2 K を参照するに、上述のようにダマシプロセスにおいてここでは  $\text{Cu}$  である余分な金属が CMP によって除去された後、図示のように、電気コンタクト構造 4 2 1 - 4 2 7 及びフィンガー状ゲート電極構造 1 4 1 - 1 4 4 の露出した頂面上に電極コンタクト 5 4 1 - 5 4 1 1 が形成されている。電極コンタクト 5 4 1 - 5 4 1 1 の各々は構成において同じであり、ここでは、ソース電極構造 2 2 1 - 2 2 3 又はドレイン電極構造 1 8 1 - 1 8 2 の例示的な 1 つ (ここではソース電極構造 2 2 1) に関する電極コンタクト 5 4 1 - 5 4 1 1 のうちの例示的な 1 つ (ここでは電極コンタクト 5 4 2) を図 3 B に示しており、ゲート電極コンタクトのうちの例示的な 1 つ (ここではゲート電極構造 1 4 1) を図 3 A に示している。故に、図 3 A 及び 3 B にいっそう明瞭に示されるように、各電極コンタクト 5 4 1 - 5 4 1 1 は、この例において、底面及び側面が密着・銅拡散バリア層 5 4 a (ここでは、例えば、タンタル若しくは窒化タンタル又はこれらの組合せ) でライニングされた (表面を覆われた) 銅の上部層 5 4 b を含んでいる。

20

#### 【 0 0 6 5 】

従って、ドレイン電極構造 1 8 1 - 1 8 2 の各々及びソース電極構造 2 2 1 - 2 2 3 の各々は、III 族 - N 半導体層 3 6 と接触した多層の電気コンタクト構造であり、III 族 - N 半導体層 3 6 とオーミックコンタクトした金フリーコンタクト層 4 2 0 c と、金フリーコンタクト層 4 2 0 c に電氣的に接続された金フリーの導電性のエッチング停止層 4 2 e s と、金フリーのダマシ電極コンタクト 5 4 2、5 4 4、5 4 6、5 4 8 及び 5 4 1 0 のうちの 1 つとを含んでいる。また、ゲート電極構造 1 4 1 - 1 4 4 の各々は、金フリーのゲート電気コンタクトと、金フリーのダマシ電極コンタクト 5 4 3、5 4 5 及び 5 4 7 のうちの 1 つとを含んでいる。また、ダマシ電極コンタクト 5 4 2 - 5 4 1 0 の各々は構成において同じであり、8 つ全てのダマシ電極コンタクト 5 4 2 - 5 4 1 0 が同時に形成される。

30

#### 【 0 0 6 6 】

次に図 2 L を参照するに、CMP の後、表面を覆って、ここでは窒化ケイ素 ( $\text{SiN}_x$ ) である誘電体層 5 6 が堆積され、次いで、層 5 6 が、ここでは酸化物層 5 8 (ここでは例えば二酸化シリコン) である第 2 の誘電体層 5 8 で覆われる。

#### 【 0 0 6 7 】

次に図 2 M を参照するに、層 5 6 及び 5 8 が、ソース電極構造 2 2 1 - 2 2 3 (図 1 B) とパッド 2 6 1 及び 2 6 2 (図 1 B) との上に層 5 6 及び 5 8 を貫く開口又は窓 6 0 1 - 6 0 5 を有するように、従来からのシリコンファウンドリ適合理ソグラフィ及びエッチング処理技術を用いてパターニングされ、それにより、図示のように、電極コンタクト 5 4 1、5 4 2、5 4 6、5 4 1 0 及び 5 4 1 1 の頂面が露出される。

40

#### 【 0 0 6 8 】

次に図 2 N を参照するに、従来からのシリコンファウンドリ適合理技術を用いて、窓 6 0 1 - 6 0 5 内にそれぞれ上部電気インターコネクタ 6 2 1 - 6 2 5 が形成され、それにより、それぞれ電極コンタクト 5 4 1、5 4 2、5 4 6、5 4 1 0 及び 5 4 1 1 への、ひいては、ソース電極構造 2 2 1 - 2 2 3 (図 1 B) とパッド 2 6 1 及び 2 6 2 (図 1 B) への電気接続がなされる。上部電気インターコネクタ 6 2 1 - 6 2 5 の各々は、電極コンタク

50

ト54<sub>1</sub>、54<sub>2</sub>、54<sub>6</sub>、54<sub>10</sub>及び54<sub>11</sub>の各々と同じように構成され、ここでは例えばタンタル(Ta)若しくは窒化タンタル(TaN)又はこれらの組み合わせである密着・銅拡散バリア層62aで底面及び側面がライニングされた銅の上部層62bを含む。

【0069】

次に図20を参照するに、図2Nに示した構造を覆って、ここではSiNxである誘電体層64が形成され、それに二酸化シリコンの誘電体層66が続く。

【0070】

図2Pを参照するに、上部電気インターコネクタ62<sub>1</sub>-62<sub>5</sub>の頂面を露出させるように、層64、66の選択された部分を貫いて窓68が形成される。

【0071】

次に図2Qを参照するに、上部電気インターコネクタ62<sub>1</sub>-62<sub>5</sub>のように、ここでは例えばタンタル若しくは窒化タンタル又はこれらの組み合わせである密着・銅拡散バリア層24aで底面及び側面がライニングされた銅の上部層24bを含む導電インターコネクタ構造24(図1A、1B)が形成される。

【0072】

図2Rを参照するに、図2Qに示した構造の表面を覆って、ここではSiNxである誘電体層70が形成される。なお、必要な場合には、Cuベースの更なるインターコネクタ層が、上述のCuインターコネクタと同じように追加され得る。最後のインターコネクタ層の付加後、最終テスト又は他の回路(図示せず)への接続を容易にするために、それぞれ、テストパッド層又は入力/出力パッド(図示せず)が付加され得る。この時点で前面側の処理は完了である。

【0073】

前面側処理の完了後、そして、図2Sを参照するに、裏面側処理が開始される。より具体的には、ウエハが、図示しない一時的なキャリア上にフェイスダウンで取り付けられ、次いで、ここでは例えば50又は100ミクロンまで、ウエハが薄化される。基板32の底面のうち電極コンタクト54<sub>1</sub>及び54<sub>11</sub>の下方の部分を露出させるように、この構造の露出した底面がマスクされる。次に、ここでは例えば六フッ化硫黄(SF<sub>6</sub>)であるフッ素系ドライエッチングを用いた、SiC又はSi基板32の底面からのエッチングによって、露出された部分にピアホール72が形成される。

【0074】

次に図2Tを参照するに、基板32の底面が、ここでは例えば三塩化ホウ素(BCl<sub>3</sub>)と塩素(Cl<sub>2</sub>)との組み合わせである塩素系ドライエッチングにさらされ、露出されたIII族-N層34の部分を貫き、そして、電極コンタクト54<sub>1</sub>及び54<sub>11</sub>のオーミックコンタクト構造体42<sub>oc</sub>の、露出されたTi又はTa層42aの内側部分、次いでアルミニウムベースの層42bの内側部分、次いで露出された金属窒化物層42cの内側部分を貫くエッチングによって、(矢印74によって指し示されるように)ピアホール72が深くされ続けられ、そして、図示のように、電極コンタクト54<sub>1</sub>及び54<sub>11</sub>の下の電気コンタクト構造42上のエッチング停止層42<sub>es</sub>でエッチングが停止する。

【0075】

次に、図2Uを参照するに、図2Tの構造の底面が、基板32の底面上及びピアホール72内に配置された導電層28(図1A)を有している。ここでは、例えば、層28bは、ここでは例えばタンタル若しくは窒化タンタル又はこれらの組み合わせである密着・銅拡散バリア層28aを備えた銅であり(図2Uaに示すように)、導電ピア301及び302(図1A)とグランドプレーン導体303とを形成する。導電ピア301及び302は、グランドプレーン導体303を前面側メタライゼーション層に、そして最終的には、エッチング停止層42<sub>es</sub>から電極コンタクト54<sub>1</sub>及び54<sub>11</sub>の底部を介してインターコネクタソース電極構造221-223に電氣的に相互接続する(図1A及び図1B)。理解されるべきことには、導電ピア301及び302並びにグランドプレーン303は、ここでは例えば金(Au)層28bとチタン(Ti)又はチタン/白金(Ti/Pt)層28aとである他の金属からなる層28を有することができる。この場合、裏面側処理

10

20

30

40

50

は、金が汚染問題を提示しない領域で行われる。

【0076】

従って、ここで、図2A-2Uに関連して上述した実施形態においては、前面側の処理及び裏面側のウエハ薄化の後に、導電性エッチング停止層42<sub>ES</sub>で終了する二段階エッチングプロセスを伴う化学ドライエッチングを用いて、裏面側ビアホール72が形成される。ビアホールエッチングプロセスの第1ステップにて、SiC又はSi基板層32の底面の露出した部分に、例えば六フッ化硫黄(SF<sub>6</sub>)であるフッ素系ドライエッチングを用いてビアホールが形成される。このフッ素系エッチングは、例えば窒化ガリウム(GaN)及び窒化アルミニウム(AlN)などのIII族-N層34上で選択的に停止する。第2ステップにて、ビアホール72内で露出したIII族-N層の底面が、例えば三塩化ホウ素(BCl<sub>3</sub>)と塩素(Cl<sub>2</sub>)の組み合わせである塩素系ドライエッチングにさらされる。この塩素系の裏面側ビアホール72ドライエッチングは、III族-N層34及び36(図2に示した例では、基板層32を貫いてエッチングした後、“オフ”メサエッチがIII-N層34を貫いてエッチングしさえすればよい)及び金属-半導体電気コンタクト構造を貫いてビアホールエッチングを続け、そして、電気コンタクト構造メタルの、ここでは例えばニッケル又はモリブデン又は白金である導電性エッチング停止層で終了する。

10

【0077】

次に図5A-5Cを参照して、ここでは、MMIC構造10'の一部の実施形態を説明する。MMIC構造10'は、ここでは例えば、図5Aに更に詳細に示すようにマルチゲートHEMT FETを有し、このマルチゲートHEMT FETは、図示のように、III族-N半導体層36とオーミックコンタクトするとともに、構造10'の底面に形成された導電層28へと基板32、III族-N層34、及びIII族-N半導体層36を貫通する金フリーの導電ビア30<sub>1</sub>-30<sub>3</sub>(図5C)と相互接続された、金フリーのソース電極構造22<sub>1</sub>-22<sub>3</sub>を提供する、電気コンタクト構造42<sub>2</sub>、42<sub>4</sub>及び42<sub>6</sub>の上にそれぞれ配置された電極コンタクト54<sub>2</sub>、54<sub>6</sub>及び54<sub>10</sub>と、図示のように、III族-N半導体層36とオーミックコンタクトするとともに、金フリーのドレインパッド20(図1B)に相互接続された、金フリーのドレイン電極構造18<sub>1</sub>、18<sub>2</sub>を提供する、電気コンタクト構造42<sub>3</sub>及び42<sub>5</sub>の上にそれぞれ配置された電極コンタクト54<sub>4</sub>及び54<sub>8</sub>と、III族-N半導体層36とショットキーコンタクトするとともに、ゲートパッド16(図1B)に接続された、金フリーのドレイン電極構造18<sub>1</sub>、18<sub>2</sub>を提供する、金フリーのゲート電極構造14<sub>1</sub>-14<sub>4</sub>の上にそれぞれ配置された電極コンタクト54<sub>3</sub>、54<sub>5</sub>、54<sub>7</sub>及び54<sub>9</sub>とを有している。構造10'は、一对の電極(抵抗Rの両端)R1及びR2を有した、ここでは例えば窒化タンタル(TaN)である抵抗Rを含んでおり、一方の電極R1は、電極コンタクト54<sub>11</sub>、電気コンタクト42<sub>7</sub>に接続され、そして、基板32及びIII族-N層34を通り抜ける導電ビア30<sub>4</sub>(図5C)によって、構造10'の底面に形成された金フリーの導電層28に接続され、他方の電極R2は、III族-N層34上に配置された電気コンタクト42<sub>8</sub>上に配置された電極54<sub>12</sub>上に配置される。構造10'はまたキャパシタCを含んでおり、キャパシタCは、図示のように、電極コンタクト54<sub>1</sub>及び電気コンタクト構造42<sub>1</sub>(図5A)によって形成された下部プレートC1であり、構造10'の底面に形成された金フリーの導電層28へと基板32及びIII族-N層34を通り抜ける導電ビア30<sub>5</sub>に相互接続された下部プレートC1と、ここでは層54a(ここでは、例えば、タンタル若しくは窒化タンタル又はこれらの組み合わせ)でライニングされた銅層54bを有する電気インターコネクタ54aである上部プレートC2と、上部プレートC2と下部プレートC1との間に配置された、ここでは例えば窒化シリコンである誘電体75とを有している。なお、最後に、多くの回路設計において、キャパシタC及び抵抗Rは導電ビア30に接続される必要はない。

20

30

40

【0078】

なお、キャパシタCの下部プレートC1を形成するとともに抵抗Rに使用される銅の厚さは、ソース電極構造22<sub>1</sub>、22<sub>2</sub>及び22<sub>3</sub>並びにドレイン電極構造18<sub>1</sub>及び18<sub>2</sub>

50

に使用される厚さよりも、以下の２つの理由により厚い。第１に、ダマシン処理において形成されるトレンチは、（プレーナ構造を実現するように、上述のメサの代わりに、図示しないイオン注入分離が使用されるのでない限り）“オン”メサ１１電気コンタクト構造４２への“オフ”メサ１１（図１Ｂ及び２Ａ）縦型インターコネクトを実現するために、深くなければならない。第２に、金属層堆積中に形成される全てのコンタクトが、CMPプロセスにより、層の上面で同じレベルで終端する。

【００７９】

なお、また、上述の電気コンタクト構造４２<sub>１</sub> - ４２<sub>８</sub>は、図２Ａ - ２Ｔに関連して上述したのと同じように形成される。従って、ソース電極構造２２<sub>１</sub>、２２<sub>２</sub>及び２２<sub>３</sub>並びにドレイン電極構造１８<sub>１</sub>及び１８<sub>２</sub>はＩＩＩ族 - N半導体層３６とオーミックコンタクトし、ゲート電極構造１４<sub>１</sub>、１４<sub>２</sub>及び１４<sub>３</sub>はＩＩＩ族 - N半導体層３６とショットキーコンタクトする。

10

【００８０】

次に、裏面側の処理が、図２Ｓ及び２Ｔにおいてと同様に進められる。より具体的には、ウエハが、図示しない一時的なキャリア上にフェイスダウンで取り付けられ、ここでは例えば５０又は１００ミクロンまで、ウエハが薄化される。図示のように、基板３２の底面のうち電気コンタクト構造４２<sub>１</sub>、４２<sub>２</sub>、４２<sub>４</sub>、４２<sub>６</sub>及び４２<sub>７</sub>の中央又は内面部分の下に配置された部分を露出させるように、この構造の露出した底面がマスク７８でマスクされ、従来からのシリコン適合処理技術を用いて処理され、それに続いて、図２Ｓに関連して上述したような、基板３２の露出された部分を貫くピアホール７２をエッチングするための、ここでは例えば六フッ化硫黄（SF<sub>6</sub>）である第１のフッ素系ドライエッチングと、図２Ｔに関連して上述したような、露出されたＩＩＩ族 - N層３４及び３６の部分を通り、次いで、電気コンタクト構造４２<sub>１</sub>、４２<sub>２</sub>、４２<sub>４</sub>、４２<sub>６</sub>及び４２<sub>７</sub>の底面の中央又は内側の部分７９<sub>IP</sub>を通り、そして構造のエッチング停止層４２<sub>ES</sub>（ここでは、例えば、ニッケル、モリブデン又は白金）で停止するエッチングによって、ピア７２を深くし続けるための（電気コンタクト構造のうちここでは電気コンタクト構造４２<sub>２</sub>である例示的な１つについて図５Ｂaに示す）、ここでは例えば三塩化ホウ素（BCl<sub>3</sub>）と塩素（Cl<sub>2</sub>）との組み合わせである塩素系ドライエッチングとが行われる。なお、電気コンタクト構造４２<sub>２</sub>、４２<sub>４</sub>、４２<sub>６</sub>の底面の外側部分７９<sub>OP</sub>はエッチングされないままであり、従ってＩＩＩ族 - N層３６とオーミックコンタクトしたままである。

20

30

【００８１】

次に、図５Ｃを参照するに、図２Ｕに関連して説明したように、マスク７８が除去され、裏面側プロセスが実行される。従って、図５Ｂの構造の底面に、図２Uaに関連して上述したように、それを覆って及び延在されたピアホール７２の側面と底面を覆って導電層２８が形成されることで、露出した導電性エッチング停止層４２<sub>ES</sub>上に導電ピア３０<sub>１</sub> - ３０<sub>５</sub>が形成され、図示のように、ソース電極構造２２<sub>１</sub> - ２２<sub>３</sub>、キャパシタＣの下部プレートＣ１及び抵抗の電極Ｒ１が電氣的に相互接続される。

【００８２】

なお、ここで、電気コンタクト構造４２'は、図５Aaに示すように、ここではシリサイド層（ここでは、例えば、ニッケルシリサイド（NiSi）又はコバルトシリサイド（CoSi<sub>2</sub>））である単一のオーミックコンタクト層４２'ocとしてもよい。また、シリサイド層オーミックコンタクト構造４２'ocはまた、コンタクト抵抗をさらに改善するためにドーブされてもよい。例えばNiSiの場合、それはリン（P）、ヒ素（As）、アンチモン（Sb）又はこれらの組み合わせでドーブされ得る。オーミックコンタクト構造４２'ocを形成するために、SiとNi又はCoとが堆積され、エッチバックされ、次いで合金化される。NiSiの場合、ここでの合金温度は、例えば、～４５０である。CoSi<sub>2</sub>の場合、ここでは例えば～５５０及びそれに続く～７００である二段階アニールが使用される。ＩＩＩ族 - N層３６へのより良好なオーミックコンタクトを支援するために、シリサイド層オーミックコンタクト構造４２'ocは、シリサイド層オーミックコンタクト構造４２ocの底面がＩＩＩ族 - N層３６の底面から２ - ２０nmであるように、

40

50

III族 - N半導体層36の中にリセス化されてもよい。なお、エッチング停止層42<sub>ES</sub>は、図示のように、オーミックコンタクト構造42<sub>OC</sub>上に配置される。ここでは、電気コンタクト構造は、オーミックコンタクト構造42<sub>OC</sub>上にエッチング停止層42<sub>ES</sub>を有するオーミックコンタクト構造42<sub>OC</sub>を含む。

#### 【0083】

次に図6A - 6Dを参照して、他の一実施形態を説明する。ここでも、図6Aに示すように、ここでは例えばSi又はSiCである基板32と、基板32の上部上のメサ状の(上述のように、エッチング又は注入分離によって画成される)III族 - N半導体層34であり、ここでは例えば、基板32の上面の上で約1 - 5ミクロンの厚さを持つ窒化ガリウムの層であるIII族 - N半導体層34と、III族 - N層34上の、例えば約5 - 30nmの厚さを持つここではAl<sub>x</sub>Ga<sub>1-x</sub>NであるIII族 - N半導体層36とを有する構造10"が示されている。後述するように、構造10"は、マルチゲートHEMTを形成するように処理される。しかしながら、ここでは、ソース電極構造22<sub>1</sub> - 22<sub>3</sub>(図1B)を電氣的に相互接続するために、図6B及び6Cに関連して説明する導電ピア90が形成されることになるIII族 - N層34及び36の部分に、従来からのシリコンファウンドリ適合サブトラクティブパターンニング(リソグラフィ及びエッチング)技術と、ここでは例えば三塩化ホウ素(BCl<sub>3</sub>)及び塩素(Cl<sub>2</sub>)の組み合わせドライエッチングとを用いて、開口(アパーチャ)80がエッチングされる。

#### 【0084】

図6Bを参照するに、アパーチャ80が、フッ素含有ガスにてドライエッチングされることが可能な、ここでは例えばSiNx、SiO<sub>2</sub>、モリブデン若しくはポリシリコン又はこれらの組み合わせである半導体又は誘電体又は金属材料82で充填される。この構造が、図2B - 2Kに関連して上述したように処理されることで、電気コンタクト構造42<sub>1</sub> - 42<sub>5</sub>が形成される。なお、ここで、電気コンタクト構造42<sub>1</sub> - 42<sub>5</sub>は、例えば図2A - 2Uに関連して上述したエッチング停止層42<sub>ES</sub>のような別個のエッチング停止層を含んでおらず、むしろ、この実施形態においては、図6Bに関連して説明するように、電気コンタクト構造42<sub>1</sub> - 42<sub>5</sub>のオーミックコンタクト構造42<sub>OC</sub>のアルミニウム又はSiドープトアルミニウムAl<sub>1-x</sub>Si<sub>x</sub>層42b(ただし、Siドープのxは典型的に0.05)がエッチング停止層として機能する。図示のように、オーミックコンタクト構造42<sub>OC1</sub> - 42<sub>OC5</sub>の上に、それぞれ、電極コンタクト54<sub>1</sub>、54<sub>3</sub>、54<sub>5</sub>、54<sub>7</sub>及び54<sub>9</sub>が配置される。電気コンタクト構造42<sub>1</sub>、42<sub>3</sub>及び42<sub>5</sub>はソース電極構造22<sub>1</sub> - 22<sub>3</sub>(図1B)用であり、電気コンタクト構造42<sub>2</sub>及び42<sub>4</sub>はドレイン電極構造18<sub>1</sub>、18<sub>2</sub>(図1B)用である。なお、電気コンタクト構造42<sub>1</sub>、42<sub>3</sub>及び42<sub>5</sub>の底面は、表面積において、半導体又は誘電体又は金属材料82の表面積よりも大きく、図示のように、電気コンタクト構造42<sub>1</sub>、42<sub>3</sub>及び42<sub>5</sub>の外表面部分がIII族 - N半導体層36とオーミックコンタクトしている。ゲート電極構造14<sub>1</sub> - 14<sub>4</sub>は、図示のように、III族 - N半導体層36とショットキー接触し、図示のように、その上に電極コンタクト54<sub>2</sub>、54<sub>4</sub>、54<sub>6</sub>、及び54<sub>8</sub>を有する。

#### 【0085】

電気コンタクト構造42<sub>1</sub> - 42<sub>5</sub>のオーミックコンタクト構造層42a、42b、及び42c並びに電極コンタクトは、図3Bに関連して上述されており、オーミックコンタクト構造42<sub>OC1</sub> - 42<sub>OC5</sub>は、Ti又はTaの底部層42a(これは、III族 - N半導体層36の上面部分の中にリセス化されてもよい)と、ここではアルミニウム又はSiドープトアルミニウムAl<sub>1-x</sub>Si<sub>x</sub>層であるアルミニウムベースの層の中間層42bと、該アルミニウム又はSiドープトアルミニウムAl<sub>1-x</sub>Si<sub>x</sub>層上の、ここでは例えばタンタル(Ta)、窒化タンタル(TaN)又は窒化チタン(TiN)であるタンタル又は金属窒化物層とを有し、電極コンタクト54<sub>1</sub> - 54<sub>9</sub>は、導電性金属インターコネクタコンタクトを有し、ここでは、例えば、側面及び底面を拡散バリア層(ここでは、例えば、タンタル若しくは窒化タンタル又はこれらの組み合わせ)でライニングされた銅

10

20

30

40

50

を有する。従って、裏面側の処理に関して更に詳細に後述するように、留意されたいことには、この実施形態においては、(図2A - 2Uに関連して上述した)別個のエッチング停止層42<sub>ES</sub>は存在せず、むしろ、この実施形態においてビア90(図6C)を形成するために使用されるフッ素ケミカルエッチャントに起因して、ここでは例えば電気コンタクト構造42"のアルミニウム(又はSiドープトアルミニウムAl<sub>1-x</sub>Si<sub>x</sub>)である層42<sub>b</sub>によってエッチング停止層が提供される。

#### 【0086】

次に、裏面側の処理が、図2Uにおいてのように進められる。より具体的には、ウエハが、図示しない一時的なキャリア上にフェイスダウンで取り付けられ、ここでは例えば50又は100ミクロンまで、ウエハが薄化される。ソース電極構造22<sub>1</sub> - 22<sub>3</sub>の下方の基板32の底面部分を露出させるように、この構造の露出した底面がマスク96(図6C)でマスクされる。なお、半導体又は誘電体又は金属材料82の外周部分はマスク96によって覆われ、従って、電気コンタクト構造42の内側部分81<sub>IP</sub>(図6Ca)の下で、電気コンタクト構造42の他の部分81<sub>OP</sub>は層36とオーミックコンタクトしたままである。次に、ここでは例えばSF<sub>6</sub>であるフッ素系ドライエッチングを用いて、以下のようにビア90がエッチングされ、すなわち、基板層32を貫き、材料82の内部部分(ここでは、例えば、図6CaにおいてSiN<sub>x</sub>、SiO<sub>2</sub>、モリブデン又はポリシリコン)及びTi又はTaの底部層42<sub>a</sub>(これは、III族 - N半導体層36の上面部分の中にリセス化されてもよい)の内部部分81<sub>IP</sub>を貫いてビア90をエッチングし、そして、そのフッ素系エッチングによる副生成物が揮発性であるアルミニウムベースの層42<sub>b</sub>の内側部分で停止するフッ素系ドライエッチングを用いてビア90がエッチングされる。従って、ここでは追加の(別個の)エッチング停止層42<sub>ES</sub>は存在せず、むしろ、層42<sub>b</sub>がエッチング停止層として機能する。

#### 【0087】

次に、図6Dを参照するに、図6Cの構造の底面が、それを覆って且つ延在したビアホール90の側面及び底面を覆って形成された、ここでは例えば銅系である導電層28を有しており、それにより、図2Uに関連して上述したように、この構造が図示のように電気コンタクト構造42"の内側部分又は中央部分を電氣的に相互接続するため、そしてひいてはソース電極構造22<sub>1</sub> - 22<sub>3</sub>を相互接続するための、導電ビア96及びグランドプレーン導体95が形成されている。この実施形態において、III族 - N材料は、図6Aに関連して上述したように、裏面側の処理及びビア90の形成に先立って、ウエハの前面からエッチングされる。次いで、アパーチャ80(図6A)が、フッ素系ドライエッチングケミストリでエッチングされることが出来る材料層82(ここでは、例えば、SiN<sub>x</sub>、SiO<sub>2</sub>、モリブデン又はポリシリコン)で充填される。ビア90を形成するためにエッチングされる必要がある全ての層がもはや基板32(シリコン、炭化ケイ素(SiC)、二酸化シリコン(SiO<sub>2</sub>)、窒化シリコン(SiN<sub>x</sub>)、又はこれらの組み合わせ)及びアパーチャの半導体又は誘電体又は金属材料82(ここでは、例えば、SiN<sub>x</sub>、SiO<sub>2</sub>、モリブデン又はポリシリコン)であると仮定すると、これらの層は全て、フッ素系エッチャントを用いてエッチングされることが出来る。結果として、この場合、ビアエッチングプロセス全体にフッ素系エッチングが使用される。

#### 【0088】

次に図6Daを参照して、他の一実施形態を説明する。この実施形態においては、図6Dにおいてよりも幅広くビア96がエッチングされるが、ここでも、エッチングが、アルミニウムベースの層42<sub>b</sub>の内側部分で停止する。従って、やはり、追加の(別個の)エッチング停止層42<sub>ES</sub>は存在せず、むしろ、層42<sub>b</sub>がエッチング停止層として機能する。このケース(図6Da)では、(図6Caに示した)ビア90内の誘電体層82が残っていない。

#### 【0089】

次に図7A - 7Gを参照するに、他の一実施形態が示されている。ここでは、図2Bに示した構造10''''が、図示のように窓402 - 406のみが形成されることを除いて図2

10

20

30

40

50

Cに関して説明したようにして処理されている。窓402 - 406を形成した後、窓402、404、406によって露出された層36の内側表面部分上に、従来からのシリコン(Si)ファウンドリ適合(サブトラクティブ)リソグラフィ及びエッチング処理技術を用いて、ここでは例えば二酸化シリコン又は $SiN_x$ であるエッチング停止層42<sub>ES'</sub>が形成される。なお、図7Bでは、層36の露出表面のうち外側表面部分にはエッチング停止層42<sub>ES'</sub>がない。それに代えて、図示はしないが、全ての窓40によって露出された層36の内側表面部分上にエッチング停止層42<sub>ES'</sub>が形成されてもよい。

#### 【0090】

次に図7Cを参照するに、エッチング停止層42<sub>ES'</sub>の上に層42a、42b及び42cが形成されている。なお、層42a、42b及び42cの外周部分は層36と直に接触している。故に、図4A、4Aa、及び4B、4Baに関連して上述したアニールプロセスの後、層42a、42b及び42cの外周部分とIII族-N層36との間にオーミックコンタクトが形成される。なお、ここでは、電気コンタクト構造42'<sub>i</sub>、42'<sub>j</sub>及び42'<sub>k</sub>は、層42a、42b及び42cの上ではなく、層42a、42b及び42cの内側部分の下にあるここではエッチング停止層42<sub>ES'</sub>であるエッチング停止層を含んでいる。従って、電気コンタクト構造42''が層42cの上(電気コンタクト構造42の上)にエッチング停止層42<sub>ES</sub>を含んでいた図3Bに関連して上述したが、ここでは、図3Baに示したように、図7A-7Fで使用される電気コンタクト構造42'のエッチング停止層42<sub>ES'</sub>は、電気コンタクト構造42''の層42aの内側又は中央部分の下にある。

#### 【0091】

なお、図7Cでは、電極コンタクト54<sub>1</sub>-54<sub>g</sub>が、図示のように、ソース電極構造22<sub>1</sub>-22<sub>3</sub>、ドレイン電極構造18<sub>1</sub>、18<sub>2</sub>、及びゲート電極構造14<sub>1</sub>-14<sub>4</sub>の上側層を同時に形成している。

#### 【0092】

次に図7Dを参照するに、前面側の処理の完了後、図2Sを参照して、裏面側処理が開始される。より具体的には、ウエハが、図示しない一時的なキャリア上にフェイスダウンで取り付けられ、次いで、ここでは例えば50又は100ミクロンまで、ウエハが薄化される。この構造の底面が、マスク内の窓をエッチング停止層42<sub>ES'</sub>の下方に配置してマスクされる。図示のように、ここでは例えばフッ素であるエッチャントを用いて、基板32を貫くビア102がエッチングされる。

#### 【0093】

次に図7Eを参照するに、例えばBCl<sub>3</sub>及びCl<sub>2</sub>などの塩素系エッチャントを用いて、ビア102がビア102'へと延ばされ、図示のように、このエッチングはエッチング停止層42<sub>ES'</sub>で停止する。次に、SiO<sub>2</sub>又はSiN<sub>x</sub>のいずれかがエッチング停止層42<sub>ES'</sub>として使用されるとき、フッ素系であるドライエッチングケミストリを用いて、ビアホール102'の底からエッチング停止層42<sub>ES'</sub>が除去される。SiO<sub>2</sub>及びAl<sub>2</sub>O<sub>3</sub>層42<sub>ES</sub>のエッチング停止層42<sub>ES'</sub>、及び図7Fに示すように、一部のSiN<sub>x</sub>層のエッチング停止層42<sub>ES'</sub>を除去するには、フッ素系ウェットエッチングが好ましい。

#### 【0094】

次に図7Gを参照するに、ソース電極構造22<sub>1</sub>-22<sub>3</sub>を電氣的に相互接続するため、図2Uに関連して上述したように、この構造の底面を覆って導電層28が形成される。

#### 【0095】

次に図8A-8Fを参照するに、ソース電極構造のうちの1つへのオーミックコンタクト、及び裏面側メタライゼーション導電層28へのソース電極構造の接続を形成するための他の一実施形態が示されている。故に、図8Aに示すように、AlGaN層36の上面上に誘電体層38を形成した後、ここでは例えば塩素系エッチャントBCl<sub>3</sub>及びCl<sub>2</sub>である従来からのリソグラフィ及びドライエッチングプロセスを用いて、図8Bに示すように、誘電体層38とその下に位置するAlGaN層36及びGaN層34の部分とを貫

10

20

30

40

50

いて、基板 3 2 の表面まで、窓 2 0 0 が形成される。

【 0 0 9 6 】

次に図 8 C を参照するに、図 2 D に関連して上述したように、オーミックコンタクト構造 4 2 0 c の層 4 2 a、4 2 b 及び 4 2 c を有する電気コンタクト構造 4 2 ' が順次に堆積され、従来からのリソグラフィ - エッチングプロセスを用いて、図示のようにパターンニングされる。オーミックコンタクト構造 4 2 0 c は、チタン ( T i ) 又はタンタル ( T a ) の底部層 4 2 a と、層 4 2 a 上の、例えばアルミニウム又は S i ドープトアルミニウム  $A l_{1-x} S i_x$  (ただし、S i ドーピング x は典型的に 0 . 0 5 ) である層 4 2 b と、例えばタンタル ( T a ) 又は金属窒化物 (ここでは例えば窒化チタン ( T i N ) ) である層 4 2 c とを有する。次に、上述のアニールプロセスを用いて、オーミックコンタクト構造 4 2 0 c と A l G a N 層 3 6 の側壁との間にオーミックコンタクト領域 1 1 0 (図 8 C) が形成される。次に、図 2 F - 2 H に関連して上述したように、誘電体層 4 4 及び 4 8 が図示のように形成される。

10

【 0 0 9 7 】

次に、図 2 I に関連して上述したように、ダマシンプロセスが、図 8 E に示すように誘電体層 5 0 を堆積することによって開始され、続いて、この例では、図 2 I - 2 L に関連して上述したように底面及び側面が密着・銅拡散バリア層 5 4 a (ここでは、例えば、タンタル若しくは窒化タンタル又はこれらの組み合わせ) でライニングされた銅の上部層 5 4 b を含む電気インターコネクットの形成が行われ、図 8 F に示すように、上述のダマシン電極コンタクト 5 4 1 - 5 4 1 1 のうちの例示的な 1 つ (ここでは添え字なしで 5 4 として示す) が得られる。

20

【 0 0 9 8 】

図 2 M - 2 R に関連して上述したように処理が続けられ、その後、図 6 A - 6 D に関連して上述したように裏面側処理が開始される。より具体的には、ウエハが、図示しない一時的なキャリア上にフェイスダウンで取り付けられ、ここでは例えば 5 0 又は 1 0 0 ミクロンまで、ウエハが薄化される。ソース電極構造 2 2 1 - 2 2 3 の下方の基板 3 2 の底面部分を露出させるように、この構造の露出した底面がマスクされる。次に、ここでは例えば S F 6 であるフッ素系ドライエッチングを用いて、基板層 3 2 を貫き、T i 又は T a の底部層 4 2 a を貫き、そして、そのフッ素系エッチングによる副生成物が不揮発性であるアルミニウムベースの層 4 2 b で停止して、ビア 9 0 がエッチングされる。従って、ここでは追加の (別個の) エッチング停止層 4 2 E S は存在せず、むしろ、図 8 G に示すように、層 4 2 b がエッチング停止層として機能する。

30

【 0 0 9 9 】

次に、図 8 H を参照するに、図 8 G の構造の底面が、図 2 S - 2 U に関連して上述したように、電気コンタクト構造 4 2 ' の層 4 2 b と電氣的に接続された導電層 2 8 を有している。

【 0 1 0 0 】

次に図 9 A - 9 E を参照するに、他の一実施形態が示されている。ここでは、図 9 A に示すように、A l G a N 層 3 6 の上面上に誘電体層 3 8 を形成した後に、ここでは従来からのリソグラフィ及びドライエッチングプロセス (ここでは、例えば、塩素系エッチャント B C l 3 及び C l 2 ) を用いて、図 9 B に示すように、誘電体層 3 8 とその下に位置する A l G a N 層 3 6 及び G a N 層 3 4 の部分とを貫いて基板 3 2 の表面まで、窓 2 0 0 が形成される。

40

【 0 1 0 1 】

次に、(図 9 B に示した) 窓 2 0 0 のエッジ周りの I I I 族 - N 半導体層 3 6 の表面部分を露出させるよう、(図 9 C に示すように) 誘電体層 3 8 を横方向にエッチングするフッ素系ドライエッチャントを用いて、窓 2 0 2 がエッチングされる。

【 0 1 0 2 】

次に、図 9 D 及び 9 E に示すように、図 8 C 及び 8 D に関連して説明したようにして層 4 2 a、4 2 b、4 4 及び 4 8 が形成され、その後、図 8 E 及び 8 F に関連して上述した

50

ようにしてプロセスが続けられる。

【0103】

本開示の多数の実施形態を説明してきた。そうとはいえ、理解されることには、本開示の精神及び範囲から逸脱することなく様々な変更がなされ得る。例えば、金属-半導体オーミックコンタクト構造420c'は、例えばTa/Al、Ti/Al、Ta/Al/Ta、Ta/Al<sub>1-x</sub>Si<sub>x</sub>/Ta、Ta/Al/TiN、Ta/Al/Ni、Ti/Al/Ni、Ta/Al、Ti/Al、Ti/Al/W、Ti/Al/Mo、Ti/Al/Ptなどの、Ta、Ti、TiN、Pt、Ni、Si、AlSi、W、又はMoとのAlの2層以上のスタックを有し得る。また、図2Jに示した構造は、電極コンタクト54を形成するのに先立って金フリー製造領域から除去されてもよく、その場合、電極コンタクト54は金としてもよい。

10

【0104】

もはや理解されるはずのことには、本開示に従った半導体構造は、基板、前記基板上に配置されたIII族-N半導体層、前記III族-N半導体層と接触した多層電気コンタクト構造であり、前記III族-N半導体層と接触した金フリーコンタクト層と、前記金フリーコンタクト層に電氣的に接続された金フリーの導電性のエッチング停止層と、を有する多層電気コンタクト構造、及び前記エッチング停止層まで前記基板を通り抜けている導電ビア、を含む。当該半導体構造は、以下の特徴のうちの1つ以上を、独立に、又は他の特徴と組み合わせて含み得る：前記多層電気コンタクト構造は、前記金フリーコンタクト層の上に配置されたアルミニウムベースの層を含む；前記金フリーコンタクト層は、前記III族-N半導体層と直に接触しており、前記金フリーコンタクト層及び前記アルミニウムベースの層は、660度未満の温度で前記III族-N半導体層とともにアニールすることで前記III族-N半導体層とのオーミックコンタクトを形成することが可能な物理的アニリング特性を有する；当該半導体構造は、前記多層電気コンタクト構造に電氣的に接続された電極コンタクトを含み、且つ前記多層電気コンタクト構造及び前記電極コンタクトは、ソース、ドレイン又はゲートの電極構造を提供している；前記電極コンタクトは、金フリーの電極コンタクトである；前記エッチング停止層は、アルミニウム、ニッケル、モリブデン、白金、又はアルミニウムを有する；前記電気コンタクト構造は、Ta、Ti、TiN、Pt、Ni、Si、AlSi、W、又はMoとのAlの2層以上のスタックを有する；前記電気コンタクト構造は金属シリサイドを有する；前記金属シリサイドは、CoSi<sub>2</sub>又はNiSiである；前記金属シリサイドは、前記III族-N半導体層内にリセス化されている；前記金属シリサイドは、リン(P)、ヒ素(As)、又はアンチモン(Sb)でドーピングされている；及び前記多層構造は、前記III族-N半導体内にリセス化されている。

20

30

【0105】

もはや理解されるはずのことには、本開示に従った半導体構造を形成する一方法は、III族-N半導体層が上に配置された基板を用意し、前記III族-N半導体層と接触させて多層電気コンタクト構造を形成し、該多層電気コンタクト構造は、前記III族-N半導体層と接触した金フリーのコンタクト層と、該コンタクト層に電氣的に接続された金フリーの導電性のエッチング停止層とを有し、前記エッチング停止層まで前記基板を通り抜けている導電ビアを形成する、ことを含む。当該方法は、以下の特徴のうちの1つ以上を、独立に、又は他の特徴と組み合わせて含み得る：前記多層電気コンタクト構造は、前記金フリーのコンタクト層の上に配置されたアルミニウムベースの層を含む；前記金フリーのコンタクト層は、前記III族-N半導体層と直に接触して形成され、前記コンタクト層及び前記アルミニウムベースの層が、660度未満の温度でアニールされて、前記III族-N半導体層とのオーミックコンタクトを形成する；前記多層電気コンタクト構造は、前記多層電気コンタクト構造に電氣的に接続された電極コンタクトを含み、前記多層電気コンタクト構造及び前記電極コンタクトは、ソース、ドレイン又はゲートの電極構造を提供する；及び前記電極コンタクトは、金フリーの電極コンタクトとして形成される。

40

【0106】

50

もはや理解されるはずのことには、本開示に従った半導体構造は、III族 - N半導体層と、金属シリサイドを含んだ電気コンタクト構造であり、前記金属シリサイドが前記III族 - N半導体層とオーミックコンタクトしている、電気コンタクト構造と、を含む。当該半導体構造は、前記電気コンタクト構造に電氣的に接続された金フリーのエッチング停止層と、導電性の前記エッチング停止層に電氣的に接続された導電ビアとを含み得る。

【0107】

もはや理解されるはずのことには、本開示に従ったIII族 - N層と接触した導電性オーミックコンタクトを形成する方法は、電気コンタクト構造とIII族 - N半導体層との間にオーミックコンタクトを形成することを含み、前記形成することは、前記電気コンタクト構造の第1の金属と前記III族 - N半導体層との間に金属窒化物を形成し、そして、前記電気コンタクト構造の第2の金属を前記第1の金属内に及び前記III族 - N半導体層の上面に拡散させることを有し、前記拡散させることは、前記電気コンタクトの第3の金属又は金属窒化物との混ざり合いを防止することを含む。当該方法は、以下の特徴のうちの1つ以上を、独立に、又は他の特徴と組み合わせることを含む：前記混ざり合いを防止することは、前記オーミックコンタクトの前記第3の金属又は金属窒化物の堆積に先立って、オーミックコンタクト形成中に、前記電気コンタクト構造の前記第1の金属及び前記第2の金属を形成してアニールすることを有する；前記混ざり合いを防止することは、前記第2の金属と前記第3の金属との間に、部分的に酸化された中間層を形成することを有する；及び前記混ざり合いを防止することは、前記電気コンタクト構造の金属堆積プロセス中に前記第3の金属を金属窒化物として形成することを有する。

【0108】

もはや理解されるはずのことには、本開示に従った半導体構造は、基板と、前記基板の上面上のIII族 - N層であり、前記基板の前記上面まで当該III族 - N層を通り抜ける窓を有するIII族 - N層と、前記基板の上面上に、前記窓の中に配置され、前記III族 - N層とオーミックコンタクトした電気コンタクト構造と、を含む。

【0109】

もはや理解されるはずのことには、本開示に従った半導体構造は、基板と、前記基板の上面上のIII族 - N層であり、当該III族 - N層は、前記基板の前記上面まで当該III族 - N層を通り抜ける窓を有し、該窓が当該III族 - N層の側壁を露出させる、III族 - N層と、前記窓の中に配置され、前記III族 - N層の前記露出された側壁とオーミックコンタクトした電気コンタクト構造と、を含む。当該半導体構造はまた、前記電気コンタクト構造に電氣的に接続された金フリーのエッチング停止層と、導電性の前記エッチング停止層に電氣的に接続された導電ビアとを含み得る。

【0110】

従って、その他の実施形態も以下の請求項の範囲内にある。

10

20

30

40

50

【図面】  
【図 1 A】

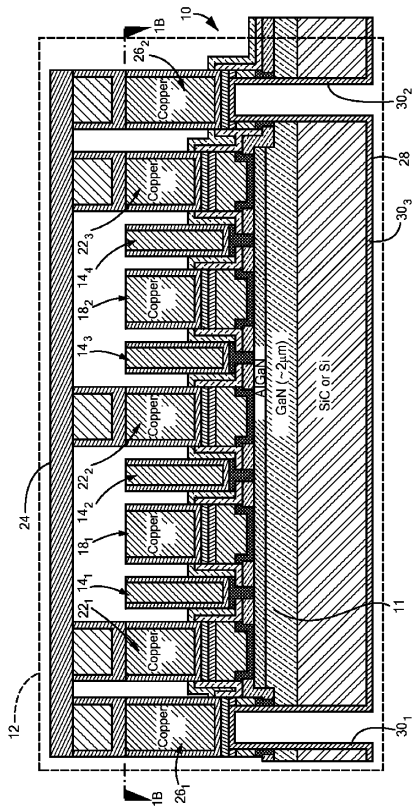
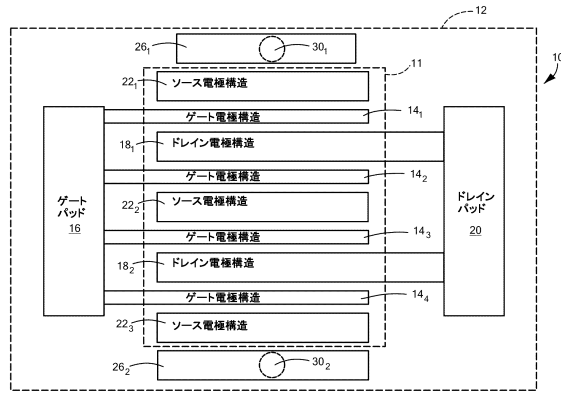


FIG. 1A

【図 1 B】



10

20

【図 2 A】

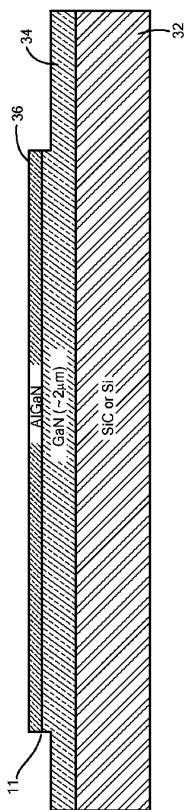


FIG. 2A

【図 2 B】

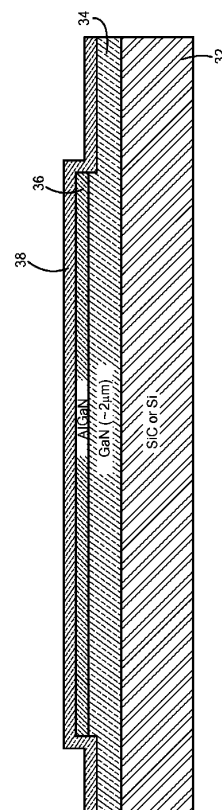


FIG. 2B

30

40

50

【 2 C 】

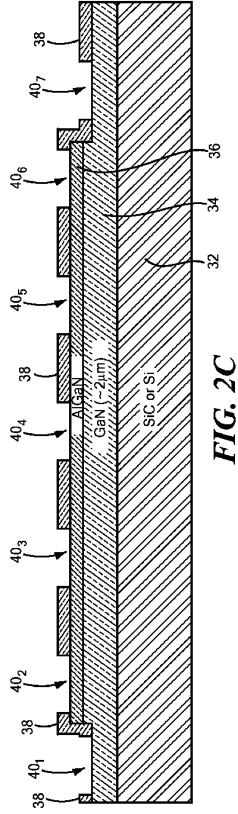


FIG. 2C

【 2 D 】

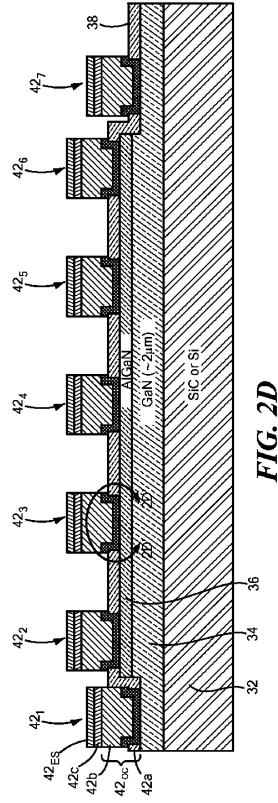


FIG. 2D

【 2 D a 】

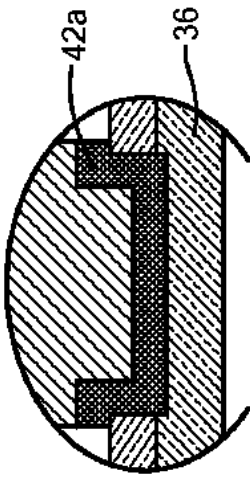


FIG. 2D'

【 2 E 】

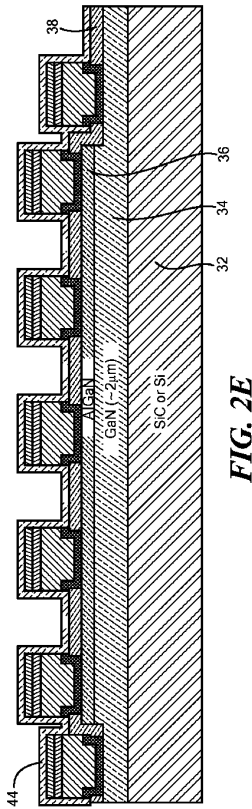


FIG. 2E

10

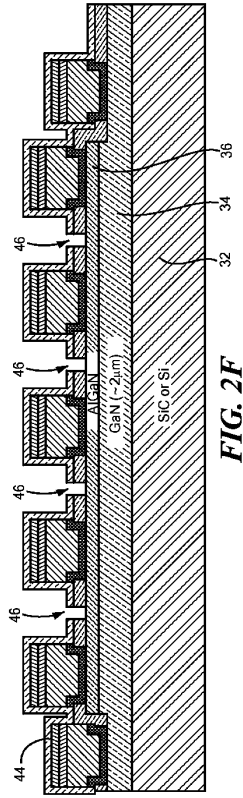
20

30

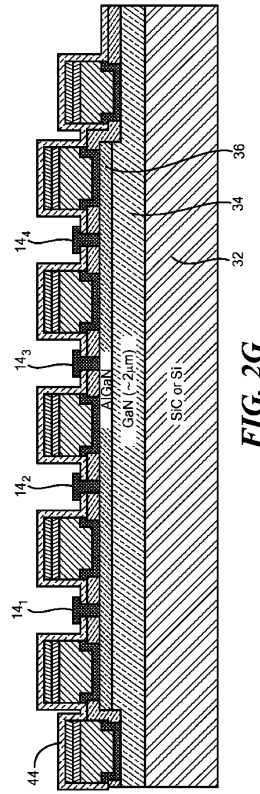
40

50

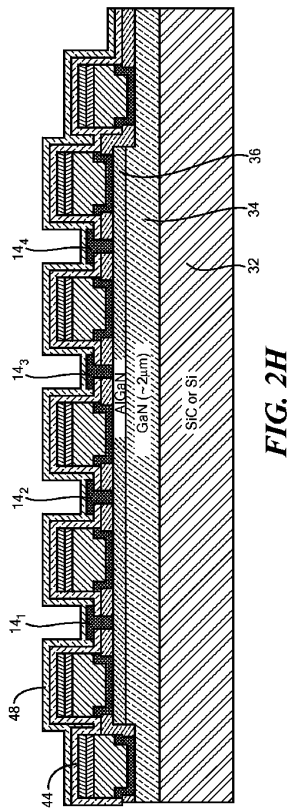
【 2 F 】



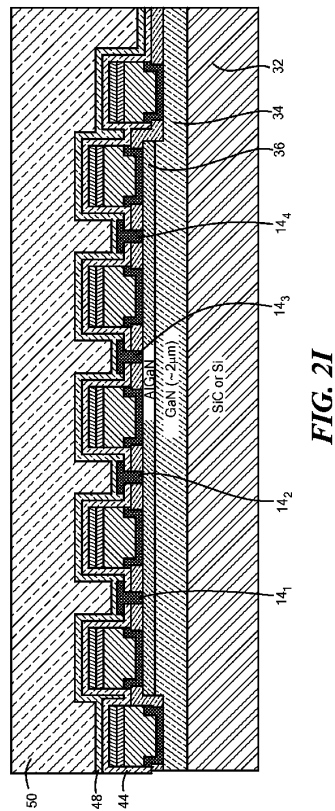
【 2 G 】



【 2 H 】



【 2 I 】



10

20

30

40

50

【 2 J 】

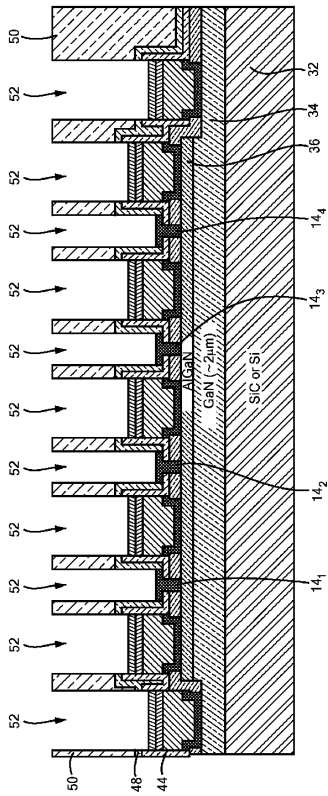


FIG. 2J

【 2 K 】

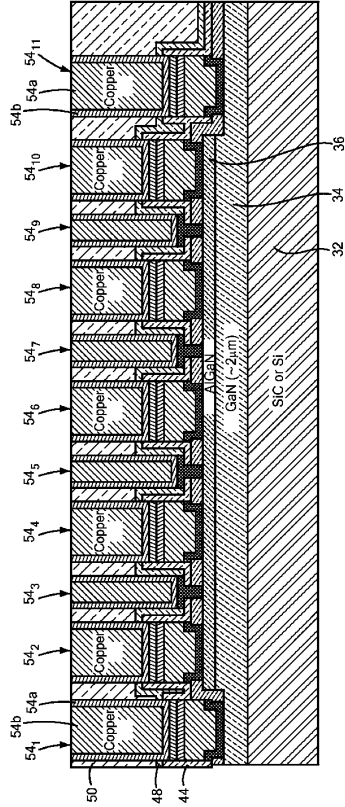


FIG. 2K

【 2 L 】

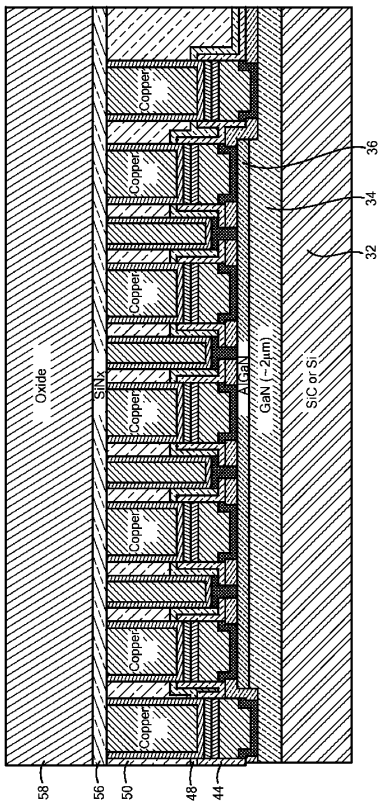


FIG. 2L

【 2 M 】

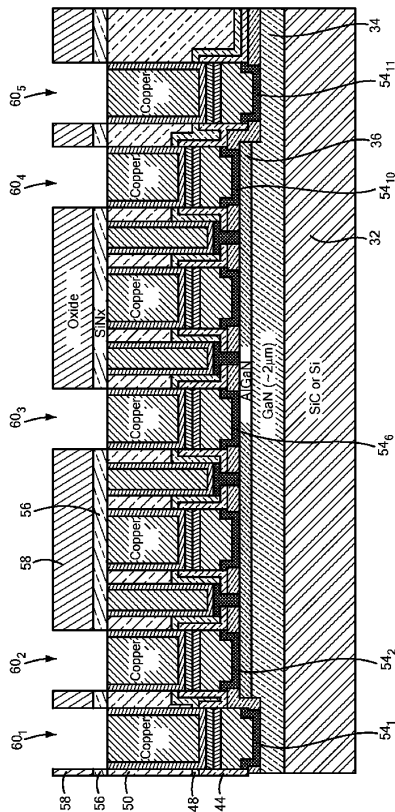


FIG. 2M

10

20

30

40

50

【 2 N 】

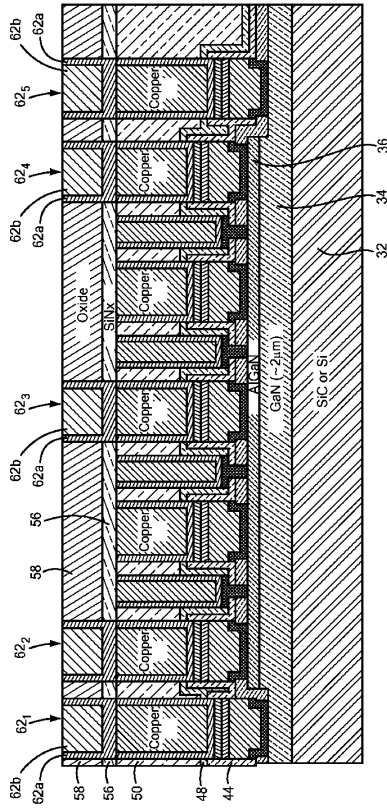


FIG. 2N

【 2 O 】

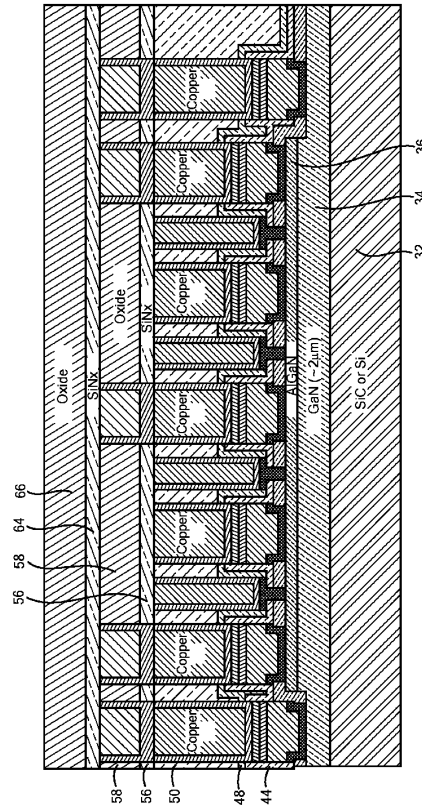


FIG. 2O

【 2 P 】

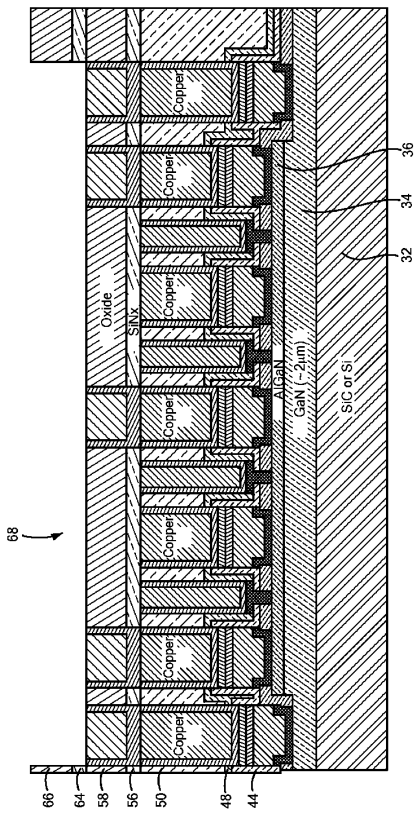


FIG. 2P

【 2 Q 】

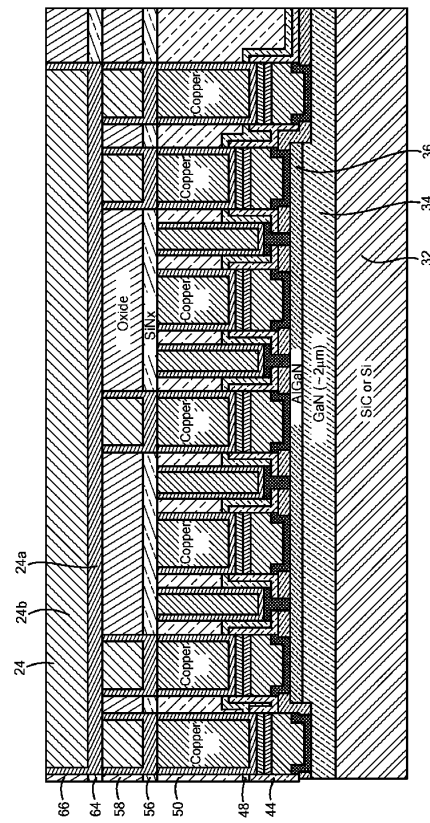


FIG. 2Q

10

20

30

40

50

【 2 R 】

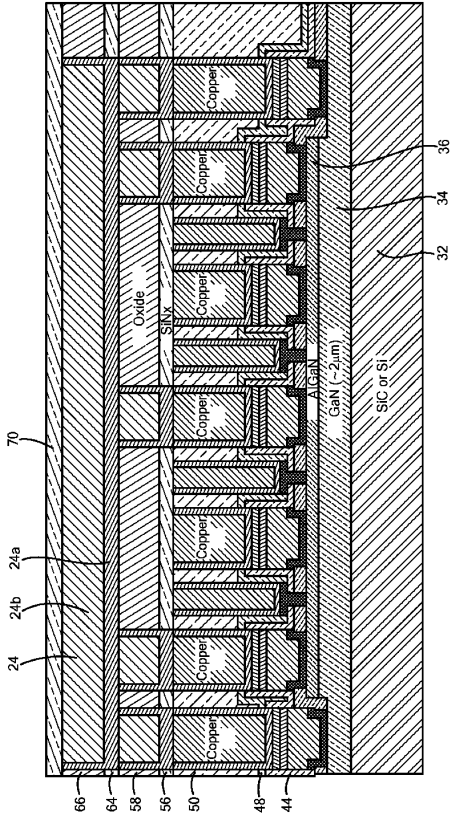


FIG. 2R

【 2 S 】

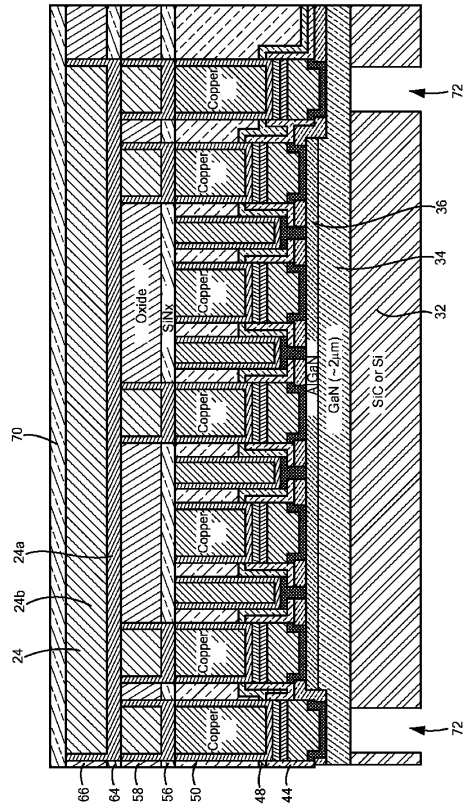


FIG. 2S

【 2 T 】

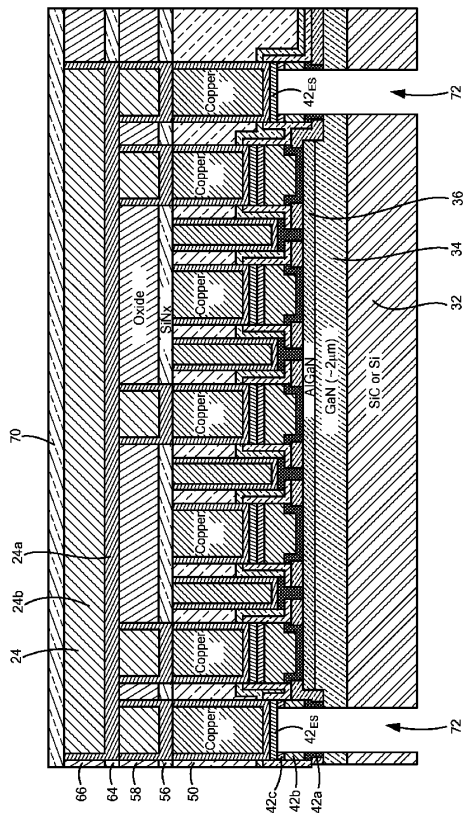


FIG. 2T

【 2 U 】

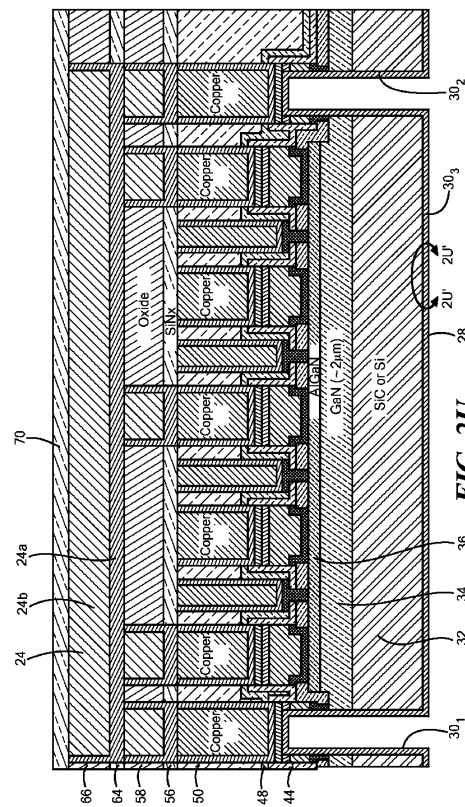


FIG. 2U

10

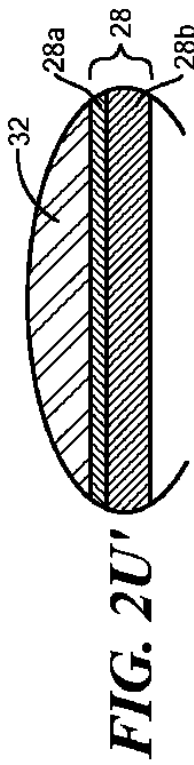
20

30

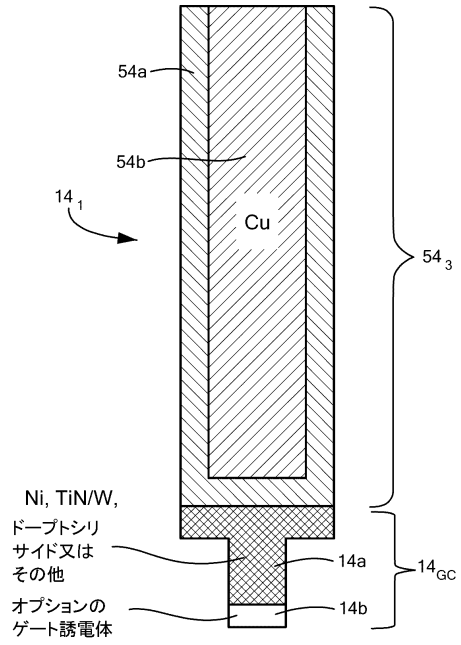
40

50

【図 2 U a】



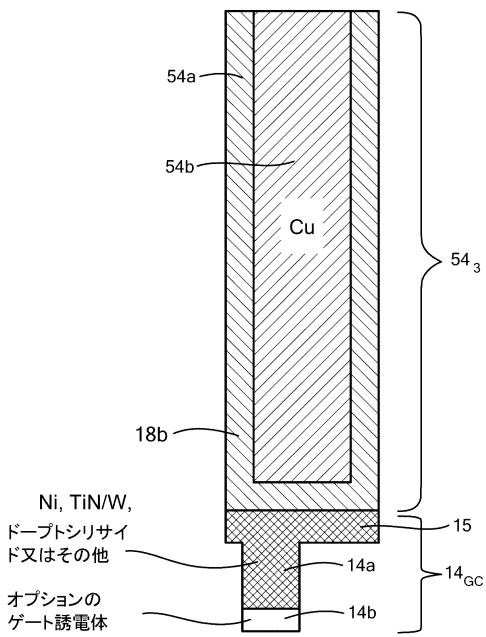
【図 3 A】



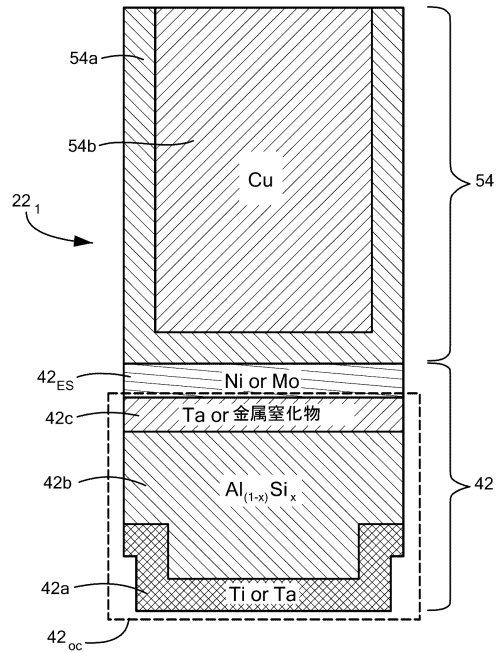
10

20

【図 3 A a】



【図 3 B】

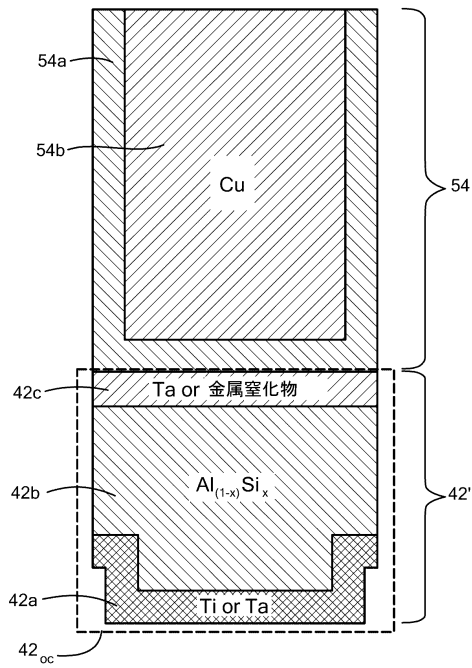


30

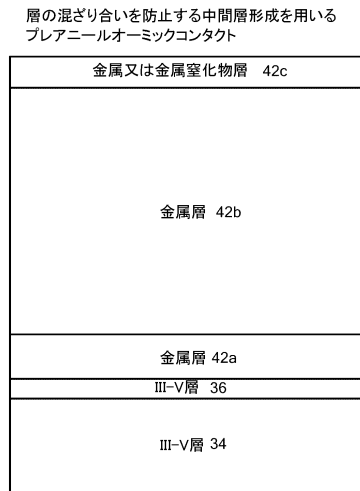
40

50

【図3Ba】



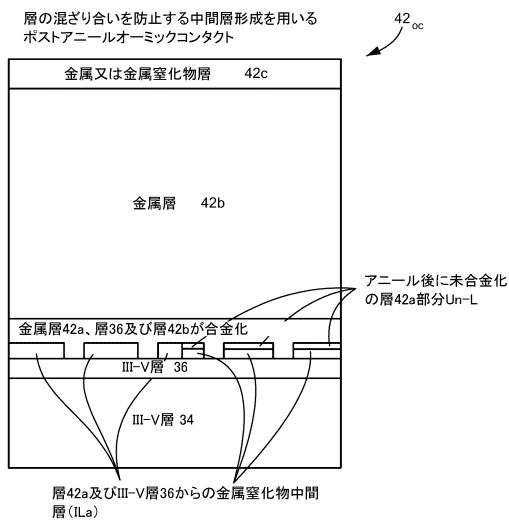
【図4A】



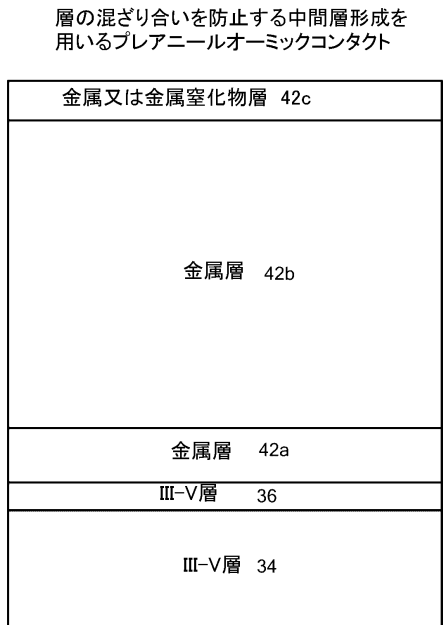
10

20

【図4Aa】



【図4B】



30

40

50







【 7 A 】

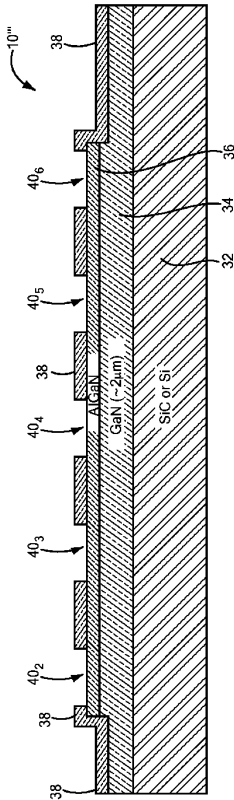


FIG. 7A

【 7 B 】

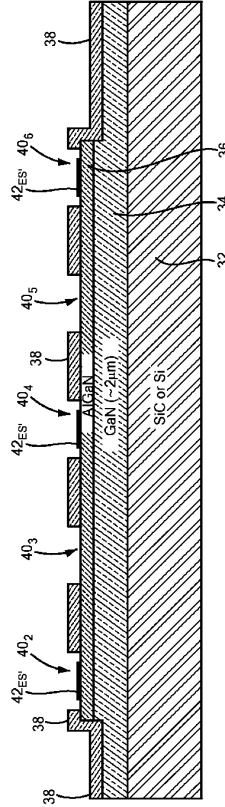


FIG. 7B

【 7 C 】

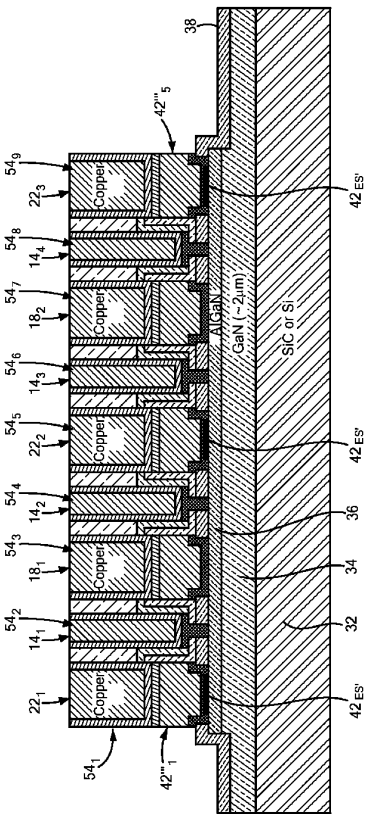


FIG. 7C

【 7 D 】

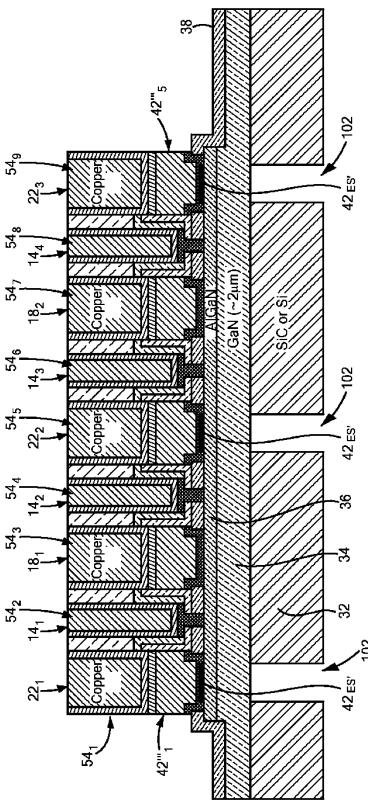


FIG. 7D

10

20

30

40

50

【 図 7 E 】

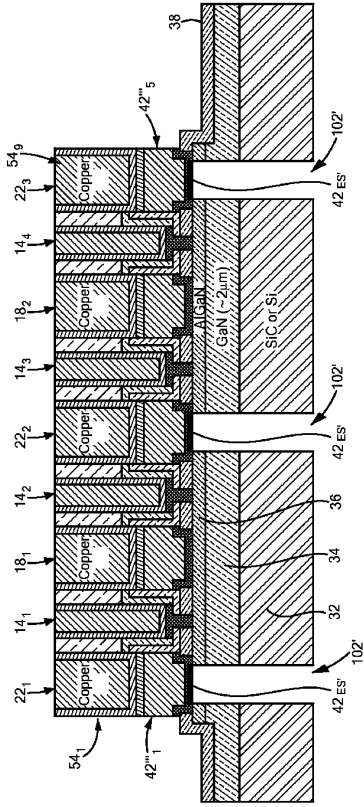


FIG. 7E

【 図 7 F 】

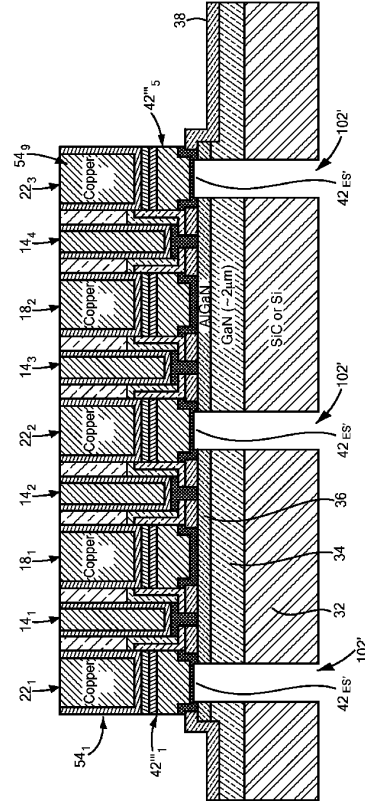


FIG. 7F

【 図 7 G 】

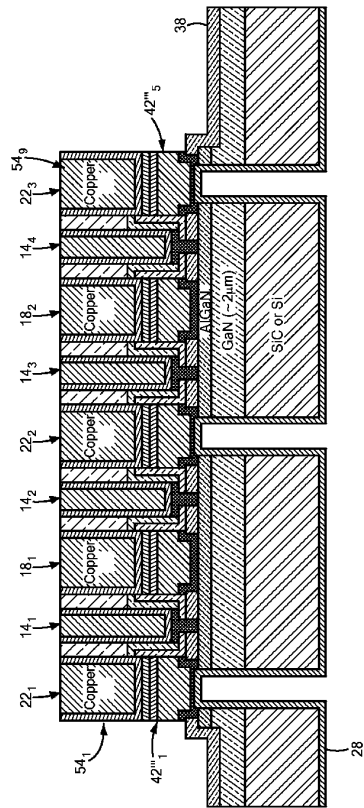
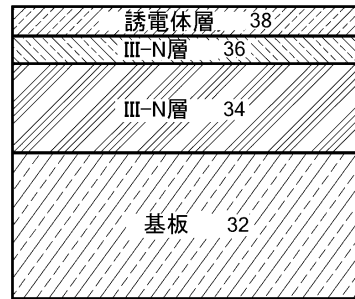


FIG. 7G

【 図 8 A 】



10

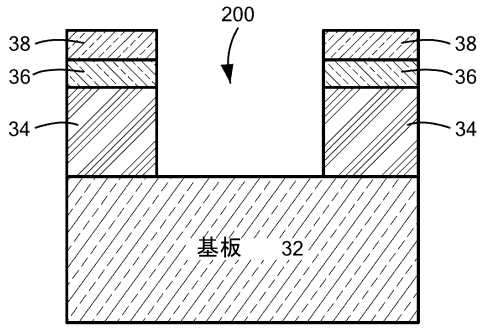
20

30

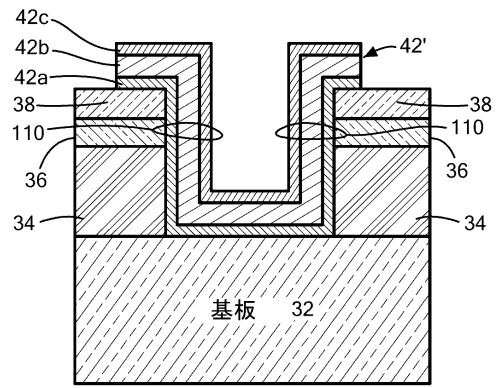
40

50

【图 8 B】

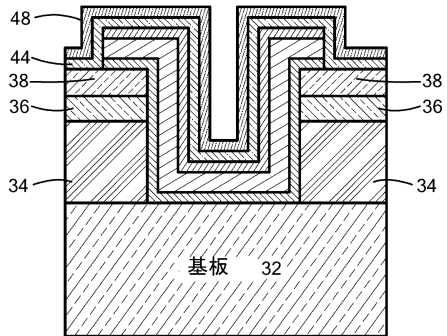


【图 8 C】

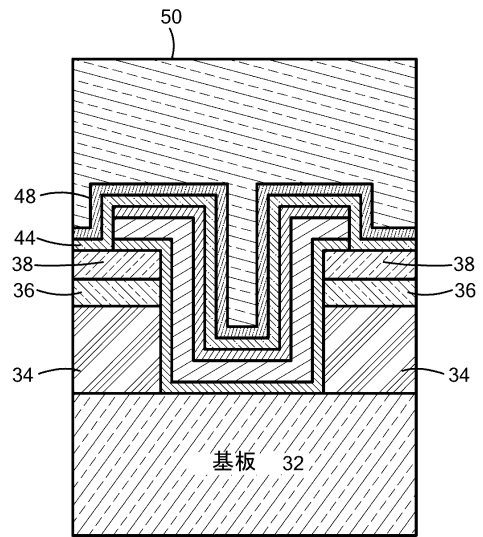


10

【图 8 D】



【图 8 E】



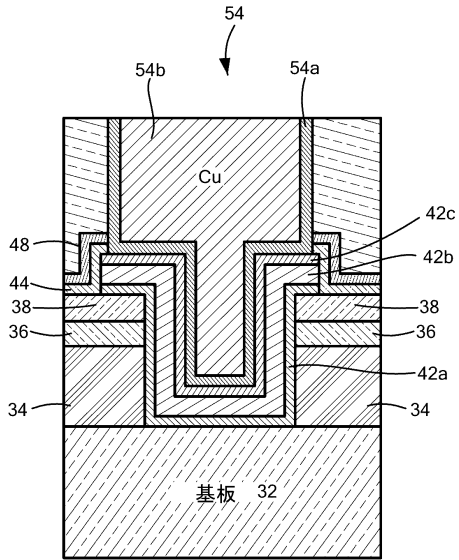
20

30

40

50

【 8 F 】



【 8 G 】

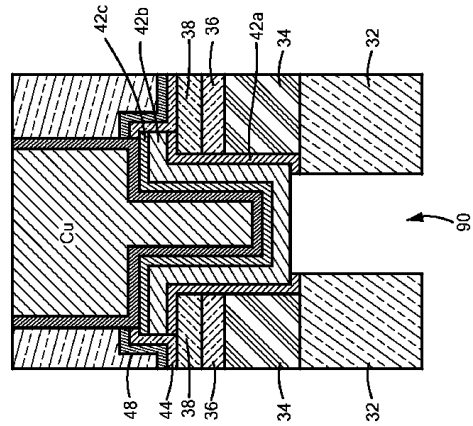


FIG. 8G

10

【 8 H 】

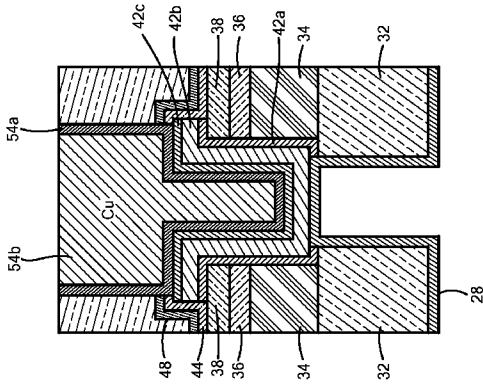
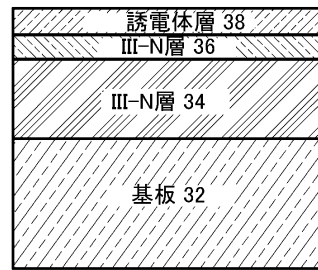


FIG. 8H

【 9 A 】



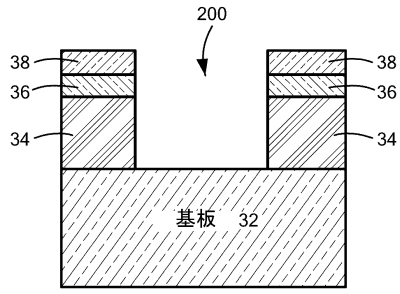
20

30

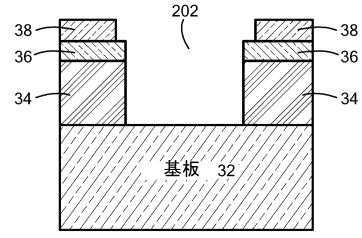
40

50

【図 9 B】

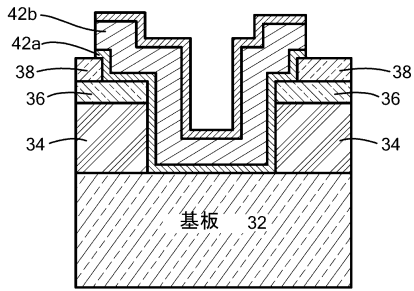


【図 9 C】

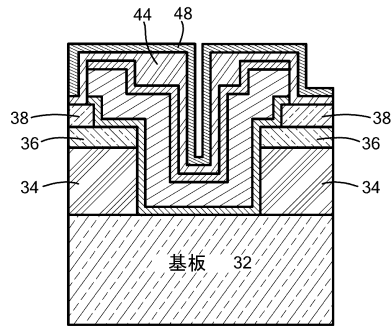


10

【図 9 D】

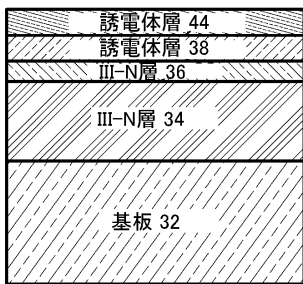


【図 9 E】

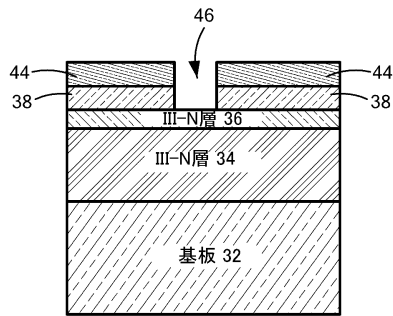


20

【図 10 A】



【図 10 B】

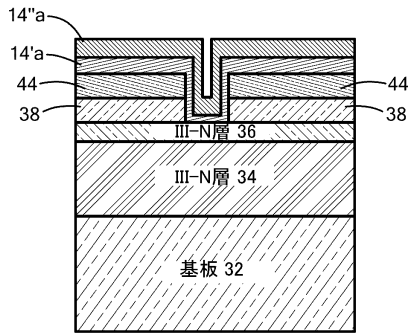


30

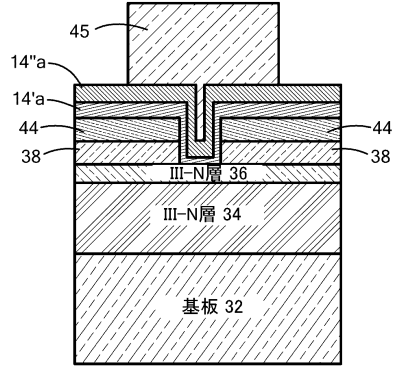
40

50

【図10C】

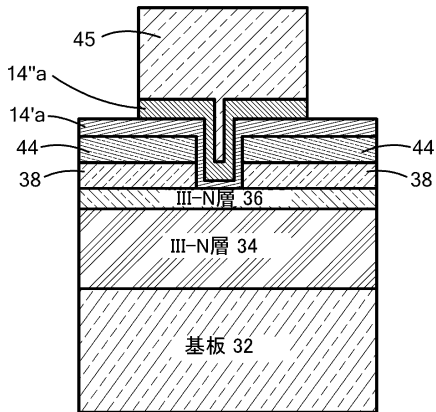


【図10D】

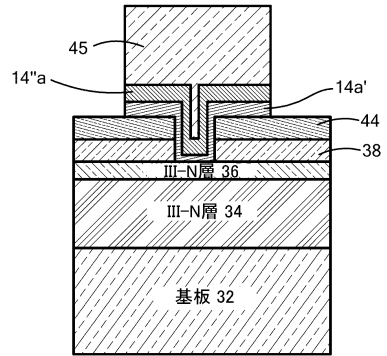


10

【図10E】

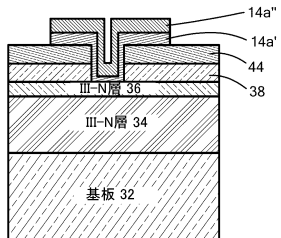


【図10F】



20

【図10G】



30

40

50

## フロントページの続き

## (51)国際特許分類

		F I		
H 0 1 L	21/338(2006.01)	H 0 1 L	29/80	L
H 0 1 L	29/812(2006.01)	H 0 1 L	29/80	U

アメリカ合衆国 マサチューセッツ州 0 1 8 1 0 - 1 5 3 2 アンドーバー クレセント・ドライブ 1 1 1 1号

(72)発明者 イブ, ケリー, ピー.

アメリカ合衆国 マサチューセッツ州 0 1 8 5 2 - 1 8 7 6 ローエル マーケット・ストリート 2 0 0 ビー 4 9

(72)発明者 カジオール, トーマス, イー.

アメリカ合衆国 マサチューセッツ州 0 1 7 7 6 サドバリー ブラックスミス・ドライブ 3 4

審査官 早川 朋一

(56)参考文献 米国特許出願公開第 2 0 1 4 / 0 1 5 9 0 4 9 ( U S , A 1 )

特開 2 0 1 6 - 0 4 6 3 0 6 ( J P , A )

特開 2 0 1 2 - 0 3 3 6 9 0 ( J P , A )

特開 2 0 1 2 - 0 2 8 4 4 2 ( J P , A )

特表 2 0 1 4 - 5 1 5 5 6 2 ( J P , A )

特開 2 0 1 5 - 0 7 3 0 0 2 ( J P , A )

特表 2 0 0 9 - 5 2 4 2 4 2 ( J P , A )

特開 2 0 1 0 - 1 9 2 7 7 1 ( J P , A )

特開 2 0 1 0 - 1 3 5 3 9 9 ( J P , A )

特開 2 0 1 2 - 2 2 7 4 0 5 ( J P , A )

米国特許出願公開第 2 0 1 5 / 0 2 9 4 9 2 1 ( U S , A 1 )

特開 2 0 1 2 - 0 2 3 0 7 4 ( J P , A )

特開 2 0 0 9 - 0 3 3 0 9 7 ( J P , A )

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 1 / 3 2 0 5 - 2 1 / 3 2 1 5

H 0 1 L 2 1 / 7 6 8

H 0 1 L 2 3 / 5 2 - 2 3 / 5 3 8

H 0 1 L 2 3 / 4 8 - 2 3 / 5 0

H 0 1 L 2 3 / 1 2 - 2 3 / 1 5

H 0 1 L 2 1 / 6 0 - 2 1 / 6 0 7

H 0 1 L 2 1 / 2 8 - 2 1 / 2 8 8

H 0 1 L 2 1 / 4 4 - 2 1 / 4 4 5

H 0 1 L 2 9 / 4 0 - 2 9 / 5 1

H 0 1 L 2 1 / 3 3 7 - 2 1 / 3 3 8

H 0 1 L 2 7 / 0 9 5 - 2 7 / 0 9 8

H 0 1 L 2 9 / 7 7 5 - 2 9 / 7 7 8

H 0 1 L 2 9 / 8 0 - 2 9 / 8 1 2