

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

O P I S P A T E N T O W Y P A T E N T U T Y M C Z A S O W E G O

81971

Patent tymczasowy dodatkowy
do patentu _____

Kl. 42d,2/50

Zgłoszono: 13.07.1971 (P. 149 417)

Pierwszeństwo: _____

MKP H03k 21/24

Zgłoszenie ogłoszono: 15.11.1973

Opis patentowy opublikowano: 30.10.1975

Twórca wynalazku: Zbigniew Krukowski

Uprawniony z patentu tymczasowego: Wrocławskie Zakłady Elektroniczne „ELWRO”,
Wrocław (Polska)

Układ do wybierania anod jarzeniowych lamp cyfrowych

Przedmiotem wynalazku jest układ do wybierania anod jarzeniowych lamp cyfrowych stosowany w układach sygnalizacyjnych cyfrowych urządzeń liczących.

W znanych układach tego typu anoda każdej lampy cyfrowej posiada swój niezależny układ zasilania sterowany wyjściem matrycy deszyfrującej połączonej z licznikiem binarnym. W układach tych stan licznika zbudowanego z przerzutników jest deszyfrowany przez matrycę diodową, z której wybrane wyjście poprzez kondensator sprzęgającyysterowuje układ zasilania anody, pracujący na zasadzie podwajacza napięcia. Napięcie wymagane do zapłonu lampy podawane jest z okładki kondensatora, która przedysterowaniem ma potencjał równy połowie napięcia wymaganego, a pozostałe napięcie podawane jest na kondensator z kolektoraysterowanego tranzystora. Wadą znanych układów jest konieczność stosowania w nich licznika, deszyfratora i oddzielnego dla każdej lampy układu zasilającego.

Celem wynalazku jest znalezienie oszczędniejszego układu, który zastąpi licznik i deszyfrator w układach do wybierania i zasilania anod lamp cyfrowych. Zadanie to zostało wykonane w nowym układzie według wynalazku. Anody lamp cyfrowych zasilane są z kolektorów tranzystorów, wprowadzanych na czas pracy danej lampy cyfrowej w stan nasycenia. Pierwszy tranzystor zasilający pobudzający do zapłonu pierwszą lampę cyfrową jest wprowadzany w stan nasycenia przez podanie na jego bazę poprzez pierwszy kondensator sprzęgający impuls o ujemnej polaryzacji. Pierwsza lampa cyfrowa pracuje do chwili wyzerowania przez impuls zerujący pierwszego tranzystora. Prąd rozładowania drugiego kondensatora sprzęgającego wprowadza w stan nasycenia drugi tranzystor zasilający anodę drugiej lampy cyfrowej, która pobudzana jest do jarzenia do chwili podania na drugie wejście kolejnego impulsu zerującego. Impuls ten zatyka drugi tranzystor, a opisanym wyżej sposobem wchodzi w obszar nasycenia tranzystor zasilający anodę kolejnej lampy cyfrowej. Ysterowanie tranzystora pobudzającego do zapłonu kolejną lampę cyfrową związane jest więc z wyzerowaniem tranzystora zasilającego anodę lampy poprzedniej. Tranzystory zasilające są zerowane dodatnimi impulsami zerującymi przesuniętymi względem siebie w czasie podawanymi na dwa wejścia układu połączone poprzez diody odcinające na przemian z bazami tranzystorów zasilających anody lamp cyfrowych o nieparzystych i parzystych numerach kolejnych. Każde dwa sąsiednie tranzystory w układzie są sprzężone ze sobą przy pomocy opornika sprzęgającego i kondensatora sprzęgającego połączonych szeregowo.

Przedmiot wynalazku zostanie bliżej objaśniony na przykładzie wykonania na rysunku, który przedstawia schemat ideowy układu. Impuls o ujemnej polaryzacji podany przez pierwsze wejście 1 i kondensator sprzęgający C1 na bazę pierwszego tranzystora T1 wprowadza ten tranzystor w stan nasycenia, a więc napięcie na kolektorze wzrasta z wartości wynoszącej U_2 do napięcia U_1 pomniejszonego o spadek napięcia na diodach D1 i D2, przy czym zachodzi nierówność $U_2 < U_1$. Napięciem tym jest zasilana anoda A1 pierwszej lampy cyfrowej L1 poprzez opornik ograniczający R1 oraz jest ono podawane poprzez opornik sprzęgający R2 na kondensator sprzęgający C2. Drugi tranzystor T2 znajduje się w stanie zatkania, a skok napięcia na kolektorze pierwszego tranzystora T1 związany z wprowadzeniem tego tranzystora w stan nasycenia podtrzymuje stan zatkania drugiego tranzystora T2. Napięcie podawane na anodę A1 pobudza pierwszą lampę cyfrową L1 do jarzenia.

Z chwilą podania dodatniego impulsu zerującego przez drugie wejście 2 i diodę odcinającą D3 na bazę pierwszego tranzystora T1 następuje zatkanie tego tranzystora, a więc napięcie na jego kolektorze maleje do wartości U_2 , a pierwsza lampa cyfrowa L1 przestaje pracować. Skok napięcia na kolektorze pierwszego tranzystora T1 przenosi się przez kondensator sprzęgający C2 na bazę drugiego tranzystora T2. W tym momencie zaczyna przewodzić drugi tranzystor T2 i zasilą poprzez opornik ograniczający R3 anodę A2 drugiej lampy cyfrowej L2. Stan nasycenia drugiego tranzystora T2, a tym samym pobudzenie drugiej lampy cyfrowej L2 do jarzenia trwa do momentu podania na trzecie wejście kolejnego impulsu zerującego, który poprzez diodę odcinającą D4 podawany jest na bazę drugiego tranzystora T2, powodując przełączenie tego tranzystora w stan zatkania. Opisanym wyżej sposobem uruchamia się kolejny układ zasilający następną lampę cyfrową.

Zastrzeżenie patentowe

Układ do wybierania anod jarzeniowych lamp cyfrowych, zasilanych z kolektorów nasasyconych tranzystorów poprzez oporniki ograniczające, z n a m i e n n y t y m, że jego pierwsze wejście (1), na które podawany jest impuls o ujemnej polaryzacji, połączone jest z bazą pierwszego tranzystora (T1) poprzez kondensator sprzęgający (C1), zaś drugie wejście (2), na które podawany jest pierwszy ciąg impulsów zerujących, połączone jest z bazami tranzystorów (T1), zasilających ze swoich kolektorów poprzez oporniki ograniczające (R1) anody (A1) lamp cyfrowych (L1) o nieparzystych numerach kolejnych poprzez diody odcinające (D3) przy czym trzecie wejście (3), na które podawany jest drugi ciąg impulsów zerujących, połączone jest z bazami tranzystorów (T2), zasilających ze swoich kolektorów poprzez oporniki ograniczające (R3) anody (A2) lamp cyfrowych (L2) o parzystych numerach kolejnych poprzez diody odcinające (D4), a kolektor poprzedniego tranzystora (T1) połączony jest z bazą następnego tranzystora (T2) poprzez szeregowo połączone opornik sprzęgający (R2) i kondensator sprzęgający (C2), przy czym impulsy zerujące pierwszego ciągu, podawane na drugie wejście (2) są przesunięte w czasie względem impulsów zerujących drugiego ciągu, podawanych na wejście trzecie (3).

