

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-123449

(P2005-123449A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/146	HO 1 L 27/14	A 4M118
HO 1 L 31/00	HO 1 L 31/00	B 5F088

審査請求 未請求 請求項の数 19 O L (全 13 頁)

(21) 出願番号	特願2003-357838 (P2003-357838)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成15年10月17日(2003.10.17)	(74) 代理人	100109210 弁理士 新居 広守
		(72) 発明者	吉田 真治 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	宮川 良平 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	山口 琢己 大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

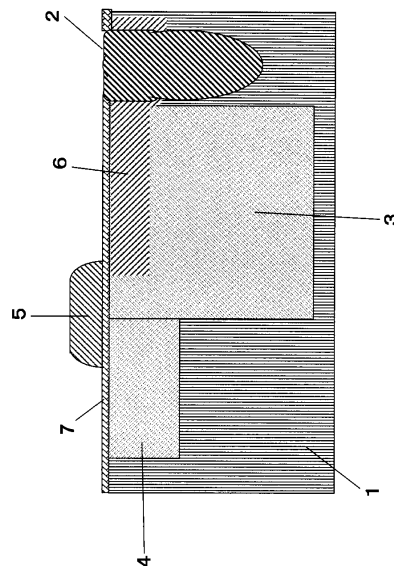
(54) 【発明の名称】 固体撮像装置およびその製造方法

(57) 【要約】

【課題】 低雑音な熱酸化膜素子分離構造を有する固体撮像装置およびその製造方法を提供する。

【解決手段】 半導体基板 1 上に複数の単位画素が配列された撮像領域を備える固体撮像装置であって、単位画素は、入射光を光電変換するフォトダイオード 3 と、フォトダイオード 3 で得られた電荷を読み出すトランジスタと、トランジスタを、トランジスタと隣接するトランジスタと分離する、絶縁体から成る素子分離部 2 とを備え、素子分離部 2 が半導体基板 1 を侵食する深さは、半導体基板 1 を侵食する幅よりも大きいか同等である。素子分離部 2 は、空洞を有してもよい。素子分離部 2 の製造方法は、ドライエッチング法によって半導体基板 1 を侵食して侵食領域を形成するステップと、侵食領域の側壁を、半導体基板 1 から化学反応によって生成された熱酸化物によって充填するステップとを含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板上に複数の単位画素が配列された撮像領域を備える固体撮像装置であって、前記単位画素は、
入射光を光電変換するフォトダイオードと、
前記フォトダイオードで得られた電荷を読み出すトランジスタと、
前記トランジスタを、前記トランジスタと隣接するトランジスタと分離する、絶縁体から成る素子分離手段とを備え、
前記素子分離手段の前記半導体基板を侵食する深さは、前記半導体基板を侵食する幅よりも大きいか同等である
ことを特徴とする固体撮像装置。

10

【請求項 2】

前記絶縁体は、熱酸化物から成る
ことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】

前記絶縁体は、熱酸化物と前記熱酸化物以外の酸化物とから成る
ことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】

前記絶縁体は、空洞を有する
ことを特徴とする請求項 2 または 3 記載の固体撮像装置。

20

【請求項 5】

前記空洞は、前記熱酸化物の中央部に位置し、幅よりも深さ方向の長さが長い
ことを特徴とする請求項 4 記載の固体撮像装置。

【請求項 6】

前記空洞は、前記素子分離手段の上部の酸化膜と、前記熱酸化物によって囲まれている
ことを特徴とする請求項 4 または 5 記載の固体撮像装置。

【請求項 7】

前記半導体基板はシリコンで形成され、
前記絶縁体はシリコン酸化物である
ことを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の固体撮像装置。

30

【請求項 8】

さらに、前記フォトダイオードの表面層で発生するリーク電流を抑える暗電流抑制手段を備える
ことを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の固体撮像装置。

【請求項 9】

前記暗電流抑制手段の前記半導体基板表面からの深さは、10 nm以上 200 nm以下である
ことを特徴とする請求項 8 記載の固体撮像装置。

【請求項 10】

MOS型である
ことを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載の固体撮像装置。

40

【請求項 11】

請求項 1 ~ 10 のいずれか 1 項に記載の固体撮像装置を備えるカメラ。

【請求項 12】

請求項 1 記載の固体撮像装置の製造方法であって、
前記素子分離手段を形成するために、
化学反応によって前記半導体基板を侵食して侵食領域を形成する侵食ステップと、
前記侵食領域の側壁を、前記半導体基板の化学反応によって生成された絶縁体によって充填する充填ステップとを含む
ことを特徴とする固体撮像装置の製造方法。

50

【請求項 13】

前記侵食ステップには、ドライエッチング法を用いることを特徴とする請求項 12 記載の固体撮像装置の製造方法。

【請求項 14】

前記絶縁体には、前記半導体基板を熱的に酸化することによって生成された熱酸化物を用いる

ことを特徴とする請求項 12 または 13 記載の固体撮像装置の製造方法。

【請求項 15】

前記絶縁体には、1000 以上の高温水蒸気酸化法または 1000 以上の高温ウェット酸化法で生成された熱酸化物を用いる

ことを特徴とする請求項 12 ~ 14 のいずれか 1 項に記載の固体撮像装置の製造方法。

10

【請求項 16】

前記絶縁体には、前記半導体基板を熱的に酸化することによって生成された熱酸化物の他に、CVD法によって埋め込まれた酸化物をも用いる

ことを特徴とする請求項 12 ~ 15 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 17】

前記充填ステップは、前記侵食領域の底部を除く側壁から成長させた熱酸化膜が最終的に接触せず、前記熱酸化物の中央部に空洞を有する段階で終了する

ことを特徴とする請求項 12 ~ 15 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 18】

前記空洞は、前記侵食領域の深さ方向よりも幅が狭い

ことを特徴とする請求項 17 記載の固体撮像装置の製造方法。

20

【請求項 19】

さらに、前記侵食領域の上部にCVD法により酸化膜を形成するステップを含む

ことを特徴とする請求項 17 または 18 記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタルカメラなどに使用される固体撮像装置およびその製造方法に関するものである。

30

【背景技術】

【0002】

MOS型固体撮像装置は、各画素に形成された絶縁ゲート電極電界効果トランジスタ（以下MOSトランジスタという）を含む増幅回路を用いて、各画素のフォトダイオードに蓄積された光電荷の信号を増幅して読み出すイメージセンサである。特にCMOS(complementary MOS)プロセスで製造されるCMOSイメージセンサは、低電圧・低消費電力であり、周辺回路とワンチップ化ができるという長所を有するため、PC用小型カメラなどの携帯機器の画像入力素子として注目されている。

【0003】

図6は、従来の撮像領域に用いられるnチャンネルMOSトランジスタおよびその周辺の構造の一例を示す断面図である。シリコン基板8にはp型ウェルが形成されている。p型ウェルの領域内にnチャンネルトランジスタが形成されており、前記nチャンネルトランジスタのソース領域がフォトダイオード10となっている。このフォトダイオード10の領域において、光子を電荷に変換する。素子分離部9には選択酸化法（LOCOS: local oxidation of silicon）により形成された酸化膜が用いられる。また、さらに微細化が進むと、素子分離部9には、トレンチ素子分離部（STI: shallow trench isolation）により形成された酸化膜が用いられる。

40

【0004】

図7は、MOS型固体撮像装置の構成の一例を示す図である。このMOS型固体撮像装置は、

50

同一の半導体基板上に、複数の画素 26 が二次元状に配列された撮像領域 27 と画素選択のための垂直シフトレジスタ 28 および水平シフトレジスタ 29 と前記シフトレジスタに必要なパルスを供給するタイミング発生回路 30 とを備えている。撮像領域 27 においては、各画素 26 が、光電変換部 31 と、転送用トランジスタ 32、リセット用トランジスタ 23、増幅用トランジスタ 24 及び選択用トランジスタ 25 の 4 個の MOS トランジスタとで構成されている。撮像領域 27 において、素子分離領域に LOCOS、STI を用いて形成される MOS 型固体撮像装置には、窒化膜などからの膜ストレスや高温での長時間の熱工程により欠陥が発生する。これは、暗電流や白キズの発生原因となる。また、LOCOS を用いると、パズピーク幅が長くなるため撮像領域 27 の微細化が困難である。また、STI を用いると埋め込み酸化膜による応力が発生する。上記の特有の問題を解決する方法は、特開 2000-196057 号公報に開示されている。この従来技術について図 8 にしたがって説明する。

【0005】

図 8 は、素子分離領域の製造工程順の略断面図である。図 8 (a) に示すように、半導体基板 61 上に、ゲート絶縁膜 52 として SiO 膜を熱酸化により、 $0.1 \mu\text{m}$ の厚さで堆積する。次に、この熱酸化膜 52 を介してチャンネルストップ 53、光電変換部 54 およびドレイン 55 をイオン注入により形成する。次に図 8 (b) に示すように、CVD (chemical-vapor deposition) 酸化膜 56 を約 $0.3 \mu\text{m}$ の厚さで堆積する。レジストを堆積した後、図 8 (c) に示すように、ゲートチャンネル 57 を開口させるようにマスクを介して、CVD 酸化膜 56、ゲート酸化膜 52 を RIE (reactive ion etching) 法によりエッチングする。図 8 (d) に示すように、ポリシリコンからなるゲート電極 58 を堆積し、再酸化を行って、ゲート酸化膜 52 をチャンネル領域に形成する。図 4 (d) に示すように、ポリシリコンからなるゲート電極 58 を堆積し、図 8 (e) に示すように、レジストマスクにて少なくともチャンネルよりも大きいパターンでゲート電極 58 に RIE を施し、ポリシリコン配線パターンを形成する。さらに図 8 (f) に示すように、SiO 等の層間絶縁膜 59 を堆積して、ドレイン 55 と通じるように RIE により開口して、信号線 60 を埋め込む。

【特許文献 1】特開 2000-196057 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

MOS 型固体撮像装置は、各画素内に増幅回路を有しており、少ない電気信号を増幅することにより高感度を実現していることを特徴とする固体撮像装置である。そのためフォトダイオードに漏れ込むリーク電流が大きいと、それが増幅されてしまうため大きな雑音が発生していた。この雑音により画像の粗悪化が大きな問題となっている。ここに記すリーク電流とは、フォトダイオード領域において光子が電荷に変換されることによって発生した電流を除く全てのフォトダイオードに漏れ込む電流のことを意味する。

【0007】

半導体素子の構造の微細化および高密度化は、高度情報処理技術や携帯機器の小型化の要請と相俟って依然精力的に推し進められている。現在では $0.18 \mu\text{m}$ 以下の寸法で形成される半導体素子が用いられ、この寸法を設計基準にした CMOS 型固体撮像装置の開発が行われており、画素領域および周辺回路の更なる微細化は現在の固体撮像素子デバイスの目標の一つである。このような微細化による固体撮像素子の高集積化および高密度化は、固体撮像素子の高速化等の高性能化あるいは多機能化にとって最も有効な手段であり、今後の固体撮像装置を製造する上で必要不可欠となっている。しかし、固体撮像装置において前述の微細化に伴う特有の問題は、撮像領域の面積の減少による感度の低下である。フォトダイオード領域における感度とは、光電変換された電荷量がリーク電流に起因するノイズ電荷量を上回る最小の光電荷量であり、感度向上のためには前記ノイズ電荷の低減が必要不可欠となっている。

【0008】

前述のように微細な MOS トランジスタは、半導体 LSI の微細化技術の流れによって開発さ

れたものであり、リーク電流には注意が払われていないのが現状である。たとえば、微細化に適した素子分離構造として前述のSTIが半導体素子には広く使われているが、STIは基板にドライエッチングで溝を掘り、そこに酸化膜を充填した構造であるため、充填された酸化膜とシリコン基板との熱膨張係数の違いから強い応力がシリコン基板内に発生する。また、溝の底端部は急峻な角度を持つため応力の集中が起こる。一般的に結晶に強い応力が存在すると、結晶のエネルギーを安定化させるために結晶欠陥の密度が増加する。この結晶欠陥からの電子がリーク電流の原因の一つである。

【0009】

また、シリコン基板界面には結合に関与しない界面準位が形成されており、非結合電子が存在する。さらにSTIにおいては、トレンチ部がドライエッチングによって形成されることから、シリコン基板と前記埋め込み酸化膜との界面上および界面近傍の結晶構造は、非常に乱雑になっており、結合に関与しない非結合電子が多数存在する結果となる。以後、界面上および界面近傍の非結合電子を界面準位リークと称す。この界面準位リークによって大きなリーク電流が発生する。

10

【0010】

前述のように、半導体LSI技術によって微細化されたMOSトランジスタを有する固体撮像素子は、応力によって誘起された結晶欠陥からのリーク電流およびシリコン表面を含むSTIとの界面準位からのリーク電流のために、雑音が非常に大きくなるという問題がある。また、従来のMOS型固体撮像装置及びその製造方法は、素子分離領域をチャンネルストップ注入で行っており、素子分離領域耐圧の十分な確保のためには、素子分離領域幅を広げる必要がある。

20

【0011】

本発明は、撮像領域の微細化および素子分離領域耐圧の確保を容易に実現でき、低暗電流及び白キズ数の低減を容易に実現できるMOS型固体撮像装置及びその製造方法を提供することを目的とする。さらに、本発明は、リーク電流に起因する雑音の小さいMOS型固体撮像装置を提供することを第2の目的とする。

【課題を解決するための手段】

【0012】

上記の目的を達成するために、本発明に係る固体撮像装置は、半導体基板上に複数の単位画素が配列された撮像領域を備える固体撮像装置であって、前記単位画素は、入射光を光電変換するフォトダイオードと、前記フォトダイオードで得られた電荷を読み出すトランジスタと、前記トランジスタを、前記トランジスタと隣接するトランジスタと分離する、絶縁体から成る素子分離手段とを備え、前記素子分離手段の前記半導体基板を侵食する深さは、前記半導体基板を侵食する幅よりも大きいか同等であることを特徴とする。また、前記フォトダイオードの表面層で発生するリーク電流を抑える暗電流抑制手段を備えることを特徴とする。また、前記侵食領域を形成するステップには、ドライエッチング法を用いることを特徴とする。前記侵食領域の界面近傍の結晶構造はドライエッチングの影響により非常に乱雑な状態になっている。このドライエッチングによる結晶ダメージがリーク電流の原因となっている。前記侵食領域内壁を熱酸化することで、ドライエッチングダメージ層をシリコン酸化物に置き換え、正常結晶構造を有する界面を再構成することができ、前記侵食領域側壁の界面準位からのリーク電流を抑制することが可能となる。

30

40

【0013】

前記侵食領域を、前記半導体基板を熱的に酸化することによって生成するシリコン酸化物によって充填するステップを含むことを特徴とする。これにより、シリコン基板表面と前記素子分離手段の表面との段差をなくすることが可能となる。さらに、熱酸化過程によって、前記侵食領域に沿って形成されている角を丸めることができる。この結果、前記侵食領域の角に起こっていた電界の集中が起こらなくなり、歩留まり向上につながる。また、素子分離手段の界面が曲線になるため応力の集中を防ぐことが可能になる。

【0014】

前記熱酸化物の生成には、1000 以上の高温水蒸気酸化法または1000 以上の

50

高温ウェット酸化法を用いることを特徴とする。シリコン酸化物の軟化温度は1000であることから、熱酸化過程を1000以上の水蒸気酸化またはウェット酸化によって行うことで、生成したシリコン酸化物の応力を緩和しながら、トレンチ内部をシリコン熱酸化物によって充填した形状を実現することが可能となる。このように素子分離を形成することで、フォトダイオードへ与える応力の影響が小さく、半導体基板表面における段差のない素子分離構造を実現することができる。

【0015】

前記絶縁体によって充填するステップは、前記侵食領域の底部を除く側壁から成長させた熱酸化膜が最終的に接触せず、前記熱酸化物の中央部に空洞部を有する段階で終了し、前記空洞部は深さ方向よりも幅が狭いことを特徴とする。これにより、素子分離領域が熱膨張および圧縮を繰り返し、シリコン基板に与える応力を激減させることができる。また、極めて耐圧性が高く、段差のないゲート配線が可能となる。

10

【0016】

さらに、前記侵食領域の上部にCVD法により酸化膜を形成するステップを含むことを特徴とする。これにより、酸化物で完全に囲まれた空洞を素子分離領域に形成することが可能である。この結果、低応力でかつ耐圧性に優れた素子分離を実現することが可能になる。

また、前記暗電流抑制手段の前記半導体基板表面からの深さは、10nm以上200nm以下であることを特徴とする。これにより、暗電流抑制層における光吸収を抑え、感度の低下を防ぐことができる。特に感度を向上させるために、暗電流抑制層の深さは10nm~100nmが好ましい。暗電流抑制層は、イオン注入によって形成されたものであり、アニールによって注入による結晶の損傷を回復することができる。

20

【0017】

また、上記の方法により暗電流を抑制することで、雑音が極めて小さい固体撮像装置を作ることができ、低照度条件においても撮像が可能なカメラを実現できる。

【発明の効果】

【0018】

本発明のMOS型固体撮像装置によれば、MOSトランジスタ間の素子分離手段を特定の構造にすることにより、リーク電流に起因した雑音を低減することができるので、その実用的価値は極めて高い。

30

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態を、図面を参照しながら説明する。

(実施の形態1)

図1に本発明のMOS型固体撮像装置における、撮像領域に用いられるnチャンネルMOSトランジスタおよびその周辺の構造を示す断面図である。このトランジスタは隣接するトランジスタとの間で、トレンチ素子分離部2により電気的に分離されている。フォトダイオード3は、p型半導体基板(またはp型ウェル)内に形成されたn型拡散領域である。フォトダイオード3は撮像領域のトランジスタのソースを構成しており、他のMOS型トランジスタと同様に、フォトダイオード3に隣接する領域には素子分離部2が形成されている。更に、フォトダイオードであるn型拡散領域の表面部には、暗電流抑制層6としてp型拡散領域が形成されていることが好ましい。暗電流抑制層6の光吸収による感度の減少を抑えるため、暗電流抑制層6の領域はシリコン基板1の表面から10nm以上200nm以下である。特に感度を向上させるためには、暗電流抑制層6はシリコン基板1の表面から10nm以上100nm以下に形成される方が好ましい。

40

【0020】

なお、前述の説明において例示したMOSトランジスタは、nチャンネル型MOSトランジスタであるが、pチャンネル型MOSトランジスタでMOS型固体撮像装置であってもよい。この場合、MOSトランジスタは、n型半導体基板(または、n型ウェル)内に、p型拡散領域であるソースとドレインが形成された構造となる。また、フォトダイオード3はp型拡散領域

50

で構成され、暗電流抑制層 6 は n 型拡散領域で構成される。

【0021】

撮像領域および前記周辺の駆動回路を構成する MOS 型トランジスタは、全てが n チャンネル型 MOS トランジスタであるか、または、全てが p チャンネル型 MOS トランジスタであることが好ましい。特に、駆動回路の高速動作を実現できることから、全ての MOS トランジスタが、n チャンネル MOS トランジスタであることが好ましい。

撮像領域および周辺回路は、素子分離部によって電氣的に分離された複数の MOS 型トランジスタによって構成されている。固体撮像装置の撮像領域を駆動する回路は、複数の MOS 型トランジスタを含んでおり、この MOS トランジスタ間は素子分離部で電氣的に分離されている。素子分離部の構造としては、前述の撮像領域における素子分離部と同様の構造を採用することができる。

10

【0022】

(実施の形態 2)

図 2 は撮像領域内または周辺回路における MOS 型トランジスタ間の素子分離の構造を示しており、トランジスタ 40 とトランジスタ 41 が素子分離部 42 によって電氣的に分離している断面図を示している。半導体基板に素子分離部 42 を形成することで、トランジスタ 40 とトランジスタ 41 のそれぞれの活性領域 43 および 44 間のリークを抑制する耐圧性に優れた低雑音の固体撮像装置を実現することが可能となる。

【0023】

(実施の形態 3)

図 3 は、素子分離領域に絶縁体によって充填されていない領域を含む素子分離領域の構造の断面図を示している。素子分離部の形成において、初期形成されるトレンチの溝の深さをトレンチの幅よりも大きくする。

20

【0024】

まず、トレンチ内部をシリコン熱酸化物によって充填する際に、熱酸化工程の反応時間を制御することで、トレンチ内部が熱酸化物によって不完全に充填され、図 3 (a) に示すようなトレンチ内部に空洞を生じさせる。固体撮像素子の製造工程で必要となる様々な熱処理において、素子分離部が熱膨張および圧縮を繰り返し、シリコン基板に応力を残留させる原因となる。素子分離領域内部に空洞が存在することで、熱的な膨張によって発生する応力を緩和することが可能となる。また、空洞の存在は、素子分離部の耐圧性をより

30

【0025】

このとき、初期形成したトレンチの寮側壁から成長するシリコン熱酸化物がトレンチ内で全く接触せず、図 3 (b) に示すような素子分離領域に幅の狭い溝が存在する構造を実現することができる。この結果、素子分離領域がシリコン基板に与える応力を激減させることができる。この溝の横幅を 1 nm 以上 50 nm 以下とすることにより、ゲート電極形成において、ゲート材料によって素子分離領域の幅の狭い溝は被覆されず、図 3 (c) に示すように素子分離領域内に空洞を形成することができる。素子分離内の空洞が存在することによって、極めて耐圧性が高く、段差のないゲート配線が可能となる。

40

【0026】

一方、前述の素子分離領域に形成した幅の狭い溝の上部に CVD によってシリコン酸化膜を堆積させることで、図 3 (d) に示すように酸化物で完全に囲まれた空洞を素子分離領域に形成することが可能である。この結果、低応力で且つ耐圧性に優れた素子分離を実現することが可能になる。

【0027】

(実施の形態 4)

以下に、素子分離部の構造および製造方法について詳細に説明する。図 4 は、素子分離

50

部の製造工程を示している。前述のように、素子分離部は半導体基板内にドライエッチング法によってトレンチを形成した後、熱酸化物を埋め込んだ構造をとる。

【0028】

図4(a)はシリコン基板15の表面に保護酸化膜16として酸化シリコン膜を形成した構造の断面図を示している。図4(b)は、保護酸化膜16の上にシリコン窒化膜17を形成した構造の断面図を示している。保護酸化膜16の厚さは1nm以上20nm以下が好ましく、シリコン窒化膜17の厚さは10nm以上200nm以下が好ましい。

図4(c)は、フォトリソグラフィによるレジストマスク形成を行った後に、ドライエッチングによって前述のシリコン窒化膜17および保護酸化膜16をパターニングした断面図の一例を示している。エッチングが行われる場所18は、素子分離部となる領域である。

10

【0029】

前述のレジストパターンの除去後、シリコン窒化膜17をマスクとして、シリコン基板15のドライエッチングを行った構造の断面図を図4(d)に示す。ドライエッチングによって形成されるトレンチの深さは、トレンチの幅よりも深く、且つトレンチの溝の深さは200nm以上1000nm以下が好ましい。

図4(e)は、素子分離部が熱酸化物20で充填された構造の断面を示している。前述のトレンチのエッチング後、トレンチ側壁を1000以上の水蒸気酸化もしくはウェット酸化を施すことで、トレンチ側壁にシリコン酸化物20を成長させ、トレンチ内を充填させる。この酸化工程はトレンチ表面に沿って形成された角を丸めて応力の集中を防ぐだけでなく、トレンチの表面層に形成されているエッチングによる結晶欠陥などのダメージ層を酸化によって修復することができる。ダメージ層では、結晶欠陥が多数存在し、結合に関与しない非結合電子が多数発生している。しかし、前述の酸化によって酸素ラジカルとトレンチ表面の非結合電子とが互いに共有結合することにより、結晶欠陥の数が減少し非結合電子密度は減少する。また、酸化によって結晶構造が再構築される。この結果、リーク電流を少なく抑えることができる。

20

【0030】

図4(f)は、前述のシリコン窒化物17をエッチングで除去することによって得られた構造の断面図を示している。シリコン窒化物17の除去前あるいは除去後において結晶欠陥の回復および応力の緩和を目的としたアニールを行うことが好ましい。

30

トレンチ内壁酸化の工程において、酸化時間を制御することにより、図3(a)および図3(b)に示すような、前述の空洞を有する素子分離構造を実現することができる。その結果、固体撮像装置の製造工程における熱処理によって発生する応力を緩和できる。応力の低減によって基板内における結晶欠陥の発生を抑えることができ、結晶欠陥密度を少なくすることが可能である。この結果、リーク電流が減少し、リーク電流に起因する雑音の小さいMOS型固体撮像装置を実現することができる。また、素子分離内に空洞が存在することで、極めて耐圧の高い素子分離部を有するMOS型固体撮像装置を実現することが可能となる。

【0031】

(実施の形態5)

40

図5は、前述の素子分離構造を有する固体撮像装置のいずれかを搭載したカメラのブロック図である。カメラ200は、レンズ104、固体撮像装置100、駆動回路101、信号処理部102、および外部インターフェイス部103を備えている。レンズ104を通過した光は、固体撮像装置100に入る。信号処理部102は、駆動回路101を通して固体撮像装置100を駆動し、固体撮像装置100からの出力信号を取り込む。信号処理部102で処理された信号は、外部インターフェイス部103を通して外部に出力される。本発明の実施の形態1~4の固体撮像装置を用いることで、本カメラは、極めて画質がよく、また感度が高くなるため、照明が存在しない状態においても撮像が可能である。

【産業上の利用可能性】

【0032】

50

本発明に係る固体撮像装置およびその製造方法は、リーク電流に起因した雑音を低減する効果を有し、デジタルカメラ等に使用されるMOS型固体撮像装置およびその製造方法として有用である。

【図面の簡単な説明】

【0033】

【図1】本発明の実施の形態1に係るMOS型固体撮像装置の撮像領域を構成するMOSトランジスタおよびトレンチ素子分離部の構造の一例を示す断面図である。

【図2】本発明の実施の形態2に係るMOS型固体撮像装置を構成するMOSトランジスタおよびトレンチ素子分離部の構造の一例を示す断面図である。

【図3】(a)~(d)は、本発明の実施の形態3に係るMOS型固体撮像装置を構成するトランジスタ間を電氣的に分離するトレンチ素子分離部の構造の断面図を示す図である。

【図4】(a)~(f)は、本発明の実施の形態4に係るMOS型固体撮像装置の素子分離部の製造工程順断面図である。

【図5】本発明の実施の形態5に係るカメラのブロック図である。

【図6】従来のMOS型固体撮像装置の撮像領域を構成するMOSトランジスタおよびトレンチ素子分離部の構造の一例を示す断面図である。

【図7】従来のMOS型固体撮像装置の構成図である。

【図8】(a)~(f)は、従来のMOS型固体撮像装置の工程順断面図である。

【符号の説明】

【0034】

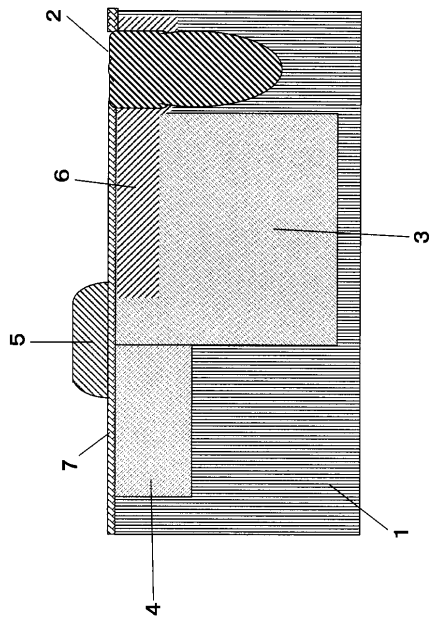
- | | | |
|-------|-------------------------|----|
| 1、8 | シリコン基板 | |
| 2、9 | トレンチ素子分離部 | |
| 3、10 | フォトダイオード | |
| 4、11 | ドレイン | |
| 5、12 | ゲート電極 | |
| 6、13 | 暗電流抑制層 | |
| 7、14 | ゲート酸化膜 | |
| 15 | シリコン基板 | |
| 16 | 保護酸化膜 | |
| 17 | シリコン窒化膜 | |
| 18 | シリコン窒化膜および保護酸化膜のエッチング領域 | 30 |
| 19 | トレンチエッチングの領域 | |
| 20 | シリコン熱酸化物 | |
| 21 | 素子分離部 | |
| 23 | MOSトランジスタ | |
| 24 | MOSトランジスタ | |
| 25 | MOSトランジスタ | |
| 26 | 画素 | |
| 27 | 撮像領域 | |
| 28 | 垂直シフトレジスタ | 40 |
| 29 | 水平シフトレジスタ | |
| 30 | タイミング発生回路 | |
| 31 | フォトダイオード | |
| 32 | MOSトランジスタ | |
| 40、41 | MOSトランジスタ | |
| 42 | 素子分離部 | |
| 43、44 | 活性領域 | |
| 45 | 半導体基板 | |
| 46 | シリコン熱酸化物 | |
| 47 | 空洞 | 50 |

- 4 8 トレンチ内の幅の狭い溝
- 4 9 密閉された溝
- 5 0 ゲート配線
- 5 2 ゲート絶縁膜
- 5 3 チャンネルストップパ
- 5 4 光電変換部
- 5 5 ドレイン
- 5 6 CVD酸化膜
- 5 7 ゲートチャンネル
- 5 8 ゲート電極
- 5 9 層間絶縁膜
- 6 0 信号線
- 6 1 半導体基板
- 1 0 0 固体撮像装置
- 1 0 1 駆動回路
- 1 0 2 信号処理部
- 1 0 3 外部インターフェイス部
- 1 0 4 レンズ
- 2 0 0 カメラ

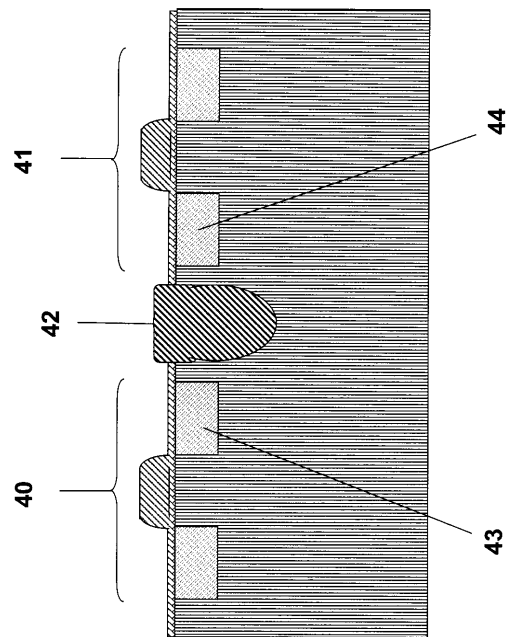
10

20

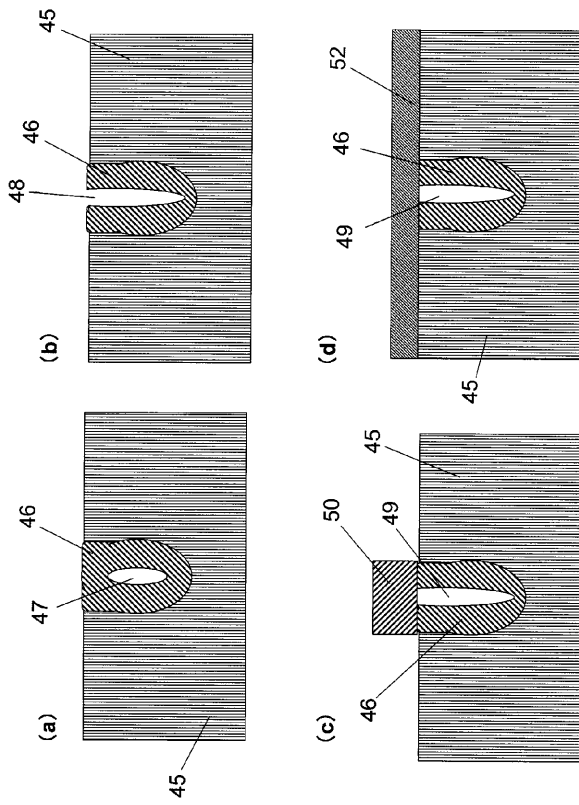
【図1】



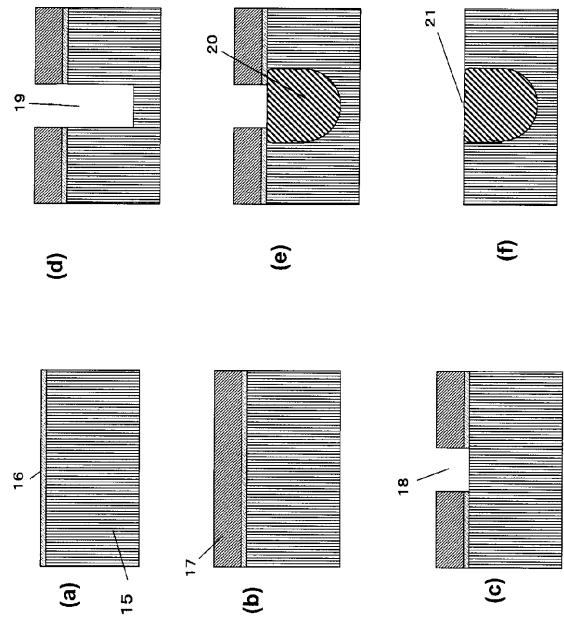
【図2】



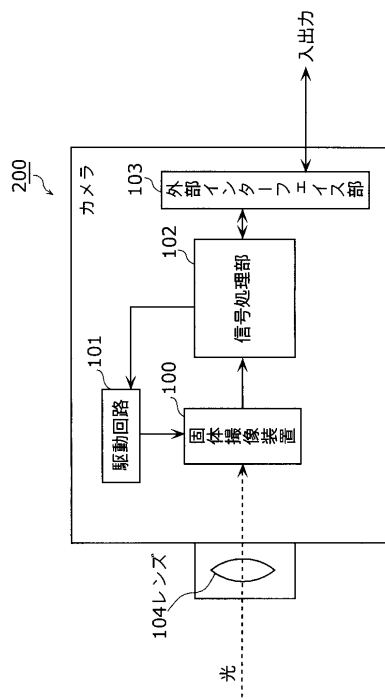
【 図 3 】



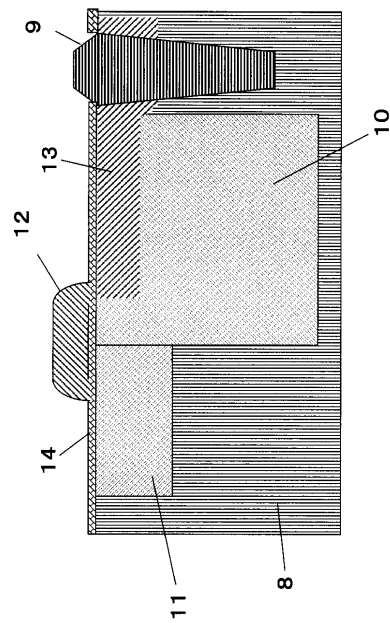
【 図 4 】



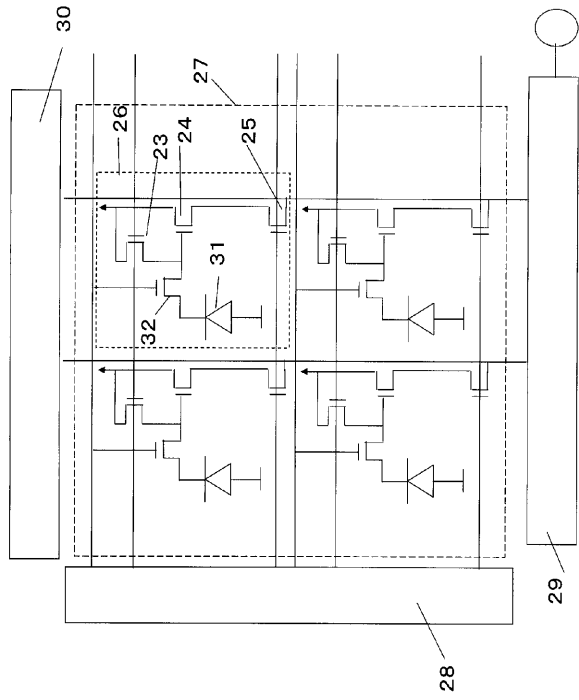
【 図 5 】



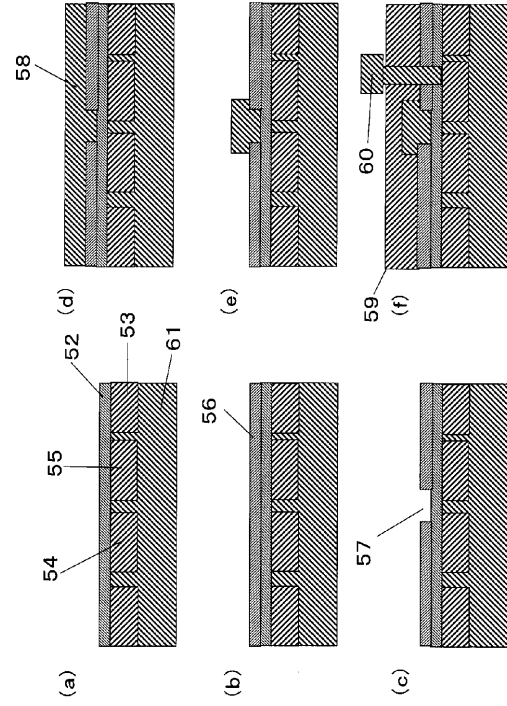
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

Fターム(参考) 4M118 AA05 AB01 BA14 CA03 CA04 EA01 EA14 FA06 FA08 FA25
FA27 FA28 FA33
5F088 AA02 AB03 BA04 BB03 CB09 EA04 EA08 EA14 GA04 KA08