申請日期	84.12.30
案號	84114168
類別	G06F 1/32

（以上各欄由本局填註）

Int. Cl.[6]

A4
C4

305957

305957 公告本

發明 新型 專利說明書

一、發明新型名稱	中文	同步型半導體記憶裝置(二)
	英文	
二、發明創作人	姓名	澤田 誠二
	國籍	日本
	住、居所	東京都千代田區丸之內二丁目2番3號
三、申請人	姓名（名稱）	三菱電機股份有限公司
	國籍	日本
	住、居所（事務所）	東京都千代田區丸之內二丁目2番3號
	代表人姓名	北岡 隆

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

305557

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1995/12/19　　7-330393

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 1 ）

本發明係有關於同步型半導體記憶裝置，特別有關於識別由外部所給予之控制信號的狀態，而判斷被指定之內部動作的命令解碼器的構造。

隨著作爲外部處理裝置之 CPU(中央運算處理裝置)的高速化，而當作主記憶裝置等的系統記憶體用的 DRAM(動態隨機存取記憶體)亦被要求高速動作。滿足此高速動作之要求的記憶體有如與作爲系統時鐘的外部時鐘信號同步而動作的同步型半導體記憶裝置。此同步型半導體記憶裝置(以下稱 SDRAM(同步動態隨機存取記憶體))係判斷於外部時鐘信號之例如上升時之外部信號的狀態，並依據此判斷結果而決定應施行的內部動作，進而施行此被決定的內部動作。由於判斷於外部時鐘信號(以下僅稱時鐘信號)之上升時刻之外部控制信號的狀態，故不必要考慮對於外部控制信號之歪斜(skew)等的邊限(margin)，而能夠使內部動作開始的定時(timing)提早，進而實現高速存取。又由於資料的輸出入亦與時鐘信號同步而施行，故能夠高速地施行資料的輸出入。

在此種 SDRAM 中，以脈波形式給予外部時鐘信號。藉由使外部控制信號成爲與時鐘信號相同之脈波形式的信號，而使外部控制信號因亦可僅與時鐘信號同步而產生，故造成容易受外部控制裝置的控制。又外部控制信號的歪斜係與時鐘信號相同，而不必要考慮對於外部控制信號之時鐘信號的設置(set-up)時間以及對於保持(hold)時間的邊限，進而能夠高速地開始內部動作。且於 SDRAM 的內部

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 2 ）

設有相互獨立動作的記憶排(bank)的場合，藉由以脈波形式來給予外部控制信號，而能夠於一記憶排的活性(active)期間中使別的記憶排活性化(activate)。因此，能夠交互地使記憶排活性化而存取，進而於標準 DRAM 中，必要的 RAS 預充電(precharge)期間(於使列位址閃控(row address strobe)信號 ZRAS 成爲非活性狀態時至其次成爲活性狀態爲止所需要的期間)係由於對於外部被隱藏，故能夠高速地施行資料的輸出入。

第 11 圖係顯示SDRAM之外部控制信號的狀態與被指定之內部動作的關係圖。

內部動作模式的指定係使用複數外部控制信號來施行，故此外部控制信號之狀態的組分被稱爲「命令」。

所使用的外部控制信號係列位址閃控信號 extZRAS、外部行位址閃控(column address strobe)信號 extZCAS 及外部寫入促成(enable)信號 extZWE。

[NOP 命令]

於第 11 圖中，於時間 T0 由外部所給予的時鐘信號 extCLK 的上升時，外部控制信號 extZRAS、extZCAS 及 extZWE 均被保持於 H 位準時，未指定內部動作。在 SDRAM 內部維持先前的週期的狀態。

[讀取命令]

於第 11 圖之時間 T1 之時鐘信號 extCLK 的上升時，使控制信號 extZRAS 及 extZWE 均成爲 H 位準，而將行位址閃控信號 extZCAS 設定成 L 位準。此外部控制信號的狀態

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 3 ）

的組合係被稱爲讀取命令，而指定於 SDRAM 內部之資料的輸出(讀取)動作。於給予此讀取命令時，使於 SDRAM 內部之行選擇動作活性化的內部行位址閃控信號 CAS0 成爲活性狀態(爲單發(one-shot)脈波的形態，用作觸發信號)。又使資料讀取動作活性化用的讀取觸發(讀取指示)信號 ZR 於既定期間成爲活性狀態。

[寫入命令]

於第 11 圖之時間 T2 之時鐘信號 extCLK 的上升，將外部列位址閃控信號 extZRAS 設定成 H 位準，且外部控制信號 extZCAS 及 extZWE 均設定成 L 位準。此狀態係被稱爲寫入命令，而指定對於 SDRAM 之資料的寫入動作。於給予寫入命令的場合，使於 SDRAM 內部之行選擇動作活性化用之當作觸發信號的內部行位址閃控信號 CAS0 成爲活性狀態。又指定內部資料寫入動作的內部寫入促成信號 WE0 成爲活性狀態。回應此內部寫入促成信號 WE0 ，而使觸發對於 SDRAM 資料寫入動作的寫入指示信號 ZW 成爲活性狀態。

[預充電命令]

於第 11 圖之時間 T3 之時鐘信號 extCLK 的上升，外部控制信號 extZRAS 及 extZWE 均設定成 L 位準，而行位址閃控信號 extZCAS 設定成 H 位準。此狀態係被稱爲預充電命令，而施行使 SDRAM 內部成爲預充電狀態(備用(standby)狀態)的動作。於給予預充電命令的場合，內部列位址閃控信號 RAS0 及內部寫入促成信號 WE0 於既定時間成爲活性

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 4 ）

狀態，而觸發預充電動作用的預充電觸發信號ZPC於既定期間成爲活性狀態。

[活性命令]

於第11圖之時間T4之時鐘信號extCLK的上升時，列位址閃控信號extZRAS設定成L位準，而外部控制信號extZCAS及extZWE均設成H位準。此狀態係被稱爲活性命令，而使SDRAM之內部的記憶單元(memory cell)選擇動作活性化。於給予此活性命令時，內部列位址閃控信號RAS0成爲活性狀態，據此而使記憶單元選擇動作活性化用的活性觸發(內部動作開始指示)信號ZA於既定期間成爲活性狀態。

第12圖係概略地顯示外部控制信號輸入部的構造圖。在第12圖中，分別設有RAS輸入緩衝器1a、CAS輸入緩衝器1b及WE輸入緩衝器1c，其分別對應於外部控制信號extZRAS、extCAS及extZWE，並與時鐘信號同步而產生單發的內部控制信號RAS0、CAS0及WE0。此等輸入緩衝器1a～1c係於時鐘信號CLK的上升時，對應的外部控制信號處於L位準時，使關連的內部控制信號於既定期間成爲H位準的活性狀態。

對於此等輸入緩衝器1a～1c，分別設有反相器3a～3c，以產生內部控制信號RAS0、CAS0和WE0的反相信號ZRAS0、ZCAS0和ZWE0。來自輸入緩衝器1a～1c的內部控制信號RAS0、CAS0和WE0以及此等內部控制信號的反相信號係送給命令解碼器4。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5 ）

命令解碼器 4 係依據所給予之內部控制信號之狀態的組合，而使必要的內部動作活性化用的觸發信號 ZA 、ZR 、 ZW 及 ZPC 於既定期間成爲活性狀態。

第 13 圖係概略地顯示第 12 圖所示之輸入緩衝器 1a～1c 的構造圖。輸入緩衝器 1a ～ 1c 分別具有相同的構造，於第 13 圖(A)中，以符號 EXT 表示外部控制信號，而以符號 INT 表示內部控制信號。

在第 13 圖(A)中，輸入緩衝器(1a～1c)包括：反相器 5，接收外部控制信號 EXT ； NAND 電路 6，接收反相器 5 的輸出信號和時鐘信號 CLK；以及脈波產生器 7，回應 NAND 電路 6 之輸出信號的下降而產生脈波。由此脈波產生器 7 輸出於既定期間成爲 H 位準之脈波狀的內部控制信號 INT 。其次，參照第 13 圖(B)所示的波形圖來說明此第 13 圖(A)所示之輸入緩衝器的動作。

於時鐘信號 CLK 爲 L 位準時， NAND 電路 6 的輸出信號被固定成 H 位準。又於外部控制信號 EXT 爲 H 位準時，反相器 5 的輸出信號成爲 L 位準，而同樣 NAND 電路 6 的輸出信號保持於 H 位準。在此狀態下，脈波產生器 7 未產生任何脈波，而內部控制信號 INT 維持於 L 位準的非活性狀態。

於時鐘信號 CLK 的上升時，若外部控制信號 EXT 爲 L 位準，則回應此時鐘信號 CLK 的上升，而 NAND 電路 6 的輸出信號下降成 L 位準。脈波產生器 7 係回應此 NAND 電路 6 之輸出信號的下降，而使此內部控制信號 INT 於既

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6 ）

定期間保持於H位準。朝來自此脈波產生器7之內部控制信號INT之非活性狀態移轉的定時係亦可於脈波產生器中預先被決定，又亦可與時鐘信號 CLK 的下降同步而施行者。

第 14 圖係概略地顯示第 12 圖所示之命令解碼器 4 的構造圖。在第 14 圖中，命令解碼器 4 係以分別對應於內部觸發信號而設的 NAND 型解碼器電路所構成。亦即，活性動作觸發信號 ZA 係由接收外部控制信號 RAS0 、 ZCA0 及 ZWE0 的 NAND 電路 4a 輸出。讀取動作觸發信號 ZR 係由接收內部控制信號 ZRAS0 、 CAS0 及 ZWE0 的 NAND 電路 4b 輸出。寫入動作觸發信號 ZW 係由接收內部控制信號 ZRAS0 、 CAS0 及 WE0 的 NAND 電路 4c 輸出。預充電動作觸發信號 ZPC 係由接收內部控制信號 RAS0 、 ZCA0 及 WE0 的 NAND 電路 4d 輸出。

依據來自此命令解碼器的觸發信號，而使未圖的控制電路動作，而施行被指定的內部動作。

藉由如上述之輸入緩衝器及命令解碼器的構造，而能夠與時鐘信號 CLK 同步來產生內部動作的觸發信號，進而開始內部動作。然而，如第 14 圖所示，對於各動作模式的觸發信號係由相互並聯設置的 NAND 電路 4a ～ 4d 輸出。因此，此等 NAND 電路 4a ～ 4d 係不論其他之觸發信號的狀況而依據所給予之內部控制信號的狀態來輸出對應的觸發信號。

於 SDRAM 中，若輸入活性命令，則解除內部的預充

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

電狀態(備用狀態)，而開始記憶單元選擇動作。因此，爲了施行記憶單元之資料的讀取或寫入，有必要以(1)活性命令、(2)讀取命令或寫入命令及(3)預充電命令的順序來輸入命令。

因此，不用輸出活性命令，而即使輸入寫入命令、讀取命令或預充電命令於 SDRAM 中，亦不施行正常地被指示的內部動作。亦即，於未輸入活性命令的場合，未施行記憶單元的選擇動作，而即使給予讀取命令，亦由於選擇記憶單元不存在，故不施行正常的資料讀取。此時，輸出入電路係藉由讀取命令或寫入命令所產生的觸發信號而成爲促成狀態。

通常，若不用施行活性命令的輸入，而未施行輸入讀取命令、寫入命令或預充電命令，進而施行錯誤的順序(活性命令輸入前的其他命令的輸入)，則如第 13 圖(A)及第 14 圖所示，即使活性命令爲非活性狀態，亦依據被輸入的命令，而使觸發對應之動作的信號成爲活性狀態。因此，電路作不必要的動作，而增加消耗電力，同時亦有可能造成依據此錯誤而成爲活性狀態的觸發信號來致使 SDRAM 的內部電路故障。

因此，本發明之目的係提供同步型半導體記憶裝置，其可防止不必要的電路動作，因而能夠減低消耗電力。

本發明之另一目的係提供同步型半導體記憶裝置，其即使以錯誤的順序輸入命令，亦能夠禁止藉由此錯誤輸入之命令所造成的電路動作。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

依據申請專利範圍第 1 項的同步型半導體記憶裝置，與由外部週期地反覆所給予的時鐘信號同步而動作，而上述同步型半導體記憶裝置包括：第一命令解碼器，用以與上述時鐘信號同步而判斷由外部所給予之複數之外部控制信號的狀態，並於上述外部控制信號爲第一狀態的組合時，使預定之第一內部動作活性化；以及第二命令解碼器，用以回應來自上述第一命令解碼器的活性化信號而成爲動作狀態，並與上述時鐘信號同步而判斷上述複數之外部控制信號的狀態，進而於上述外部控制信號爲與上述第一狀態之組合不同的第二狀態的組合時，使與上述第一內部動作不同的第二內部動作活性化。

依據申請專利範圍第 2 項的同步型半導體記憶裝置，申請專利範圍第 1 項所述之同步型半導體記憶裝置更包括分別記憶資訊之複數的記憶單元；上述第一命令解碼器係使上述複數之記憶單元的選擇動作活性化；以及上述第二命令解碼器係使對上述複數之記憶單元之來自外部之資料的輸出入動作活性化。

依據申請專利範圍第 3 項的同步型半導體記憶裝置，申請專利範圍第 1 項所述之同步型半導體記憶裝置更包括分別記憶資訊之複數的記憶單元；上述第一命令解碼器係使上述複數之記憶單元的選擇動作活性化；以及上述第二命令解碼器係使結束上述複數之記憶單元之選擇動作的動作活性化。

依據申請專利範圍第 4 項的同步型半導體記憶裝置，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

如申請專利範圍第 1 項所述之同步型半導體記憶裝置更包括第三命令解碼器，其用以回應來自上述第二命令解碼器活性化信號而成爲作動狀態，並與上述時鐘信號同步而判斷上述複數之外部控制信號的狀態，進而於上述複數的外部控制信號爲與上述第一及第二狀態之組合不同的第三狀態的組合時，使結束上述第一內部動作的動作活性化。

依據申請專利範圍第 5 項的同步型半導體記憶裝置，申請專利範圍第 1 項所述之同步型半導體記憶裝置更包括分別記憶資訊之複數的記憶單元；上述第一命令解碼器係使對上述複數之記憶單元之被選擇之記憶單元的存取動作活性化；以及上述第二命令解碼器係使將上述複數之記憶單元置於備用狀態的動作活性化。

依據申請專利範圍第 6 項的同步型半導體記憶裝置，申請專利範圍第 1 項所述之同步型半導體記憶裝置更包括分別記憶資訊之複數的記憶單元；上述第一命令解碼器係使將上述複數之記憶單元之記憶資訊予以再新的動作活性化；以及上述第二命令解碼器係爲了外部存取而使由上述複數之記憶單元選擇記憶單元的動作活性化。

依據申請專利範圍第 7 項的同步型半導體記憶裝置，申請專利範圍第 1 至 6 項所述之同步型半導體記憶裝置更包括複數的記憶排，其具有分別記憶資訊之複數的記憶單元，且互相獨立地施行記憶單元選擇動作；以及上述第一及第二命令解碼器係分別對應於上述複數的記憶排而設置。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

依據申請專利範圍第8項的同步型半導體記憶裝置，申請專利範圍第4項所述之同步型半導體記憶裝置更包括複數的記憶排，其具有分別記憶資訊之複數的記憶單元，且互相獨立地施行記憶單元選擇動作；以及上述第一、第二及第三命令解碼器係分別對應於上述複數的記憶排而設置。

依據申請專利範圍第9項的一種同步型半導體記憶裝置，與由外部週期地反覆所給予的時鐘信號同步而動作，上述同步型半導體記憶裝置包括：複數記憶單元，分別記憶資訊；第一命令解碼器，與上述時鐘信號同步而判斷複數之由外部所給予之外部控制信號的狀態，並於上述複數之外部控制信號爲第一狀態的組合時，使上述複數之記憶單元的選擇動作活性化；命令暫存器，儲存規定上述同步型半導體記憶裝置之動作形態的資料；以及第二命令解碼器，與上述時鐘信號同步而判斷上述複數之外部控制信號的狀態，並於上述複數的外部控制信號爲與上述第一狀態之組合不同的第二狀態的組合時，禁止上述第一命令解碼器的判斷動作，而使上述複數之記憶單元的選擇動作成爲非活性狀態，且使對上述命令暫存器之由外部所給予之動作形態予以特別指定的資料加以儲存的動作形態活性化。

僅於依據輸入命令而應施行的內部動作爲有效時，亦即僅於正常的順序來輸入命令以便正常地施行內部動作時，由於使命令解碼器電路成爲動作狀態，故能夠防止以錯誤的順序來輸入命令時之內部電路的動作，而可減低消

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

耗電流，進而亦可防止故障。

[發明之實施的形態]

第 1 圖係概略地顯示依據本發明之實施之形態 1 之 SDRAM 之全體的構造圖。在第 1 圖中，SDRAM 包括：記憶單元行列 50，具有配置成行列狀之複數的記憶單元(動態型記憶單元；以一電容器/一電晶體所構成的記憶單元)；位址緩衝器 52，與時鐘信號 CLK 同步而取入自外部所給予的位址信號位元(bit)A0 ～ An，進而產生內部位址信號；列選擇電路 54，將自位址緩衝器 52 所給予的內部列位址信號 X 予以解碼，而選擇於記憶單元行列 52 的列；行選擇電路 56，將自位址緩衝器 52 所給予的內部行位址信號 Y 予以解碼，而選擇於記憶單元行列 52 的行；感測放大器，施行連接於記憶單元行列 50 之被選擇之列的記憶單元之資料的檢測及放大；以及 IO 閘，回應來自行選擇電路 56 的行選擇信號，而將被選擇的行連接至輸出入電路 60。在第 1 圖中，以一個方塊 58 來表示感測放大器和 IO 閘。輸出入電路 60 係於活性化時，與時鐘信號 CLK 同步而施行資料 DQ 的輸出入。

SDRAM 包括：輸入緩衝器電路 1，爲了控制內部動作，而與時鐘信號 CLK 同步而取入自外部所給予的外部控制信號 extZRAS、extZCAS 和 extZWE，進而產生內部控制信號 RAS0、CAS0 和 WE0；命令解碼器 40，依據自此輸入緩衝器電路 1 所給予的內部控制信號 RAS0、CAS0 和 WE0，而產生觸發內部動作的觸發信號，列系統控制電

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

路62，回應來自命令解碼器40的列選擇動作活性化觸發信號而被活性化，進而控制列選擇電路54和感測放大器的活性化；行系統控制電路64，回應命令解碼器40的行選擇動作活性化觸發信號而被活性化，進而控制行選擇電路56及內部資料匯流排線的預充電和未圖示之前置放大器的放大動作等的行選擇動作相關連之部份的活性化；以及輸出入控制電路66，回應命令解碼器40之資料輸出入動作觸發信號而被活性化，進而控制輸出入電路60的動作。

列系統控制電路62係於命令解碼器40檢測出活性命令時，回應自命令解碼器40所給予的內部活性化觸發信號，而產生使內部動作成爲活性狀態的活性信號ACT，進而送給命令解碼器40、行系統控制電路64及輸出入控制電路66。命令解碼器40雖然於下述將詳細說明，但是其僅於此活性信號ACT的活性化時，使將活性命令以外的命令予以解碼的部份成爲促成狀態(動作狀態)。同樣地，行系統控制電路64及輸出入控制電路66係僅於自此列控制電路62所給予之活性信號ACT的活性化時，而成爲作動狀態。

且第1圖所示的時鐘信號CLK亦可是自外部所給予的外部時鐘信號extCLK，又亦可是在內部所緩衝處理的內部時鐘信號。

如第1圖所示，僅於活性信號ACT成爲活性狀態時，在命令解碼器40中，藉由使活性命令以外之命令的解碼動作成爲促成(enable)，而若以錯誤的順序來輸入命令，則能

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

夠停止此活性命令解碼器部以外之解碼器電路部份的動作，而能夠減低消耗電力，且藉由不必要之電路的動作亦能夠防止記憶裝置的故障。又藉由依據活性信號 ACT 來使行系統控制電路 64 及輸出入控制電路 66 成爲促成，而若以與正常的順序(於活性命令輸入後，輸入讀取或寫入命令或預充電命令)不同的順序來輸入命令，則能夠防止內部電路錯誤地動作，而能夠確保 SDRAM 的信賴性。

第 2 圖(A)係概略地顯示第 1 圖所示之命令解碼器 40 及列系統控制電路 62 的構造圖。輸入緩衝器電路 1 具有第 12 圖及第 13 圖所示的構造，其與時鐘信號 CLK 的上升同步而取入外部控制信號 extZRAS 、 extZCAS 及 extZWE ，進而產生互補的內部控制信號 RAS0 、 ZRAS0 、 CAS0 、 ZCAS0 、 WE0 及 ZWE0 ，並送給命令解碼器 40 。

命令解碼器 40 包括：活性命令解碼器 41 ，依據自此輸入緩衝器電路 1 所給予之內部控制信號的狀態，而判斷是否給予活性命令；以及其他命令解碼器 42 ，用以檢測出與活性命令不同的命令。由活性命令解碼器 41 輸出內部動作活性化觸發信號 ZA 。列系統控制電路 62 係包括內部活性化電路 63 ，其回應由此活性命令解碼器 41 所給予的內部動作活性化觸發信號 ZA 的活性化，而使內部動作活性化信號(活性信號)ACT 成爲活性狀態。列系統控制電路 62 係回應此活性信號 ACT 的活性化，而以既定的順序依序地使列選擇電路 54 及感測放大器(參照第 1 圖)成爲活性狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

由此內部活性化電路63所輸出的活性信號ACT係送給命令解碼器42。其他命令解碼器42係僅於此活性信號ACT的活性化時成爲作動狀態(促成狀態)，而將輸入緩衝器電路1所給予的內部控制信號予以解碼，進而識別是否給予其他命令。

僅於活性信號ACT的活性化時，藉由使其他命令解碼器42成爲作動狀態，而以錯誤的順序來輸入命令，亦即於活性命令輸入前，即使給予此活性命令以外的命令，由於其他命令解碼器42成爲非作動狀態(非促成狀態)，故不施行任何由此輸入緩衝器電路1所給予之內部控制信號的解碼動作，而可防止對應於此錯誤順序所給予之命令的觸發信號的產生，進而可禁止不必要的電路動作。

第2圖(B)係顯示第2圖(A)所示之命令解碼器40及內部活性化電路63的具體構造圖。在第2圖(B)中，活性命令解碼器電路41係由接收內部控制信號RAS0、ZCAS0及ZWE0的三輸入NAND電路所構成。其他命令解碼器42包括：預充電命令解碼器電路42a、寫入命令解碼器電路42b及讀取命令解碼器電路42c。

預充電命令解碼器電路42a係由接收內部控制信號RAS0、ZCAS0和WE0以及活性信號ACT的四輸入NAND電路所構成。寫入命令解碼器電路42b係由接收內部控制信號ZRAS0、CAS0和WE0以及活性信號ACT的四輸入NAND電路所構成。讀取命令解碼器電路42c係由接收內部控制信號ZRAS0、CAS0和ZWE0以及活性信號ACT

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

的四輸入信號NAND電路所構成。

內部活性化電路63係由NAND型正反器所構成，其於設定(set)輸入端接收自活性命令解碼器41所給予的內部動作活性化觸發信號ZA，且於重置(reset)輸入端接收自預充電命令解碼器42a所輸出的預充電動作觸發信號ZPC。此NAND型正反器包括：NAND電路63a，於一輸入端接收觸發信號ZA；以及NAND電路63b，於一輸入端接收觸發信號ZPC。NAND電路63b的輸出係送給NAND電路63a的另一輸入端，而由NAND電路63a的輸出端輸出活性信號ACT。此活性信號ACT亦送給NAND電路63b的另一輸入端。

其次，參照第3圖所示之時序圖來說明此第2圖(B)所示之電路的動作。

於時間T0，若在時鐘信號CLK的上升時，外部控制信號extZRAS、extZCAS及extZWE均爲H位準，則命令解碼器電路41、42a～42c係由於其各個輸入之至少一者爲L位準，故輸出H位準的信號，而內部電路維持先前之週期的狀態。在第3圖中，活性信號ACT爲L位準，而SDRAM維持預充電狀態(備用狀態)。

於時間T1之時鐘信號CLK的上升時，外部控制信號extZRAS被設定成L位準，且外部控制信號extZCAS及extZWE均被設定成H位準，而給予讀取命令。內部控制信號CAS0於既定期間成爲H位準的活性狀態。然而，活性信號ACT維持L位準，而命令解碼器電路42a～42c的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

輸出信號均爲H位準，且用以觸發讀取動作的信號維持非活性狀態。

於時間T2之時鐘信號CLK的上升時，外部控制信號extZRAS被設定成H位準，且外部控制信號extZCAS及extZWE被設定成L位準，而給予寫入命令。雖然內部控制信號CAS0及WE0於既定期間成爲活性狀態的H位準，但是即使在此狀態下，活性信號ACT亦處於L位準的非活性狀態，而觸發寫入動作用的觸發信號ZW維持非活性狀態的H位準。

於時間T3之時鐘信號CLK的上升，外部控制信號extZRAS及extZWE均被設定成L位準，且外部extZCAS被設定成H位準，而給予預充電命令。於此場合，雖然內部控制信號RAS0及WE0於既定期間成爲H位準，但是即使在此狀態下，活性信號ACT亦處於L位準，而觸發信號ZA、ZR及ZW均維持非活性狀態。

於時間T4之時鐘信號CLK的上升，外部控制信號extZRAS被設定成L位準，且外部控制信號extZCAS及extZWE均被設定成H位準，而給予活性命令。回應此活性命令，而使內部控制信號RAS0成爲H位準，且內部控制信號CAS0及WE0保持於L位準。在此狀態下，來自活性命令解碼器41的觸發信號ZA於既定期間成爲L位準，而設定內部活性化電路63，進而使活性信號ACT成爲H位準。依據此活性信號ACT的活性化，而在內部開始記憶單元的選擇動作。又回應此活性信號ACT之朝H位準的活

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

性化，而使命令解碼器電路 42a ～ 42c 均被促成(enable)。

於時間 T5 之時鐘信號 CLK 的上升，外部控制信號 extZRAS 及 extZWE 均被保持於 H 位準，且外部控制信號 extZCAS 被設定成 L 位準，而給予讀取命令。在此狀態下，內部控制信號 CAS0 於既定期間成爲 H 位準，且內部控制信號 RAS0 及 WE0 均被保持於 L 位準。讀取命令解碼器電路 42c 係回應此讀取命令，而使讀取動作觸發信號 ZR 於既定期間成爲 L 位準的活性狀態。依據成爲此活性狀態的讀取動作觸發信號，而使行系統控制電路 64 及輸出入控制電路 66 成爲活性化，進而以既定的順序施實行選擇動作及資料輸出動作。

於時間 T6 之時鐘信號 CLK 的上升時，外部控制信號 extZRAS 被設定成 H 位準，且外部控制信號 extZCAS 及 extZWE 均被設定成 L 位準，而給予寫入命令。內部控制信號 RAS0 爲 L 位準，且內部控制信號 CAS0 及 WE0 爲 H 位準，而使由寫入命令解碼器電路 42b 所輸出的寫入動作觸發信號 ZW 於既定期間成爲 L 位準的活性狀態。依據成爲活性狀態的觸發信號 ZW，而依序使行系統控制電路 64 及輸出入控制電路 66 活性化，進而施行資料的寫入動作。

於時間 T7 之時鐘信號 CLK 的上升，外部控制信號 extZRAS 及 extZWE 被設定成 L 位準，且外部控制信號 extZCAS 被設定成 H 位準，而給予預充電命令。內部控制信號 RAS0 及 WE0 成爲 H 位準，且內部控制信號 CAS0 爲 L 位準，而使由預充電命令解碼器電路 42a 所輸出的預充

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

電動作觸發信號ZPC於既定期間成爲L位準的活性狀態。回應此預充電動作觸發信號ZPC的活性化，而設定內部活性化電路63，進而使活性信號ACT成爲L位準的非活性狀態。回應此活性信號ACT的非活性化，而重置(reset)第1圖所示的列系統控制電路62、行系統控制電路64及輸出入控制電路66，進而SDRAM回復至預充電狀態(備用狀態)。又回應此活性信號ACT的非活性化，而使命令解碼器電路42a～42c成爲非促成狀態，進而禁止解碼動作。

如上所述，由於僅於給予活性命令後給予讀取命令、寫入命令或預充電命令時，分別產生觸發信號，以施行讀取動作、寫入動作或預充電動作，故於SDRAM的備用時(預充電狀態時)，即使給予讀取命令、寫入命令或預充電命令，此等觸發信號亦不成爲活性狀態，而能夠防止不必要的電路動作，進而能夠減低消耗電流及防止電路故障。

且在上述實施的形態1中，於給予活性命令而成爲SDRAM的活性狀態後，接受讀取命令、寫入命令及預充電命令。然而，亦可構成：若不是SDRAM的活性狀態(給予活性命令後)，則接受此等三命令中之一個或二個命令。

又亦可構成：內部活性化信號ACT係由列系統控制電路62(內部活性化電路63)僅給予命令解碼器40。

如上所述，依據本發明之實施的形態1，由於僅在以正常的順序來輸入命令時，使施行內部電路動作的觸發信號成爲活性狀態，故於不可能實施的命令輸入時，能夠防止不需要的電路動作，而能夠減低消耗電流及防止電路故

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

障。

[實施的形態 2]

第 4 圖(A)係顯示依據本發明之實施形態 2 之 SDRAM 之重要部份的構造圖。在第 4 圖(A)中，僅顯示將預充電命令予以解碼之部份的構造。在第 4 圖(A)中，預充電命令解碼器電路 42aa 係由接收內部控制信號 RAS0 、 ZCAS0 和 WE0 以及行選擇動作實行指示信號 COL 的四輸入 NAND 電路所構成。由行選擇動作實行檢測電路 70 輸出行選擇動作實行指示信號 COL 。此行選擇動作實行檢測電路 70 由包含 NAND 電路 72a 及 72b 的正反器所構成，其係於讀取動作觸發信號 ZR 及寫入動作觸發信號 ZW 中之一者活性化時被設定，且於預充電動作觸發信號 ZPC 的活性化時被重置。

NAND 電路 72a 係接收來自使預充電動作觸發信號延遲既定時間之延遲電路 71 的延遲觸發信號及 NAND 電路 72b 的輸出信號。由此 NAND 電路 72b 輸出行選擇動作實行檢測信號 COL 。 NAND 電路 72b 係接收 NAND 電路 72a 的輸出信號、讀取動作觸發信號 ZR 及寫入動作觸發信號 ZW 。其次，參照第 4 圖(B)所示的時序圖來說明此第 4 圖(A)所示的預充電命令解碼器電路的動作。

於時間 T0 之時鐘信號 CLK 的上升時，外部控制信號 extZRAS 及 extZWE 均被設定成 L 位準，且外部 extZCAS 被設定成 H 位準，而給予預充電命令。在此狀態下，由於首先未給予讀取命令或寫入命令，而未施行在內部的行選

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(20)

擇動作及資料的輸出入動作，故行選擇動作實行檢測信號COL成爲L位準，而預充電動作觸發信號ZPC被保持於H位準。接收此預充電動作觸發信號ZPC的電路不動作。

於時刻T1之時鐘信號CLK的上升時，外部控制信號eztZRAS被設定成H位準，而外部控制信號extZCAS被設定成L位準。外部控制信號extZWE係依據被指定的動作模式(讀取動作或寫入動作)而被設定成H位準或L位準。亦即，於時間T1，給予讀取命令或寫入命令。依據讀取命令此或寫入命令，而使由NAND電路72b所輸出的行選擇動作實行檢測信號COL成爲L位準。在此狀態下，由於給予與預充電命令不同的讀取命令或寫入命令，故預充電動作觸發信號ZPC維持H位準。

於時間T2之時鐘信號CLK的上升時，外部控制信號extZRAS及extZWE均被設定成L位準，且外部控制信號extZCAS被設定成H位準，而給予預充電命令。在此狀態下，預充電命令解碼器電路42aa的輸入均成爲H位準，而使預充電動作觸發信號ZPC於既定期間成爲L位準的活性狀態。藉此(內部活性化信號ACT被重置)而在內部施行預充電動作。於此預充電動作觸發信號ZPC下降而經過延遲電路71所需要的延遲時間後，NAND電路72的輸出信號成爲H位準，而使NAND電路72b的輸入均成爲H位準，進而使行選擇動作實行檢測信號COL成爲L位準。回應此行選擇動作實行檢測信號COL的下降，而預充電動作觸發信號ZPC 上升成H位準。藉由此延遲電路71所具有的延

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(21)

遲時間，而可確保預充電動作觸發信號ZPC之成爲活性狀態的時間。

通常，於SDRAM中，在內部施行資料的讀取或寫入後，爲了使SDRAM回復至預充電狀態(備用狀態)，而給予預充電命令。因此，僅於給予讀取命令或寫入命令後，給予預充電命令時，藉由使預充電動作觸發信號2PC成爲活性狀態，而若以錯誤的動作順序來輸入預充電命令(較讀取命令或寫入命令先輸入)，則能夠使預充電命令動作觸發信號經常成爲非活性狀態，而能夠防止不必要的電路動作。

且其他命令解碼器電路的部份亦可使用先前之實施之形態1的構造。又亦可使用與習知相同的活性命令解碼器電路、讀取命令解碼器電路及寫入命令解碼器電路互相獨立地施行命令解碼動作的構造。再者，亦可不將內部活性化信號ACT送給行系統控制電路及輸入出控制電路。

如上所述，依據本發明之實施之形態2，由於僅於輸入讀取命令或寫入命令而在內部實施行選擇動作後給予預充電命令時成爲有效，故即使於錯誤地輸入預充電命令的場合，亦能夠防止不必要的電路動作，而能夠謀求電路故障的防止及消耗電流的減低。

[實施的形態3]

第5圖(A)係顯示依據本發明之實施之形態3之SDRAM之重要部份的構造圖。在第5圖(A)所示的構造中，SDRAM係包括儲存有表示此訊衝(burst)長度、CAS

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（22）

延遲(latency)及訊衝型式的資料的命令暫存器82。訊衝長度係表示於1次的存取時能夠連續輸出入之資料的數。CAS延遲係表示於資料讀取時給予讀取命令後至輸出有效資料爲止所需要之時鐘信號CLK的週期數。訊衝型式係表示連續輸出入資料時之連續變化之行位址的變化形態。通常有行位址信號連續地變化的順序訊衝型式以及於行位址信號爲例如8位元時以3→2→1→0→7→6→5→4之方式變化的交插(interleave)訊衝型式。

這樣的資料係爲了決定SDRAM的動作形態而於使用SDRAM時初期被設定。在此實施的形態3中，僅於施行儲存必要的資料於命令暫存器82的初期動作後，接受活性命令。

於第5圖(A)中，模式設定命令解碼器電路43係由接收內部控制信號RAS0、CAS0及WE0的三輸入NAND電路所構成。來自模式設定命令解碼器43的暫存器設定動作觸發信號ZWC送給命令設定控制電路80。回應此命令設定動作觸發信號ZWC的活性化，而命令設定控制電路80使命令暫存器82連接至外部端子18，而施行對於命令此暫存器82之資料的寫入。外部端子18亦可僅是資料輸出入端子，又亦可包括位址輸入端子。通常，於模式設定時，依據給予此特定之位址信號端子的位址信號，而識別被設定之資料的種類。爲了簡化圖面，而未圖示識別此模式之部份的構造。於儲存必要的資料於命令暫存器82的場合，使模式設定動作觸發信號ZWC成爲活性狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（23）

存取命令解碼器電路 41a 係由接收內部控制信號 RAS0、ZCAS0 和 ZWE 以及命令暫存器資料設定完了信號 SCR 的四輸入 NAND 電路所構成。命令暫存器設定動作完了信號 SCR 係由依據模式設定動作觸發信號 ZMC 的活性化而被設定之設定/重置正反器 85 的輸出 Q 所給予的。此設定/重置正反器 85 係於其重置輸入端 R 接收來自使內部動作活性化觸發信號 ZA 延遲既定時間之延遲電路 87 的信號。其次，參照第 5 圖(B)所示之時序圖來說明此第 5 圖(A)所示之構造的動作。

於時間 T0，若給予存取命令，則內部控制信號 RAS0 成爲 H 位準，且內部控制信號 CAS0 及 WE0 被保持於 L 位準。由於必要的資料未儲存於命令暫存器 82，故命令暫存器資料設定完了信號 SCR 處於 L 位準，而內部動作活性化觸發信號 ZA 爲 H 位準。因此，在此狀態下，未施行記憶單元選擇用的內部動作。

於時間 T1，若給予模式設定命令，則內部控制信號 RAS0、CAS0 及 WE0 成爲 H 位準(模式設定命令使外部控制信號 extZRAS、extZCAS 及 extZWE 均保持於 L 位準：對應於通常的 WCBR 條件)。藉此，來自模式設定命令解碼器電路 43 的模式設定動作觸發信號 ZMC 於既定時間成爲 L 位準，而設定/重置正反器 85 被設定，進而使信號 SCR 成爲 H 位準。依據此模式設定命令，而使命令設定控制電路 80 活性化，進而將外部端子 84 所給予之必要的資料寫入至命令暫存器 82。對於命令暫存器 82 之必要之資料寫

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(24)

入即使結束，正反器85亦處於設定狀態，而命令暫存器資料寫入完了信號SCR維持H位準。

於時間T2，若給予活性命令，則使內部控制信號RAS0成爲H位準，且內部控制信號CAS0及WE0均被保持於L位準。因此，使活性命令解碼器41a的輸入均成爲H位準，而使內部動作活性化觸發信號ZA成爲L位準的活性狀態。依據成爲此活性狀態的觸發信號ZA，而開始內部動作(此路徑未顯示於第5圖(A))。於觸發信號ZA下降成L位準而經過延遲電路87所具有的延遲時間後，延遲電路87的輸出信號下降成L位準，而使設定/重置正反器85被重置，進而信號SCR成爲L位準，以使內部動作活性化觸發信號ZA成爲H位準。

如上所述，藉由僅於初期設定命令暫存器82所必要的資料後接收活性命令，而能夠防止SDRAM故障，進而能夠實現信賴性高的SDRAM。又於施行命令暫存器82之初期設定之前給予活性命令的場合，由於SDRAM不能施行正確的動作，故不能得到必要的資料，而使SDRAM在不穩定的狀態下動作，然而藉由使用上述的構造，能夠防止在此種不穩定的狀態下的動作，因而不僅改善信賴性，且能夠減低消耗電流。

[實施的形態4]

第6圖係顯示依據本發明之實施之形態4之SDRAM之重要部份的構造圖。在第6圖中，於給予自動再新(refresh)命令時禁止接受活性命令。自動再新命令解碼器電路44

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（25）

係由接收內部控制信號ZRAS0、ZCAS0和WE0的三輸入NAND電路所構成。來自此自動再新命令解碼器電路44的再新動作觸發信號REF係送給再新控制電路90。再新控制電路90係回應此再新動作觸發信號REF的活性化，而產生於既定時間成爲活性狀態的再新動作活性化信號RACT，進而送給列系統控制電路。列系統控制電路係回應此再新動作活性化信號RACT而被活性化，進而施行與通常動作時同樣之記憶單元之列的選擇動作。於此場合，依據由未圖示之再新位址計數器所輸出的再新位址，而選擇記憶單元列。此再新動作活性化信號的活性期間係被預先決定者。

活性命令解碼器電路41b係由接收此再新動作活性化信號RACT以及內部控制信號RAS0、ZCAS0和ZWE0的四輸入NAND電路所構成。於內部施行再新動作時，再新動作活性化信號ZRACT處於L位準的活性狀態，而由活性命令解碼器電路41b所輸出的內部動作活性化觸發信號ZA被固定成L位準。因此，即使由外部給予活性命令，亦不接受此活性命令，而可防止活性命令解碼器電路41a的輸出變化，進而可防不必要的電路動作。

若自動再新動作完了，則再新動作活性化信號ZRACT回復至H位準。藉此，於由外部給予活性命令時，依據此活性命令而使內部動作活性化觸發信號ZA於既定時間成爲L位準。

且在實施之形態1至4中，亦可分別單獨地使用，又

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(26)

亦可適當地互相配合使用。

如上所述，依據本發明之實施的形態4，由於在內部施行自動再新動作時禁止接受活性命令，故能夠防止活性命令解碼器電路之不必要的電路動作，而能夠減低消耗電力及防止因不必要的電路動作所造成的故障。

[實施的形態5]

第7圖係概略地顯示依據本發明之實施之形態5之SDRAM之全體的構造圖。在第7圖中，SDRAM包括可一個之互相獨立地施行活性化/預充電動作的複數(在第7圖中爲2個)的記憶排#A及記憶排#B。此等記憶排#A及記憶排#B的構造包括如先前第1圖所示的記憶單元行列50、列選擇電路54、行選擇電路56、感測放大器+IQ方塊58以及輸出入電路(直接連接於資料輸出入端子的輸出入緩衝器部份除外)。通常，於SDRAM中，資料係先暫時被儲存於暫存器(讀取暫存器或寫入暫存器)，然後與時鐘信號CLK同步並藉由輸出入緩衝器而對外部輸出入。連此暫存器部的控制亦以記憶排#A及記憶排#B互相獨立地來施行之。

爲了分別互相獨立地驅動此記憶排#A100a及記憶排#B100b，而互相獨立設置記憶排A控制部110a及記憶排B控制部110b。對於記憶排A控制部110a及記憶排B控制部110b，分別設有次命令解碼器120a及次命令解碼器120b。此等次命令解碼器120a及120b係依據由位址緩衝器52所給予記憶排位址BA而選擇地被活性化，且接受來

經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（27）

自命令解碼器 4 的觸發信號，而於選擇時將觸發信號傳送至對應的記憶排控制部。此命令解碼器 4 及輸入緩衝器 1 係與先前之實施之形態 1 至 4 的命令解碼器相同。位址緩衝器 52 係與時鐘信號 CLK 同步而取入由外部所給予的位址信號位元 A0~An，進而產生記憶排位址 BA 及內部位址信號 Add。位址信號 Add 分別送合記憶排#A100a 及記憶排#B100b。對於命令解碼器 4 以及次命令解碼器 120a 和 120b，設有與在先前之實施之形態 1 至 4 所說明者相同的構造。亦即，僅於將有效的資料輸入至對應的記憶排的場合，使觸發信號成爲活性狀態。

第 8 圖係顯示第 7 圖所示之命令解碼器、次命令解碼器以及記憶排控制部的構造圖。命令解碼器 4 係與先前之實施之形態 1 至 4 之命令解碼器的構造相同，而未顯示其內部構造。依據由輸入緩衝器電路 1 所給予的內部控制信號 RAS0、ZRAS0、CAS0、ZCAS0、WE0 及 ZWE0，而使內部動作活性化觸發信號 ZA、預充電動作觸發信號 ZPC、讀取動作觸發信號 ZR 及寫入動作觸發信號於既定期間成爲活性狀態。次命令解碼器 120a 包括：活性命令解碼器電路 121，由接收記憶排位址信號位元 BA 和內部動作活性化觸發信號 ZA 的二輸入 NOR 電路所構成；預充電命令解碼器電路 122，由接收記憶排位址信號位元 BA 和預充電動作觸發信號 ZPC 的二輸入 NOR 電路所構成；讀取命令解碼器電路 123，由接收來自下述將說明之記憶排 A 控制部 110a 所含有之內部活性化電路 110aa 的活性信號

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（28）

ACT(A)、記憶排位址信號位元BA和讀取動作觸發信號ZR的三輸入NOR電路所構成；以及寫入命令解碼器電路124，由接收活性信號ACT(A)、記憶排位址信號位元BA和寫入動作觸發信號ZW的三輸入NOR電路所構成。

內部活性化電路110aa包括：反相器111，接收由活性命令解碼器電路121所輸出的內部動作活性化觸發信號A(A)；反相器112，接收由預充電命令解碼器電路122所輸出的預充電動作觸發信號PC(A)；NAND電路113，於一輸入端接收反相器111的輸出信號；以NAND電路114，於一輸入端接收反相器112的輸出信號。由NAND電路114輸出使記憶排#A100a成爲活性狀態(開始記憶單元選擇動作)的活性信號ACT(A)。又此活性信號ACT(A)送給NAND電路113的另一輸入端。NAND電路113的輸出信號回饋至NAND電路114的另一輸入端。

設於記憶排#B100b的次命令解碼器120b係除了藉由反相器129來給予記憶排位址信號位元外，具備有與次命令解碼器120a相同的構造。亦即，次命令解碼器120b係於藉由反相器129所給予的反相記憶排位址信號位元ZBA爲L位準時成爲選擇狀態，而輸出對於對應於由命令解碼器4所給予的觸發信號ZA、ZPC、ZR和ZW的記憶排#B100b的觸發信號，亦即對於記憶排#B的預充電動作觸發信號PC(B)、內部動作活性化觸發信號A(B)、寫入動作觸發信號W(B)以及讀取動作觸發信號R(B)。即使於記憶排B控制部110b中，亦設有內部活性化電路110ba，其依

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（29）

據此預充電動作觸發信號 PC(B)及內部動作活性化觸發信號 A(B)而輸出對於記憶排#B 的活性信號 ACT(B)。此內部活性化電路 110ba 的構造係與內部活性化電路 110aa 的構造相同，其包括反相器 111 和 112 以及 NAND 電路 113 和 114。又對於記憶排#B110b 的活性信號 ACT(B)係送給次命令解碼器 120b，而控制對於記憶排#B 的寫入動作觸發信號 W(B)及讀取動作觸發信號 R(B)的產生。其次，參照第 9 圖所示的時序圖來說明此第 8 圖所示的命令解碼器及次命令解碼器的動作。

於時間 T0，外部控制信號 extZRAS、extZCAS 及 extZWE 均被保持於 H 位準。在此狀態下，由於未給予任何命令，故 SDRAM 維持先前的狀態。在第 9 圖中，於時間 T0 以前，顯示 SDRAM 處於預充電狀態。在此狀態下，活性信號 ZACT(A)及 ZACT(B)均處於 H 位準的非活性狀態。

於時間 T1，給予活性命令。此時，外部記憶排位址 extBA 被設定成 L 位準，而指定記憶排#A。亦即，於時間 T1，給予對於記憶排#A 的活性命令。依據對於此記憶排#A 的活性命令，而使由第 8 圖所示之次命令解碼器 120a 之活性命令解碼器電路 121 所輸出的內部動作活性化觸發信號 A(A)於既定期間成爲 H 位準的活性狀態，進而使內部活性化電路 110aa 的 NAND 電路 113 的輸出信號成爲 H 位準，據此使活性信號 ZACT(A)成爲 L 位準的活性狀態。藉此，而開始對於記憶排#A 的記憶單元選擇動作。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（30）

於時間 T2，給予對於記憶排#B 的讀取命令。在此狀態下，記憶排位址 BA 爲 H 位準，而對於記憶排#A 之來自次命令解碼器 120a 的觸發信號均處於 L 位準的非活性狀態。另一方面，在對於記憶排#B 而設的次命令解碼器 120b 中，記憶排位址信號 ZBA 成爲 L 位準，而成爲促成狀態。然而，來自內部活性化電路 110ba 的活性信號 ZACT(B)爲 H 位準，而對於記憶排#B 的命令解碼器電路爲非促成狀態，因此讀取動作觸發信號 R(B)維持非活性狀態的 L 位準。藉此，而禁示對於記憶排#B 的讀取動作。

在時間 T3，給予對於記憶排#B 的寫入命令。即使在此狀態下，記憶排#B 的活性信號 ZACT(B)爲 H 位準的非活性狀態，而記憶排#B 的次命令解碼器 120b 爲非促成狀態，進而寫入動作觸發信號 W(B)維持非活性狀態的 L 位準。

在時間 T4，給予對於記憶排#B 的預充電命令。即使在此狀態下，來自命令解碼器 4 的預充電動作觸發信號 ZPC 即使於既定時間成爲活性狀態的 L 位準，亦由於活性信號 ZACT(B)爲非活性狀態，故記憶排#B 的次命令解碼器 120b 處於非作動狀態，而預充電動作觸發信號 PC(B)維持非活性狀態的 L 位準。

在時間 T5，給予對於記憶排#A 的讀取命令。在此狀態下，次命令解碼器 120a 係回應由命令解碼器 4 所給予的觸發信號 ZR 的下降，而使讀取動作觸發信號 R(A)成爲 H 位準的活性狀態，進而於記憶排#A 施行讀取動作。

在時間 T6，給予對於記憶排#A 的寫入命令。即使在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（31）

此狀態下，次命令解碼器120a係使內部活性化信號ZA(A)處於L位準的活性狀態，並回應由命令解碼器4所給予的寫入動作觸發信號ZW的活性化，而使對於記憶排#A的寫入動作觸發信號W(A)成爲H位準的活性狀態。

於時間T7，給予對於記憶排#A的預充電命令，同樣地，使來自次命令解碼器120a的預充電動作觸發信號PC(A)成爲活性狀態的H位準。回應此預充電動作觸發信號PC(A)的活性化，而重置內部活性化電路110aa，進而使活性信號ZACT(A)成爲H位準的非活性狀態。

如上所述，分別對於記憶排，設有次命令解碼器電路，而若非給予對於對應之記憶排的活性命令後，則可忽視剩下的其他命令(讀取命令、寫入命令及預充電命令)，故能夠防止不必要的電路動作。

且在此實施的形態5，僅於對應的記憶排爲活性狀態(給予活性命令後，活性信號ZACT爲活性狀態)時，接受讀取命令、寫入命令及預充電命令。然而，亦可僅於對應的記憶排爲活性狀態時，僅接受此等讀取命令、寫入命令及預充電命令中之一者或二者的命令。

如上所述，依據此本發明之實施之形態5，由於僅對於給予活性命令的記憶排，使讀取命令、寫入命令及預充電命令成爲有效而接受，故能防止不必要的電路動作，而能夠實現消耗電力的減低及電路故障的防止。

[實施的形態6]

第10圖係顯示依據本發明之實施之形態6之SDRAM

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（32）

之重要部份的構造圖。在第10圖所示的構造中，在對於記憶排#A而設的次命令解碼器120a中，預充電命令解碼器電路122a係於來自將讀取命令及寫入命令予以解碼的讀取/寫入命令解碼器電路125a的信號R/W(A)成爲活性狀態時成爲促成狀態。同樣地，即使在對於記憶排#B而設的次命令解碼器120b中，預充電命令解碼器電路122b係僅於來自採對於記憶排#B之寫入命令予以解碼的讀取/寫入命令解碼器電路125b的讀取/寫入動作活性化信號R/W(B)的活性化時成爲有效(促成)狀態。

由讀取/寫入命令解碼器電路125a所輸出的活性化信號R/W(A)及由讀取/寫入命令解碼器電路125b所輸出的讀取/寫入動作活性化信號R/W係分別使用藉由先前之實施之形態所示之觸發信號而被設定/重置的正反器來輸出。此構造係與使先前之實施之形態2的構造對應於各記憶排而設者等效。

於此構造的場合，僅於對應的記憶排中施行讀取動作或寫入動作時，接受預充電命令而施行預充電動作。因此能夠防止不必要的電路動作。

且即使在10圖所示的構造中，如虛線所示，亦可將活性信號送給讀取/寫入命令解碼器電路125a，而僅於活性信號ZACT(A)的活性化時，使此讀取/寫入命令解碼器電路125a成爲活性狀態。又亦可將對於記憶排#B的活性信號ZACT(B)送給讀取/寫入命令解碼器電路125b。又亦可使此讀取/寫入命令解碼器電路125a及125b不管活性信號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（33）

ZACT(A)及 ZACT(B)的狀態，而施行解碼動作。

且此實施的形態 6 中，亦可使用在中途使資料的連續讀取或連續寫入停止的訊衝停止命令來代替預充電命令。亦即，亦可使此訊衝停止命令僅於將讀取命令或寫入命令給予對應的記憶排時成爲有效。

又在第 10 圖中，由命令解碼器 4 所輸出的觸發信號 ZR/ZW 係表示讀取動作觸發信號 ZR 及寫入動作觸發信號 ZW 兩者。

如上所述，依據本發明之實施的形態 6，由於對於記憶排分別設有次命令解碼器，而僅於給予對於對應之記憶排的讀取命令或寫入命令時使預充電命令成爲有效而施行預充電動作，故能夠防止不必要的電路動作，而能夠實現消耗電力的減低及電路故障的防止。

[圖面簡單說明]

第 1 圖係概略地顯示依據本發明之實施之形態 1 之同步型半導體記憶裝置之全體的構造圖。

第 2 圖(A) 係概略地顯示命令解碼器及列系統控制電路的構造圖；第 2 圖(B)係具體地顯示(A)所示之活性命令解碼器、其他命令解碼器及內部活性化電路的構造圖。

第 3 圖係顯示依據本發明之實施之形態 1 之 SDRAM 之動作的時序圖。

第 4 圖(A) 係顯示依據本發明之實施之形態 2 之 SDRAM 之重要部份的構造圖；第 4 圖(B)係顯示此(A)所示之預充電命令解碼器電路之動作的時序圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（34）

第 5 圖(A) 係顯示依據本發明之實施之形態 3 之 SDRAM 之重要部份的構造圖；第 5 圖(B)係顯示其動作的時序圖。

第 6 圖係概略地顯示依據本發明之實施之形態 4 之 SDRAM 之重要部份的構造圖。

第 7 圖係概略地顯示依據本發明之實施之形態 5 之 SDRAM 之全部的構造圖。

第 8 圖係概略地顯示依據本發明之實施之形態 5 之 SDRAM 之重要部份的構造圖。

第 9 圖係顯示依據本發明之實施之形態 5 之 SDRAM 之動作的時序圖。

第 10 圖係概略地顯示依據本發明之實施之形態 6 之 SDRAM 之重要部份的構造圖。

第 11 圖係顯示習知 SDRAM 之動作的時序圖。

第 12 圖係概略地顯示習知 SDRAM 之外部控制信號輸入的構造圖。

第 13(A)係顯示第 12 圖所示之輸入緩衝器的構造圖；第 13 圖(B)係顯示其動作的波形圖。

第 14 圖係概略地顯示習知 SDRAM 之命令解碼器的構造圖。

[符號說明]

1 ～輸入緩衝器電路； 40 ～命令解碼器； 50 ～記憶單元行列； 52 ～位址緩衝器； 54 ～列選擇電路； 56 ～行選擇電路； 58 ～感測放大器+IQ； 60 ～輸入電路； 62 ～

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（35）

列系統控制電路 64～行系統控制電路；66～輸出入控制電路；41～活性命令解碼器；42～其化命令解碼器；42a～預充電命令解碼器電路；42b～寫入命令解碼器電路；42c～讀取命令解碼器電路；63～內部活性化電路；42aa～預充電命令解碼器電路；70～控制電路；43～模式設定命令解碼器電路；80～命令設定控制電路；82～命令暫存器；90～再新控制電路；100a、100b～記憶排；110a～記憶排 A 電路；110b～記憶排 B 電路；120a、120b～次命令解碼器；121～活性命令解碼器電路；122～預充電命令解碼器電路；123～讀取命令解碼器電路；124～寫入命令解碼器電路；110aa、110ba～內部活性化電路；122a、122b～預充電命令解碼器電路；125a、125b～讀取/寫入命令解碼器電路。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：同步型半導體記憶裝置(二)）

[課題]防止於同步型半導體記憶裝置之不必要的電路動作，而謀求消耗電流的減低及電路故障的防止。

[解決手段]僅於使內部動作活性化之活性(active)信號(ACT)成爲活性狀態時，促成(enable)與此活性命令不同之讀取命令、寫入命令及預充電命令的解碼動作。於內部電路之非活性化時即使給予讀取命令等之與活性命令不同的命令，亦由於其他命令解碼器(42)未施行解碼動作，故能夠防止不必要的電路動作。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1.一種同步型半導體記憶裝置，與由外部週期地反覆所給予的時鐘信號同步而動作，上述同步型半導體記憶裝置包括：

第一命令解碼器，用以與上述時鐘信號同步而判斷由外部所給予之複數之外部控制信號的狀態，並於上述外部控制信號爲第一狀態的組合時，使預定之第一內部動作活性化；以及

第二命令解碼器，用以回應來自上述第一命令解碼器的活性化信號而成爲動作狀態，並與上述時鐘信號同步而判斷上述複數之外部控制信號的狀態，進而於上述外部控制信號爲與上述第一狀態之組合不同的第二狀態的組合時，使與上述第一內部動作不同的第二內部動作活性化。

2.如申請專利範圍第 1 項所述之同步型半導體記憶裝置，其中更包括分別記憶資訊之複數的記憶單元；

上述第一命令解碼器係使上述複數之記憶單元的選擇動作活性化；以及

上述第二命令解碼器係使對上述複數之記憶單元之來自外部之資料的輸出入動作活性化。

3.如申請專利範圍第 1 項所述之同步型半導體記憶裝置，其中更包括分別記憶資訊之複數的記憶單元；

上述第一命令解碼器係使上述複數之記憶單元的選擇動作活性化；以及

上述第二命令解碼器係使結束上述複數之記憶單元之選擇動作的動作活性化。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

4.如申請專利範圍第 1 項所述之同步型半導體記憶裝置，其中更包括第三命令解碼器，其用以回應來自上述第二命令解碼器的活性化信號而成爲作動狀態，並與上述時鐘信號同步而判斷上述複數之外部控制信號的狀態，進而於上述複數的外部控制信號爲與上述第一及第二狀態之組合不同的第三狀態的組合時，使結束上述第一內部動作的動作活性化。

5.如申請專利範圍第 1 項所述之同步型半導體記憶裝置，其中更包括分別記憶資訊之複數的記憶單元；

上述第一命令解碼器係使對上述複數之記憶單元之被選擇之記憶單元的存取動作活性化；以及

上述第二命令解碼器係使將上述複數之記憶單元置於備用狀態的動作活性化。

6.如申請專利範圍第 1 項所述之同步型半導體記憶裝置，其中更包括分別記憶資訊之複數的記憶單元；

上述第一命令解碼器係使將上述複數之記憶單元之記憶資訊予以再新的動作活性化；以及

上述第二命令解碼器係爲了外部存取而使由上述複數之記憶單元選擇記憶單元的動作活性化。

7.如申請專利範圍第 1、2、3、4、5 或 6 項所述之同步型半導體記憶裝置，其中更包括複數的記憶排，其具有分別記憶資訊之複數的記憶單元，且互相獨立地施行記憶單元選擇動作；以及

上述第一及第二命令解碼器係分別對應於上述複數的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

記憶排而設置。

8.如申請專利範圍第 4 項所述之同步型半導體記憶裝置，其中更包括複數的記憶排，其具有分別記憶資訊之複數的記憶單元，且互相獨立地施行記憶單元選擇動作；以及

上述第一、第二及第三命令解碼器係分別對應於上述複數的記憶排而設置。

9.一種同步型半導體記憶裝置，與由外部週期地反覆所給予的時鐘信號同步而動作，上述同步型半導體記憶裝置包括：

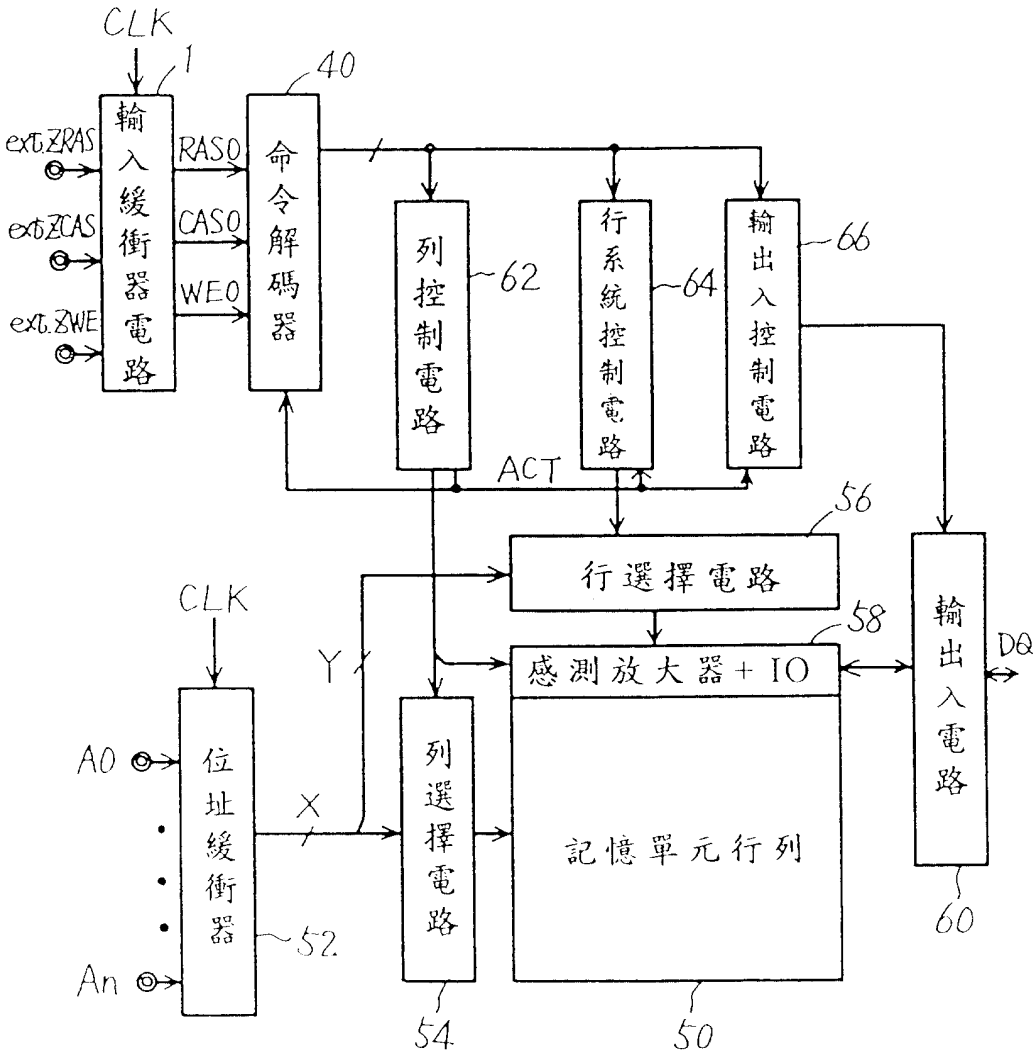
複數記憶單元，分別記憶資訊；

第一命令解碼器，與上述時鐘信號同步而判斷複數之由外部所給予之外部控制信號的狀態，並於上述複數之外部控制信號爲第一狀態的組合時，使上述複數之記憶單元的選擇動作活性化；

命令暫存器，儲存規定上述同步型半導體記憶裝置之動作形態的資料；以及

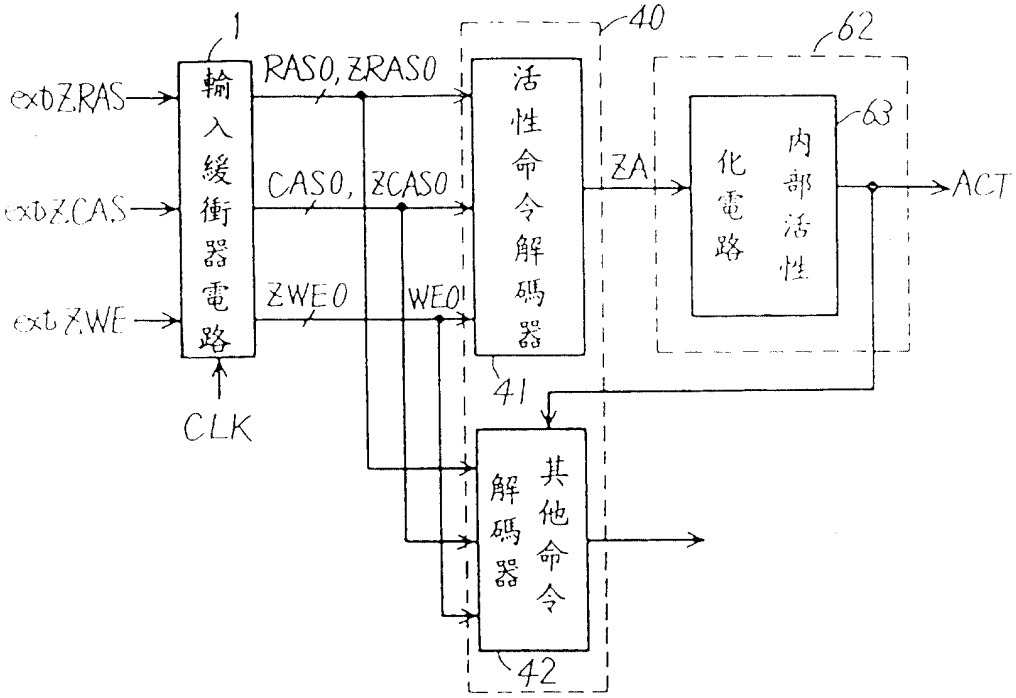
第二命令解碼器，與上述時鐘信號同步而判斷上述複數之外部控制信號的狀態，並於上述複數的外部控制信號爲與上述第一狀態之組合不同的第二狀態的組合時，禁止上述第一命令解碼器的判斷動作，而使上述複數之記憶單元的選擇動作成爲非活性狀態，且使對上述命令暫存器之由外部所給予之動作形態予以特別指定的資料加以儲存的動作模式活性化。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

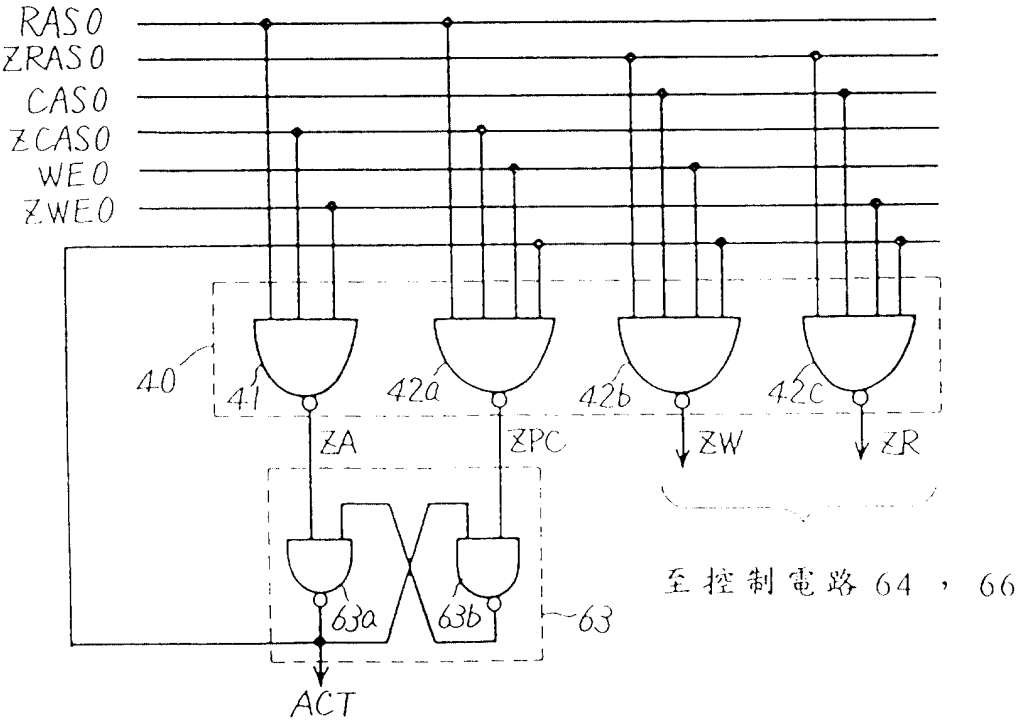

CLK
1
40
ext.ZRAS
ext.ZCAS
ext.ZWE
輸入緩衝器電路
RAS0
CAS0
WE0
命令解碼器
列控制電路
62
行系統控制電路
64
輸出入控制電路
66
ACT
56
行選擇電路
58
感測放大器+IO
輸出入電路
DQ
CLK
Y
A0
An
位址緩衝器
52
X
列選擇電路
54
記憶單元行列
50
60

第 1 圖

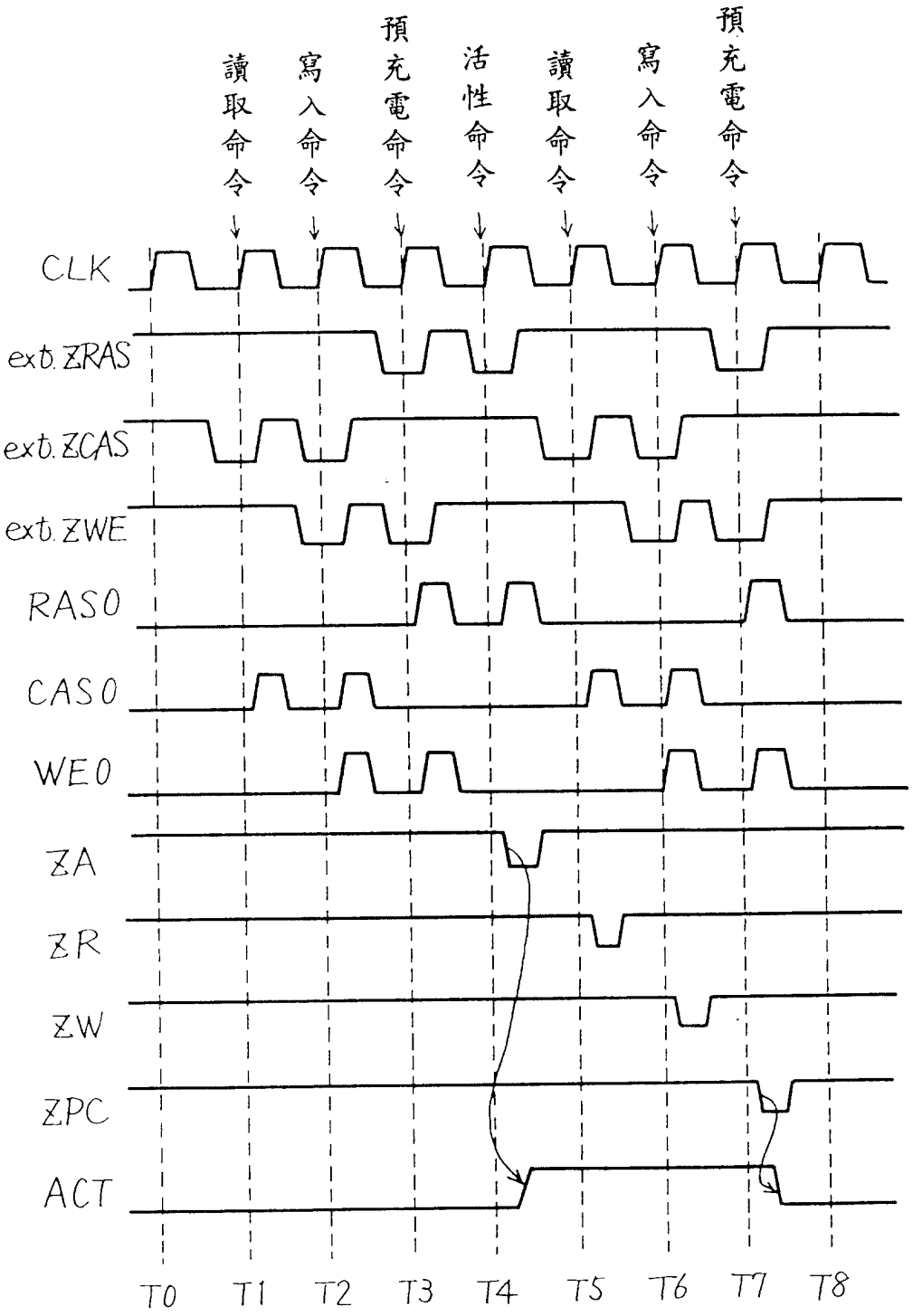
(A)


1
40
62
ext.ZRAS
ext.ZCAS
ext.ZWE
輸入緩衝器電路
CLK
RAS0, ZRAS0
CAS0, ZCAS0
ZWE0
WE0
活性命令解碼器
41
ZA
內部活性化電路
63
ACT
其他命令解碼器
42

(B)


RAS0
ZRAS0
CAS0
ZCAS0
WE0
ZWE0
40
41
42a
42b
42c
ZA
ZPC
ZW
ZR
63a
63b
63
ACT
至控制電路 64 , 66

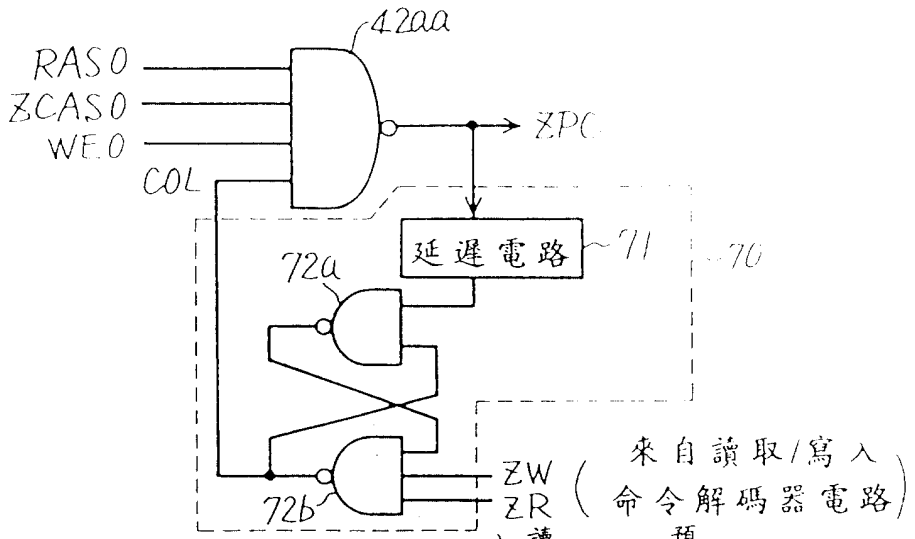
第 2 圖


讀取命令
寫入命令
預充電命令
活性命令
讀取命令
寫入命令
預充電命令
CLK
ext. ZRAS
ext. ZCAS
ext. ZWE
RAS0
CAS0
WE0
ZA
ZR
ZW
ZPC
ACT
T0
T1
T2
T3
T4
T5
T6
T7
T8

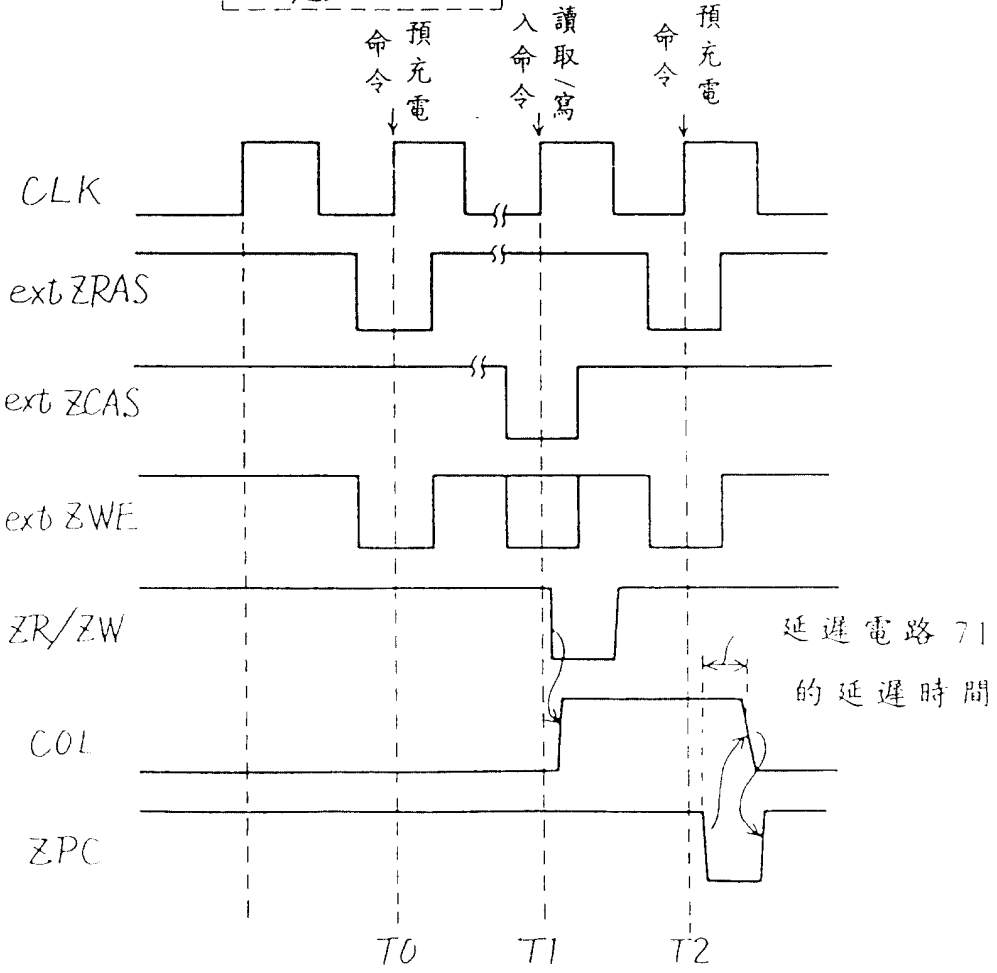
第 3 圖

86年3月19日 補充

(A)



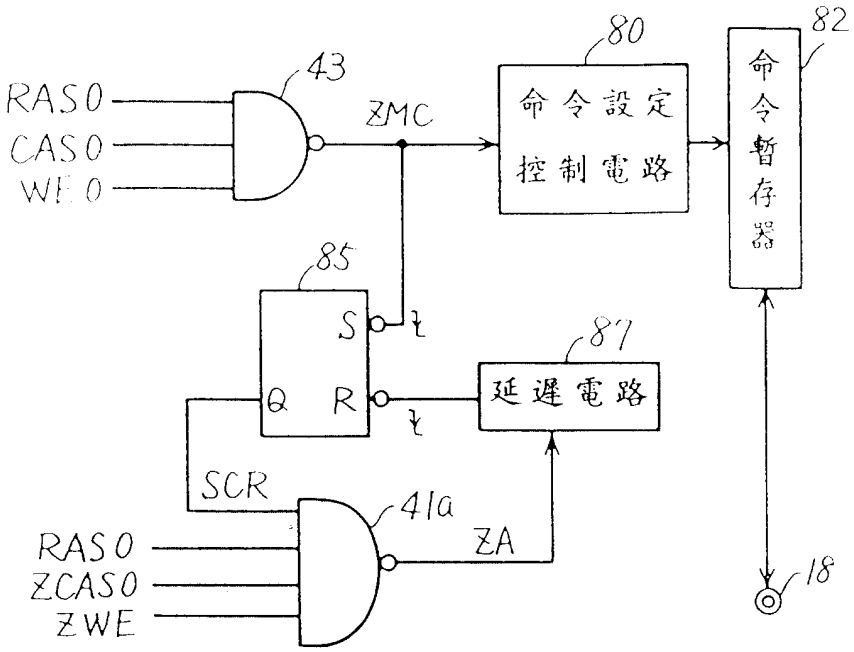
(B)



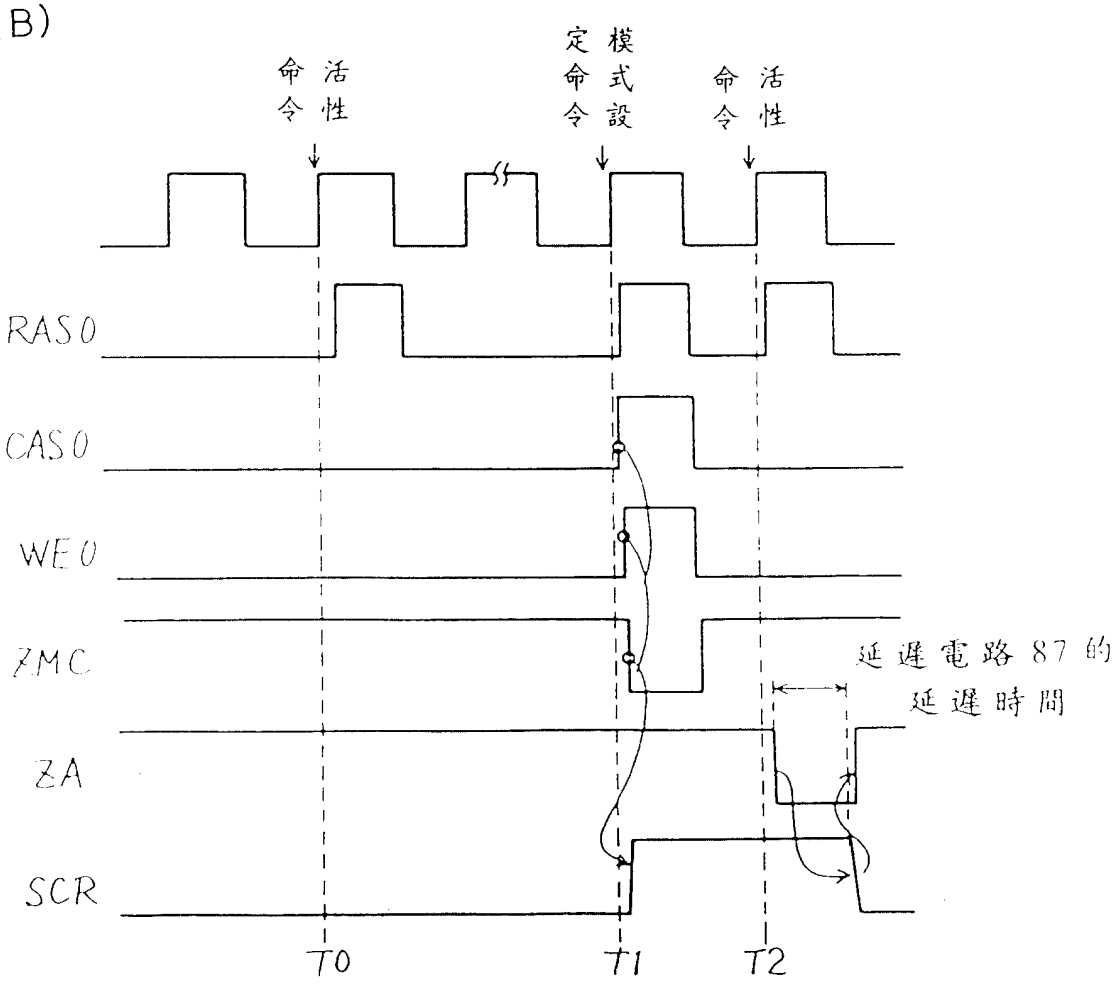
第 4 圖

86年3月19日 補充

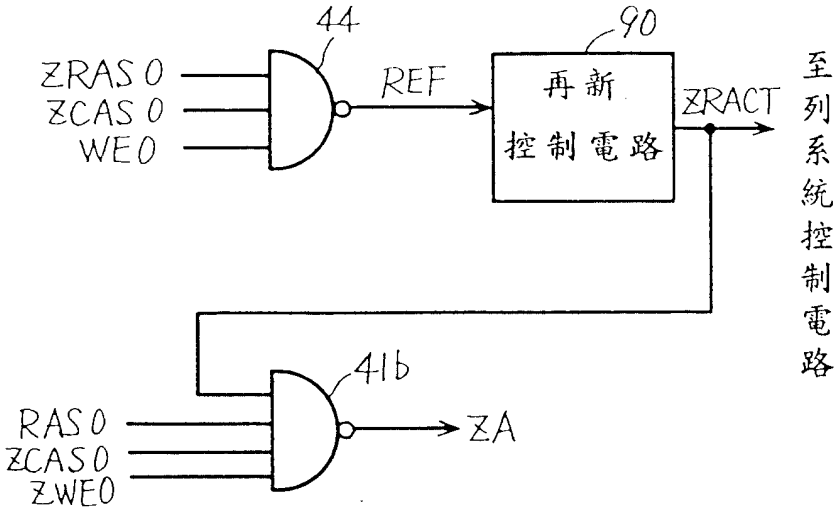
(A)



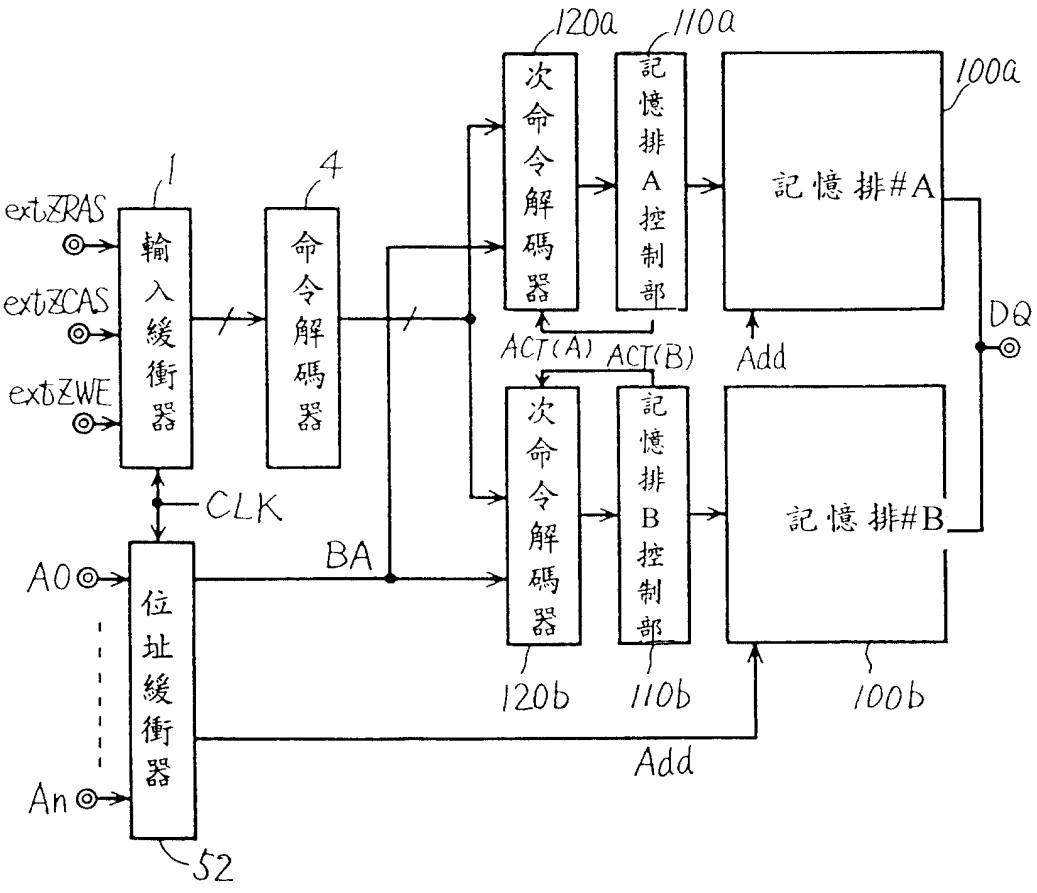
(B)



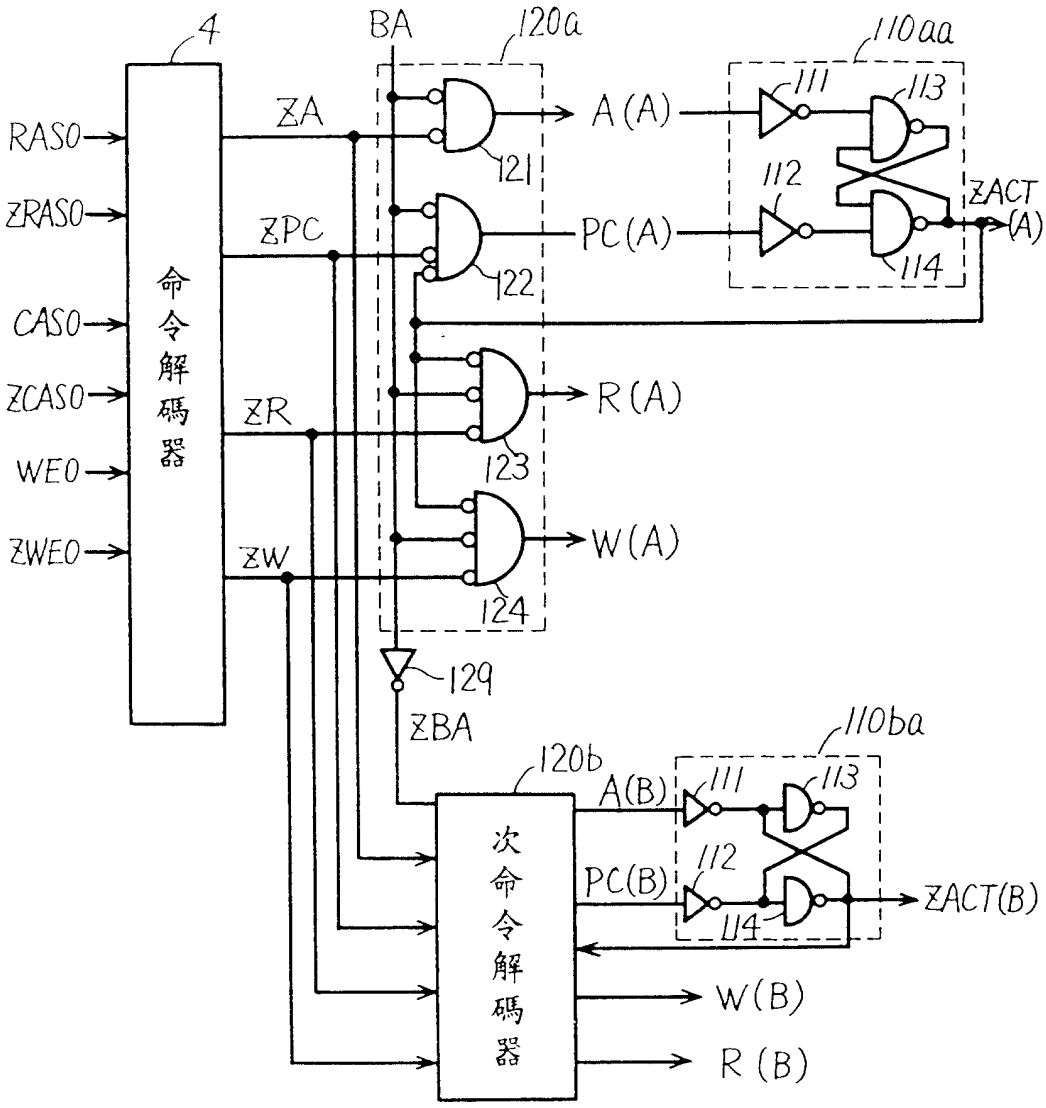
第5圖


44
ZRAS 0
ZCAS 0
WE 0
REF
90
再新
控制電路
ZRACT
至列系統控制電路
41b
RAS 0
ZCAS 0
ZWE 0
ZA

第 6 圖

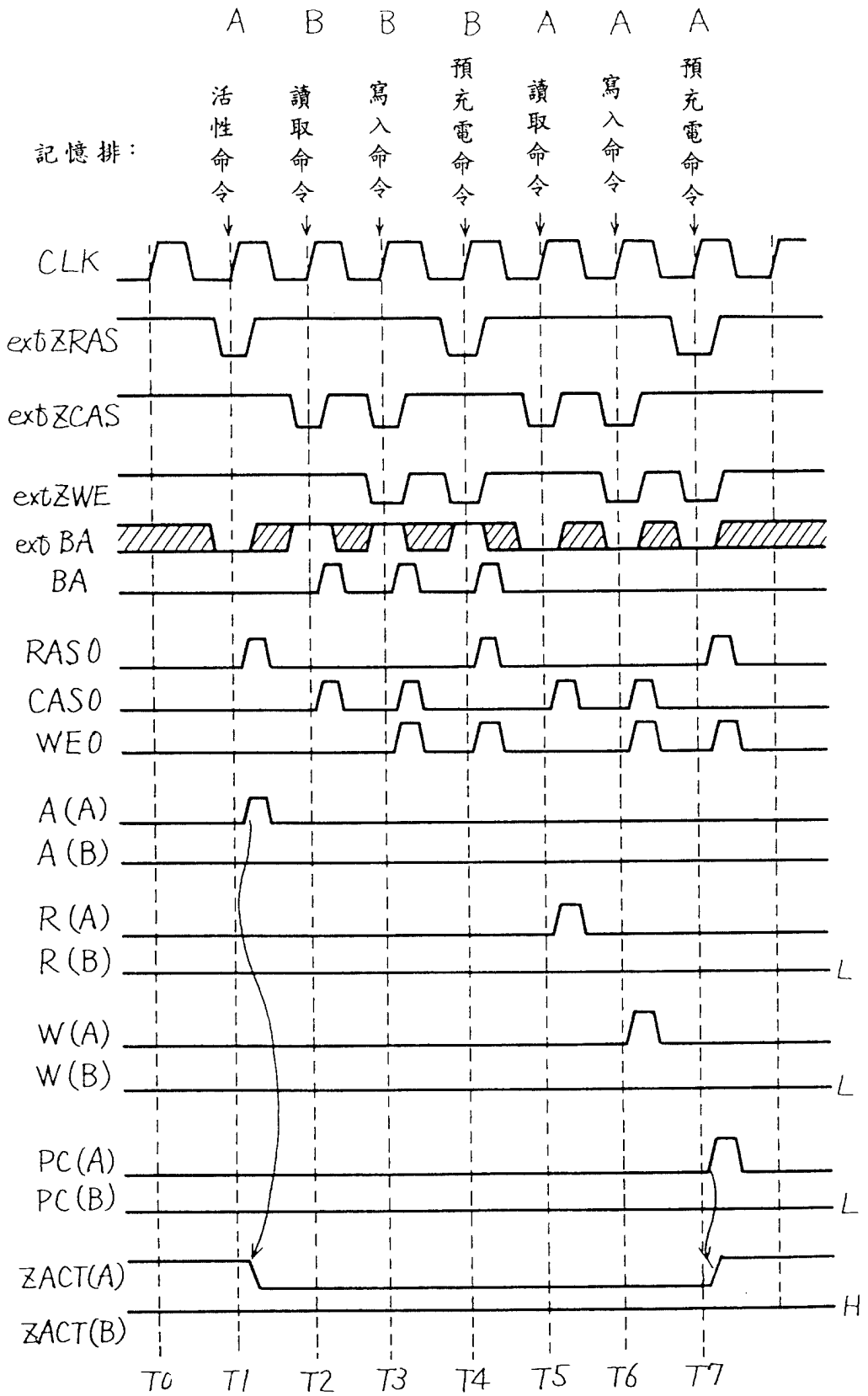

120a
110a
100a
次命令解碼器
記憶排A控制部
記憶排#A
1
4
extZRAS
extZCAS
extZWE
輸入緩衝器
命令解碼器
DQ
ACT(A)
ACT(B)
Add
CLK
BA
A0
An
位址緩衝器
次命令解碼器
記憶排B控制部
記憶排#B
120b
110b
100b
Add
52

第 7 圖

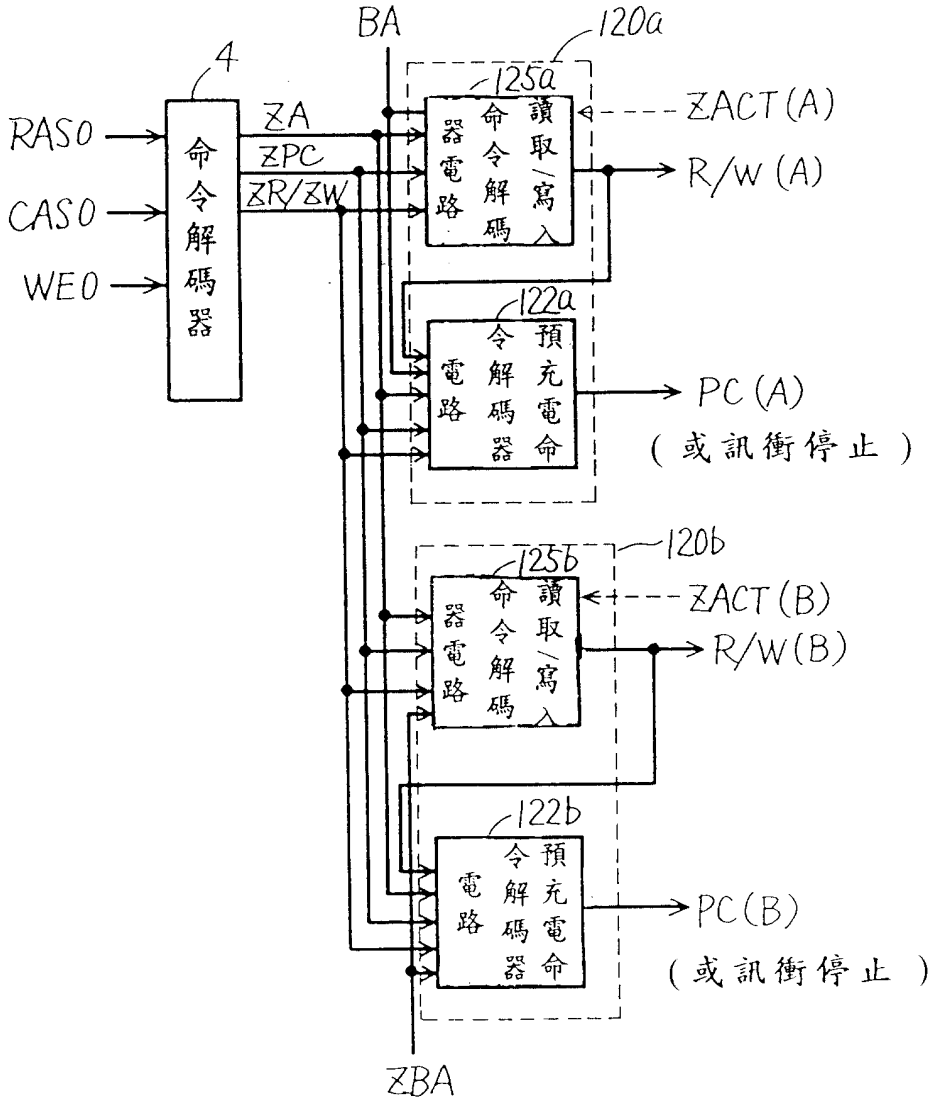


：以 BA="L(=0)"來指定記憶排#A

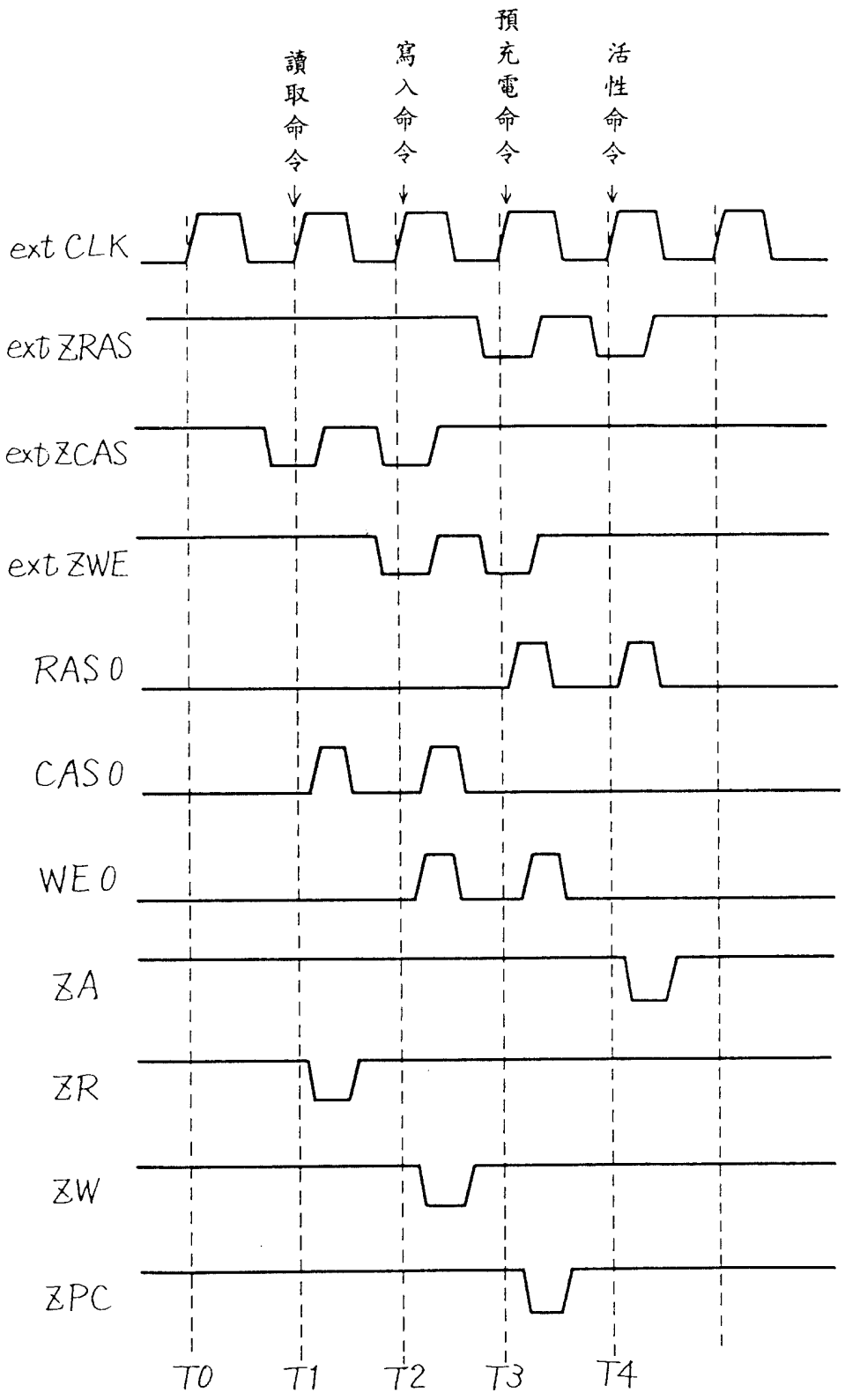
第 8 圖


記憶排：
A
活性命令
B
讀取命令
B
寫入命令
B
預充電命令
A
讀取命令
A
寫入命令
A
預充電命令
CLK
extZRAS
extZCAS
extZWE
ext BA
BA
RAS0
CAS0
WE0
A(A)
A(B)
R(A)
R(B)
W(A)
W(B)
PC(A)
PC(B)
ZACT(A)
ZACT(B)
L
L
L
H
T0
T1
T2
T3
T4
T5
T6
T7

第 9 圖

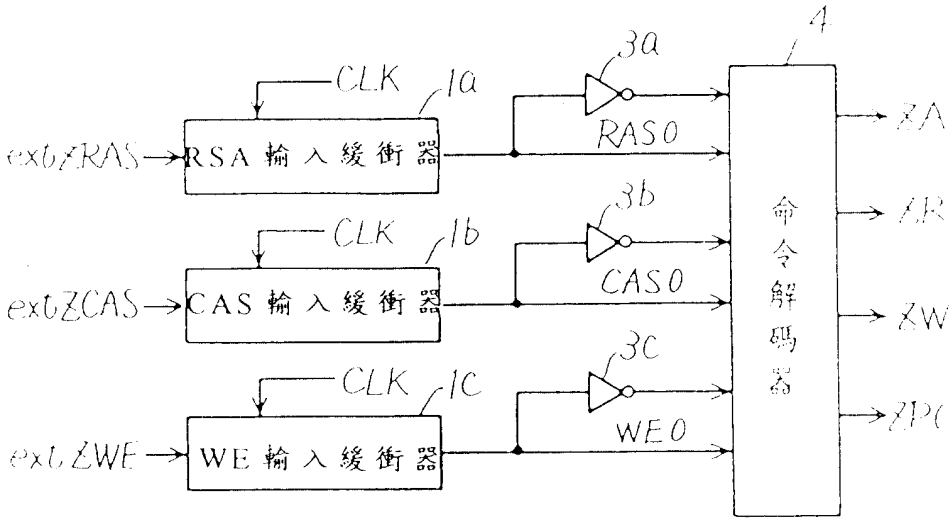

BA
120a
4
125a
RAS0
CAS0
WE0
命令解碼器
ZA
ZPC
ZR/ZW
讀取/寫入命令解碼器電路
ZACT(A)
R/W(A)
122a
預充電命令解碼器電路
PC(A)
(或訊衝停止)
120b
125b
讀取/寫入命令解碼器電路
ZACT(B)
R/W(B)
122b
預充電命令解碼器電路
PC(B)
(或訊衝停止)
ZBA

第 10 圖


讀取命令
寫入命令
預充電命令
活性命令
ext CLK
ext ZRAS
ext ZCAS
ext ZWE
RAS 0
CAS 0
WE 0
ZA
ZR
ZW
ZPC
T0
T1
T2
T3
T4

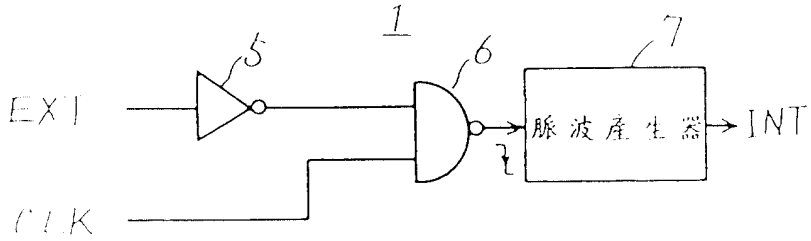
第 11 圖

305957

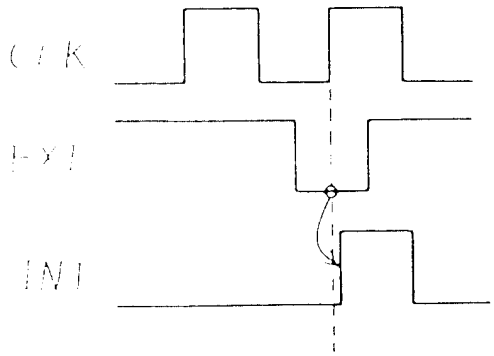


第 12 圖

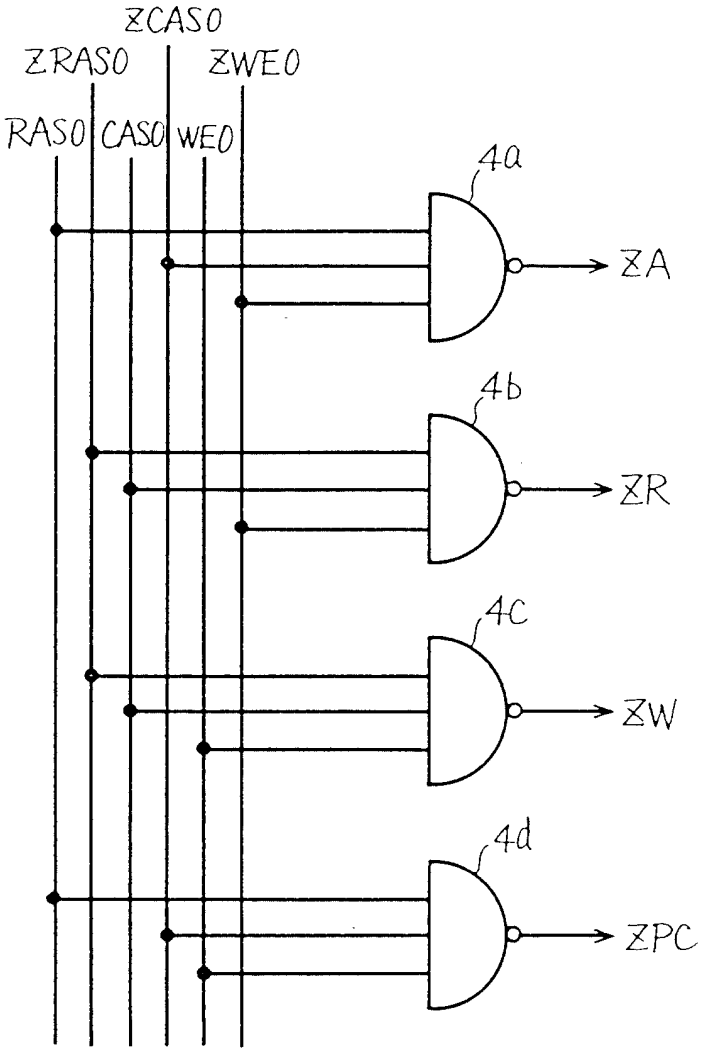
(A)



(B)



第 13 圖



4

第 14 圖