

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月12日(12.09.2024)



(10) 国際公開番号

WO 2024/185693 A1

(51) 国際特許分類:

G11C 11/419 (2006.01)

(21) 国際出願番号:

PCT/JP2024/007782

(22) 国際出願日:

2024年3月1日(01.03.2024)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2023-035904 2023年3月8日(08.03.2023) JP

(71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者: 森 脇 真 一 (MORIWAKI Shinichi); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

(74) 代理人: 弁理士法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北

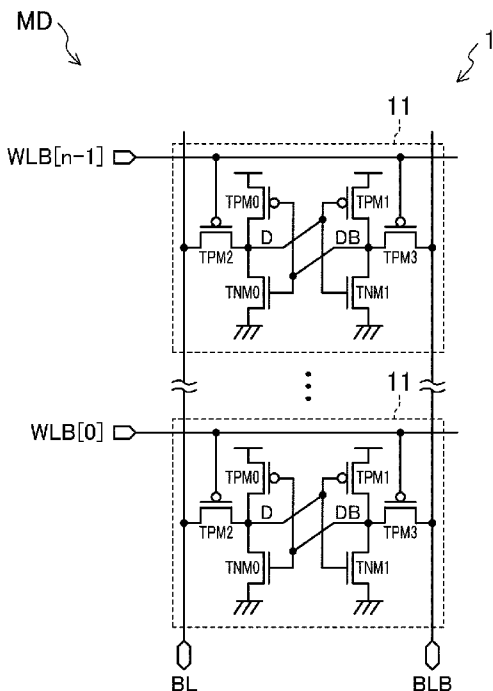
区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,

(54) Title: SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: This semiconductor memory device (MD) includes memory cells (11) and a write circuit (2). The memory cell includes P-type drive transistors (TPM0, TPM1), N-type load transistors (TNM0, TNM1), and P-type access transistors (TPM2, TPM3) connected to a bit line pair (BL, BLB). The write circuit (2) includes a column selection circuit (5) having P-type transistors (TP0, TP1), and a pre-discharge circuit (4) having N-type transistors (TN0, TN1).

(57) 要約: 半導体記憶装置 (MD) は、メモリセル (11) と書き込み回路 (2) とを備えている。メモリセルは、P型のドライブトランジスタ (TPM0, TPM1) と、N型のロードトランジスタ (TNM0, TNM1) と、ビット線対 (BL, BLB) に接続されたP型のアクセストランジスタ (TPM2, TPM3) とを備えている。書き込み回路 (2) は、P型のトランジスタ (TP0, TP1) とを有するカラム選択回路 (5) と、N型のトランジスタ (TN0, TN1) とを有するプリディスチャージ回路 (4) とを備えている。

[続葉有]

IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本開示は、半導体記憶装置に関し、特にSRAM (Static Random Access Memory) に関する。

背景技術

[0002] SRAMは、半導体集積回路装置内に搭載される主要なメモリの1つとして広く使用されている。

[0003] 従来技術として、例えば、特許文献1には、SRAMメモリセルを構成するトランジスタのうちトランスファークゲート(アクセストランジスタ)がP型トランジスタで構成される半導体記憶装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-176407号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献1を含む従来技術において、トランスファークゲートがP型トランジスタで構成されるメモリセルの回路図は示されているものの、このメモリセルを使用したSRAMの周辺回路については開示されていない。

[0006] 本開示では、アクセストランジスタにP型トランジスタを用いたSRAMメモリセルを用いたSRAMの周辺回路、特にその書き込みに関わる回路について開示するものである。

課題を解決するための手段

[0007] 本開示の第1態様において、半導体記憶装置は、メモリセルと書き込み回路とを備え、前記メモリセルは、ゲートが第1のノードに接続され、ソースが第1の電源に接続され、ドレインが第2のノードに接続される第1のP型

トランジスタと、ゲートが前記第1のノードに接続され、ソースが第2の電源に接続され、ドレインが前記第2のノードに接続される第1のN型トランジスタと、ゲートが前記第2のノードに接続され、ソースが前記第1の電源に接続され、ドレインが前記第1のノードに接続される第2のP型トランジスタと、ゲートが前記第2のノードに接続され、ソースが前記第2の電源に接続され、ドレインが前記第1のノードに接続される第2のN型トランジスタと、前記第2のノードと第1のビット線との間に設けられ、ゲートがワード線に接続される第3のP型トランジスタと、前記第1のノードと第2のビット線との間に設けられ、ゲートが前記ワード線に接続される第4のP型トランジスタとを備え、前記書き込み回路は、前記第1のビット線と前記第1の電源との間に設けられた第5のP型トランジスタと、前記第2のビット線と前記第1の電源との間に設けられた第6のP型トランジスタとを有するカラム選択回路と、前記第1のビット線と前記第2の電源との間に設けられた第3のN型トランジスタと、前記第2のビット線と前記第2の電源との間に設けられた第4のN型トランジスタとを有するプリディスチャージ回路とを備えていることを特徴とする。

発明の効果

[0008] 本開示によると、アクセストランジスタにP型トランジスタを用いたSRAMメモリセルを用いたSRAMの周辺回路を提供している。

図面の簡単な説明

[0009] [図1]第1の実施形態に係る半導体記憶装置を構成するメモリセルアレイの構成例を示す図

[図2]第1の実施形態に係る半導体記憶装置を構成する書き込み回路の構成例を示す図

[図3]第1の実施形態に係る半導体記憶装置の動作例を示すタイミングチャート

[図4]第1の実施形態に係るメモリセルアレイの変形例を示す図

[図5]第1の実施形態に係る書き込み回路の変形例を示す図

[図6]第2の実施形態に係る半導体記憶装置を構成する書き込み回路の構成例を示す図

[図7]第2の実施形態に係る半導体記憶装置の動作例を示すタイミングチャート

[図8]第2の実施形態に係る半導体記憶装置のライトアシスト動作を説明するための図

[図9]第2の実施形態に係る書き込み回路の変形例を示す図

[図10]第3の実施形態に係る半導体記憶装置を構成するメモリセルアレイの構成例を示す図

[図11]第3の実施形態に係る半導体記憶装置を構成する書き込み回路の構成例を示す図

[図12]第3の実施形態に係る半導体記憶装置の動作例を示すタイミングチャート

[図13]第3の実施形態に係る半導体記憶装置のライトアシスト動作を説明するための図

[図14]第3の実施形態に係るメモリセルアレイの変形例を示す図

[図15]第3の実施形態に係る書き込み回路の変形例を示す図

発明を実施するための形態

[0010] 以下、実施の形態について、図面を参照して説明する。なお、以下の説明において、信号線（ノード）とその信号線（ノード）を通る信号とについて、同じ符号を用いて説明する場合がある。同様に、電源ノードと、その電源ノードに供給される電圧とに同じ符号を用いて説明する場合がある。また、本開示において、「接続」との用語は、相互間が直接接続される場合に加えて、トランジスタなどの素子を介して相互間が間接的に接続されているものを含む概念として用いる。

[0011] <第1の実施形態>

図1および図2には、本実施形態に係る半導体記憶装置MDの構成例を示す。本実施形態に係る半導体記憶装置MDは、シングルカラムであり、図

1 に示すメモリセルアレイ 1 と、図 2 に示す書き込み回路 2 とを備える。

[0012] [メモリセルアレイ]

本実施形態において、メモリセルアレイ 1 は、 n 行 (n は自然数) $\times$ m 組 (m は自然数) のアレイ状に配置された複数のメモリセル 11 を備える。また、各行のメモリセル 11 は、それぞれ異なるワード線 $WLB[0] \sim WLB[n-1]$ に接続される。言い換えると、この例では、メモリセルアレイ 1 は、 n 本のワード線 $WLB[0] \sim WLB[n-1]$ および $n \times m$ 個のメモリセル 11 によって構成される。なお、図 1 では、 m 組のメモリセル 11 のうちの 1 組を図示している。以下の説明では、ワード線 $WLB[0] \sim WLB[n-1]$ を区別せずに説明する場合に、単に「ワード線 WLB 」として説明する場合がある。

[0013] [メモリセル]

メモリセル 11 は、P 型のドライブトランジスタ $TPM0$ 、 $TPM1$ と、N 型のロードトランジスタ $TNM0$ 、 $TNM1$ と、P 型のアクセストランジスタ $TPM2$ 、 $TPM3$ とを備える。

[0014] ドライブトランジスタ $TPM0$ (第 1 の P 型トランジスタに相当) は、ゲートがノード DB (第 1 のノードに相当) に接続され、ソースが電源 VDD (第 1 の電源に相当) に接続され、ドレインがノード D (第 2 のノードに相当) に接続される。ロードトランジスタ $TNM0$ (第 1 の N 型トランジスタに相当) は、ゲートがノード DB に接続され、ソースがグラウンド VSS (第 2 の電源に相当) に接続され、ドレインがノード D に接続される。すなわち、ドライブトランジスタ $TPM0$ とロードトランジスタ $TNM0$ は、電源 VDD とグラウンド VSS との間に直列に接続される。

[0015] ドライブトランジスタ $TPM1$ (第 2 の P 型トランジスタに相当) は、ゲートがノード D に接続され、ソースが電源 VDD に接続され、ドレインがノード DB に接続される。ロードトランジスタ $TNM1$ (第 2 の N 型トランジスタに相当) は、ゲートがノード D に接続され、ソースがグラウンド VSS に接続され、ドレインがノード DB に接続される。すなわち、ドライブトラン

ジスタTPM1とロードトランジスタTNM1は、電源VDDとグラウンドVSSとの間に直列に接続される。また、ドライブトランジスタTPM0、TPM1とロードトランジスタTNM0、TNM1とにより、ラッチが構成される。

[0016] アクセストランジスタTPM2（第3のP型トランジスタに相当）は、ノードDとビット線BL（第1のビット線に相当）との間に設けられ、ゲートがワード線WL Bに接続される。アクセストランジスタTPM3（第4のP型トランジスタに相当）は、ノードDBとビット線BL B（第2のビット線に相当）との間に設けられ、ゲートがワード線WL Bに接続される。なお、以下の説明では、ビット線BLとビット線BL Bとのペアについて「ビット線対BL，BL B」と呼んで説明する場合がある。

[0017] [書き込み回路]

メモリセルアレイ1のビット線対BL，BL Bには、図2に示す書き込み回路2が接続される。書き込み回路2は、メモリセルアレイ1の組ごとに設けられる。すなわち、この例では、m組のメモリセル11に対してm個の書き込み回路2が設けられる。なお、図2では、1つの書き込み回路2を例示している。

[0018] 書き込み回路2は、プルダウン回路3と、プリディスチャージ回路4と、カラム選択回路5と、書き込みドライバ6とを備える。

[0019] [プルダウン回路]

プルダウン回路3は、ビット線対BL，BL Bの一方のビット線が'H'（Highレベル）の場合に、他方のビット線を'L'（Lowレベル）にする。以下において、Highレベルの信号を単に'H'と記載し、Lowレベルの信号を単に'L'と記載する。

[0020] この例では、プルダウン回路3は、N型のトランジスタTNW0，TNW1を備える。トランジスタTNW0は、ビット線BLとグラウンドVSSとの間に設けられ、ゲートにビット線BL Bが接続される。トランジスタTNW1は、ビット線BL BとグラウンドVSSとの間に設けられ、ゲートにビット

線BLが接続される。

[0021] [プリディスチャージ回路]

プリディスチャージ回路4は、N型のトランジスタTNEQ、TNO、TN1を備える。トランジスタTNEQ（第5のN型トランジスタに相当）は、ビット線BLとビット線BLBとの間に設けられる。トランジスタTNO（第3のN型トランジスタに相当）は、ビット線BLとグラウンドVSSとの間に設けられる。トランジスタTN1（第4のN型トランジスタに相当）は、ビット線BLBとグラウンドVSSとの間に設けられる。そして、トランジスタTNEQ、TNO、TN1のそれぞれのゲートには、プリディスチャージ制御信号NPCGが与えられる。

[0022] プリディスチャージ回路4は、メモリセル11が非活性化状態のときに、プリディスチャージ制御信号NPCGが' H' になると、トランジスタTNO、TN1がオンして、ビット線対BL、BLBを' L' にディスチャージする。

[0023] [カラム選択回路]

カラム選択回路5は、P型のトランジスタTP0、TP1を備える。トランジスタTP0（第5のP型トランジスタに相当）は、電源VDDとビット線BLとの間に設けられ、ゲートに書き込みドライバ6の出力信号WC0が与えられる。トランジスタTP1（第6のP型トランジスタに相当）は、電源VDDとビット線BLBとの間に設けられ、ゲートに書き込みドライバ6の出力信号WC1が与えられる。

[0024] カラム選択回路5は、書き込みドライバ6の出力信号WC0、WC1に基づいて、トランジスタTP0、TP1のいずれかがオンし、書き込み対象となるビット線（BLまたはBLB）を選択する。

[0025] [書き込みドライバ]

書き込みドライバ6は、書き込み制御信号WRITEが' H' のときに書き込み状態となり、書き込みデータWDに応じて書き込み対象のビット線（BLまたはBLB）を選択する出力信号WC0、WC1を出力する。ここで

、出力信号WC0と出力信号WC1とは、同時に' L'（選択状態）にならない信号である。

[0026] この例では、書き込みドライバ6は、2入力のNAND回路60、61と、インバータ62とを備える。NAND回路60は、書き込みデータWDの反転信号と、書き込み制御信号WRITEとを入力として受け、出力信号WC0を出力する。NAND回路61は、書き込みデータWDと、書き込み制御信号WRITEとを入力として受け、出力信号WC1を出力する。

[0027] （データの書き込み動作）

次に、図3を参照しつつ、メモリセル11へのデータの書き込み動作について説明する。以下の説明において、便宜上、信号の符号のみを用いて説明する場合がある。例えば、ビット線BLの信号について単に「BL」の符号のみを用いて説明する場合がある。他の信号についても同様であり、後述する変形例および他の実施形態についても同様である。

[0028] （動作例1-1）

まず、図1上段のメモリセル11に対する、D=' L' から' H' およびDB=' H' から' L' の書き込み動作について説明する（図3左側参照）。

[0029] 書き込み動作開始前の状態において、 $WLB[n-1] = NPCG = WD = ' H'$ である。これにより、プリディスチャージ回路4がプリディスチャージされた状態（トランジスタTN0、TN1がオン）であり、 $BL = BLB = ' L'$ となる。また、 $WRITE = ' L'$ であり、トランジスタTP0、TP1がオフである。メモリセル11では、ドライブトランジスタTPM1とロードトランジスタTNM0がオンして、 $D = ' L'$ 、 $DB = ' H'$ となっている。

[0030] ここで、書き込みモードへの切り替え動作が実行される。

[0031] 具体的に、 $WLB[n-1] = ' L'$ とされることで、アクセストランジスタTPM2、TPM3がオンされ、メモリセル11からビット線対BL、BLBへのアクセスが可能になる。

[0032] $NPCG = 'L'$ とされることで、プリディスチャージ回路4のトランジスタ TNO 、 $TN1$ がオフされ、ビット線対 BL 、 BLB のディスチャージ（ $'L'$ 固定）が解除される。

[0033] $WD = 'L'$ および $WRITE = 'H'$ とされることで、カラム選択回路5のトランジスタ $TP0$ がオンされて $BL = 'H'$ になる。このとき、カラム選択回路5のトランジスタ $TP1$ はオフされ、かつ、プルダウン回路3のトランジスタ $TNW1$ がオンされるので、 $BLB = 'L'$ のままである。

[0034] アクセストランジスタ $TPM2$ 、 $TPM3$ がオンされた状態で $BL = 'H'$ になると、 D が $'L'$ から $'H'$ に書き換えられ、 DB が $'H'$ から $'L'$ に書き換えられる。そして、メモリセル11への書き込みが終了すると、 $WLB[n-1] = 'H'$ とされる。これにより、アクセストランジスタ $TPM2$ 、 $TPM3$ がオフされ、 $D = 'H'$ 、 $DB = 'L'$ が保持される。

[0035] （動作例1-2）

次に、図1上段のメモリセル11に対する、 $D = 'H'$ から $'L'$ および $DB = 'L'$ から $'H'$ の書き込み動作について説明する（図3右側参照）。ここでは、上記の「動作例1-1」との相違点を中心に説明する。

[0036] 書き込みモードへの切り替え動作において、動作例1-1と同様に、 $WLB[n-1] = 'L'$ とされることで、アクセストランジスタ $TPM2$ 、 $TPM3$ がオンされる。また、 $WD = 'H'$ および $WRITE = 'H'$ とされることで、カラム選択回路5のトランジスタ $TP1$ がオンされて $BLB = 'H'$ になり、 $BL = 'L'$ となる。

[0037] アクセストランジスタ $TPM2$ 、 $TPM3$ がオンされた状態で $BLB = 'H'$ になると、 DB が $'L'$ から $'H'$ に書き換えられ、 D が $'H'$ から $'L'$ に書き換えられる。そして、メモリセル11への書き込みが終了すると、 $WLB[n-1] = 'H'$ とされる。これにより、アクセストランジスタ $TPM2$ 、 $TPM3$ がオフされ、 $D = 'L'$ 、 $DB = 'H'$ が保持される。

[0038] ー変形例1ー

ここでは、第1実施形態に係る半導体記憶装置MDの変形例について説明

する。本変形例の半導体記憶装置MDは、マルチカラムである。

[0039] 図4は、本変形例についての図1相当図であり、図5は、本変形例についての図2相当図である。なお、図4において図1と対応する構成について、図1と共通の符号を付している。同様に、図5において図2と対応する構成について、図2と共通の符号を付している。ここでは、第1の実施形態（シングルカラム）との相違点を中心に説明する。

[0040] [メモリセルアレイ]

本変形例において、メモリセルアレイ1は、 n 行（ n は自然数） $\times c$ 列（ c は自然数） $\times m$ 組（ m は自然数）のアレイ状に配置された複数のメモリセル11を備える。なお、図4では、 m 組のメモリセル11のうちの1組を図示している。

[0041] 図4に示すように、各行のメモリセル11は、それぞれ異なるワード線 $WLB[0] \sim WLB[n-1]$ に接続される。また、各列のメモリセル11は、それぞれ異なるビット線対 $BL[0] \sim BL[c-1]$ 、 $BLB[0] \sim BLB[c-1]$ に接続される。すなわち、メモリセルアレイ1は、 n 本のワード線 $WLB[0] \sim WLB[n-1]$ 、 c 本のビット線対 $BL[0] \sim BL[c-1]$ 、 $BLB[0] \sim BLB[c-1]$ および $n \times c \times m$ 個のメモリセル11によって構成される。

[0042] 以下の説明では、ワード線 WLB と同様に、ビット線 $BL[0] \sim BL[c-1]$ を区別せずに説明する場合に、単に「ビット線 BL 」として説明する場合がある。ビット線 BLB およびビット線対 BL 、 BLB についても同様である。

[0043] [書き込み回路]

図5に示すように、本変形例の書き込み回路2では、それぞれのカラムごとにプルダウン回路3、プリディスチャージ回路4およびカラム選択回路5が設けられる。プルダウン回路3およびプリディスチャージ回路4は、第1の実施形態の構成（例えば、図2の構成）と同様である。

[0044] [カラム選択回路]

本変形例では、図2に示したシングルカラムの書き込み回路2と比較すると、書き込み対象のメモリセル列を選択するために、ビット線アドレス信号 $NCAD[0:c-1]$ が追加されている。また、ビット線アドレス信号 $NCAD[0:c-1]$ の追加に伴い、カラム選択回路5の構成が図2と異なっている。

[0045] 本変形例では、カラム選択回路5は、書き込み対象となるビット線（BLまたはBLB）を選択する機能に加えて、データの書き込み対象となるカラムを選択する機能を有する。具体的には、ビット線アドレス信号 $NCAD[0:c-1]$ で選択された列（ $0 \sim c-1$ ）のビット線対BL，BLBに接続されたメモリセル11にデータが書き込まれる。

[0046] 本変形例において、カラム選択回路5は、前述のトランジスタTP0，TP1に加えて、P型のトランジスタTP2，TP3およびN型のトランジスタTN2，TN3を備える。

[0047] トランジスタTP2は、ソースが電源VDDに接続され、ドレインがトランジスタTP0のゲートに接続されている。トランジスタTN2は、ソースがビット線アドレス信号NCADに接続され、ドレインがトランジスタTP0のゲートに接続される。そして、トランジスタTP2およびトランジスタTN2のゲートには、書き込みドライバ6の出力信号WC0が与えられる。

[0048] トランジスタTP3は、ソースが電源VDDに接続され、ドレインがトランジスタTP1のゲートに接続される。トランジスタTN3は、ソースがビット線アドレス信号NCADに接続され、ドレインがトランジスタTP1のゲートに接続される。そして、トランジスタTP3およびトランジスタTN3のゲートには、書き込みドライバ6の出力信号WC1が与えられる。

[0049] [書き込みドライバ]

本変形例では、書き込みドライバ6において、NAND回路60と出力ノードWC0との間にインバータ64が設けられ、NAND回路61と出力ノードWC1との間にインバータ65が設けられている。これにより、前述の第1の実施形態とは、出力信号WC0，WC1の極性が反転している。

[0050] (データの書き込み動作)

本変形例の書き込み動作については、ビット線アドレス信号NCAD [0 : c - 1] で選択された列 (0 ~ c - 1) のビット線対BL, BLBに接続されたメモリセル11にデータが書き込まれる点が、前述の第1の実施形態と異なる。

[0051] それ以外の動作については、前述の図3を用いた動作説明と同様である。具体的に、書き込み動作開始前の状態から書き込みモードへの切り替え動作が実行される。そして、WD = 'L' または 'H' とされ、かつ、WRITE = 'H' とされることで、メモリセル11への書き込みが実行される。その後、書き込みが終了すると、WLB [n - 1] = 'H' とされて書き込まれたデータが保持される。

[0052] <第2の実施形態>

ここでは、第2実施形態に係る半導体記憶装置MDについて説明する。

[0053] 本実施形態の半導体記憶装置MDは、シングルカラムであり、メモリセルアレイ1の構成は、第1の実施形態（例えば、図1の構成）と同じである。

[0054] 図6は、本実施形態についての図2相当図である。なお、図6において図2と対応する構成について、図2と共通の符号を付している。ここでは、第1の実施形態との相違点を中心に説明する。

[0055] 本実施形態では、書き込み回路2において、プルダウン回路3、プリディスチャージ回路4、カラム選択回路5および書き込みドライバ6に加えて、電圧制御回路7を備える点が第1の実施形態と異なる。

[0056] また、ビット線BLが、トランジスタTP0を介して内部電源線WVDDに接続され、ビット線BLBがトランジスタTP1を介して内部電源線WVDDに接続されている点が第1の実施形態と異なる。言い換えると、内部電源線WVDDは、ビット線対BL, BLBにHighレベルの電圧を供給する。

[0057] [電圧制御回路]

電圧制御回路7は、容量素子NCAPを介して内部電源線WVDDの電圧

を制御する。より具体的には、電圧制御回路 7 は、内部電源線 W V D D に接続された容量素子 N C A P の作用によって、ブースト制御信号 W T A に応じて高電位側のビット線（B L または B L B）を電源電圧 V D D よりも高電位にする機能を有する。

[0058] 電源 V D D と内部電源線 W V D D との間には、ブースト制御信号 W T A でオン／オフする P 型のトランジスタ T P U（第 7 の P 型トランジスタに相当）が設けられている。言い換えると、P 型のトランジスタ T P U は、内部電源線 W V D D の電圧を電源電圧 V D D に制御する機能を有する。

[0059] また、容量素子 N C A P とブースト制御信号 W T A との間には、ブースト制御信号 W T A を遅延させるバッファ 7 1 が設けられている。バッファ 7 1 の出力と容量素子 N C A P とは、ノード W A C P で接続される。

[0060] なお、図 6 では、容量素子 N C A P を N 型のトランジスタ（第 6 の N 型トランジスタに相当）で構成した例を示している。ただし、容量素子 N C A P は、N 型のトランジスタに限定されない。例えば、容量素子 N C A P を P 型のトランジスタで構成してもよいし、トランジスタ以外の素子や配線などで構成してもよい。

[0061] （データの書き込み動作）

次に、図 7 を参照しつつ、メモリセル 1 1 へのデータの書き込み動作について説明する。本実施形態では、書き込みモードへの切り替え動作と、メモリセル 1 1 へのデータの書き込みとの間に、ブーストモードの期間がある点において第 1 の実施形態と異なる。ここでは、第 1 の実施形態との相違点を中心に説明する。

[0062] （動作例 2 - 1）

まず、図 1 上段のメモリセル 1 1 に対する、D = ' L ' から ' H ' および D B = ' H ' から ' L ' の書き込み動作について説明する（図 7 左側参照）。

[0063] 図 3 と同様に、書き込み動作開始前の状態から、書き込みモードへの切り替え動作が実行される。

- [0064] 具体的に、書き込みモードへの切り替え動作において、 $WTA = 'L'$ となっており、トランジスタ TPU がオンし、内部電源線 $WVDD$ の電圧が VDD になる。また、 $WLB[n-1] = 'L'$, $NPCG = 'L'$, $WD = 'L'$ および $WRITE = 'H'$ とされることで、 BL が $'H'$ となり、 BLB は $'L'$ のままである。
- [0065] 次のブーストモードにおいて、 $WTA = 'H'$ になると、トランジスタ TPU がオフされるので、内部電源線 $WVDD$ およびビット線 BL が電源 VDD から遮断されてフローティング状態になる。そして、 $WTA = 'H'$ となってからバッファ 71 による遅延時間が経過すると、 $WACP$ が $'L'$ から $'H'$ になることで、容量素子 $NCAP$ の電荷が内部電源線 $WVDD$ の配線容量などに充電され、内部電源線 $WVDD$ およびビット線 BL の電圧が電源電圧 VDD より上昇する。これにより、アクセストランジスタ $TPM2$ のコンダクタンスすなわち駆動能力が高くなり、ビット線 BL からノード D に流入する電流量が増加し、ノード D の電圧は、第 1 の実施形態の構成よりも上昇する。
- [0066] そして、 D の電位がロードトランジスタ $TNM1$ の閾値まで上がると、ロードトランジスタ $TNM1$ がオンして、 DB は $'H'$ から $'L'$ に書き換えられる。また、ドライブトランジスタ $TPM0$ がオンするので、 D は $'L'$ から $'H'$ に書き換えられる。メモリセル 11 への書き込みが終了すると、 $WLB[n-1] = 'H'$ とされる。これにより、アクセストランジスタ $TPM2$, $TPM3$ がオフされ、 $D = 'H'$ 、 $DB = 'L'$ が保持される。
- [0067] 本実施形態の電圧制御回路 7 を設けることによる作用効果について、図 8 を参照しつつ詳細に説明する。図 8 では、 BL を太線で示し、 BLB を細線で示している。また、 D を太線で示し、 DB を細線で示している。後述する図 13 についても同様である。
- [0068] まず、アクセストランジスタ $TPM2$ のコンダクタンスが十分な大きさに設定されている場合には、実施形態 1 で説明したようにメモリセル 11 は問題なく動作する（図 8 の「正常動作時」参照）。

[0069] 一方で、アクセストランジスタTPM2のコンダクタンス(駆動能力)が相対的に低い場合、アクセストランジスタTPM2はオンするものの、ビット線BLからノードDに流入する電流量が十分に確保されなくなる。そうすると、Dの電圧がロードトランジスタTNM1の閾値電圧まで上昇せずに、ロードトランジスタTNM1がオンしないことがある。この場合には、Dを'L'から'H'に書き換えること、および、DBを'H'から'L'に書き換えることができない(図8の「誤動作時」参照)。

[0070] このような場合に、電圧制御回路7を設けることで、アクセストランジスタTPM2のコンダクタンスすなわち駆動能力を高めることができる。これにより、ビット線BLからノードDに流入する電流量が増加し、電圧制御回路7を設けない場合と比較して、ノードDの電圧が高くなるので、ロードトランジスタTNM1をオンさせやすくなる。言い換えると、電圧制御回路7を設けることで、メモリセル11の書き込みがアシストされて、正常な書き込みが実現できる(図8の「ライトアシスト動作時」参照)。

[0071] (動作例2-2)

次に、図1上段のメモリセル11において、D='H'から'L'およびDB='L'から'H'への書き込み動作について説明する(図7右側参照)。ここでは、上記の「動作例2-1」との相違点を中心に説明する。

[0072] 書き込みモードへの切り替え動作において、動作例2-1と同様に、WTA='L'とされてトランジスタTPUがオンし、内部電源線WVDDの電圧がVDDになる。また、WLB[n-1]='L'、NPCG='L'、WRITE='H'に加えて、WD='H'とされることで、BLBが'H'となり、BLは'L'のままである。

[0073] 次のブーストモードの動作において、WTA='H'になると、トランジスタTPUがオフされるので、内部電源線WVDDおよびビット線BLBが電源VDDから遮断されてフローティング状態になる。そして、WTA='H'となってからバッファ71による遅延時間が経過すると、WACPが'L'から'H'になることで、容量素子NCAPの電荷が内部電源線WVD

Dの配線容量などに充電され、内部電源線WVDDおよびビット線BLBの電圧が電源電圧VDDより上昇する。これにより、アクセストランジスタTPM3のコンダクタンスすなわち駆動能力が高くなり、ビット線BLBからノードDBに流入する電流量が増加し、ノードDBの電圧は、第1の実施形態の構成よりも上昇する。

[0074] そして、DBの電位がロードトランジスタTNMOの閾値まで上がると、ロードトランジスタTNMOがオンして、Dは' H' から' L' に書き換えられる。また、ドライブトランジスタTPM1がオンするので、DBは' L' から' H' に書き換えられる。メモリセル11への書き込みが終了すると、WLB[n-1]=' H' とされる。これにより、アクセストランジスタTPM2、TPM3がオフされ、D=' L' 、DB=' H' が保持される。

[0075] ー変形例2ー

ここでは、第2実施形態に係る半導体記憶装置MDの変形例について説明する。

[0076] 本変形例の半導体記憶装置MDは、マルチカラムであり、メモリセルアレイ1の構成は、第1の実施形態の変形例1（例えば、図4の構成）と同じである。

[0077] 図9は、本変形例についての図6相当図である。なお、図9において図6と対応する構成について、共通の符号を付している。ここでは、第2の実施形態（シングルカラム）との相違点を中心に説明する。

[0078] [書き込み回路]

図9に示すように、本変形例の書き込み回路2では、それぞれのカラムごとにプルダウン回路3、プリディスチャージ回路4およびカラム選択回路5が設けられる。プルダウン回路3およびプリディスチャージ回路4は、第2の実施形態（例えば、図6の構成）と同様である。

[0079] [カラム選択回路]

図6に示したシングルカラムの書き込み回路2と比較すると、本変形例では、書き込み対象のメモリセル列を選択するために、ビット線アドレス信号

NCAD[0:c-1]が追加されている。また、ビット線アドレス信号NCAD[0:c-1]の追加に伴い、コラム選択回路5の構成が変更されている。図9に示す構成は、第1の実施形態の変形例1のコラム選択回路5（図5参照）と同じであり、同様の機能を有する。すなわち、コラム選択回路5は、書き込み対象となるビット線（BLまたはBLB）を選択する機能に加えて、複数のコラムの中からデータの書き込み対象となるコラムを選択する機能を有する。

[0080] [書き込みドライバ]

本変形例では、書き込みドライバ6において、NAND回路60と出力ノードWC0との間にインバータ64が設けられ、NAND回路61と出力ノードWC1との間にインバータ65が設けられている。これにより、第2の実施形態とは、出力信号WC0、WC1の極性が反転している。

[0081] （データの書き込み動作）

本変形例の書き込み動作については、ビット線アドレス信号NCAD[0:c-1]で選択された列（0～c-1）のビット線対BL、BLBに接続されたメモリセル11にデータが書き込まれる点で、第2の実施形態と異なる。

[0082] それ以外の動作については、前述の図7を用いた動作説明と同様であり、書き込み動作開始前の状態から書き込みモードへの切り替え動作が実行される。そして、ブーストモードの動作を経て、メモリセル11への書き込みが実行される。その後、書き込みが終了すると、WLB[n-1]='H'とされて書き込まれたデータが保持される。

[0083] <第3の実施形態>

ここでは、第3実施形態に係る半導体記憶装置MDについて説明する。本実施形態の半導体記憶装置MDは、シングルコラムである。

[0084] 図10は、本実施形態についての図1相当図であり、図11は、本実施形態についての図6相当図である。なお、図10において図1と対応する構成について、共通の符号を付している。同様に、図11において図6と対応す

る構成について、共通の符号を付している。ここでは、前述の実施形態（特に、第2の実施形態）との相違点を中心に説明する。

[0085] 図10に示すように、本実施形態では、メモリセルアレイ1を構成する各メモリセル11において、ロードトランジスタTNM0、TNM1のソースが共通の内部グランド線MCVSS（内部電源線に相当）に接続されている点で、第1および第2実施形態と異なる。内部グランド線MCVSSの電圧は、書き込み回路2によって制御される。

[0086] また、図11に示すように、本実施形態では、電圧制御回路7の構成が第2の実施形態と異なっている。

[0087] [電圧制御回路]

電圧制御回路7は、メモリセル11に接続された内部グランド線MCVSSの電圧を制御する。また、メモリセルへの書き込みの際に、内部グランド線MCVSSの電位をグランドVSSよりも高電位にするように構成されている。

[0088] 電圧制御回路7は、P型のトランジスタTPU、TPWA0、TPWA1と、N型のトランジスタTNDとを備える。

[0089] トランジスタTPUは、ソースが電源VDDに接続され、ドレインがトランジスタTPWA0、TPWA1のソースに接続され、ゲートにブースト制御信号NWTAが与えられる。なお、ブースト制御信号NWTAは、第2の実施形態におけるブースト制御信号WTAと極性が反転した信号である。

[0090] トランジスタTPWA0とトランジスタTPWA1は、ソース同士およびドレイン同士が接続される。また、トランジスタTPWA0のゲートには、書き込みドライバ6の出力ノードWC0が接続され、トランジスタTPWA1のゲートには、書き込みドライバ6の出力ノードWC1が接続される。

[0091] トランジスタTND（第5のN型トランジスタに相当）は、ゲートが電源VDDに接続され、ソースがグランドVSSに接続され、ドレインが内部グランド線MCVSSおよびトランジスタTPWA0、TPWA1のドレインに接続される。

[0092] (データの書き込み動作)

次に、図12を参照しつつ、メモリセル11へのデータの書き込み動作について説明する。ここでは、第2の実施形態(図7参照)との相違点を中心に説明する。

[0093] (動作例3-1)

まず、図10上段のメモリセル11に対する、 $D = 'L'$ から $'H'$ および $DB = 'H'$ から $'L'$ の書き込み動作について説明する(図12左側参照)。

[0094] 図7と同様に、書き込み動作開始前の状態から、書き込みモードへの切り替え動作が実行される。

[0095] 具体的に、書き込みモードへの切り替え動作では、 $NWTA = 'H'$ となっており、トランジスタTPUがオフされる。トランジスタTNDはオンしているので、内部グランド線MCVSSの電圧はVSSになる。

[0096] $WD = 'L'$ および $WRITE = 'H'$ とされることで、トランジスタTP0がオンされ、 $BL = 'H'$ になる。このとき、トランジスタTP1はオフされるので、プルダウン回路3のトランジスタTNW1がオンして、 $BLB = 'L'$ になる。

[0097] 次のブーストモードにおいて、 $NWTA = 'L'$ になると、トランジスタTPUがオンされるので、トランジスタTPWA0がオンされる。これにより、内部グランド線MCVSSの電圧が、トランジスタTPU、トランジスタTPWA0およびトランジスタTNDのオン抵抗の分圧になり、グランド電位VSSから上昇する。これにより、ロードトランジスタTNM0のコンダクタンスすなわち駆動能力が低くなる。そうすると、ノードDの電圧が、電圧制御回路7を設けない場合(例えば、第1の実施形態)と比較して高くなる。

[0098] そして、Dの電位がロードトランジスタTNM1の閾値まで上がると、ロードトランジスタTNM1がオンして、 DB は $'H'$ から $'L'$ に書き換えられる。また、ドライブトランジスタTPM0がオンするので、 D は $'L'$

から' H' に書き換えられる。メモリセル 11 への書き込みが終了すると、 $WLB[n-1] = 'H'$ とされる。これにより、アクセストランジスタ $TPM2$ 、 $TPM3$ がオフされ、 $D = 'H'$ 、 $DB = 'L'$ が保持される。

[0099] 本実施形態の電圧制御回路 7 を設けることによる作用効果について、図 13 を参照しつつ説明する。

[0100] まず、アクセストランジスタ $TPM2$ のコンダクタンスが十分な大きさに設定されている場合には、実施形態 1 で説明したようにメモリセル 11 は問題なく動作する（図 13 の「正常動作時」参照）。

[0101] 一方で、アクセストランジスタ $TPM2$ のコンダクタンス（駆動能力）が相対的に低い場合、アクセストランジスタ $TPM2$ はオンするものの、ビット線 BL からノード D に流入する電流量が十分に確保されなくなる。そうすると、 D の電圧がロードトランジスタ $TNM1$ の閾値電圧まで上昇せずに、ロードトランジスタ $TNM1$ がオンしないことがある。この場合には、 D を' L' から' H' に書き換えること、および、 DB を' H' から' L' に書き換えることができない（図 13 の「誤動作時」参照）。

[0102] このような場合に、電圧制御回路 7 を設けて、内部グランド線 $MCVSS$ つまりロードトランジスタ $TNM0$ のソース電圧を上げることで、電圧制御回路 7 を設けない場合と比較して、ノード D の電圧が高くなるので、ロードトランジスタ $TNM1$ をオンさせやすくなる。言い換えると、電圧制御回路 7 を設けることで、メモリセル 11 の書き込みがアシストされて、正常な書き込みが実現できる（図 13 の「ライトアシスト動作時」参照）。

[0103] （動作例 3-2）

次に、図 10 上段のメモリセル 11 に対する、 $D = 'H'$ から' L' および $DB = 'L'$ から' H' への書き込み動作について説明する（図 12 右側参照）。ここでは、上記の「動作例 3-1」との相違点を中心に説明する。

[0104] 書き込みモードへの切り替え動作において、動作例 3-1 と同様に、 $NWTA = 'H'$ となっており、トランジスタ TPU がオフされる。トランジスタ TND はオンしているので、内部グランド線 $MCVSS$ の電圧は VSS に

なる。

[0105] $WD = 'H'$ および $WRITE = 'H'$ とされることで、トランジスタ $TP1$ がオンされ、 $BLB = 'H'$ になる。このとき、トランジスタ $TP0$ はオフされるので、プルダウン回路3のトランジスタ $TNW0$ がオンして、 $BL = 'L'$ になる。

[0106] 次のブーストモードにおいて、 $NWTA = 'L'$ になると、トランジスタ TPU がオンされるので、トランジスタ $TPWA1$ がオンされる。これにより、内部グランド線 $MCVSS$ の電圧が、トランジスタ TPU 、トランジスタ $TPWA1$ およびトランジスタ TND のオン抵抗の分圧になり、グランド電位 VSS から上昇する。これにより、ロードトランジスタ $TNM1$ のコンダクタンスすなわち駆動能力が低くなる。そうすると、ノード DB の電圧が、電圧制御回路7を設けない場合（例えば、第1の実施形態）と比較して高くなる。

[0107] そして、 DB の電位がロードトランジスタ $TNM0$ の閾値まで上がると、ロードトランジスタ $TNM0$ がオンして、 D は ' H ' から ' L ' に書き換えられる。また、ドライブトランジスタ $TPM1$ がオンするので、 DB は ' L ' から ' H ' に書き換えられる。メモリセル11への書き込みが終了すると、 $WLB[n-1] = 'H'$ とされる。これにより、アクセストランジスタ $TPM2$ 、 $TPM3$ がオフされ、 $D = 'L'$ 、 $DB = 'H'$ が保持される。

[0108] ー変形例3ー

ここでは、第3実施形態に係る半導体記憶装置 MD の変形例について説明する。

[0109] 本変形例の半導体記憶装置 MD は、マルチカラムである。

[0110] 図14は、本実施形態についての図10相当図であり、図15は、本実施形態についての図11相当図である。なお、図14において図10と対応する構成について、共通の符号を付している。同様に、図15において図11と対応する構成について、共通の符号を付している。ここでは、第3の実施形態（シングルカラム）および第2の実施形態の変形例（マルチカラム）と

の相違点を中心に説明する。

[0111] [メモリセルアレイ]

本変形例において、メモリセルアレイ 1 は、 n 行 (n は自然数) $\times$ c 列 (c は自然数) $\times$ m 組 (m は自然数) のアレイ状に配置された複数のメモリセル 11 を備える。なお、図 14 では、 m 組のメモリセル 11 のうちの 1 組を図示している。

[0112] 図 14 に示すように、各列のメモリセル 11 は、それぞれ異なるビット線対 $BL[0] \sim BL[c-1]$, $BLB[0] \sim BLB[c-1]$ および内部グランド線 $MCVSS[0] \sim MCVSS[c-1]$ に接続される。例えば、0 列目のメモリセル 11 は、共通のビット線対 $BL[0]$, $BLB[0]$ および共通の内部グランド線 $MCVSS[0]$ に接続される。1 列目 $\sim$ ($c-1$) 列目についても同様である。

[0113] [書き込み回路]

図 15 に示すように、本変形例の書き込み回路 2 では、それぞれのカラムごとにプルダウン回路 3、プリディスチャージ回路 4、カラム選択回路 5 および電圧制御回路 7 が設けられる。プルダウン回路 3、プリディスチャージ回路 4 および書き込みドライバ 6 の構成は、第 2 の実施形態の変形例（例えば、図 9 の構成）と同様である。

[0114] [カラム選択回路]

本変形例では、図 11 に示したシングルカラムの書き込み回路 2 と比較すると、書き込み対象のメモリセル列を選択するために、ビット線アドレス信号 $NCAD[0 : c-1]$ が追加されている。また、ビット線アドレス信号 $NCAD[0 : c-1]$ の追加に伴い、カラム選択回路 5 の構成が変更されている。図 15 に示すカラム選択回路 5 の構成は、第 2 の実施形態の変形例 2 のカラム選択回路 5（図 9 参照）とほぼ同じ構成であり、同様の機能を有する。すなわち、本変形例においても、カラム選択回路 5 は、書き込み対象となるビット線 (BL または BLB) を選択する機能に加えて、複数のカラムの中からデータの書き込み対象となるカラムを選択する機能を有する。

[0115] また、本変形例では、同じカラムに設けられているトランジスタ $TP0$ のゲートとトランジスタ $TPWA0$ のゲートが互いに接続され、トランジスタ $TP1$ のゲートとトランジスタ $TPWA1$ のゲートが互いに接続されている。

[0116] 図 15 に示す電圧制御回路 7 の構成は、第 3 の実施形態の構成（図 11 参照）と同様であり、同様の機能を有する。

[0117] （データの書き込み動作）

本変形例の書き込み動作については、ビット線アドレス信号 $NCAD[0 : c-1]$ で選択された列（ $0 \sim c-1$ ）のビット線対 BL 、 BLB に接続されたメモリセル 11 にデータが書き込まれる点が、第 3 の実施形態と異なる。

[0118] それ以外の動作については、前述の図 12 を用いた動作説明と同様であり、書き込み動作開始前の状態から書き込みモードへの切り替え動作が実行される。そして、ブーストモードの動作を経て、メモリセル 11 への書き込みが実行される。その後、書き込みが終了すると、 $WLB[n-1] = 'H'$ とされて書き込まれたデータが保持される。

[0119] なお、本開示における技術は、上記実施形態での説明した構成に限定されず、適宜、変更、置き換え、付加、省略などを行った実施形態にも適用が可能である。また、上記実施形態で説明した各構成要素を組み合わせ、新たな実施形態とすることも可能である。

産業上の利用可能性

[0120] 本開示によると、アクセストランジスタに P 型トランジスタを用いた SRAM メモリセルを用いた SRAM の周辺回路を提供することができるので、極めて有用である。

符号の説明

[0121] MD 半導体記憶装置

1 メモリセルアレイ

2 書き込み回路

4 プリディスチャージ回路

5 カラム選択回路

7 電圧制御回路

1 1 メモリセル

B L ビット線 (第 1 のビット線)

B L B ビット線 (第 2 のビット線)

D ノード (第 2 のノード)

D B ノード (第 1 のノード)

M C V S S 内部グランド線 (内部電源線)

N C A P 容量素子

T N 0 トランジスタ (第 3 の N 型トランジスタ)

T N 1 トランジスタ (第 4 の N 型トランジスタ)

T N E Q トランジスタ (第 5 の N 型トランジスタ)

T N M 0 ロードトランジスタ (第 1 の N 型トランジスタ)

T N M 1 ロードトランジスタ (第 2 の N 型トランジスタ)

T P 0 トランジスタ (第 5 の P 型トランジスタ)

T P 1 トランジスタ (第 6 の P 型トランジスタ)

T P M 0 ドライブトランジスタ (第 1 の P 型トランジスタ)

T P M 1 ドライブトランジスタ (第 2 の P 型トランジスタ)

T P M 2 アクセストランジスタ (第 3 の P 型トランジスタ)

T P M 3 アクセストランジスタ (第 4 の P 型トランジスタ)

T P U トランジスタ (第 7 の P 型トランジスタ)

V D D 電源 (第 1 の電源)

V S S グランド (第 2 の電源)

W L B ワード線

W V D D 内部電源線

請求の範囲

[請求項1]

メモリセルと書き込み回路とを備え、

前記メモリセルは、

ゲートが第1のノードに接続され、ソースが第1の電源に接続され、ドレインが第2のノードに接続される第1のP型トランジスタと、

ゲートが前記第1のノードに接続され、ソースが第2の電源に接続され、ドレインが前記第2のノードに接続される第1のN型トランジスタと、

ゲートが前記第2のノードに接続され、ソースが前記第1の電源に接続され、ドレインが前記第1のノードに接続される第2のP型トランジスタと、

ゲートが前記第2のノードに接続され、ソースが前記第2の電源に接続され、ドレインが前記第1のノードに接続される第2のN型トランジスタと、

前記第2のノードと第1のビット線との間に設けられ、ゲートがワード線に接続される第3のP型トランジスタと、

前記第1のノードと第2のビット線との間に設けられ、ゲートが前記ワード線に接続される第4のP型トランジスタとを備え、

前記書き込み回路は、

前記第1のビット線と前記第1の電源との間に設けられた第5のP型トランジスタと、前記第2のビット線と前記第1の電源との間に設けられた第6のP型トランジスタとを有するカラム選択回路と、

前記第1のビット線と前記第2の電源との間に設けられた第3のN型トランジスタと、前記第2のビット線と前記第2の電源との間に設けられた第4のN型トランジスタとを有するプリディスチャージ回路とを備えている

ことを特徴とする半導体記憶装置。

- [請求項2] 請求項1に記載の半導体記憶装置において、
前記プリディスチャージ回路は、前記第1のビット線と前記第2のビット線との間に設けられた第5のN型トランジスタを備えていることを特徴とする半導体記憶装置。
- [請求項3] 請求項1に記載の半導体記憶装置において、
共通の前記第1のビット線および共通の前記第2のビット線に接続された前記メモリセル同士をユニットとする複数のカラムで構成されたメモリセルアレイを備え、
前記カラム選択回路は、前記複数のカラムから選択されたデータの書き込み対象となるカラムの前記第5のP型トランジスタおよび／または前記第6のP型トランジスタを動作させるように構成されていることを特徴とする半導体記憶装置。
- [請求項4] メモリセルと書き込み回路とを備え、
前記メモリセルは、
ゲートが第1のノードに接続され、ソースが第1の電源に接続され、ドレインが第2のノードに接続される第1のP型トランジスタと、
ゲートが前記第1のノードに接続され、ソースが第2の電源に接続され、ドレインが前記第2のノードに接続される第1のN型トランジスタと、
ゲートが前記第2のノードに接続され、ソースが前記第1の電源に接続され、ドレインが前記第1のノードに接続される第2のP型トランジスタと、
ゲートが前記第2のノードに接続され、ソースが前記第2の電源に接続され、ドレインが前記第1のノードに接続される第2のN型トランジスタと、
前記第2のノードと第1のビット線との間に設けられ、ゲートがワード線に接続される第3のP型トランジスタと、

前記第1のノードと第2のビット線との間に設けられ、ゲートが前記ワード線に接続される第4のP型トランジスタとを備え、

前記書き込み回路は、

前記第1のビット線と内部電源線との間に設けられた第5のP型トランジスタと、前記第2のビット線と前記内部電源線との間に設けられた第6のP型トランジスタとを有するカラム選択回路と、

前記第1のビット線と前記第2の電源との間に設けられた第3のN型トランジスタと、前記第2のビット線と前記第2の電源との間に設けられた第4のN型トランジスタとを有するプリディスチャージ回路と、

前記第1の電源と前記内部電源線との間に設けられた第7のP型トランジスタと、前記メモリセルへの書き込みの際に、前記内部電源線の電位を前記第1の電源よりも高電位にする容量素子とを有する電圧制御回路とを備えている

ことを特徴とする半導体記憶装置。

[請求項5] 請求項4に記載の半導体記憶装置において、

前記プリディスチャージ回路は、前記第1のビット線と前記第2のビット線との間に設けられた第5のN型トランジスタを備えていることを特徴とする半導体記憶装置。

[請求項6] 請求項4に記載の半導体記憶装置において、

前記容量素子は、第6のN型トランジスタで形成されることを特徴とする半導体記憶装置。

[請求項7] 請求項4に記載の半導体記憶装置において、

共通の前記第1のビット線および共通の前記第2のビット線に接続された前記メモリセル同士をユニットとする複数のカラムで構成されたメモリセルアレイを備え、

前記カラム選択回路は、前記複数のカラムから選択されたデータの書き込み対象となるカラムの前記第5のP型トランジスタおよび／ま

たは前記第6のP型トランジスタを動作させるように構成されていることを特徴とする半導体記憶装置。

[請求項8]

メモリセルと書き込み回路とを備え、

前記メモリセルは、

ゲートが第1のノードに接続され、ソースが第1の電源に接続され、ドレインが第2のノードに接続される第1のP型トランジスタと、

ゲートが前記第1のノードに接続され、ソースが内部電源線に接続され、ドレインが前記第2のノードに接続される第1のN型トランジスタと、

ゲートが前記第2のノードに接続され、ソースが前記第1の電源に接続され、ドレインが前記第1のノードに接続される第2のP型トランジスタと、

ゲートが前記第2のノードに接続され、ソースが前記内部電源線に接続され、ドレインが前記第1のノードに接続される第2のN型トランジスタと、

前記第2のノードと第1のビット線との間に設けられ、ゲートがワード線に接続される第3のP型トランジスタと、

前記第1のノードと第2のビット線との間に設けられ、ゲートが前記ワード線に接続される第4のP型トランジスタとを備え、

前記書き込み回路は、

前記第1のビット線と前記第1の電源との間に設けられた第5のP型トランジスタと、前記第2のビット線と前記第1の電源との間に設けられた第6のP型トランジスタとを有するカラム選択回路と、

前記第1のビット線と第2の電源との間に設けられた第3のN型トランジスタと、前記第2のビット線と前記第2の電源との間に設けられた第4のN型トランジスタとを有するプリディスチャージ回路と、

前記第2の電源と前記内部電源線との間に設けられた第5のN型トランジスタと、前記メモリセルへの書き込みの際に、前記内部電源線の電位を前記第2の電源よりも高電位にする第7のP型トランジスタとを備えていることを特徴とする半導体記憶装置。

[請求項9]

請求項8に記載の半導体記憶装置において、

前記プリディスチャージ回路は、前記第1のビット線と前記第2のビット線との間に設けられた第6のN型トランジスタを備えていることを特徴とする半導体記憶装置。

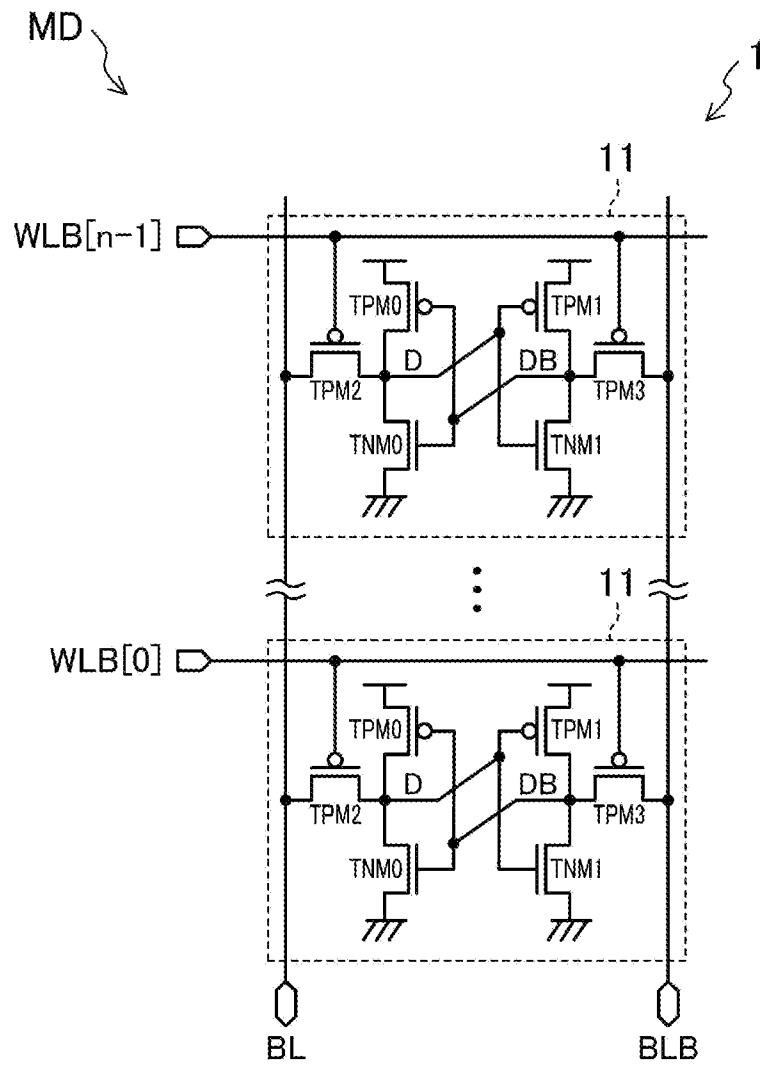
[請求項10]

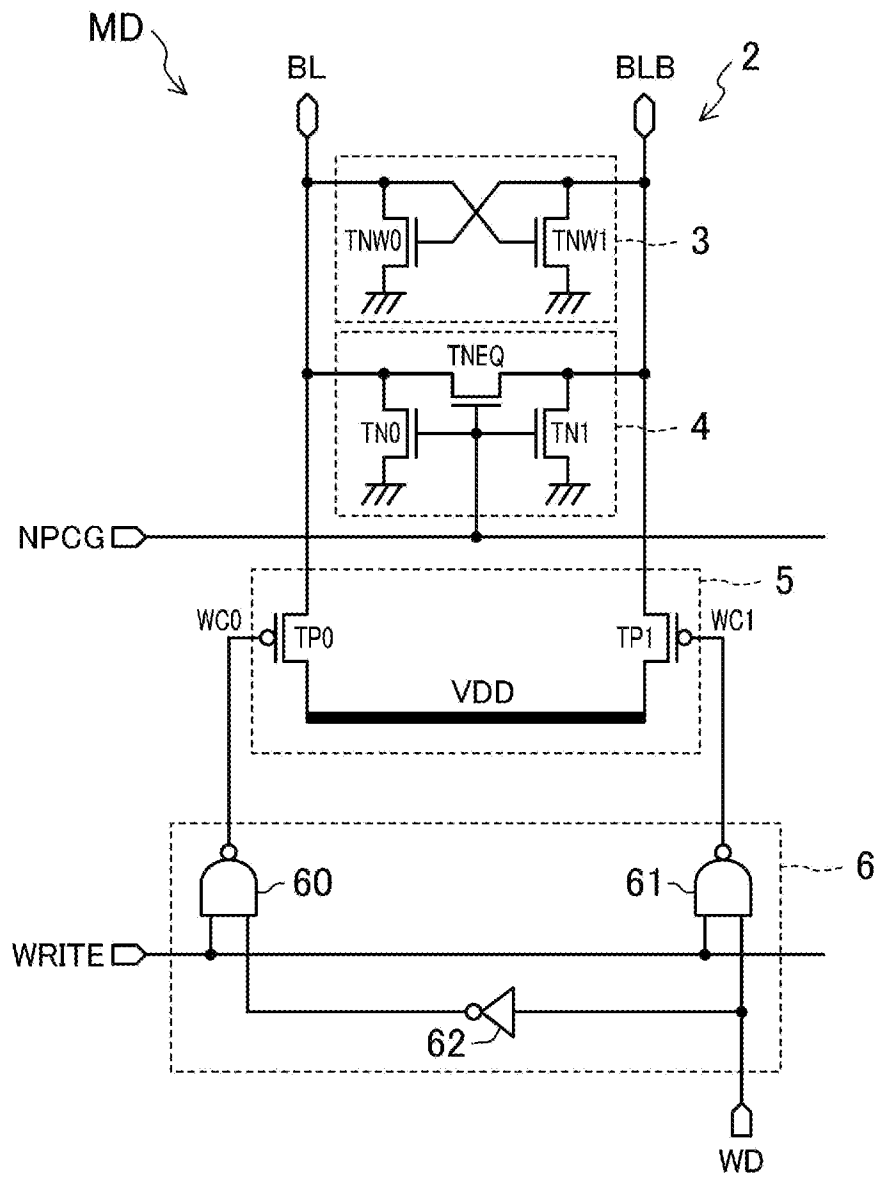
請求項8に記載の半導体記憶装置において、

共通の前記第1のビット線および共通の前記第2のビット線に接続された前記メモリセル同士をユニットとする複数のカラムで構成されたメモリセルアレイを備え、

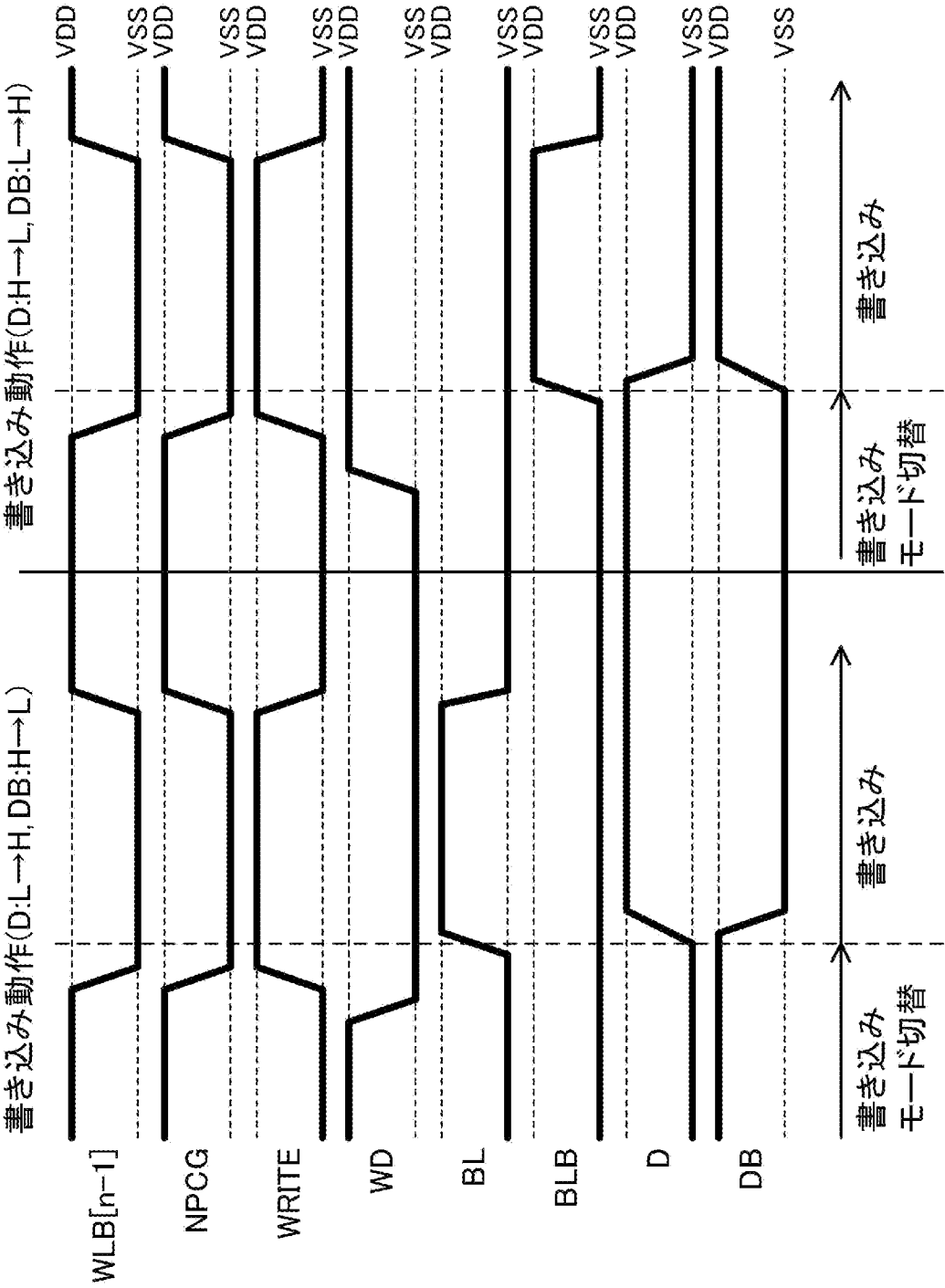
前記カラム選択回路は、前記複数のカラムから選択されたデータの書き込み対象となるカラムの前記第5のP型トランジスタおよび／または前記第6のP型トランジスタを動作させるように構成されていることを特徴とする半導体記憶装置。

[図1]

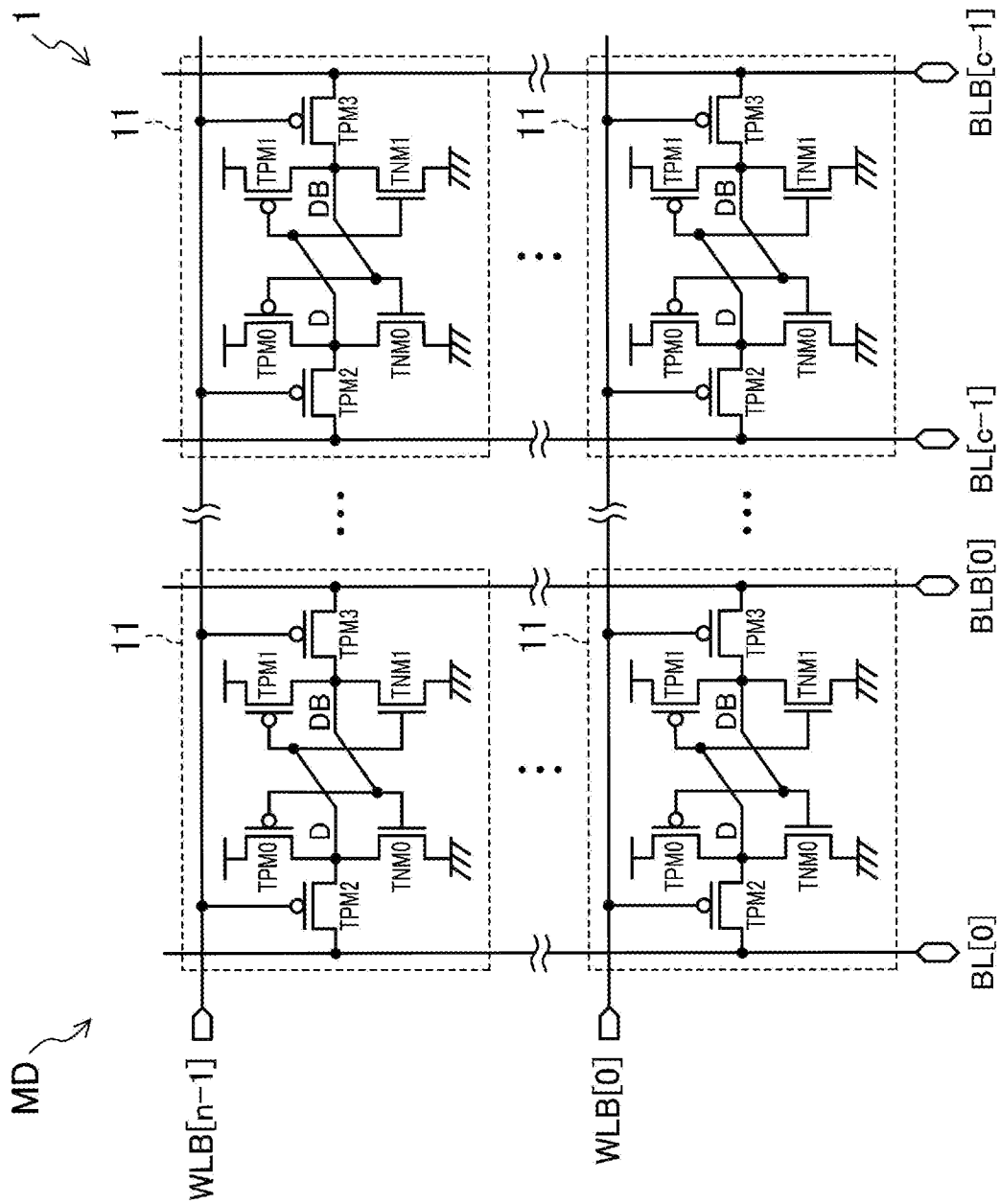




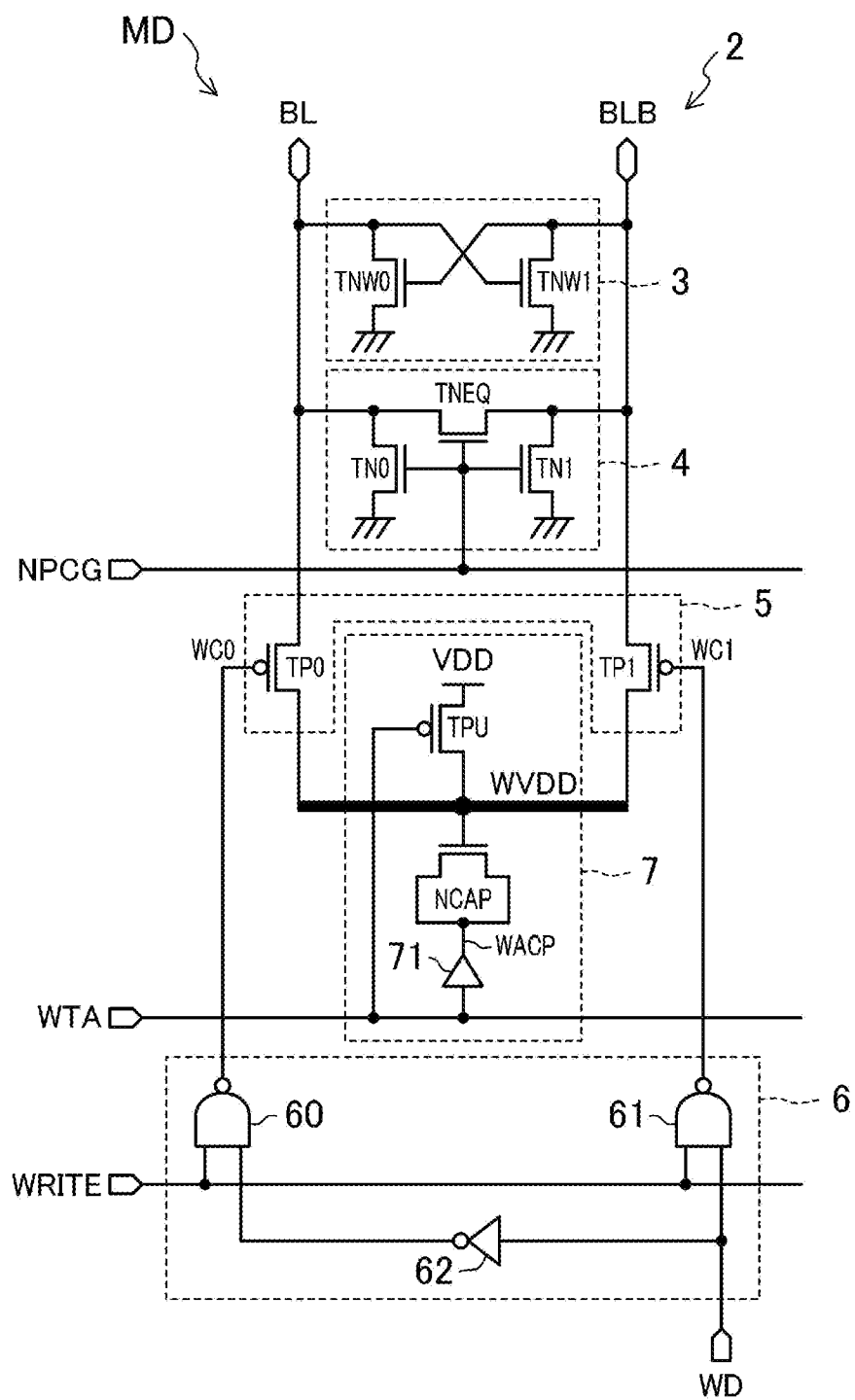
[図3]



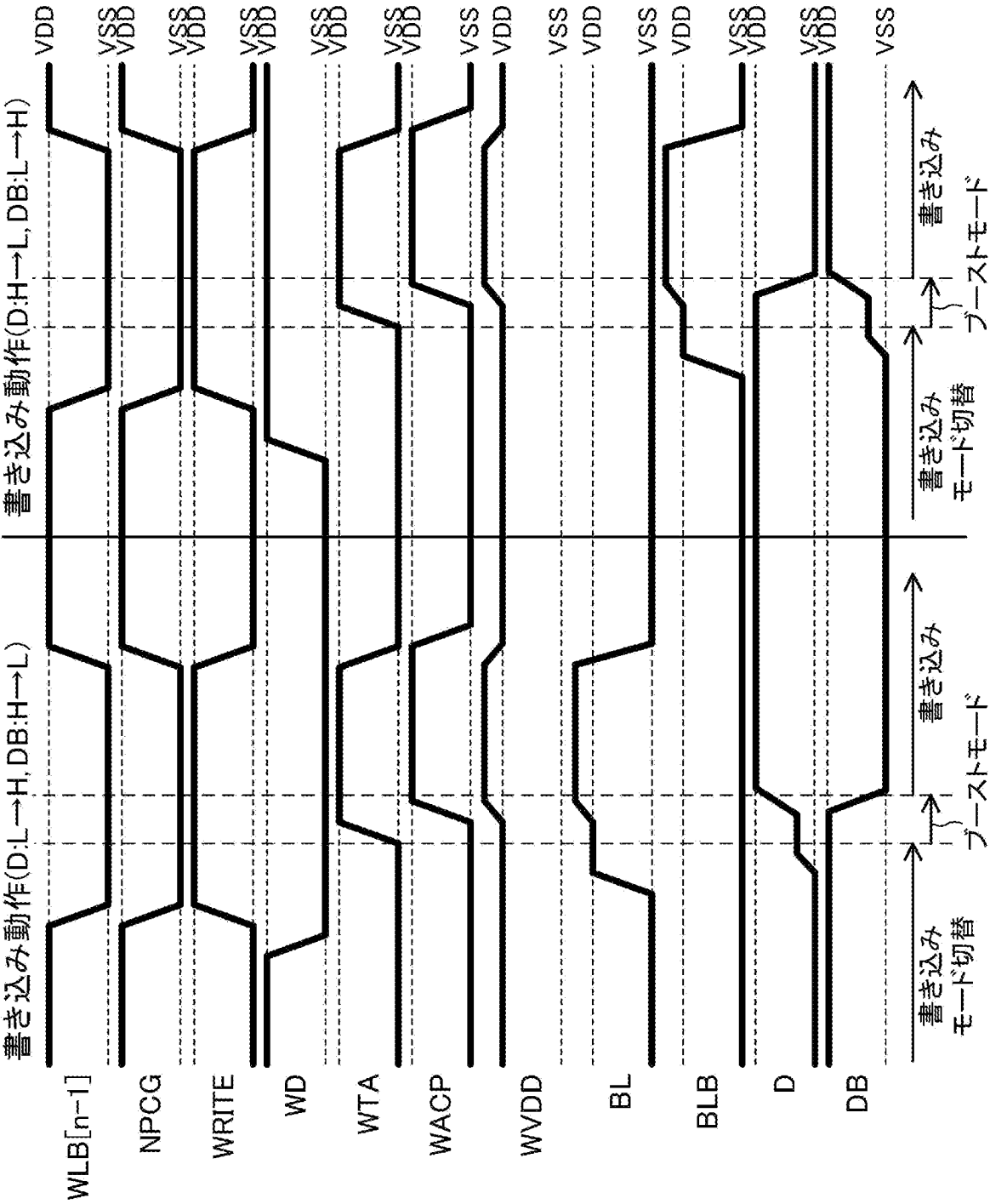
[図4]



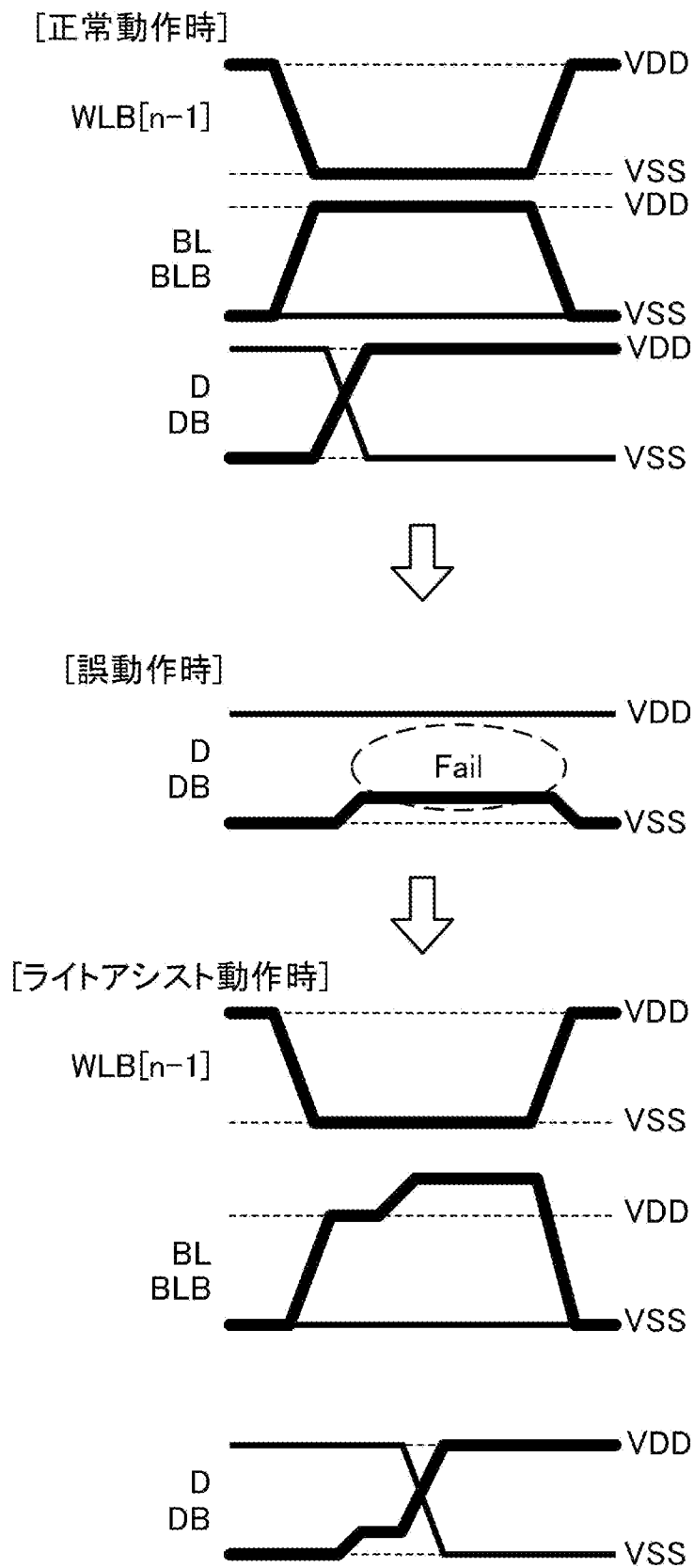
[図6]



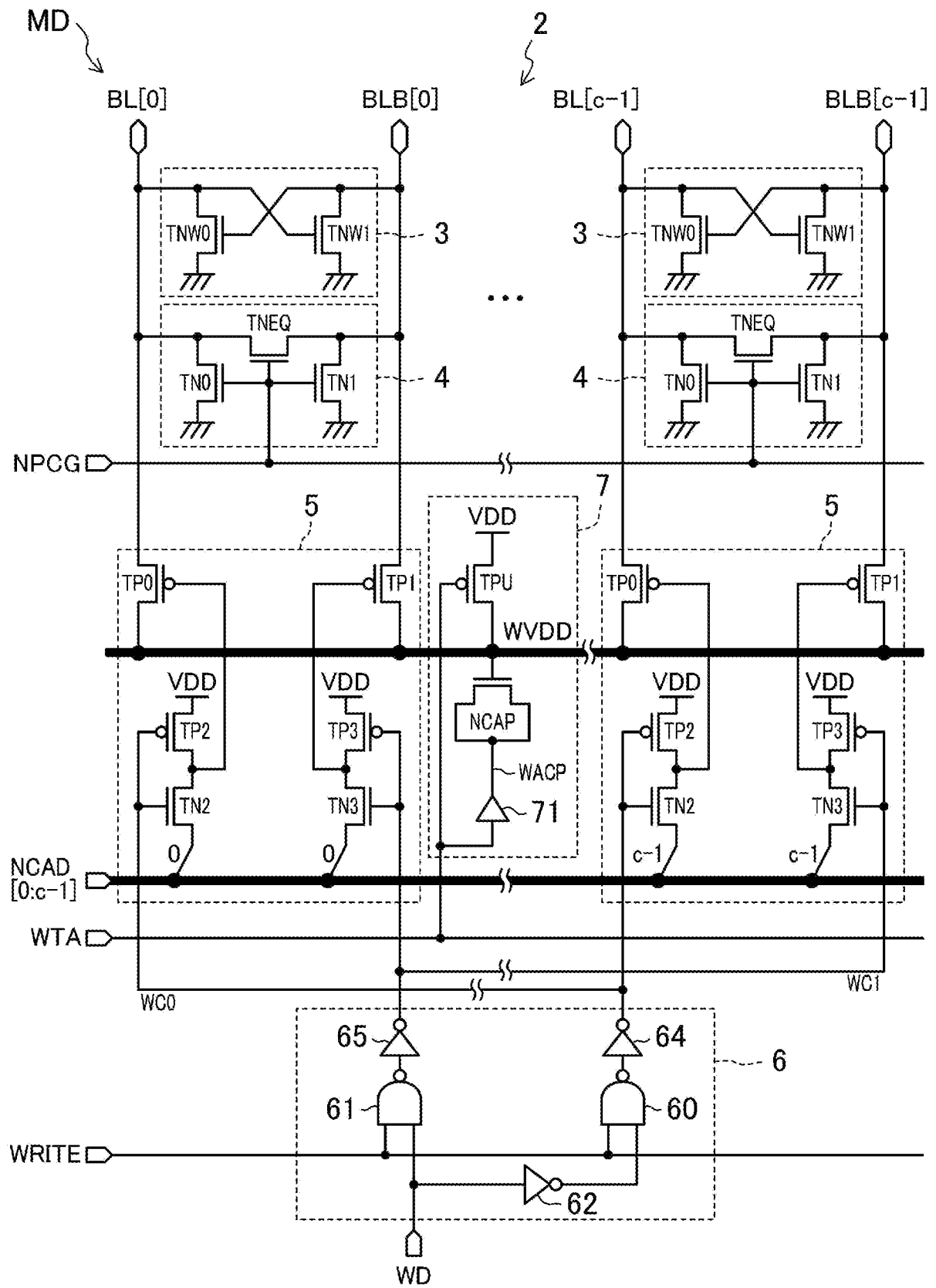
[図7]



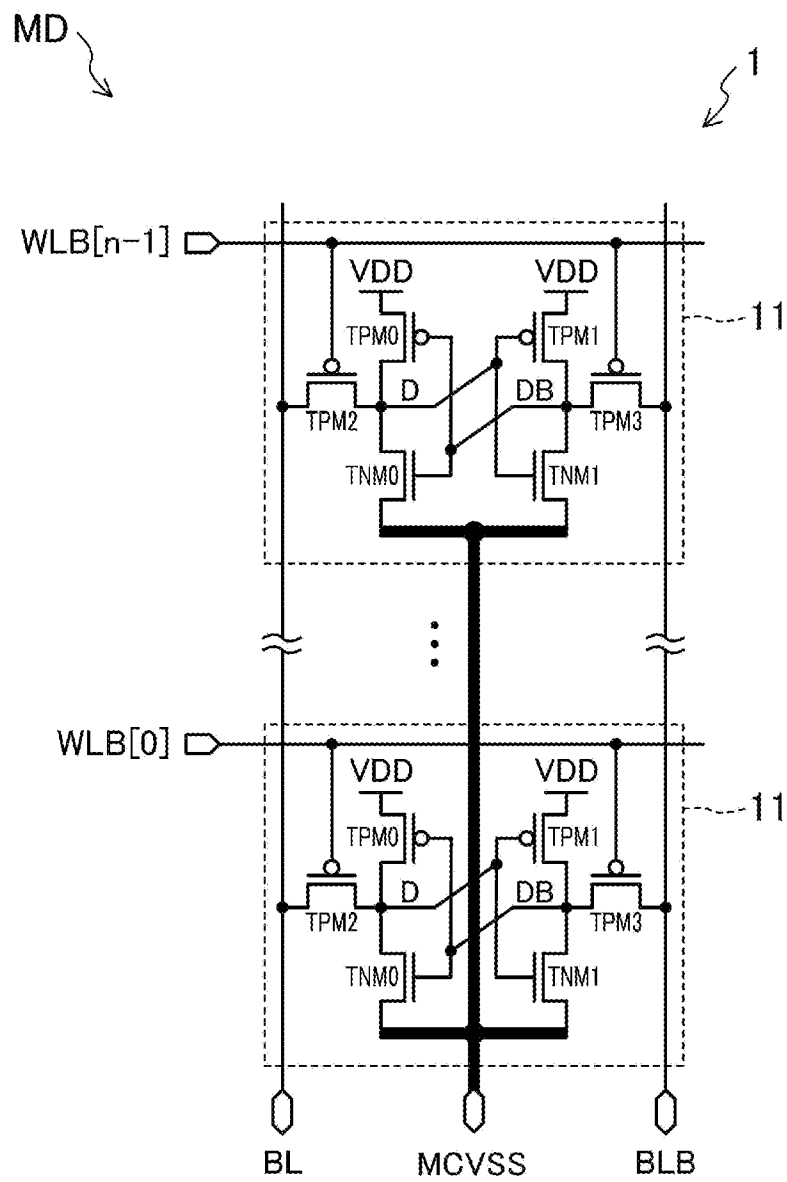
[図8]



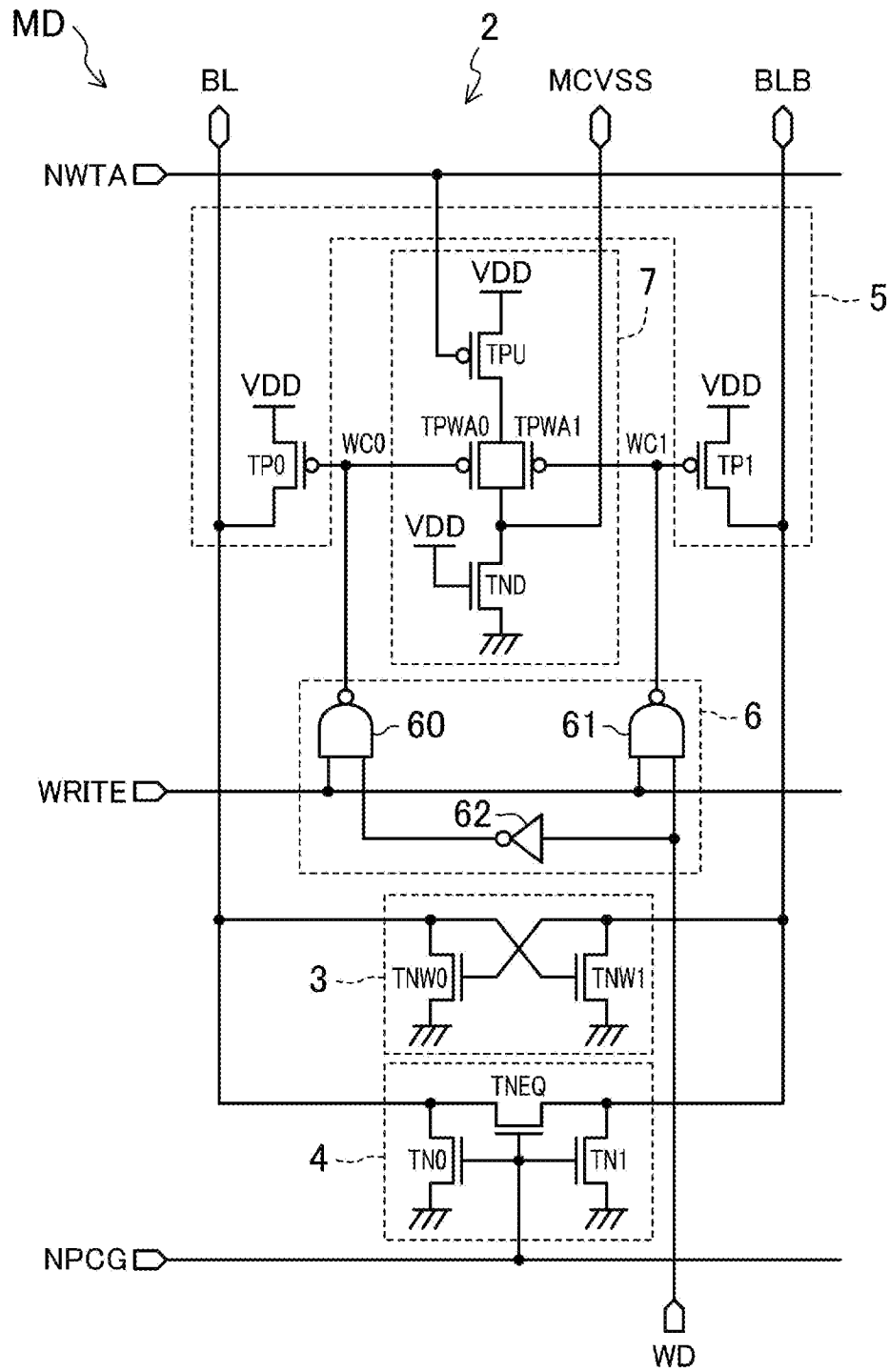
[図9]



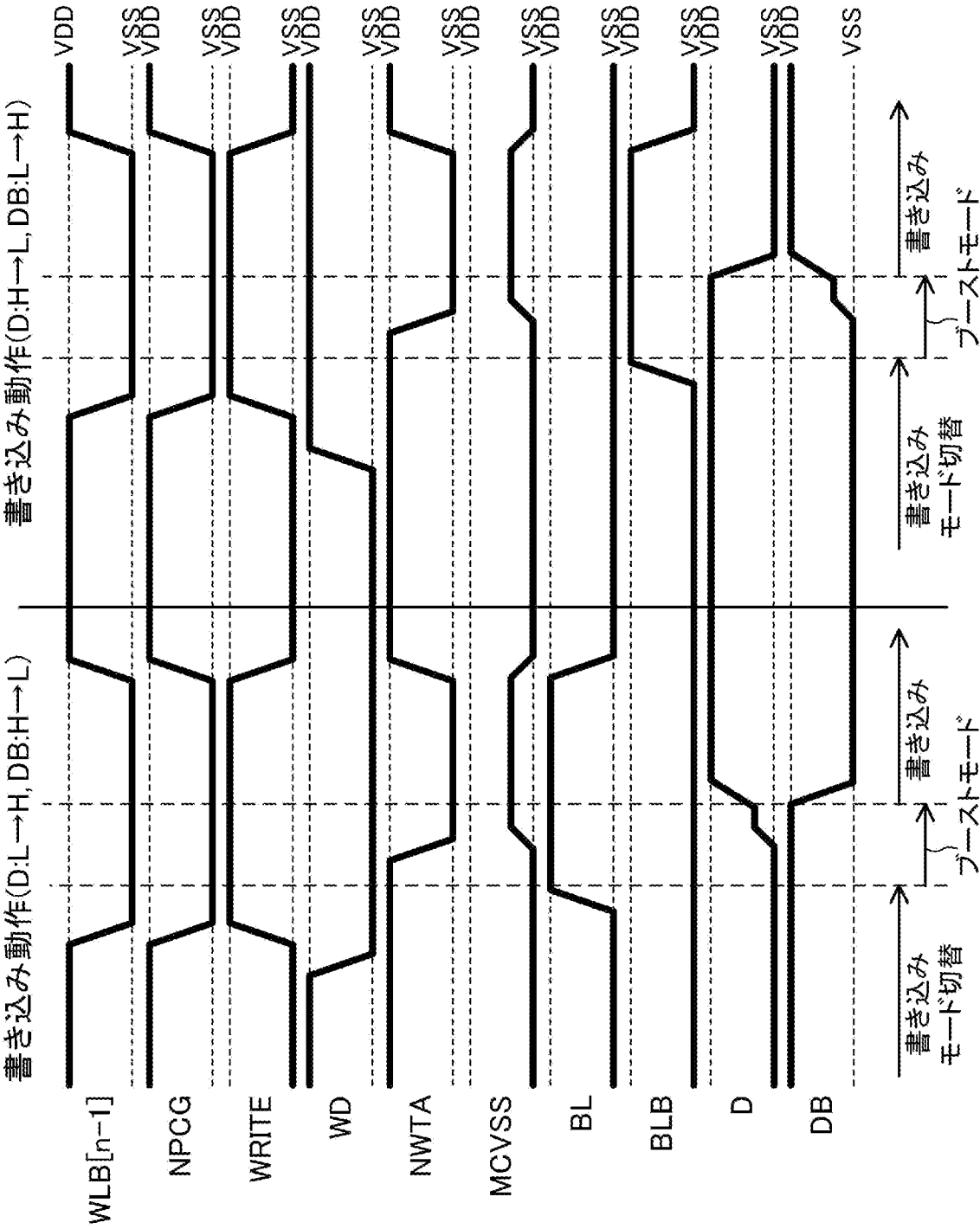
[図10]



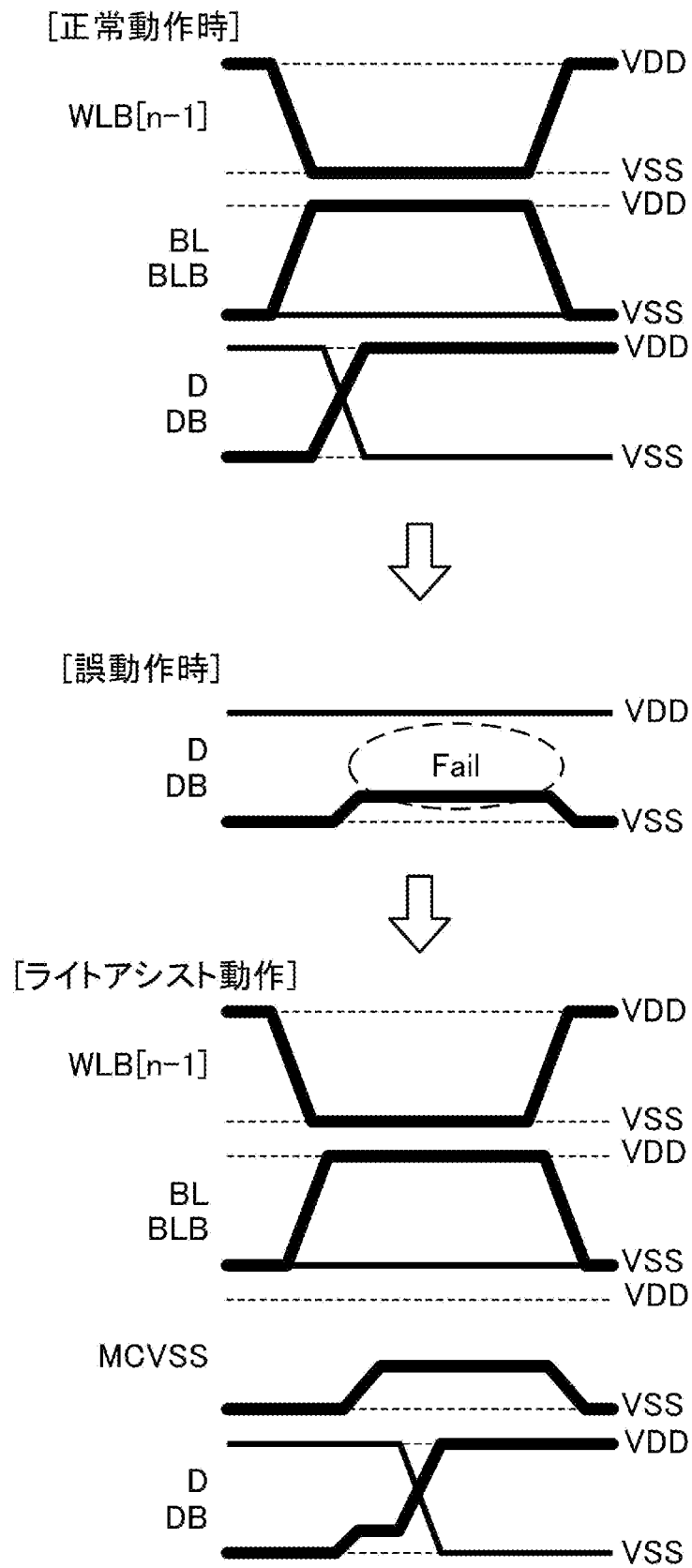
[図11]



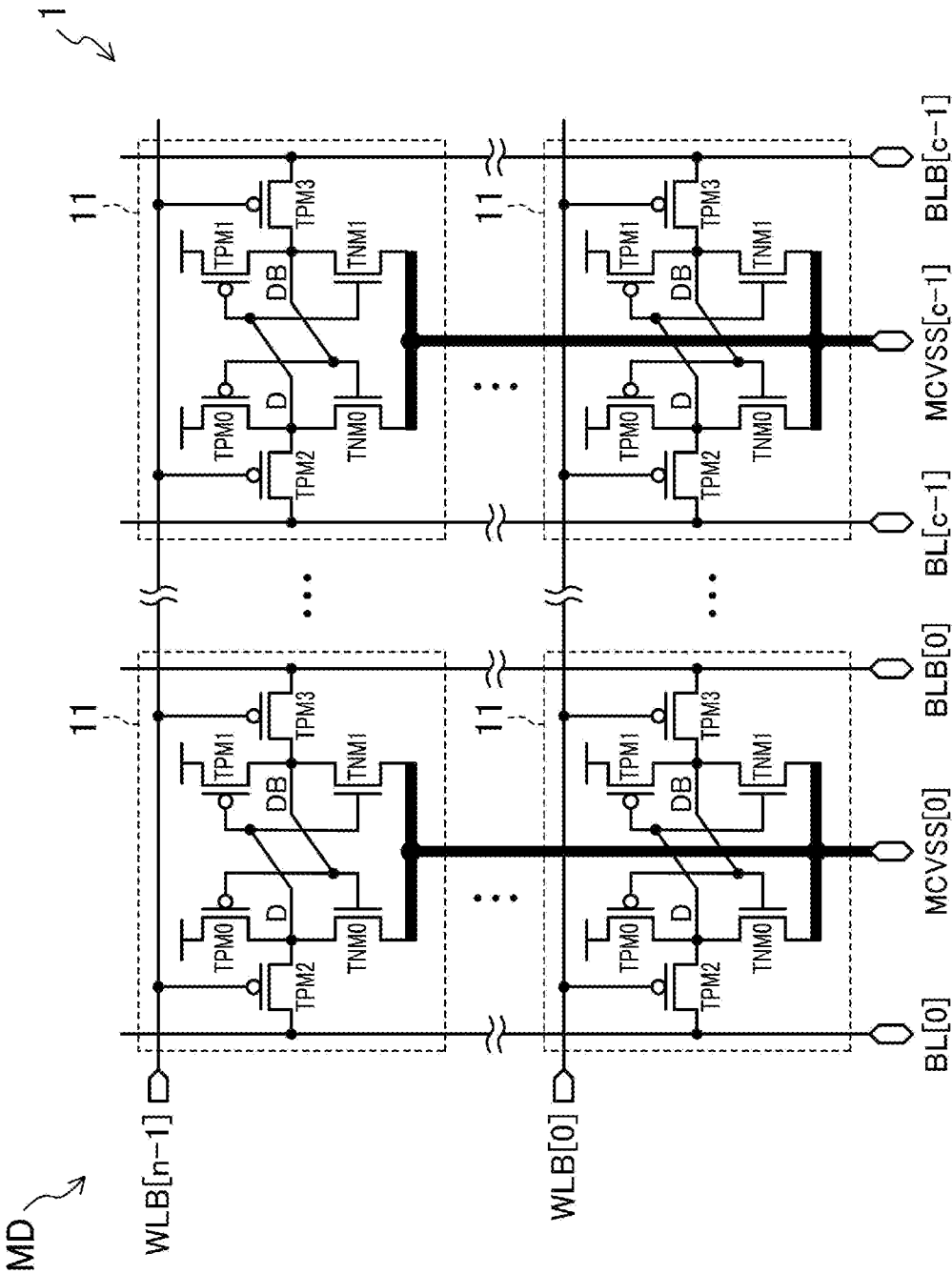
[図12]



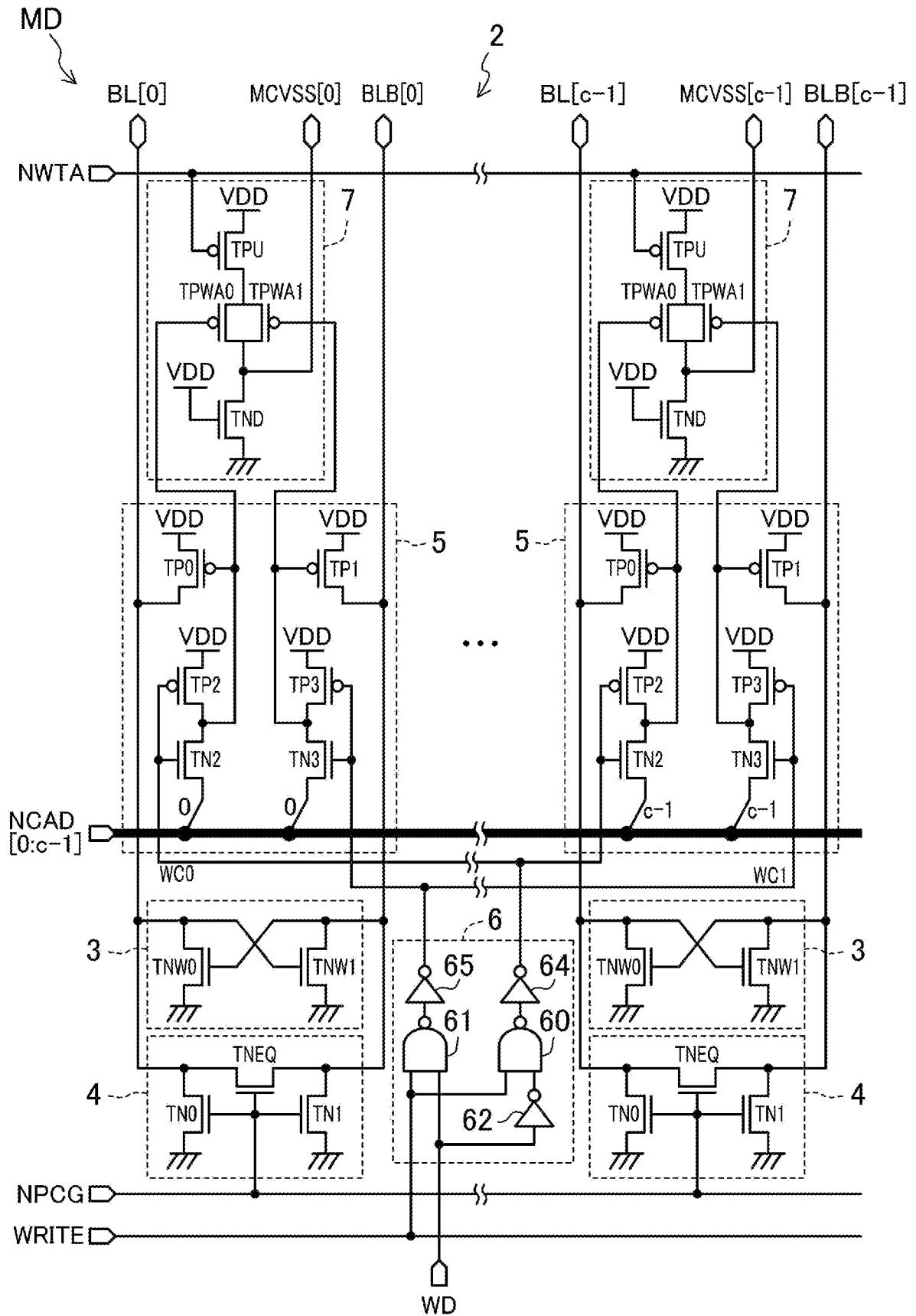
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/007782

A. CLASSIFICATION OF SUBJECT MATTER G11C 11/419 (2006.01)i FI: G11C11/419 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C11/419 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-22677 A (INTERNATIONAL BUSINESS MACHINES CORPORATION) 24 January 2003 (2003-01-24) paragraphs [0010]-[0015], fig. 2	1-10
A	US 2016/0247559 A1 (QUALCOMM INCORPORATED) 25 August 2016 (2016-08-25) paragraphs [0072]-[0076], fig. 11, 12	1-10
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 01 May 2024		Date of mailing of the international search report 14 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/007782

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2003-22677	A	24 January 2003	US	2003/0002329	A1	
				paragraphs [0017]-[0023], fig. 2			
US	2016/0247559	A1	25 August 2016	WO	2016/137685	A2	
				CN	107251147	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

G11C 11/419(2006.01)i

FI: G11C11/419

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G11C11/419

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-22677 A（インターナショナル・ビジネス・マシーンズ・コーポレーション） 24.01.2003（2003 - 01 - 24） 段落[0010]-[0015]、図2	1-10
A	US 2016/0247559 A1（QUALCOMM INCORPORATED）25.08.2016（2016 - 08 - 25） 段落[0072]-[0076]、図11, 12	1-10

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

01.05.2024

国際調査報告の発送日

14.05.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

後藤 彰 5B 4226

電話番号 03-3581-1101 内線 3529

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際出願番号
PCT/JP2024/007782

引用文献			公表日	パテントファミリー文献	公表日
JP	2003-22677	A	24.01.2003	US 2003/0002329 A1	
				段落[0017]-[0023]、図2	
US	2016/0247559	A1	25.08.2016	WO 2016/137685 A2	
				CN 107251147 A	