

## (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织

国 际 局

(43) 国际公布日

2020 年 1 月 30 日 (30.01.2020)



(10) 国际公布号

WO 2020/019819 A1

(51) 国际专利分类号:  
G09G 3/20 (2006.01) G09G 3/36 (2006.01)

(72) 发明人: 冯雪欢(FENG, Xuehuan); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 李永谦(LI, Yongqian); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(21) 国际申请号: PCT/CN2019/085872

(22) 国际申请日: 2019 年 5 月 7 日 (07.05.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
201810828750.6 2018年7月25日 (25.07.2018) CN(71) 申请人: 京东方科技集团股份有限公司  
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];  
中国北京市朝阳区酒仙桥路 10 号,  
Beijing 100015 (CN)。 合肥鑫晟光电科技有限公司  
(HEFEI XINSHENG OPTOELECTRONICS  
TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省  
合肥市新站区工业园内, Anhui 230012 (CN)。

(74) 代理人: 北京市柳沈律师事务所(LIU, SHEN &amp; ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SHIFT REGISTER UNIT AND DRIVING METHOD THEREFOR, GATE DRIVING CIRCUIT AND DISPLAY APPARATUS

(54) 发明名称: 移位寄存器单元及其驱动方法、栅极驱动电路及显示装置

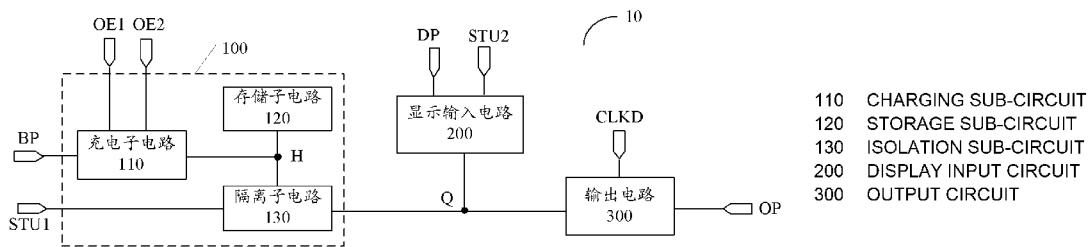


图 1

(57) Abstract: Disclosed are a shift register unit and a driving method therefor, a gate driving circuit, and a display apparatus. The shift register unit (10) comprises: a blanking input circuit (100), a display input circuit (200), an output circuit (300), a control node (H) and a first node (Q), wherein the blanking input circuit (100) is configured to input a blanking pull-up signal to the first node (Q) during a blanking period in response to a blanking input signal, and the blanking input circuit (100) comprises a charging sub-circuit (110), the charging sub-circuit (110) being configured to input the blanking pull-up signal to the control node (H) in response to a first compensation control signal and a second compensation control signal; the display input circuit (200) is configured to input a display pull-up signal to the first node (Q) during a display period in response to a display input signal; and the output circuit (300) is configured to output a composite output signal to an output end (OP) with the control of the level of the first node (Q).

(57) 摘要: 公开了一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置。该移位寄存器单元(10)包括: 消隐输入电路(100)、显示输入电路(200)、输出电路(300)、控制节点(H)和第一节点(Q); 消隐输入电路(100)被配置为响应于消隐输入信号在消隐时段将消隐上拉信号输入到第一节点(Q), 并且, 消隐输入电路(100)包括充电子电路(110), 充电子电路(110)被配置为响应于第一补偿控制信号和第二补偿控制信号, 将消隐上拉信号输入到控制节点(H); 显示输入电路(200)被配置为响应于显示输入信号在显示时段将显示上拉信号输入到第一节点(Q); 输出电路(300)被配置为在第一节点(Q)的电平的控制下, 将复合输出信号输出至输出端(OP)。



SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区  
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,  
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,  
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,  
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,  
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

## 移位寄存器单元及其驱动方法、栅极驱动电路及显示装置

本申请要求于 2018 年 07 月 25 日递交的中国专利申请第 201810828750.6 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

### 技术领域

本公开的实施例涉及一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置。

10

### 背景技术

在显示技术领域，显示面板，例如液晶显示面板 (Liquid crystal display, LCD) 或有机发光二极管 (Organic Light Emitting Diode, OLED) 显示面板，包括多条栅线。对栅线的驱动可以通过栅极驱动电路实现。栅极驱动电路通常集成在栅极驱动芯片 (Gate IC) 中。随着显示技术的飞速发展，显示面板越来越向着高集成度和低成本的方向发展。而在驱动芯片的设计中，芯片的面积是影响芯片成本的主要因素，如何有效地减小芯片面积是技术开发人员需要着重考虑的问题。

20

### 发明内容

本公开至少一些实施例提供一种移位寄存器单元，包括：消隐输入电路、显示输入电路、输出电路、控制节点和第一节点；所述消隐输入电路被配置为响应于消隐输入信号在消隐时段将消隐控制信号输入到所述第一节点，所述消隐输入电路包括充电子电路，所述充电子电路被配置为响应于第一补偿控制信号和第二补偿控制信号，将所述消隐控制信号输入到所述控制节点；所述显示输入电路被配置为响应于显示输入信号在显示时段将显示控制信号输入到所述第一节点；所述输出电路被配置为在所述第一节点的电平的控制下，将复合输出信号输出至输出端。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述第一补偿控制信号和所述第二补偿控制信号其中之一为随机信号。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述充电子电

路包括第一晶体管和第二晶体管，所述第一晶体管的栅极被配置为接收所述第一补偿控制信号，所述第一晶体管的第一极被配置为与消隐控制信号端连接以接收所述消隐控制信号，所述第一晶体管的第二极被配置为与所述第二晶体管的第一极连接，所述第二晶体管的第二极被配置为与所述控制节点连接，所述第二晶体管的栅极被配置为接收所述第二补偿控制信号。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述消隐输入电路还包括：存储子电路，被配置为存储所述充电子电路输入的所述消隐控制信号；隔离子电路，被配置为在所述消隐输入信号的控制下，将所述消隐控制信号输入到所述第一节点。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述存储子电路包括第一电容，所述第一电容的第一极被配置为和所述控制节点连接，所述第一电容的第二极被配置为与第一电压端连接以接收第一电压；所述隔离子电路包括第三晶体管，所述第三晶体管的栅极被配置为与消隐输入信号端连接以接收所述消隐输入信号，所述第三晶体管的第一极被配置为与所述控制节点连接，所述第三晶体管的第二极被配置为与所述第一节点连接。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述显示输入电路包括第四晶体管，所述第四晶体管的栅极与显示输入信号端连接以接收所述显示输入信号，所述第四晶体管的第一极与显示控制信号端连接以接收所述显示控制信号，所述第四晶体管的第二极与所述第一节点连接。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述输出端包括移位信号输出端和第一像素信号输出端，所述输出电路包括第一输出晶体管、第二输出晶体管和第二电容；所述第一输出晶体管的栅极与所述第一节点连接，所述第一输出晶体管的第一极与第一输出时钟信号端连接以接收第一输出时钟信号，所述第一输出晶体管的第二极与所述移位信号输出端连接；所述第二输出晶体管的栅极和所述第一节点连接，所述第二输出晶体管的第一极与所述第一输出时钟信号端连接以接收所述第一输出时钟信号，所述第二输出晶体管的第二极与所述第一像素信号输出端连接；所述第二电容的第一极和所述第一节点连接，所述第二电容的第二极与所述第一输出晶体管的第二极连接；所述第一输出时钟信号经由所述第一输出晶体管传输至所述移位信号输出端以作为第一输出信号，所述第一输出时钟信号经由所述第二输出晶体管传输至所述第一像素信号输出端以作为第二输出信号，所述复合输出信号包括所述第一输

出信号和所述第二输出信号。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述输出端还包括第二像素信号输出端，所述输出电路还包括第三输出晶体管，所述第三输出晶体管的栅极与所述第一节点连接，所述第三输出晶体管的第一极与第二输出时钟信号端连接以接收第二输出时钟信号，所述第三输出晶体管的第二极与所述第二像素信号输出端连接，所述第二输出时钟信号经由所述第三输出晶体管传输至所述第二像素信号输出端以作为第三输出信号，所述复合输出信号还包括所述第三输出信号。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述消隐控制信号和所述显示控制信号相同。

例如，本公开至少一些实施例提供的移位寄存器单元还包括：降噪电路、第一控制电路和第二节点，所述降噪电路被配置为在所述第二节点的电平的控制下，对所述第一节点和所述输出端进行降噪；所述第一控制电路配置为在所述第一节点的电平的控制下，对所述第二节点的电平进行控制。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述第一控制电路包括第五晶体管、第六晶体管和第七晶体管；所述第五晶体管的栅极与所述第一节点连接，所述第五晶体管的第一极与所述第二节点连接，所述第五晶体管的第二极与第二电压端连接以接收第二电压；所述第六晶体管的栅极和第一极连接且被配置为与第三电压端连接以接收第三电压，所述第六晶体管的第二极与所述第二节点连接；所述第七晶体管的栅极与第一极连接且被配置为与第四电压端连接以接收第四电压，所述第七晶体管的第二极与所述第二节点连接。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述输出端包括移位信号输出端和第一像素信号输出端，所述降噪电路包括第一降噪晶体管、第二降噪晶体管和第三降噪晶体管；所述第一降噪晶体管的栅极与所述第二节点连接，所述第一降噪晶体管的第一极与所述第一节点连接，所述第一降噪晶体管的第二极与第二电压端连接以接收第二电压；所述第二降噪晶体管的栅极与所述第二节点连接，所述第二降噪晶体管的第一极与所述移位信号输出端连接，所述第二降噪晶体管的第二极与所述第二电压端连接以接收所述第二电压；所述第三降噪晶体管的栅极与所述第二节点连接，所述第三降噪晶体管的第一极与所述第一像素信号输出端连接，所述第三降噪晶体管的第二极与第五电压

端连接以接收第五电压。

例如，在本公开至少一些实施例提供的移位寄存器单元中，所述输出端还包括第二像素信号输出端，所述降噪电路还包括第四降噪晶体管；

5 所述第四降噪晶体管的栅极与所述第二节点连接，所述第四降噪晶体管的第一极与所述第二像素信号输出端连接，所述第四降噪晶体管的第二极与所述第五电压端连接以接收所述第五电压。

例如，本公开至少一些实施例提供的移位寄存器单元还包括第二控制电路；所述第二控制电路被配置为响应于第一控制信号对所述第二节点的电平进行控制。

10 例如，本公开至少一些实施例提供的移位寄存器单元还包括消隐复位电路和显示复位电路，所述消隐复位电路被配置为响应于消隐复位信号对所述第一节点进行复位，所述显示复位电路被配置为响应于显示复位信号对所述第一节点进行复位。

15 本公开至少一些实施例还提供一种栅极驱动电路，包括多个级联的如上述任一所述的移位寄存器单元。

例如，本公开至少一些实施例提供的栅极驱动电路还包括第一子时钟信号线、第二子时钟信号线、第三子时钟信号线和第四子时钟信号线；在所述移位寄存器单元包括第一输出时钟信号端的情形下，第  $4n_1-3$  级移位寄存器单元的第一输出时钟信号端与所述第一子时钟信号线连接；第  $4n_1-2$  级移位寄存器单元的第一输出时钟信号端与所述第二子时钟信号线连接；第  $4n_1-1$  级移位寄存器单元的第一输出时钟信号端与所述第三子时钟信号线连接；第  $4n_1$  级移位寄存器单元的第一输出时钟信号端与所述第四子时钟信号线连接； $n_1$  为大于 0 的整数。

25 例如，在本公开至少一些实施例提供的栅极驱动电路中，在所述移位寄存器单元包括显示输入信号端和移位信号输出端的情形下，第  $n_2+2$  级移位寄存器单元的显示输入信号端和第  $n_2$  级移位寄存器单元的移位信号输出端连接， $n_2$  为大于 0 的整数。

30 例如，在本公开至少一些实施例提供的栅极驱动电路中，所述第  $n_2$  级移位寄存器单元的移位信号输出端输出的信号作为所述第  $n_2+2$  级移位寄存器单元的第二补偿控制信号；或者所述第  $n_2+3$  级移位寄存器单元的移位信号输出端输出的信号作为所述第  $n_2$  级移位寄存器单元的第二补偿控制信号；或者所述第

n<sub>2</sub> 级移位寄存器单元的移位信号输出端输出的信号作为所述第 n<sub>2</sub> 级移位寄存器单元的第二补偿控制信号；或者所述第 n<sub>2</sub> 级移位寄存器单元的移位信号输出端输出的信号作为所述第 n<sub>2+2</sub> 级移位寄存器单元的第二补偿控制信号，所述第 n<sub>2</sub> 级移位寄存器单元的移位信号输出端输出的信号还作为所述第 n<sub>2+2</sub> 级移位寄存器单元的消隐控制信号。

例如，本公开至少一些实施例提供的栅极驱动电路还包括第五子时钟信号线；在所述移位寄存器单元包括消隐输入信号端的情形下，每级移位寄存器单元的消隐输入信号端与所述第五子时钟信号线连接。

本公开至少一些实施例还提供一种显示装置，包括如上述任一项所述的栅极驱动电路。

本公开至少一些实施例还提供一种如上述任一所述的移位寄存器单元的驱动方法，包括用于一帧的显示时段和消隐时段：所述显示时段，包括：第一输入阶段，响应于所述显示输入信号，通过所述显示输入电路将所述显示控制信号输入到所述第一节点；第一输出阶段，在所述第一节点的电平的控制下，通过所述输出电路将所述复合输出信号输出至所述输出端；充电阶段，响应于所述第一补偿控制信号和所述第二补偿控制信号，通过所述充电子电路将所述消隐控制信号输入到所述控制节点；所述消隐时段，包括：第二输入阶段，响应于所述消隐输入信号，通过所述消隐输入电路将所述消隐控制信号输入到所述第一节点；第二输出阶段，在所述第一节点的电平的控制下，通过所述输出电路将所述复合输出信号输出至所述输出端。

## 附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1 为本公开一些实施例提供的一种移位寄存器单元的示意性框图；  
图 2 为本公开一些实施例提供的另一种移位寄存器单元的示意性框图；  
图 3 为本公开一些实施例提供的又一种移位寄存器单元的示意性框图；  
图 4 为本公开一些实施例提供的再一种移位寄存器单元的示意性框图；  
图 5A 为图 2 中所示的移位寄存器单元的一种电路结构图；  
图 5B 为图 3 中所示的移位寄存器单元的一种电路结构图；

- 图 5C 为图 4 中所示的移位寄存器单元的一种电路结构图；  
图 6A 为图 2 中所示的移位寄存器单元的另一种电路结构图；  
图 6B 为图 3 中所示的移位寄存器单元的另一种电路结构图；  
图 6C 为图 4 中所示的移位寄存器单元的另一种电路结构图；  
5 图 7 为图 2 中所示的移位寄存器单元的再一种电路结构图；  
图 8 为本公开一些实施例提供的一种移位寄存器单元的信号时序图；  
图 9 为本公开一些实施例提供的一种栅极驱动电路的示意性框图；  
图 10A 为本公开一些实施例提供的一种消隐输入电路和显示输入电路的  
10 电路结构图；  
图 10B 为本公开一些实施例提供的另一种消隐输入电路和显示输入电路  
的电路结构图；  
图 10C 为本公开又一些实施例提供的一种消隐输入电路和显示输入电路  
的电路结构图；  
15 图 10D 为本公开又一些实施例提供的又一种消隐输入电路和显示输入电  
路的电路结构图；  
图 10E 为本公开又一些实施例提供的再一种消隐输入电路和显示输入电  
路的电路结构图；  
图 11 为本公开一些实施例提供的一种栅极驱动电路的信号时序图；  
图 12 为本公开一些实施例提供的一种显示装置的示意性框图；  
20 图 13 为本公开一些实施例提供的一种移位寄存器单元的驱动方法的流程  
图。

### 具体实施方式

为了使得本公开实施例的目的、技术方案和优点更加清楚，下面将结合本  
25 公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，  
所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述  
的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的  
所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领  
30 域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”  
以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的

组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等  
5 仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

为了保持本公开实施例的以下说明清楚且简明，本公开省略了已知功能和已知部件的详细说明。

在通常的 OLED 显示面板中，除了在子像素单元中设置像素补偿电路以进行内部补偿外，还可以通过设置感测晶体管以进行外部补偿。在进行外部补偿时，由移位寄存器单元构成的栅极驱动电路需要向显示面板中的子像素单元分别提供用于扫描晶体管和感测晶体管的驱动信号，例如，在一帧的显示时段(DS)提供用于扫描晶体管的扫描驱动信号，在一帧的消隐时段(BL)提供用于感测晶体管的感测驱动信号。  
10

目前，在 GOA (Gate-driver on Array) 电路中，栅极驱动电路输出的感测驱动信号是逐行顺序扫描的，例如，在第一帧的消隐时段输出用于显示面板中第一行的子像素单元的感测驱动信号，在第二帧的消隐时段输出用于显示面板中第二行的子像素单元的感测驱动信号，依次类推，从而完成对显示面板的逐行顺序补偿。长时间的逐行顺序补偿会带来两个严重的问题：一个是在进行多帧的扫描显示过程中会有一条逐行移动的扫描线，另一个是由于补偿时间的差异造成显示面板上的不同区域亮度差异较大。例如，在对显示面板的第 100 行的子像素单元进行外部补偿时，显示面板的第 10 行的子像素单元虽然已经进行过外部补偿了，但此时第 10 行的子像素单元的发光亮度可能已经发生变化，例如发光亮度降低，从而会造成显示面板不同区域的亮度不均匀，在大尺寸的显示面板中这种问题会更加明显。另外，由于在高频率高分辨率的显示中，扫描驱动信号的波形需要有一定的重叠 (overlap)，重叠的波形对补偿检测过程会有很大的影响，容易使补偿信号产生误输出。  
20  
25

本公开至少一些实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置，该移位寄存器单元包括：消隐输入电路、显示输入电路、输出电路、控制节点和第一节点；消隐输入电路被配置为响应于消隐输入信号在消隐时段将消隐控制信号输入到第一节点，并且，消隐输入电路包括充电子电  
30

路，充电子电路被配置为响应于第一补偿控制信号和第二补偿控制信号，将消隐控制信号输入到控制节点；显示输入电路被配置为响应于显示输入信号在显示时段将显示控制信号输入到第一节点；输出电路被配置为在第一节点的电平的控制下，将复合输出信号输出至输出端。

5 本公开实施例的移位寄存器单元的电路结构简单，可以实现随机补偿，避免由于逐行顺序补偿造成的扫描线和面板的亮度偏差，提高显示均匀性，提升显示效果。

需要说明的是，在本公开的实施例中，随机补偿指的是区别于逐行顺序补偿的一种外部补偿方法，在某一帧的消隐时段可以随机输出对应于显示面板中  
10 任意一行的子像素单元的感测驱动信号，以实现对该行的子像素单元进行补偿的操作，以下各实施例与此相同，不再赘述。

另外，在本公开的实施例中，“一帧”、“每帧”或“某一帧”包括依次进行的显示时段和消隐时段，例如，在显示时段中栅极驱动电路输出显示输出信号，该显示输出信号可以驱动显示面板从第一行到最后一行完成完整的一幅图像  
15 的扫描显示，在消隐时段中栅极驱动电路输出消隐输出信号，该消隐输出信号可以用于驱动显示面板中的某一行子像素单元中的感测晶体管，以完成该行子像素单元的外部补偿。

下面结合附图对本公开的几个实施例进行详细说明，但是本公开并不限于这些具体的实施例。

20 图1为本公开一些实施例提供的一种移位寄存器单元的示意性框图。例如，如图1所示，该移位寄存器单元10可以包括消隐输入电路100、显示输入电路200、输出电路300、控制节点H和第一节点Q。通过级联多个该移位寄存器单元10可以得到栅极驱动电路，该栅极驱动电路用于驱动显示面板，为显示面板的多条栅线依序提供扫描信号，从而在显示面板显示一帧画面的期间进行逐行或隔行扫描等。

例如，消隐输入电路100被配置为响应于消隐输入信号在消隐时段将消隐控制信号（即消隐上拉信号）输入到第一节点Q（这里为上拉节点）。例如，如图1所示，消隐输入电路100连接消隐输入信号端STU1、消隐控制信号端BP（即消隐上拉信号端）和第一节点Q。消隐输入电路100可以在第N帧的显示  
30 时段接收并存储消隐控制信号端BP提供的消隐控制信号，并在第N帧的消隐时段，根据消隐输入信号向第一节点Q输出消隐控制信号，从而将第一节点Q

的电位上拉到工作电位。又例如，消隐输入电路 100 还可以在第 N 帧的消隐时段接收并存储消隐控制信号，并在第 N+1 帧的消隐时段根据消隐输入信号向第一节点 Q 输出消隐控制信号，从而将第一节点 Q 的电位上拉至工作电位。本公开的实施例对此不作限定。

5 例如，消隐输入电路 100 包括充电子电路 110，充电子电路 110 被配置为响应于第一补偿控制信号和第二补偿控制信号，将消隐控制信号输入到控制节点 H (这里为上拉控制节点)。例如，如图 1 所示，充电子电路 110 连接第一补偿控制信号端 OE1、第二补偿控制信号端 OE2、消隐控制信号端 BP 和控制节点 H，在一帧的显示时段，当充电子电路 110 在第一补偿控制信号和第二补偿控制信号的控制下导通时，充电子电路 110 将消隐控制信号端 BP 输出的消隐控制信号输入到控制节点 H。

10 例如，显示输入电路 200 被配置为响应于显示输入信号在显示时段将显示控制信号(即显示上拉信号)输入到第一节点 Q。例如，如图 1 所示，显示输入电路 200 连接显示输入信号端 STU2、显示控制信号端 DP(即显示上拉信号端)和第一节点 Q 连接，当显示输入电路 200 在显示输入信号端 STU2 提供的显示输入信号的控制下导通时，显示控制信号端 DP 和第一节点 Q 连接，从而使显示控制信号端 DP 提供的显示控制信号被写入到第一节点 Q，以将第一节点 Q 的电位上拉到工作电位。

15 例如，消隐控制信号和显示控制信号可以相同。也就是说，消隐控制信号端 BP 和显示控制信号端 DP 可以为同一个信号端，由此减少信号端的数量，节约成本；或者，消隐控制信号端 BP 和显示控制信号端 DP 也可以为不同的信号端，但输出相同的信号。本公开对此不作限制，例如，消隐控制信号和显示控制信号也可以不相同。

20 例如，输出电路 300 被配置为在第一节点 Q 的电平的控制下，将复合输出信号输出至输出端 OP。例如，如图 1 所示，输出电路 300 连接第一节点 Q、第一输出时钟信号端 CLKD 和输出端 OP。当输出电路 300 在第一节点 Q 的电平的控制下导通时，第一输出时钟信号端 CLKD 提供的复合输出信号被输出至输出端 OP。例如，输出端 OP 的输出信号可以包括显示输出信号和消隐输出信号，显示输出信号和消隐输出信号可以是具有不同宽度和时序的相互独立的两个波形的信号。例如，在一帧的显示时段，输出电路 300 在第一节点 Q 的电平的控制下经由输出端 OP 输出显示输出信号，以驱动像素单元中的扫描晶体管，

从而进行显示；在一帧的消隐时段，输出电路 300 在第一节点 Q 的电平的控制下经由输出端 OP 输出消隐输出信号，以驱动像素单元中的感测晶体管，从而进行补偿检测。

在本公开的实施例中，可以将消隐输入电路 100、显示输入电路 200 和输出电路 300 可以进行整合，使一帧画面的消隐时段的消隐输出信号和显示时段的显示输出信号通过同一个输出电路 300 输出，从而简化电路结构，减小移位寄存器单元以及包括移位寄存器单元的栅极驱动电路的尺寸。

例如，第一补偿控制信号和第二补偿控制信号其中之一为随机信号。在一些示例中，第一补偿控制信号为随机信号，第一补偿控制信号端 OE1 与外部控制电路连接，外部控制电路可以向第一补偿控制信号端 OE1 提供第一补偿控制信号，且第一补偿控制信号可以为随机信号。外部控制电路例如可以采用现场可编程门阵列（Field Programmable Gate Array，FPGA）或其他信号发生电路实现，由此输出适当类型的随机信号作为第一补偿控制信号。例如，外部控制电路可以被配置为在一帧的显示时段将随机信号输出至第一补偿控制信号端 OE1。下面，以第一补偿控制信号为随机信号为例详细描述本公开提供的移位寄存器单元。但本公开不限于此，在另一些实施例中，第二补偿控制信号可以为随机信号，或者第一补偿控制信号和第二补偿控制信号均为随机信号。

例如，输出端 OP 可以包括移位信号输出端和第一像素信号输出端，在一些示例中，本级移位寄存器单元的第二补偿控制信号端 OE2 可以与本级移位寄存器单元的移位信号输出端连接，从而移位信号输出端输出的信号可以作为第二补偿控制信号。

例如，在一些示例中，外部控制电路可以与所有级移位寄存器单元的移位信号输出端连接，根据实际需要，外部控制电路可以在一帧的显示时段随机选择一个移位寄存器单元的移位信号输出端的信号，并将该信号向第一补偿控制信号端 OE1 输出。

例如，在一些实施例中，在进行随机检测时，在第 N 帧时，需要对显示面板中的第 i 行子像素单元进行检测时。第 i 行子像素单元与第 i 级移位寄存器单元对应，在第 i 级移位寄存器单元中，在第 N 帧的显示时段，外部控制电路用于将第 i 级移位寄存器单元的移位信号输出端输出的信号传输至所有级移位寄存器单元的第一补偿控制信号端 OE1，即所有级移位寄存器单元的第一补偿控制信号可以与第 i 级移位寄存器单元的移位信号输出端输出的信号的波形脉

冲宽度和时序相同，由于第 i 级移位寄存器单元的第二补偿控制信号也为第 i 级移位寄存器单元的移位信号输出端输出的信号，且充电子电路 110 由第一补偿控制信号和第二补偿控制信号共同控制，当输出信号的波形不重叠时，只有第 i 级移位寄存器单元中的充电子电路 110 可以在第一补偿控制信号和第二补偿控制信号控制下导通。由于充电子电路 110 连接消隐控制信号端 BP 和控制节点 H，在第 i 级移位寄存器单元中，当充电子电路 110 导通时，消隐控制信号端 BP 输出的消隐控制信号为高电平信号，从而可以利用消隐控制信号对控制节点 H 进行充电，以使得控制节点 H 被充电至高电平。由此，在第 N 帧的消隐时段中，第 i 级移位寄存器单元的控制节点 H 的高电平信号可以被传输第一节点 Q，从而第 i 级移位寄存器单元的输出电路 300 可以输出用于驱动第 i 行子像素单元中的感测晶体管的消隐输出信号。

例如，本公开实施例提供的移位寄存器单元还可以实现逐行顺序补偿。在进行逐行顺序补偿时，在一些示例中，本级移位寄存器单元的第二补偿控制信号端 OE2 可以与本级移位寄存器单元的移位信号输出端连接，所有级移位寄存器单元的第一补偿控制信号端 OE1 在第一帧的显示时段时接收第一级移位寄存器单元的移位信号输出端的信号，所有级移位寄存器单元的第一补偿控制信号端 OE1 在第二帧的显示时段时接收第二级移位寄存器单元的移位信号输出端的信号，依次类推，由此，在第一帧的显示时段，只有第一级移位寄存器单元的控制节点 H 可以被充电至高电平，在第二帧的显示时段，只有第二级移位寄存器单元的控制节点 H 可以被充电至高电平，以此类推，从而显示面板可以实现逐行顺序补偿。

本公开的实施例提供的移位寄存器单元 10，通过设置充电子电路 110 可以在兼顾逐行顺序补偿的前提下还实现随机补偿，从而可以避免由于逐行顺序补偿造成的扫描线以及显示亮度不均匀等显示不良问题。

例如，如图 1 所示，消隐输入电路 100 还包括存储子电路 120 和隔离子电路 130。存储子电路 120 与控制节点 H 连接，且被配置为存储充电子电路 110 输入的消隐控制信号。例如，在一些示例中，在一帧的显示时段中，利用消隐控制信号将控制节点 H 充电至高电平，存储子电路 120 可以存储消隐控制信号，从而使得控制节点 H 的高电平一直保持至该帧的消隐时段。

例如，隔离子电路 130 被配置为在消隐输入信号的控制下，在消隐时段将消隐控制信号输入到第一节点 Q。如图 1 所示，隔离子电路 130 连接消隐输入

信号端 STU1、控制节点 H 和第一节点 Q。当隔离子电路 130 在消隐输入信号端 STU1 提供的消隐输入信号的控制下导通时，控制节点 H 和第一节点 Q 连接，从而将存储子电路 120 存储的消隐控制信号输入到第一节点 Q，以对第一节点 Q 充电，将第一节点 Q 的电位上拉到工作电位。

5 需要说明的是，本公开的各实施例中，消隐输入电路 100 可以包括任意适用的子电路，不局限于上述充电子电路 110、存储子电路 120 和隔离子电路 130，只要能实现相应功能即可。

图 2 为本公开一些实施例提供的另一种移位寄存器单元的示意性框图。

例如，如图 2 所示，该移位寄存器单元 10 还可以包括降噪电路 400（这里 10 为下拉电路）、第一控制电路 500（这里为第一下拉控制电路）和第二节点 QB（这里为下拉节点）。

例如，降噪电路 400 被配置为在第二节点 QB 的电平的控制下，对第一节点 Q 和输出端 OP 进行降噪；也就是说，降噪电路 400 被配置为在第二节点 QB 的电平的控制下，将第一节点 Q 的电平和输出端 OP 的电平均下拉为低电 15 平。例如，如图 2 所示，降噪电路 400 与第二节点 QB、第一节点 Q、第二电压端 VGL1 和输出端 OP 连接，且当降噪电路 400 在第二节点 QB 的电平的控制下导通时，第一节点 Q 和输出端 OP 可以连接第二电压端 VGL1（例如，低电压端），从而通过第二电压端 VGL1 的第二电压将第一节点 Q 下拉至非工作电位，并将输出端 OP 的电平下拉至低电平，以实现第一节点 Q 和输出端 OP 20 的降噪。

需要说明的是，在本公开的实施例中第二电压端 VGL1 例如可以被配置为提供第二电压，且第二电压为直流低电平信号，以下各实施例与此相同，不再赘述。

例如，第一控制电路 500 被配置为在第一节点 Q 的电平的控制下，对第二节点 QB 的电平进行控制。例如，如图 2 所示，第一控制电路 500 连接第一节点 Q 和第二节点 QB。第一控制电路 500 可以被配置为当第一节点 Q 为高电平时将第二节点 QB 下拉为低电平，而当第一节点 Q 为低电平时将第二节点 QB 上拉为高电平。例如，第一控制电路 500 可以为反相电路，反相电路的输入端连接第一节点 Q，反相电路的输出端连接第二节点 QB。

30 需要说明的是，图 2 所示的移位寄存器单元 10 的其他电路结构与图 1 中所示的移位寄存器单元 10 基本上相同，重复之处不再赘述。

图 3 为本公开一些实施例提供的又一种移位寄存器单元的示意性框图，图 4 为本公开一些实施例提供的再一种移位寄存器单元的示意性框图。

例如，如图 3 所示，该移位寄存器单元 10 还可以包括第二控制电路 600 (这里为第二下拉控制电路)。第二控制电路 600 被配置为响应于第一控制信号 (这里为消隐下拉控制信号) 对第二节点 QB 的电平进行控制。例如，如图 3 所示，第二控制电路 600 连接第二电压端 VGL1、第二节点 QB 和消隐下拉控制端 Con1，且第二控制电路 600 被配置为在一帧的消隐时段，在消隐下拉控制端 Con1 提供的第一控制信号的控制下导通，使第二节点 QB 与第二电压端 VGL1 连接，从而通过第二电压端 VGL1 的第二电压将第二节点 QB 下拉为非工作电位。  
10

由于移位寄存器单元长时间工作后，电路中的晶体管的阈值电压容易漂移，例如正漂，因此通过消隐输入电路 100 写入到第一节点 Q 的高电平会低于预定值，从而难以通过第一控制电路 500 对第二节点 QB 进行下拉，也会进一步影响输出端 OP 的输出信号。本公开的实施例提供的移位寄存器单元 10 包括第 15 第二控制电路 600，第二控制电路 600 可以在一帧的消隐时段中对第二节点 QB 进行下拉，以确保第二节点 QB 处于低电平，使得消隐输入电路 100 对第一节点 Q 的充电更充分，使第一节点 Q 的高电平达到预定值，因此可防止晶体管阈值电压漂移后影响输出信号，增强了电路的信赖性。

例如，如图 4 所示，该移位寄存器单元 10 还可以包括第三控制电路 700 (这里为第三下拉控制电路)。第三控制电路 700 被配置为响应于第二控制信号 (这里为显示下拉控制信号) 对第二节点 QB 的电平进行控制。例如，第三控制电路 700 连接第二节点 QB、显示下拉控制端 Con2 和第二电压端 VGL1。在一帧的显示时段，在显示下拉控制端 Con2 提供的第二控制信号的控制下，当第三控制电路 700 导通时，第二节点 QB 与第二电压端 VGL1 连接，从而通过第二电压端 VGL1 的第二电压将第二节点 QB 下拉为非工作电位。  
25

在本公开的实施例提供的移位寄存器单元 10 中，第三控制电路 700 可以在一帧的显示时段中对第二节点 QB 进行下拉，以确保第二节点 QB 处于低电平，使得显示输入电路 200 对第一节点 Q 的充电更充分，使第一节点 Q 的高电平达到预定值，因此可防止晶体管阈值电压漂移后影响输出信号，增强了电  
30 路的信赖性。

需要说明的是，在本公开实施例提供的移位寄存器单元中，与图 3 和图 4

所示的示例不同，在一些示例中，移位寄存器单元也可以仅包括第三控制电路 700，而不包括第二控制电路 600。

例如，如图 2、图 3 和图 4 所示，移位寄存器单元 10 还包括消隐复位电路 800 和显示复位电路 900。消隐复位电路 800 被配置为响应于消隐复位信号对 5 第一节点 Q 进行复位。显示复位电路 900 被配置为响应于显示复位信号对第一节点 Q 进行复位。

例如，如图 2、图 3 和图 4 所示，消隐复位电路 800 连接消隐复位信号端 TR、第二电压端 VGL1 和第一节点 Q。在消隐复位信号端 TR 提供的消隐复位信号的控制下，当消隐复位电路 800 导通时，第一节点 Q 与第二电压端 VGL1 10 连接，从而通过第二电压端 VGL1 的第二电压将第一节点 Q 下拉为非工作电位，以对第一节点 Q 进行复位，即将低电平的第二电压写入第一节点 Q。例如，在一帧的消隐时段，当输出电路 300 完成信号输出后，消隐复位电路 800 在消 15 隐复位信号的控制下导通，从而将第二电压端 VGL1 输出的第二电压写入第一节点 Q，以对第一节点 Q 进行复位；又例如，在一帧的显示时段前，消隐复位电路 800 在消隐复位信号的控制下导通，从而将第二电压端 VGL1 输出的第二电压写入第一节点 Q，以对第一节点 Q 进行复位。

例如，如图 2、图 3 和图 4 所示，显示复位电路 900 连接显示复位信号端 STD、第二电压端 VGL1 和第一节点 Q。在显示复位信号端 STD 提供的显示复位信号的控制下，当显示复位电路 900 导通时，第一节点 Q 与第二电压端 VGL1 20 连接，从而通过第二电压端 VGL1 的第二电压将第一节点 Q 下拉为非工作电位，以对第一节点 Q 进行复位。例如，在一帧的显示时段，当输出电路 300 完成信号输出后，显示复位电路 900 在显示复位信号的控制下导通，从而将第二电压端 VGL1 输出的第二电压写入第一节点 Q，以对第一节点 Q 复位。

值得注意的是，图 3 和图 4 所示的移位寄存器单元 10 的其他电路结构可以与图 2 中所示的移位寄存器单元 10 基本上相同，重复之处不再赘述。另外，在图 3 和图 4 所示的示例中，第一控制电路 500、第二控制电路 600、第三控制电路 700、消隐复位电路 800 和显示复位电路 900 均连接到第二电压 VGL1 以接收直流低电平信号，但不限于此，第一控制电路 500、第二控制电路 600、第三控制电路 700、消隐复位电路 800 和显示复位电路 900 也可以分别连接到 30 不同的电源电压端，以接收不同的低电平信号，只要能够实现相应功能即可，本公开对此不作具体限制。

图 5A 为图 2 中所示的移位寄存器单元的一种电路结构图，图 5B 为图 3 中所示的移位寄存器单元的一种电路结构图，图 5C 为图 4 中所示的移位寄存器单元的一种电路结构图，图 6A 为图 2 中所示的移位寄存器单元的另一种电路结构图，图 6B 为图 3 中所示的移位寄存器单元的另一种电路结构图，图 6C 为图 4 中所示的移位寄存器单元的另一种电路结构图。在下面对本公开的说明中以各晶体管为 N 型晶体管为例进行说明，但这并不构成对本公开实施例的限制。  
5

例如，如图 5A 至图 6C 所示，充电子电路 110 包括第一晶体管 M1 和第二晶体管 M2。第一晶体管 M1 的栅极被配置为与第一补偿控制信号端 OE1 连接以接收第一补偿控制信号，第一晶体管 M1 的第一极被配置为与消隐控制信号端 BP 连接以接收消隐控制信号，第一晶体管 M1 的第二极被配置为与第二晶体管 M2 的第一极连接，第二晶体管 M2 的第二极被配置为与控制节点 H 连接，第二晶体管 M2 的栅极被配置为与第二补偿控制信号端 OE2 连接以接收第二补偿控制信号。  
10

例如，图 5A 至图 6C 所示的示例中，消隐控制信号端 BP 和显示控制信号端 DP 可以为同一个信号端，且均为第六电压端 VDD，即第六电压端 VDD 等同于前述的消隐控制信号端 BP 和显示控制信号端 DP。例如，第六电压端 VDD 被配置为提供第六电压，第六电压为直流高电平信号，以下各实施例与此相同，不再赘述。也就是说，如图 5A 至图 6C 所示，第一晶体管 M1 的第一极被配置为与第六电压端 VDD 连接以接收第六电压，消隐控制信号可以为第六电压。  
20

例如，当第一补偿控制信号和第二补偿控制信号均为有效电平（例如，高电平）时，第一晶体管 M1 和第二晶体管 M2 导通，使第六电压端 VDD 与控制节点 H 连接，从而将第六电压（高电平信号）写入控制节点 H。

需要说明的是，除了图 5A 至图 6C 所示的示例外，在本公开的实施例中，  
25 第一晶体管 M1 的第一极还可以与其他信号端连接以接收消隐控制信号，本公开对此不作限定。

例如，如图 5A 至图 6C 所示，存储子电路 120 包括第一电容 C1。第一电容 C1 的第一极被配置为和控制节点 H 连接，第一电容 C1 的第二极被配置为与第一电压端 VA 连接以接收第一电压。例如，在一帧的显示时段中，消隐控制信号被写入到控制节点 H，第一电容 C1 存储消隐控制信号（高电平），并将控制节点 H 维持在高电平直到该帧的消隐时段。  
30

例如，第一电压端 VA 被配置为提供第一电压，在一些示例中，第一电压为直流高电平信号；在另一些示例中，第一电压可以为直流低电平信号。以下各实施例与此相同，不再赘述。

需要说明的是，本公开的各实施例中，第一电容 C1 可以是通过工艺制作的电容器件，例如通过制作专门的电容电极来实现电容器件，该电容的各个电极可以通过金属层、半导体层（例如掺杂多晶硅）等实现，并且，第一电容 C1 也可以是各个器件之间的寄生电容，可以通过晶体管本身与其他器件、线路来实现。第一电容 C1 的连接方式不局限于上面描述的方式，也可以为其他适用的连接方式，只要能存储写入到控制节点 H 的消隐控制信号即可。例如，在一些示例中，第一电容 C1 的第一极被配置为和控制节点 H 连接，第一电容 C1 的第二极接地。

例如，如图 5A 至图 6C 所示，隔离子电路 130 包括第三晶体管 M3。第三晶体管 M3 的栅极被配置为与消隐输入信号端 STU1 连接以接收消隐输入信号，第三晶体管 M3 的第一极被配置为与控制节点 H 连接，第三晶体管 M3 的第二极被配置为与第一节点 Q 连接。

例如，在图 5A 至图 6C 所示的实施例中，第一时钟信号端 CLKA 等同于前述的消隐输入信号端 STU1，第一时钟信号端 CLKA 用于提供第一时钟信号，消隐输入信号可以为第一时钟信号。也就是说，如图 5A 至图 6C 所示，第三晶体管 M3 的栅极被配置为与第一时钟信号端 CLKA 连接。当第一时钟信号为高电平时，第三晶体管 M3 导通，控制节点 H 与第一节点 Q 连接，从而将消隐控制信号写入到第一节点 Q，以将第一节点 Q 的电位上拉到工作电位。

例如，如图 5A 至图 6C 所示，显示输入电路 200 包括第四晶体管 M4。第四晶体管 M4 的栅极与显示输入信号端 STU2 连接以接收显示输入信号，第四晶体管 M4 的第一极与显示控制信号端 DP（即第六电压端 VDD）连接以接收显示控制信号（即第六电压），第四晶体管 M4 的第二极与第一节点 Q 连接。

例如，在一帧的显示时段，当显示输入信号为有效电平（例如，高电平）时，第四晶体管 M4 导通，使第六电压端 VDD 与第一节点 Q 连接，从而将第六电压写入第一节点 Q，将第一节点 Q 的电位上拉到工作电位。

需要说明的是，除了图 5A 至图 6C 所示的示例外，在本公开的实施例中，第四晶体管 M4 的第一极还可以与其他信号端连接以接收显示控制信号，本公开对此不作限定。

例如，如图 5A 至图 6C 所示，输出端 OP 可以包括移位信号输出端 CR 和第一像素信号输出端 OT1，移位信号输出端 CR 输出的信号和第一像素信号输出端 OT1 输出的信号相同。在一些示例中，当图 5A 至图 6C 所示的移位寄存器单元 10 级联构成一栅极驱动电路时，第  $n+2$  级移位寄存器单元 10 的显示输入信号端 STU2 可以与第  $n$  级移位寄存器单元 10 的移位信号输出端 CR 连接， $n$  为大于 0 的整数。第一像素信号输出端 OT1 可以用于为像素电路提供扫描驱动信号。

例如，如图 5A 至图 6C 所示，输出电路 300 可以包括第一输出晶体管 M13、第二输出晶体管 M15 和第二电容 C2。第一输出晶体管 M13 的栅极与第一节点 Q 连接，第一输出晶体管 M13 的第一极与第一输出时钟信号端 CLKD 连接以接收第一输出时钟信号，第一输出晶体管 M13 的第二极与移位信号输出端 CR 连接；第二输出晶体管 M15 的栅极和第一节点 Q 连接，第二输出晶体管 M15 的第一极与第一输出时钟信号端 CLKD 连接以接收第一输出时钟信号，第二输出晶体管 M15 的第二极与第一像素信号输出端 OT1 连接；第二电容 C2 的第一极和第一节点 Q 连接，第二电容 C2 的第二极与第一输出晶体管 M13 的第二极连接。

例如，当第一节点 Q 处于工作电位（例如，高电平）时，第一输出晶体管 M13 和第二输出晶体管 M15 均导通，第一输出时钟信号经由第一输出晶体管 M13 传输至移位信号输出端 CR 以作为第一输出信号，第一输出时钟信号经由第二输出晶体管 M15 传输至第一像素信号输出端 OT1 以作为第二输出信号。

例如，复合输出信号包括第一输出信号和第二输出信号，第一输出信号和第二输出信号相同。例如，第二输出信号包括上述显示输出信号和消隐输出信号，即在显示时段，第一像素信号输出端 OT1 输出的信号为显示输出信号；在消隐时段，第一像素信号输出端 OT1 输出的信号为消隐输出信号。

需要说明的是，本公开的各实施例中，第二电容 C2 可以是通过工艺制程制作的电容器件，例如通过制作专门的电容电极来实现电容器件，该电容的各个电极可以通过金属层、半导体层（例如掺杂多晶硅）等实现，并且，第二电容 C2 也可以是晶体管之间的寄生电容，可以通过晶体管本身与其他器件、线路来实现，只要能维持第一节点 Q 的电平且在移位信号输出端 CR 或第一像素信号输出端 OT1 输出信号时实现自举作用即可。

例如，如图 6A 至图 6C 所示，在一些示例中，输出端 OP 还包括第二像素

信号输出端 OT2，输出电路 300 还包括第三输出晶体管 M17。输出电路 300 还连接第二输出时钟信号端 CLKE，第二输出时钟信号端 CLKE 用于输出第二输出时钟信号。

例如，第三输出晶体管 M17 的栅极与第一节点 Q 连接，第三输出晶体管 M17 的第一极与第二输出时钟信号端 CLKE 连接以接收第二输出时钟信号，第三输出晶体管 M17 的第二极与第二像素信号输出端 OT2 连接。

例如，当第一节点 Q 处于工作电位（例如，高电平）时，第三输出晶体管 M17 导通，第二输出时钟信号经由第三输出晶体管 M17 传输至第二像素信号输出端 OT2 以作为第三输出信号，复合输出信号还包括第三输出信号。

例如，在一个示例中，第一输出时钟信号端 CLKD 和第二输出时钟信号端 CLKE 提供的时钟信号相同，因此，第一像素信号输出端 OT1 和第二像素信号输出端 OT2 输出的信号相同。例如，在另一个示例中，第一输出时钟信号端 CLKD 和第二输出时钟信号端 CLKE 提供的信号不同，从而使得第一像素信号输出端 OT1 输出的第二输出信号和第二像素信号输出端 OT2 输出的第三输出信号不同，以便为像素单元提供多种不同的驱动信号。

例如，如图 5A 至图 6C 所示，第一控制电路 500 包括第五晶体管 M5、第六晶体管 M6 和第七晶体管 M7。第五晶体管 M5 的栅极与第一节点 Q 连接，第五晶体管 M5 的第一极与第二节点 QB 连接，第五晶体管 M5 的第二极与第二电压端 VGL1 连接以接收第二电压；第六晶体管 M6 的栅极和第一极连接且被配置为与第三电压端 VDD\_A 连接以接收第三电压，第六晶体管 M6 的第二极与第二节点 QB 连接；第七晶体管 M7 的栅极与第一极连接且被配置为与第四电压端 VDD\_B 连接以接收第四电压，第七晶体管 M7 的第二极与第二节点 QB 连接。

例如，在一个示例中，第三电压端 VDD\_A 被配置为提供直流低电平信号，第四电压端 VDD\_B 被配置为提供直流高电平信号，因此，第六晶体管 M6 始终截止，第七晶体管 M7 始终导通。例如，在另一个示例中，第三电压端 VDD\_A 和第四电压端 VDD\_B 被配置为交替提供直流高电平信号，从而使第六晶体管 M6 和第七晶体管 M7 交替导通，以避免晶体管长期导通引起的性能漂移。例如，当第三电压端 VDD\_A 提供高电平信号时，第四电压端 VDD\_B 提供低电平信号，此时第六晶体管 M6 导通，第七晶体管 M7 截止；当第四电压端 VDD\_B 提供高电平信号时，第三电压端 VDD\_A 提供低电平信号，此时，第七晶体管

M7 导通，第六晶体管 M6 截止。

例如，当第一节点 Q 为有效电平（例如，高电平）时，第五晶体管 M5 导通，通过设计第五晶体管 M5 的沟道宽长比与导通的第六晶体管 M6 的沟道宽长比或导通的第七晶体管 M7 的沟道宽长比的比例关系，例如，第五晶体管 M5 的沟道宽长比大于第六晶体管 M6 的沟道宽长比和第七晶体管 M7 的沟道宽长比中的任意一个，由此，可以将第二节点 QB 的电位下拉到低电平。当第一节点 Q 为低电平时，第五晶体管 M5 截止，若第六晶体管 M6 导通，第七晶体管 M7 截止，则通过第六晶体管 M6 将第三电压端 VDD\_A 提高的第三电压（高电平）写入第二节点 QB，以将第二节点 QB 的电位上拉至高电平；若第六晶体管 M6 截止，第七晶体管 M7 导通，则通过第七晶体管 M7 将第四电压端 VDD\_B 提高的第四电压（高电平）写入第二节点 QB，以将第二节点 QB 的电位上拉至高电平。

例如，如图 5A 至图 6C 所示，降噪电路 400 可以包括第一降噪晶体管 M19、第二降噪晶体管 M14 和第三降噪晶体管 M16。第一降噪晶体管 M19 的栅极与第二节点 QB 连接，第一降噪晶体管 M19 的第一极与第一节点 Q 连接，第一降噪晶体管 M19 的第二极与第二电压端 VGL1 连接以接收第二电压；第二降噪晶体管 M14 的栅极与第二节点 QB 连接，第二降噪晶体管 M14 的第一极与移位信号输出端 CR 连接，第二降噪晶体管 M14 的第二极与第二电压端 VGL1 连接以接收第二电压；第三降噪晶体管 M16 的栅极与第二节点 Q 连接，第三降噪晶体管 M16 的第一极与第一像素信号输出端 OT1 连接，第三降噪晶体管 M16 的第二极与第五电压端 VGL2 连接以接收第五电压。

例如，第五电压端 VGL2 被配置为提供第五电压，且第五电压为直流低电平信号（例如低于或等于时钟信号的低电平），例如，第五电压端 VGL2 可以接地，以下各实施例与此相同，不再赘述。例如，在一个示例中，第五电压端 VGL2 提供的第五电压高于第二电压端 VGL1 提供的第二电压，例如，第二电压为-10V，第五电压为-6V；在另一个示例中，第五电压端 VGL2 的第五电压等于第二电压端 VGL1 的第二电压，从而该移位寄存器单元 10 可以不设置第五电压端 VGL，而将第三降噪晶体管 M16 的第二极连接第二电压端 VGL1 以接收第二电压。第五电压和第二电压可以相同也可以不同，这可以根据实际需求而定。本公开的实施例对此不作限定。

例如，当第二节点 QB 为有效电平（例如，高电平）时，第一降噪晶体管

M19、第二降噪晶体管 M14 和第三降噪晶体管 M16 均导通，第一节点 Q 和移位信号输出端 CR 均与第二电压端 VGL1 连接，从而通过第二电压端 VGL1 的第二电压将第一节点 Q 的电位和移位信号输出端 CR 的电位下拉为低电位，第一像素信号输出端 OT1 与第五电压端 VGL2 连接，从而通过第五电压端 VGL2 的第五电压将第一像素信号输出端 OT1 的电位下拉为低电位，由此，降低第一节点 Q、移位信号输出端 CR 和第一像素信号输出端 OT1 的噪声。需要说明的是，本公开的各实施例中，当输出端 OP 包括多个第一像素信号输出端 OT1 和/或多个移位信号输出端 CR 时，降噪电路 400 也相应地包括与多个移位信号输出端 CR 和/或多个第一像素信号输出端 OT1 一一对应连接的多个晶体管，以对多个移位信号输出端 CR 和/或多个第一像素信号输出端 OT1 进行降噪。

例如，如图 6A 至图 6C 所示，在一些示例中，在输出端 OP 还包括第二像素信号输出端 OT2 的情况下，降噪电路 400 还包括第四降噪晶体管 M18。第四降噪晶体管 M18 的栅极与第二节点 QB 连接，第四降噪晶体管 M18 的第一极与第二像素信号输出端 OT2 连接，第四降噪晶体管 M18 的第二极与第五电压端 VGL2 连接以接收第五电压。例如，当第二节点 QB 为有效电平（例如，高电平）时，第四降噪晶体管 M18 导通，第二像素信号输出端 OT2 与第五电压端 VGL2 连接，从而通过第五电压端 VGL2 的第五电压将第二像素信号输出端 OT2 的电位下拉为低电位，由此降低第二像素信号输出端 OT2 的噪声。

例如，如图 5B、图 5C、图 6B 和图 6C 所示，第二控制电路 600 包括第八晶体管 M8，第一时钟信号端 CLKA 提供第一时钟信号，第一控制信号包括第一时钟信号，即第一时钟信号端 CLKA 等同于前述的消隐下拉控制端 Con1。第八晶体管 M8 的栅极与第一时钟信号端 CLKA 连接以接收第一时钟信号，第八晶体管 M8 的第一极与第二节点 QB 连接，第八晶体管 M8 的第二极与第二电压端 VGL1 连接以接收第二电压。例如，在一帧的消隐时段，当第一时钟信号为有效电平（例如，高电平）时，第八晶体管 M8 导通，第二节点 QB 与第二电压端 VGL1 连接，第二电压端 VGL1 提供的第二电压被写入第二节点 QB，从而第二节点 QB 被下拉至低电平。

例如，如图 5C 和图 6C 所示，第三控制电路 700 包括第十一晶体管 M11。第十一晶体管 M11 的栅极配置为连接显示下拉控制端 Con2 以接收第二控制信号，第十一晶体管 M11 的第一极配置为连接第二节点 QB，第十一晶体管 M11 的第二极配置为连接第二电压端 VGL1 以接收第二电压。例如，在一帧的显示

时段，当第二控制信号为有效电平（例如，高电平）时，第十一晶体管 M11 导通，第二节点 QB 与第二电压端 VGL1 连接，第二电压端 VGL1 提供的第二电压被写入第二节点 QB，从而第二节点 QB 被下拉至低电平。

例如，在一个示例中，在多个移位寄存器单元 10 级联的情形下，第 m1 级 5 移位寄存器单元 10 的移位信号输出端 CR 与第 m1+2 级移位寄存器单元 10 的第二控制信号端 Con2 连接，以将第 m1 级移位寄存器单元 10 的移位信号输出端 CR 的输出信号作为第 m1+2 级移位寄存器单元 10 的第二控制信号。这里，m1 为大于 0 的整数。当然，本公开的实施例不限于此，显示下拉控制端 Con2 也可以与单独设置的信号线连接。

10 例如，如图 5A 至图 6C 所示，消隐复位电路 800 包括第九晶体管 M9。第九晶体管 M9 的栅极与消隐复位信号端 TR 连接以接收消隐复位信号，第九晶体管 M9 的第一极与第一节点 Q 连接，第九晶体管 M9 的第二极与第二电压端 VGL1 连接以接收第二电压。例如，在一帧的消隐时段，当消隐复位信号为有效电平（例如，高电平）时，第九晶体管 M9 导通，第一节点 Q 与第二电压端 15 VGL1 连接，第二电压端 VGL1 提供的第二电压被写入第一节点 Q，从而实现对第一节点 Q 进行复位。

例如，如图 5A 至图 6C 所示，显示复位电路 900 包括第十晶体管 M10。第十晶体管 M10 的栅极与显示复位信号端 STD 连接以接收显示复位信号，第十晶体管 M10 的第一极与第一节点 Q 连接，第十晶体管 M10 的第二极与第二电压端 VGL1 连接以接收第二电压。例如，在一帧的显示时段，当显示复位信号为有效电平（例如，高电平）时，第十晶体管 M10 导通，第一节点 Q 与第二电压端 VGL1 连接，第二电压端 VGL1 提供的第二电压被写入第一节点 Q，从而实现对第一节点 Q 进行复位。

25 例如，在一个示例中，在多个移位寄存器单元 10 级联的情形下，第 m2+3 级移位寄存器单元 10 的移位信号输出端 CR 与第 m2 级移位寄存器单元 10 的显示复位信号端 STD 连接，以将第 m2+3 级移位寄存器单元 10 的移位信号输出端 CR 的输出信号作为第 m2 级移位寄存器单元 10 的显示复位信号。这里，m2 为大于 0 的整数。当然，本公开的实施例不限于此，显示复位信号端 STD 也可以与单独设置的信号线连接。

30 需要说明的是，本领域技术人员可以理解，在本公开的实施例中，消隐输入电路 100、显示输入电路 200、输出电路 300、降噪电路 400、第一控制电路

500, 第二控制电路 600、第三控制电路 700、消隐复位电路 800 以及显示复位电路 900 等的具体实现方式不局限于上面描述的方式，其可以为任意适用的实现方式，例如为本领域技术人员熟知的常规连接方式，只需保证实现相应功能即可。上述示例并不能限制本公开的保护范围。在实际应用中，技术人员可以 5 根据情况选择使用或不使用上述各电路中的一个或多个，基于前述各电路的各种组合变型均不脱离本公开的原理，对此不再赘述。

图 7 为图 2 中所示的移位寄存器单元的再一种电路结构图。例如，如图 7 所示，除了进一步包括防漏电电路外，该实施例的移位寄存器单元 10 与图 5A 中描述的移位寄存器单元 10 基本上相同。在图 5A 所示的移位寄存器单元 10 10 中，可以利用第二电容 C2 维持第一节点 Q 的电位。例如，如图 5A 所示，当第一节点 Q 的电位维持在高电平时，移位寄存器单元 10 中的一些晶体管（例如，第九晶体管 M9、第十晶体管 M10 和第一降噪晶体管 M19）的第一极连接第一节点 Q，这些晶体管的第二极连接低电平的信号线。即使当这些晶体管的栅极接收非导通信号的情况下，由于这些晶体管的第一极和第二极之间存在电压差，也可能出现漏电的现象，从而第一节点 Q 的电位的维持效果变差。因此， 15 图 7 所示的移位寄存器单元 10 增加了防漏电电路，以改善对第一节点 Q 的电位的维持效果。

例如，如图 7 所示，第一防漏电电路可以包括第一防漏电晶体管 M20、第 20 二防漏电晶体管 M9b、第三防漏电晶体管 M10b 和第四防漏电晶体管 M19b。第一防漏电电路被配置为在第一节点 Q 为高电平时，防止第一节点 Q 处的电荷经由第九晶体管 M9a、第十晶体管 M10a 和第一降噪晶体管 M19a 漏电到第二电压端 VGL1。以第二防漏电晶体管 M9b 为例，第二防漏电晶体管 M9b 的栅极连接到第九晶体管 M9a 的栅极（即第二防漏电晶体管 M9b 的栅极连接消 25 隐复位信号端 TR），第二防漏电晶体管 M9b 的第一极连接到第一节点 Q，第二防漏电晶体管 M9b 的第二极连接到第九晶体管 M9a 的第一极，第二防漏电晶体管 M9b 的第二极还连接到第一防漏电晶体管 M20 的第二极。第一防漏电晶体管 M20 的栅极连接到第一节点 Q，第一防漏电晶体管 M20 的第一极连接到第六电压端 VDD。

例如，当第一节点 Q 为高电平时，第一防漏电晶体管 M20 在第一节点 Q 30 的控制下导通，并将第六电压（高电压）写入到第二防漏电晶体管 M9b 的第二极，从而使第二防漏电晶体管 M9b 的第一极和第二极都处于高电平的状态，

以防止第一节点 Q 处的电荷通过第九晶体管 M9a 漏电。此时，由于第九晶体管 M9a 的栅极与第二防漏电晶体管 M9b 的栅极连接，因此第九晶体管 M9a 与第二防漏电晶体管 M9b 的结合可以实现与图 5A 至图 6C 所示的第九晶体管 M9 相同的功能，并同时具有防漏电的效果。类似地，利用第三防漏电晶体管 M10b 和第四防漏电晶体管 M19b 进行防漏电的原理与利用第二防漏电晶体管 M9b 防漏电的原理类似，此处不再赘述。

需要说明的是，本领域技术人员可以理解，根据本公开的实施例提供的具有防漏电功能的电路的实施例，可以根据实际情况选择移位寄存器单元 10 中的一个或多个晶体管增加防漏电的电路结构。图 7 仅示出了包括防漏电电路的 10 一种示例性的电路结构，而不构成对本公开实施例的限制。另外，在本公开的各个实施例的说明中，第一节点 Q、第二节点 QB 和控制节点 H 等并非表示实际存在的部件，而是表示电路图中相关连接的汇合点。

需要说明的是，本公开的实施例中采用的晶体管均可以为薄膜晶体管、场效应晶体管或其他特性相同的开关器件，本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极。

另外，本公开的实施例中的晶体管均以 N 型晶体管为例进行说明，此时，晶体管的第一极是漏极，第二极是源极。需要说明的是，本公开包括但不限于此。例如，本公开的实施例提供的移位寄存器单元 10 中的一个或多个晶体管也可以采用 P 型晶体管，此时，晶体管第一极是源极，第二极是漏极，只需将选定类型的晶体管的各极参照本公开的实施例中的相应晶体管的各极相应连接，并且使相应的电压端提供对应的高电压或低电压即可。当采用 N 型晶体管时，可以采用氧化铟镓锌（Indium Gallium Zinc Oxide, IGZO）作为薄膜晶体管的有源层，相对于采用低温多晶硅（Low Temperature Poly Silicon, LTPS）或非晶硅（例如氢化非晶硅）作为薄膜晶体管的有源层，可以有效减小晶体管的尺寸以及防止漏电流。

图 8 为本公开一些实施例提供的一种移位寄存器单元的信号时序图。下面结合图 8 所示的信号时序图，对图 6A 所示的移位寄存器单元 10 的工作原理 30 进行说明，并且这里以各个晶体管为 N 型晶体管为例进行说明，但是本公开的实施例不限于此。

在图 8 中以及下面的描述中，1F 表示第一帧的时序。DS 表示一帧的显示时段，BL 表示一帧的消隐时段。STU1、STU2、TR、VDD\_A、VDD\_B、CLKA、CLKD、CLKE、OT1、OT2、CR 等既用于表示相应的信号端，也用于表示相应的信号。以下各实施例与此相同，不再赘述。

5 例如，在初始阶段 0，消隐复位信号 TR 和第一时钟信号 CLKA 为高电平，第九晶体管 M9 导通，第二电压端 VGL1 的第二电压经由第九晶体管 M9 被写入第一节点 Q，以对第一节点 Q 进行复位。第三电压 VDD\_A 为低高电平信号，第四电压 VDD\_B 为高电平信号，由此，第六晶体管 M6 截止，第七晶体管 M7 导通，第四电压 VDD\_B 经由第七晶体管 M7 被写入第二节点 QB，第二 10 节点 QB 的电位上拉至高电平，由此，第一降噪晶体管 M19 导通，从而对第一节点 Q 进行辅助下拉，使第一节点 Q 的电位为低电平。第三晶体管 M3 也导通，由此控制节点 H 也被复位。

15 例如，在显示时段 DS，在第一阶段 1 中，显示输入信号端 STU2 为高电平，第四晶体管 M4 导通，显示控制信号（例如，第六电压端 VDD 提供的高电平的第六电压）经由第四晶体管 M4 被写入第一节点 Q，且被第二电容 C2 存储。显示复位信号 STD（未示出）和第一时钟信号 CLKA 均为低电平信号，第十晶体管 M10 和第三晶体管 M3 均截止。由于第一节点 Q 为高电平，第一 20 输出晶体管 M13、第二输出晶体管 M15 和第三输出晶体管 M17 均导通，第一输出时钟信号 CLKD 经由第一输出晶体管 M13 和第二输出晶体管 M15 被分别输出至移位信号输出端 CR 和第一像素信号输出端 OT1，第二输出时钟信号 CLKE 经由第三输出晶体管 M17 被输出至第二像素信号输出端 OT2。但由于第一输出时钟信号 CLKD 和第二输出时钟信号 CLKE 均为低电平信号，即移位信号输出端 CR、第一像素信号输出端 OT1 和第二像素信号输出端 OT2 均输出低电平信号。另外，由于第一节点 Q 为高电平，第五晶体管 M5 导通，从而将第二节点 QB 的电位下拉到低电平。

25 例如，在第二阶段 2 中，第一节点 Q 保持为高电平，第一输出晶体管 M13、第二输出晶体管 M15 和第三输出晶体管 M17 保持导通，第一输出时钟信号 CLKD 和第二输出时钟信号 CLKE 均变为高电平，由此移位信号输出端 CR、第一像素信号输出端 OT1 和第二像素信号输出端 OT2 均输出高电平信号，由于第二电容 C2 的自举效应，第一节点 Q 的电位进一步被拉高，第一输出晶体管 M13、第二输出晶体管 M15 和第三输出晶体管 M17 更加充分导通。例如，

移位信号输出端 CR 输出的高电平信号可以用于上下级移位寄存器单元的扫描移位，从第一像素信号输出端 OT1 和第二像素信号输出端 OT2 输出的高电平信号可以用于驱动显示面板中的子像素单元进行显示。

例如，在图 6A 所示的示例中，本级移位寄存器单元的第二补偿控制信号 5 端 OE2 可以与本级移位寄存器单元的移位信号输出端 CR 连接。在第二阶段 2 中，第一补偿控制信号 OE1 为高电平信号，第一晶体管 M1 导通，移位信号输出端 CR 输出的信号也为高电平信号，也就是说，第二补偿控制信号 OE2 为高电平信号，由此第二晶体管 M2 也导通，消隐控制信号（例如，第六电压端 VDD 提供的高电平的第六电压）经由第一晶体管 M1 和第二晶体管 M2 被写入到控制节点 H，控制节点 H 的电平变为高电平。需要说明的是，第一电容 C1 可以 10 存储高电平的消隐控制信号并保持到一帧的显示时段结束，以在消隐时段使用。

例如，在第三阶段 3，第一输出时钟信号 CLKD 和第二输出时钟信号 CLKE 变为低电平，移位信号输出端 CR 和第一像素信号输出端 OT1 均可以通过第一输出时钟信号端 CLKD 放电，从而完成移位信号输出端 CR 和第一像素信号输出端 OT1 的复位；第二像素信号输出端 OT2 通过第二输出时钟信号端 CLKE 放电，从而完成第二像素信号输出端 OT2 的复位。此时，移位信号输出端 CR、第一像素信号输出端 OT1 和第二像素信号输出端 OT2 均输出低电平信号，由于第二电容 C2 的自举作用，第一节点 Q 的电位有所降低但仍然保持高电平，第一输出晶体管 M13、第二输出晶体管 M15 和第三输出晶体管 M17 仍保持导通，第一输出时钟信号端 CLKD 的低电平输出至移位信号输出端 CR 和第一像素信号输出端 OT1，第二输出时钟信号端 CLKE 的低电平输出至第二像素信号输出端 OT2，由此实现输出端 OP 的复位。

例如，在第四阶段 4 中，显示复位信号 STD（图中未示出）为高电平信号，第十晶体管 M10 导通，从而第二电压端 VGL2 的第二电压被写入第一节点 Q，25 以对第一节点 Q 进行复位。第一节点 Q 的电平变为低电平，从而第五晶体管 M5 截止，第三电压 VDD\_A 为高电平信号，第四电压 VDD\_B 为低电平信号，由此，第六晶体管 M6 截止，第七晶体管 M7 导通，从而第四电压 VDD\_B 经由第七晶体管 M7 被写入第二节点 QB，第二节点 QB 被上拉为高电平，从而 30 第一降噪晶体管 M19 导通，以进一步对第一节点 Q 进行降噪。第二降噪晶体管 M14、第三降噪晶体管 M16 和第四降噪晶体管 M18 也在第二节点 QB 的高电平的控制下导通，从而对移位信号输出端 CR、第一像素信号输出端 OT1 和

第二像素信号输出端 OT2 进行降噪。

例如，在上述第一阶段 1 至第四阶段 4 中，由于第一时钟信号 CLKA 一直保持低电平，第三晶体管 M3 处于截止状态，从而隔离控制节点 H 和第一节点 Q，以避免控制节点 H 的电平影响显示时段的输出信号。如图 8 所示，第一节点 Q 的电平呈塔状波形，移位信号输出端 CR 的输出信号的上拉和复位都通过第一输出晶体管 M13 实现，第一像素信号输出端 OT1 的输出信号的上拉和复位都通过第二输出晶体管 M15 实现，第二像素信号输出端 OT2 的输出信号的上拉和复位都通过第三输出晶体管 M17 实现，第二降噪晶体管 M14 对移位信号输出端 CR 的输出信号起辅助下拉的作用，第三降噪晶体管 M16 对第一像素信号输出端 OT1 的输出信号起辅助下拉的作用，第四降噪晶体管 M18 对第二像素信号输出端 OT2 的输出信号起辅助下拉的作用，因此可以减小第二降噪晶体管 M14、第三降噪晶体管 M16 和第四降噪晶体管 M18 的体积，有利于减小电路版图的面积。

例如，在消隐时段 BL，在第五阶段 5，由于第一电容 C1 的保持作用，控制节点 H 仍然保持为高电平，同时，第一时钟信号 CLKA 为高电平信号，第三晶体管 M3 导通。消隐控制信号经由第三晶体管 M3 对第一节点 Q 进行充电，将第一节点 Q 上拉至高电位。第五晶体管 M5 在第一节点 Q 的控制下导通，第二节点 QB 被下拉至低电平。由于第一节点 Q 的电平为高电平，第一输出晶体管 M13、第二输出晶体管 M15 和第三输出晶体管 M17 均导通，第一输出时钟信号 CLKD 经由第一输出晶体管 M13 和第二输出晶体管 M15 被分别输出至移位信号输出端 CR 和第一像素信号输出端 OT1，第二输出时钟信号 CLKE 经由第三输出晶体管 M17 被输出至第二像素信号输出端 OT2。但由于第一输出时钟信号 CLKD 和第二输出时钟信号 CLKE 均为低电平信号，即移位信号输出端 CR、第一像素信号输出端 OT1 和第二像素信号输出端 OT2 均输出低电平信号。

例如，在第六阶段 6，第一时钟信号 CLKA 变为低电平，第三晶体管 M3 截止，从而第一节点 Q 不会通过第三晶体管 M3 漏电。第一节点 Q 保持为高电平，第一输出晶体管 M13、第二输出晶体管 M15 和第三输出晶体管 M17 保持导通，第一输出时钟信号 CLKD 变为高电平，由此移位信号输出端 CR 和第一像素信号输出端 OT1 均输出高电平信号，由于第二电容 C2 的自举效应，第一节点 Q 的电位进一步被拉高，第一输出晶体管 M13、第二输出晶体管 M15

和第三输出晶体管 M17 更加充分导通。例如，第一像素信号输出端 OT1 输出的信号可以用于驱动显示面板中子像素单元中的感测晶体管，以实现外部补偿。由于第二输出时钟信号 CLKE 输出脉冲信号，从而第二像素信号输出端 OT2 也输出脉冲信号。需要说明的是，在第六阶段 6，第二像素信号输出端 OT2 5 输出的信号可以根据实际应用设计，本公开对此不作限制。

例如，在第七阶段 7，第一输出时钟信号 CLKD 和第二输出时钟信号 CLKE 变为低电平，移位信号输出端 CR 和第一像素信号输出端 OT1 均可以通过第一输出时钟信号端 CLKD 放电，从而完成移位信号输出端 CR 和第一像素信号输出端 OT1 的复位；第二像素信号输出端 OT2 通过第二输出时钟信号端 CLKE 10 放电，从而完成第二像素信号输出端 OT2 的复位。此时，移位信号输出端 CR、第一像素信号输出端 OT1 和第二像素信号输出端 OT2 均输出低电平信号，由于第二电容 C2 的自举作用，第一节点 Q 的电位有所降低但仍然保持高电平，第一输出晶体管 M13、第二输出晶体管 M15 和第三输出晶体管 M17 仍保持导通，第一输出时钟信号端 CLKD 的低电平输出至移位信号输出端 CR 和第一像素信号输出端 OT1，第二输出时钟信号端 CLKE 的低电平输出至第二像素信号输出端 OT2，由此实现输出端 OP 的复位。  
15

例如，在第八阶段 8，消隐复位信号 TR 和第一时钟信号 CLKA 为高电平，第九晶体管 M9 导通，第二电压端 VGL1 的第二电压经由第九晶体管 M9 被写入第一节点 Q，以对第一节点 Q 进行复位，第三晶体管 M3 也导通，第二电压端 VGL1 的第二电压经由第九晶体管 M9 和第三晶体管 M3 被写入控制节点 H，20 由此控制节点 H 也被复位。这样可以使控制节点 H 保持为高电平的时间较短，以降低与控制节点 H 连接的晶体管阈值电压漂移（例如正漂）的风险，有助于提高该电路的信赖性。

需要说明的是，上述关于显示时段 DS 和消隐时段 BL 的工作过程的描述 25 中，以移位寄存器单元包括两个像素信号输出端（即，第一像素信号输出端 OT1 和第二像素信号输出端 OT2）为例，但不限于此，该移位寄存器单元可以仅包括一个像素信号输出端（例如，第一像素信号输出端 OT1）。当该移位寄存器单元可以仅包括第一像素信号输出端 OT1 时，移位寄存器单元的工作过程与上述工作过程相似，只要省略关于第二像素信号输出端 OT2 的相关描述即可，30 在此不再赘述。

值得注意的是，在本公开的实施例中，例如，当各个电路实现为 N 型晶体

管时，术语“上拉”表示对一个节点或一个晶体管的一个电极进行充电，以使得该节点或该电极的电平的绝对值升高，从而实现相应晶体管的操作（例如导通）；“下拉”表示对一个节点或一个晶体管的一个电极进行放电，以使得该节点或该电极的电平的绝对值降低，从而实现相应晶体管的操作（例如截止）。术语“工作电位”表示该节点处于高电位，从而当一个晶体管的栅极连接到该节点时，该晶体管导通；术语“非工作电位”表示该节点处于低电位，从而当一个晶体管的栅极连接到该节点时，该晶体管截止。又例如，当各个电路实现为P型晶体管时，术语“上拉”表示对一个节点或一个晶体管的一个电极进行放电，以使得该节点或该电极的电平的绝对值降低，从而实现相应晶体管的操作（例如导通）；“下拉”表示对一个节点或一个晶体管的一个电极进行充电，以使得该节点或该电极的电平的绝对值升高，从而实现相应晶体管的操作（例如截止）。术语“工作电位”表示该节点处于低电位，从而当一个晶体管的栅极连接到该节点时，该晶体管导通；术语“非工作电位”表示该节点处于高电位，从而当一个晶体管的栅极连接到该节点时，该晶体管截止。

本公开至少一些实施例还提供一种栅极驱动电路。该栅极驱动电路包括本公开任一实施例所述的移位寄存器单元。该栅极驱动电路的电路结构简单，可以实现随机补偿，避免由于逐行顺序补偿造成的扫描线和面板的亮度偏差，提高显示均匀性，提升显示效果。

图9为本公开一些实施例提供的一种栅极驱动电路的示意性框图；图10A为本公开一些实施例提供的一种消隐输入电路和显示输入电路的电路结构图；图10B为本公开一些实施例提供的另一种消隐输入电路和显示输入电路的电路结构图；图10C为本公开又一些实施例提供的一种消隐输入电路和显示输入电路的电路结构图；图10D为本公开又一些实施例提供的又一种消隐输入电路和显示输入电路的电路结构图；图10E为本公开又一些实施例提供的再一种消隐输入电路和显示输入电路的电路结构图。

例如，如图9所示，该栅极驱动电路20包括多个级联的移位寄存器单元（例如，A1、A2、A3、A4等）。多个移位寄存器单元的数量不受限制，可以根据实际需求而定。例如，移位寄存器单元采用本公开任一实施例所述的移位寄存器单元10。例如，在栅极驱动电路20中，可以部分或全部移位寄存器单元采用本公开任一实施例所述的移位寄存器单元10。例如，该栅极驱动电路20可以采用与薄膜晶体管同样制程的工艺直接集成在显示装置的阵列基板上，以

实现逐行扫描驱动功能。这些移位寄存器单元的第一像素信号输出端 OT1 分别与多条第一栅线（例如，G11、G21、G31、G41 等）一一对应连接；这些移位寄存器单元的第二像素信号输出端 OT2 分别与多条第二栅线（例如，G12、G22、G32、G42 等）一一对应连接。

5 例如，每个移位寄存器单元包括显示输入信号端 STU2、第一时钟信号端 CLKA（即消隐输入信号端 STU1）、第一补偿控制信号端 OE1、第二补偿控制信号端 OE2、第一输出时钟信号端 CLKD、第二输出时钟信号端 CLKE、显示复位信号端 STD、移位信号输出端 CR、第一像素信号输出端 OT1 和第二像素信号输出端 OT2 等。

10 例如，如图 9 所示，栅极驱动电路 20 还包括第一子时钟信号线 CLK\_1、第二子时钟信号线 CLK\_2、第三子时钟信号线 CLK\_3 和第四子时钟信号线 CLK\_4。各级移位寄存器单元与上述各子时钟信号线的连接方式如下并以此类推。

15 例如，如图 9 所示，第  $4n_1-3$  级移位寄存器单元（例如，第一级移位寄存器单元 A1）的第一输出时钟信号端 CLKD 与第一子时钟信号线 CLK\_1 连接；第  $4n_1-2$  级移位寄存器单元（例如，第二级移位寄存器单元 A2）的第一输出时钟信号端 CLKD 与第二子时钟信号线 CLK\_2 连接；第  $4n_1-1$  级移位寄存器单元（例如，第三级移位寄存器单元 A3）的第一输出时钟信号端 CLKD 与第三子时钟信号线 CLK\_3 连接；第  $4n_1$  级移位寄存器单元（例如，第四级移位寄存器单元 A4）的第一输出时钟信号端 CLKD 与第四子时钟信号线 CLK\_4 连接；  
20  $n_1$  为大于 0 的整数。

25 例如，如图 9 所示，栅极驱动电路 20 还包括第五子时钟信号线 CLK\_5、第六子时钟信号线 CLK\_6、第七子时钟信号线 CLK\_7、第八子时钟信号线 CLK\_8。各级移位寄存器单元与上述各子时钟信号线的连接方式如下并以此类推。

30 例如，如图 9 所示，第  $4n_1-3$  级移位寄存器单元（例如，第一级移位寄存器单元 A1）的第二输出时钟信号端 CLKE 与第五子时钟信号线 CLK\_5 连接；第  $4n_1-2$  级移位寄存器单元（例如，第二级移位寄存器单元 A2）的第二输出时钟信号端 CLKE 与第六子时钟信号线 CLK\_6 连接；第  $4n_1-1$  级移位寄存器单元（例如，第三级移位寄存器单元 A3）的第二输出时钟信号端 CLKE 与第七子时钟信号线 CLK\_7 连接；第  $4n_1$  级移位寄存器单元（例如，第四级移位寄存

器单元 A4) 的第二输出时钟信号端 CLKE 与第八子时钟信号线 CLK\_8 连接。

例如,如图 9 所示,栅极驱动电路 20 还包括消隐输入时钟信号线 CLK\_9, 消隐输入时钟信号线 CLK\_9 被配置为与各级移位寄存器单元(例如, 第一级移位寄存器单元 A1、第二级移位寄存器单元 A2、第三级移位寄存器单元 A3 和第四级移位寄存器单元 A4)的第一时钟信号端 CLKA(即消隐输入信号端 STU1)连接。

例如,如图 9、图 10A-图 10E 所示,在一些示例中,每级移位寄存器单元的消隐输入信号端 STU1 连接第一时钟信号端 CLKA, 即第一时钟信号端 CLKA 等同于每级移位寄存器单元的消隐输入信号端 STU1。除最后三级移位寄存器单元以外, 第  $n_2$  级移位寄存器单元 10(例如, 第一级移位寄存器单元 A1)的显示复位信号端 STD 与第  $n_2+3$  级移位寄存器单元 10(例如, 第四级移位寄存器单元 A4)的移位信号输出端 CR 连接。例如,当该栅极驱动电路 20 仅包括四个移位寄存器单元时,第一级移位寄存器单元 A1 的显示复位信号端 STD 与第四级移位寄存器单元 A4 的移位信号输出端 CR 连接, 第二级移位寄存器单元 A2 的显示复位信号端 STD、第三级移位寄存器单元 A3 的显示复位信号端 STD、第四级移位寄存器单元 A4 的显示复位信号端 STD 可以分别与多条单独设置复位信号线连接。除了第一级移位寄存器单元 A1 和第二级移位寄存器单元 A2 外, 第  $n_2+2$  级移位寄存器单元(例如, 第三级移位寄存器单元 A3)的显示输入信号端 STU2 和第  $n_2$  级移位寄存器单元(例如, 第一级移位寄存器单元 A1)的移位信号输出端 CR 连接,  $n_2$  为大于 0 的整数。例如, 第一级移位寄存器单元 A1 的显示输入信号端 STU2 以及第二级移位寄存器单元 A2 的显示输入信号端 STU2 均连接输入信号线 STU, 例如接收触发信号 STV。

例如,如图 9 和图 10A 所示,每级移位寄存器单元的第一补偿控制信号端 OE1 接收外部随机信号, 第  $n_2+2$  级移位寄存器单元(例如, 第一级移位寄存器单元 A1)的第二补偿控制信号端 OE2 连接第  $n_2+2$  级移位寄存器单元(例如, 第一级移位寄存器单元 A1)的移位信号输出端 CR, 即第  $n_2$  级移位寄存器单元的移位信号输出端输出的信号作为第  $n_2+2$  级移位寄存器单元的第二补偿控制信号。除了第一级移位寄存器单元 A1 和第二级移位寄存器单元 A2 外, 第  $n_2+2$  级移位寄存器单元(例如, 第三级移位寄存器单元 A3)的显示输入信号端 STU2 和第  $n_2$  级移位寄存器单元(例如, 第一级移位寄存器单元 A1)的移位信号输出端 CR 连接,  $n_2$  为大于 0 的整数。

例如，如图 10B 所示，在一些示例中，每级移位寄存器单元的第一补偿控制信号端 OE1 接收外部随机信号，除了第一级移位寄存器单元 A1 和第二级移位寄存器单元 A2 外，第  $n_2+2$  级移位寄存器单元（例如，第三级移位寄存器单元 A3）的第二补偿控制信号端 OE2 连接第  $n_2$  级移位寄存器单元（例如，第一级移位寄存器单元 A1）的移位信号输出端 CR，即第  $n_2$  级移位寄存器单元的移位信号输出端输出的信号作为第  $n_2+2$  级移位寄存器单元的第二补偿控制信号。第  $n_2+2$  级移位寄存器单元（例如，第三级移位寄存器单元 A3）的显示输入信号端 STU2 和第  $n_2$  级移位寄存器单元（例如，第一级移位寄存器单元 A1）的移位信号输出端 CR 连接， $n_2$  为大于 0 的整数。

例如，如图 10C 所示，在一些示例中，每级移位寄存器单元的第一补偿控制信号端 OE1 接收外部随机信号，除了最后三级移位寄存器单元之外，第  $n_2+3$  级移位寄存器单元（例如，第四级移位寄存器单元 A4）的移位信号输出端 CR 连接第  $n_2$  级移位寄存器单元（例如，第一级移位寄存器单元 A1）的第二补偿控制信号端 OE2，即第  $n_2+3$  级移位寄存器单元的移位信号输出端输出的信号作为第  $n_2$  级移位寄存器单元的第二补偿控制信号。第  $n_2+2$  级移位寄存器单元（例如，第三级移位寄存器单元 A3）的显示输入信号端 STU2 和第  $n_2$  级移位寄存器单元（例如，第一级移位寄存器单元 A1）的移位信号输出端 CR 连接， $n_2$  为大于 0 的整数。

例如，如图 10D 所示，在一些示例中，每级移位寄存器单元的第二补偿控制信号端 OE2 接收外部随机信号，除了第一级移位寄存器单元 A1 和第二级移位寄存器单元 A2 外，第  $n_2+2$  级移位寄存器单元（例如，第三级移位寄存器单元 A3）的第一补偿控制信号端 OE1 连接第  $n_2$  级移位寄存器单元（例如，第一级移位寄存器单元 A1）的移位信号输出端 CR，即第  $n_2$  级移位寄存器单元的移位信号输出端输出的信号作为第  $n_2+2$  级移位寄存器单元的第一补偿控制信号。第  $n_2+2$  级移位寄存器单元（例如，第三级移位寄存器单元 A3）的显示输入信号端 STU2 和第  $n_2$  级移位寄存器单元（例如，第一级移位寄存器单元 A1）的移位信号输出端 CR 连接， $n_2$  为大于 0 的整数。

例如，如图 10E 所示，在一些示例中，除了第一级移位寄存器单元 A1 和第二级移位寄存器单元 A2 外，第  $n_2$  级移位寄存器单元（例如，第一级移位寄存器单元 A1）的移位信号输出端 CR 连接第  $n_2+2$  级移位寄存器单元（例如，第三级移位寄存器单元 A3）的第二补偿控制信号端 OE2，即第  $n_2$  级移位寄存

器单元的移位信号输出端输出的信号作为所述第  $n_2+2$  级移位寄存器单元的第二补偿控制信号。第  $n_2$  级移位寄存器单元(例如,第一级移位寄存器单元 A1)的移位信号输出端 CR 连接第  $n_2+2$  级移位寄存器单元(例如,第三级移位寄存器单元 A3)的消隐控制信号端 BP 和显示控制信号端 DP, 即第  $n_2$  级移位寄存器单元的移位信号输出端输出的信号还作为第  $n_2+2$  级移位寄存器单元的消隐控制信号和显示控制信号。第  $n_2+2$  级移位寄存器单元(例如,第三级移位寄存器单元 A3)的显示输入信号端 STU2 还和第  $n_2$  级移位寄存器单元(例如,第一级移位寄存器单元 A1)的移位信号输出端 CR 连接,  $n_2$  为大于 0 的整数。

例如,如图 10E 所示,当第  $n_2$  级移位寄存器单元的移位信号输出端 CR 连接第  $n_2+2$  级移位寄存器单元的消隐控制信号端 BP 时,每个移位寄存器单元还可以包括第二防漏电电路,第二防漏电电路可以包括第五防漏电晶体管 M4b 和第六防漏电晶体管 M21。第二防漏电电路被配置为在第一节点 Q 为高电平时,防止第一节点 Q 处的电荷经由第四晶体管 M4a 漏电。第五防漏电晶体管 M4b 的栅极连接到第四晶体管 M4a 的栅极(即,第  $n_2+2$  级移位寄存器单元的第五防漏电晶体管 M4b 的栅极连接到第  $n_2$  级移位寄存器单元的移位信号输出端 CR),第五防漏电晶体管 M4b 的第一极连接到第四晶体管 M4a 的第二极,第五防漏电晶体管 M4b 的第二极连接到第一节点 Q。第六防漏电晶体管 M21 的栅极连接到第一节点 Q,第六防漏电晶体管 M21 的第一极连接到第六电压端 VDD,第六防漏电晶体管 M21 的第二极连接到第五防漏电晶体管 M4b 的第一极。类似地,利用第二防漏电电路进行防漏电的原理与利用第一防漏电电路防漏电的原理类似,此处不再赘述。

例如,栅极驱动电路 20 还可以包括时序控制器 T-CON,时序控制器 T-CON 例如配置为向各级移位寄存器单元提供上述各个时钟信号,时序控制器 T-CON 还可以被配置为提供触发信号和复位信号。需要说明的是,时序控制器 T-CON 提供的多个时钟信号彼此之间的相位关系可以根据实际需求而定。在不同的示例中,根据不同的配置,还可以提供更多的时钟信号。例如,该栅极驱动电路 20 还包括多条电压线,以向各级移位寄存器单元提供多个电压信号。

例如,当采用该栅极驱动电路 20 驱动显示面板时,可以将该栅极驱动电路 20 设置于显示面板的一侧。当然,还可以分别在显示面板的两侧设置该栅极驱动电路 20,以实现双边驱动,本公开的实施例对栅极驱动电路 20 的设置方式不作限制。例如,可以在显示面板的一侧设置栅极驱动电路 20 以用于驱

动奇数行栅线，而在显示面板的另一侧设置栅极驱动电路 20 以用于驱动偶数行栅线。

图 11 为本公开一些实施例提供的一种栅极驱动电路的信号时序图，该信号时序图为图 9 中所示的栅极驱动电路 20 的时序，该栅极驱动电路 20 中的移位寄存器单元为图 6A 中所示的移位寄存器单元 10。栅极驱动电路 20 的工作原理可参考本公开的实施例中对于移位寄存器单元 10 的相应描述，重复之处不再赘述。

需要说明的是，在图 11 中， $Q<5>$ 和 $Q<6>$ 分别表示栅极驱动电路 20 中第五级和第六级移位寄存器单元中第一节点 Q。 $OT1<5>$ 和 $OT2<5>$ 分别表示栅极驱动电路 20 中的第五级移位寄存器单元中第一像素信号输出端 OT1 和第二像素信号输出端 OT2， $OT1<6>$ 和 $OT2<6>$ 分别表示栅极驱动电路 20 中的第六级移位寄存器单元中第一像素信号输出端 OT1 和第二像素信号输出端 OT2。MF 表示第 M 帧，M 为正整数。DS 表示一帧中的显示时段，BL 表示一帧中的消隐时段。需要说明的是，由于每一级移位寄存器单元中的第一像素信号输出端 15 OT1 和移位信号输出端 CR 的电位相同，所以在图 11 中未示出移位信号输出端 CR。值得注意的是，图 8 和图 11 所示的信号时序图中的信号电平只是示意性的，不代表真实电平值。

例如，在显示时段 DS，移位寄存器单元 10 向多行栅线逐行输出扫描驱动信号，直至向最后一行栅线输出扫描驱动信号后完成一帧的显示。例如，在第 20 M 帧中，第 n 行子像素单元需要进行检测补偿，第 n 行子像素单元与第 n 级移位寄存器单元 10 的输出端连接，从而在消隐时段 BL，第 n 级移位寄存器单元 10 的第一像素信号输出端 OT1 输出高电平信号，以对第 n 行子像素单元进行检测。

例如，如图 9、图 10A 和图 11 所示，若在第 M 帧内，需要对第五行子像素单元进行检测，第五行子像素单元与第五级移位寄存器单元对应。在第 M 帧内，外部控制电路将第五级移位寄存器单元的移位信号输出端 CR 输出的信号输出至每级移位寄存器单元的第一补偿控制信号端 OE1，即外部控制电路提供的第一补偿控制信号与第五级移位寄存器单元的移位信号输出端 CR 输出的信号的波形脉冲宽度相同。由于在图 9 和图 10A 所示的示例中，第  $n_2$  级移位寄存器单元的第二补偿控制信号端 OE2 连接第  $n_2$  级移位寄存器单元的移位信号输出端 CR，由此，在显示时段 DS 的第 2 阶段，当第五级移位寄存器单元的移

位信号输出端 CR 输出高电平信号时，如图 6A 所示，第五级移位寄存器单元的充电子电路 110 中的第一晶体管 M1 和第二晶体管 M2 均导通，由此，第六电压端 VDD 提供的第六电压被写入第五级移位寄存器单元的控制节点 H，以将第五级移位寄存器单元的控制节点 H 拉高至高电平。

5 例如，如图 11 所示，第一子时钟信号 CLK\_1、第二子时钟信号 CLK\_2、第三子时钟信号 CLK\_3 和第四子时钟信号 CLK\_4 在一帧的显示时段内的波形依次重叠有效脉宽的 50%，第一至第四级移位寄存器单元 A1-A4 的第一像素信号输出端 OT1 的输出信号 OT1<1>、OT1<2>、OT1<3>和 OT1<4>在一帧的显示时段内的波形依次重叠有效脉宽的 50%。第五子时钟信号 CLK\_5、第六子时钟信号 CLK\_6、第七子时钟信号 CLK\_7、第八子时钟信号 CLK\_8 在一帧的显示时段内的波形也依次重叠有效脉宽的 50%，第一至第四级移位寄存器单元 A1-A4 的第二像素信号输出端 OT2 的输出信号 OT2<1>、OT2<2>、OT2<3>和 OT2<4>在一帧的显示时段内的波形也依次重叠有效脉宽的 50%。该栅极驱动电路 20 在显示时段内的输出信号的波形有重叠，因此可以实现预充电功能，提高充电效率，可缩短像素电路的整体充电时间（即一帧中的显示时段的时间），有利于实现高刷新率。此时，显示面板上的位于奇数行的像素和位于偶数行的像素可以分别连接不同的数据线，从而在相邻两行像素单元同时被充电时，相邻两行像素单元可以分别接收对应的数据信号。

20 需要说明的是，本公开的各实施例中，栅极驱动电路 20 不局限于图 9 中描述的级联方式，可以为任意适用的级联方式。当级联方式或时钟信号改变时，第一至第四级移位寄存器单元 A1-A4 的第一像素信号输出端 OT1 的输出信号 OT1<1>、OT1<2>、OT1<3>和 OT1<4>在显示时段内的波形重叠部分也会相应变化，第一至第四级移位寄存器单元 A1-A4 的第二像素信号输出端 OT2 的输出信号 OT2<1>、OT2<2>、OT2<3>和 OT2<4>在显示时段内的波形重叠部分也会相应变化，例如重叠 33%或 0%（即不重叠），以满足多种应用需求。

25 例如，如图 11 所示，由于第五级移位寄存器单元的第一像素信号输出端 OT1 输出的信号的波形和第六级移位寄存器单元的第一像素信号输出端 OT1 输出的信号的波形有重叠，由此，在第二阶段 2，在对第五级移位寄存器单元的控制节点 H 进行充电的过程中，当第六级移位寄存器单元的移位信号输出端 CR 输出高电平信号时，第六级移位寄存器单元的充电子电路 110 中的第一晶体管 M1 和第二晶体管 M2 也均导通，由此，第六电压端 VDD 提供的第六电

压被写入第六级移位寄存器单元的控制节点 H，以将第六级移位寄存器单元的控制节点 H 拉高至高电平。在第一补偿控制信号为低电平时，第五级移位寄存器单元的控制节点 H 和第六级移位寄存器单元的控制节点 H 的电位可以能够一直保持至消隐时段 BL。

5 例如，如图 6A 和图 11 所示，在消隐时段 BL 的第 5 阶段，第一时钟信号 CLKA 为高电平信号，从而所有级移位寄存器单元的第三晶体管 M3 导通，由于第五级移位寄存器单元的控制节点 H 和第六级移位寄存器单元的控制节点 H 均为高电平，由此，第五级移位寄存器单元的第一节点 Q 和第六级移位寄存器单元的第一节点 Q 被充电至高电平。

10 例如，在消隐时段 BL 的第 6 阶段，与第五级移位寄存器单元连接的第一子时钟信号 CLK\_1（用于提供第一输出时钟信号线 CLKD）提供高电平信号，与第五级移位寄存器单元连接的第五子时钟信号线 CLK\_5（用于提供第二输出时钟信号 CLKE）提供脉冲信号，由此，第五级移位寄存器单元的第一像素信号输出端 OT1 输出高电平信号，第五级移位寄存器单元的第二像素信号输出端 OT2 输出脉冲信号。由此，在第 M 帧时段内，可以实现对第五行子像素单元进行检测。

20 而与第六级移位寄存器单元连接的第二子时钟信号线 CLK\_2（用于提供第一输出时钟信号 CLKD）提供低电平信号，与第六级移位寄存器单元连接的第六子时钟信号线 CLK\_6（用于提供第二输出时钟信号 CLKE）也提供低电平信号，由此第六级移位寄存器单元的第一像素信号输出端 OT1 和第二像素信号输出端 OT2 均输出低电平信号。由此，在第 M 帧时段内，不会对第六行子像素单元（其与第六级移位寄存器单元对应）进行检测。

25 需要说明的是，在进行随机检测补偿时，若需要对第 W 行子像素进行检测，第 W 行子像素对应第 W 级移位寄存器单元，则每级移位寄存器单元的第一补偿控制信号可以根据第 W 级移位寄存器单元的第二补偿控制信号而变化，以保证第 W 级移位寄存器单元的第二晶体管 M2 导通时，第 W 级移位寄存器单元的第一晶体管 M1 也同时导通。例如，W 为正整数。例如，在图 10B 所示的示例中，当需要对第五行子像素单元进行检测，由于第  $n_2+2$  级移位寄存器单元的第二补偿控制信号端 OE2 连接第  $n_2$  级移位寄存器单元的移位信号输出端 CR，则外部控制电路将第三级移位寄存器单元的移位信号输出端 CR 输出的信号输出至每级移位寄存器单元的第一补偿控制信号端 OE1。又例如，在图

10C 所示的示例中，当需要对第五行子像素单元进行检测，由于第  $n_2+3$  级移位寄存器单元的移位信号输出端 CR 连接第  $n_2$  级移位寄存器单元的第二补偿控制信号端 OE2，则外部控制电路将第八级移位寄存器单元的移位信号输出端 CR 输出的信号输出至每级移位寄存器单元的第一补偿控制信号端 OE1。

5 例如，显示时段 DS 和消隐时段 BL 中其他阶段的相关描述可以参考上述移位寄存器单元中对显示时段 DS 和消隐时段 BL 中其他阶段的详细说明，重  
复之处在此不再赘述。

图 12 为本公开一些实施例提供的一种显示装置的示意性框图。例如，如  
10 图 12 所示，显示装置 30 包括栅极驱动电路 20，该栅极驱动电路 20 包括本公  
开任一实施例所述的栅极驱动电路。

显示装置 30 的技术效果可以参考上述实施例中关于移位寄存器单元 10 和  
栅极驱动电路 20 的相应描述，这里不再赘述。

15 例如，本实施例中的显示装置 30 可以为：液晶面板、液晶电视、显示器、  
OLED 面板、OLED 电视、OLED 显示器、电子纸显示装置、手机、平板电脑、  
笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

例如，在一个示例中，显示装置 30 包括显示面板 3000、栅极驱动器 3010、  
20 定时控制器 3020 和数据驱动器 3030。显示面板 3000 包括多个像素单元 P，多  
个像素单元 P 由多条栅线 GL 和多条数据线 DL 交叉限定。栅极驱动器 3010 用  
于驱动多条栅线 GL；数据驱动器 3030 用于驱动多条数据线 DL；定时控制器  
3020 用于处理从显示装置 30 外部输入的图像数据 RGB，向数据驱动器 3030  
提供处理的图像数据 RGB 以及向栅极驱动器 3010 和数据驱动器 3030 输出扫  
描控制信号 GCS 和数据控制信号 DCS，以对栅极驱动器 3010 和数据驱动器  
3030 进行控制。

例如，栅极驱动器 3010 包括上述任一实施例中提供的栅极驱动电路 20。  
25 栅极驱动电路 20 中的多个移位寄存器单元 10 的第一像素信号输出端 OT1 与  
多条栅线 GL 对应连接。栅极驱动电路 20 中的各级移位寄存器单元 10 的第一  
像素信号输出端 OT1 依序输出扫描驱动信号到多条栅线 GL，以使显示面板  
3000 中的多行像素单元 P 在显示时段实现逐行扫描，并在消隐时段实现随机  
补偿检测。例如，栅极驱动器 3010 可以实现为半导体芯片，也可以集成在显  
示面板 3000 中以构成 GOA 电路。

30 例如，数据驱动器 3030 向多条数据线 DL 提供转换的数据信号。例如，数

据驱动器 3030 可以实现为半导体芯片。

例如，定时控制器 3020 对外部输入的图像数据 RGB 进行处理以匹配显示面板 3000 的大小和分辨率，然后向数据驱动器 3030 提供处理后的图像数据。定时控制器 3020 使用从显示装置 30 外部输入的同步信号(例如点时钟 DCLK、

5 数据使能信号 DE、水平同步信号 Hsync 以及垂直同步信号 Vsync ) 产生多条扫描控制信号 GCS 和多条数据控制信号 DCS。定时控制器 3020 分别向栅极驱动器 3010 和数据驱动器 3030 提供产生的扫描控制信号 GCS 和数据控制信号 DCS，以用于栅极驱动器 3010 和数据驱动器 3030 的控制。

需要说明的是，显示装置 30 还可以包括其他部件，例如信号解码电路、  
10 电压转换电路等，这些部件例如可以采用已有的常规部件，这里不再详述。

本公开至少一些实施例还提供一种移位寄存器单元的驱动方法，可以用于驱动本公开任一实施例提供的移位寄存器单元。

15 图 13 为本公开一些实施例提供的一种移位寄存器单元的驱动方法的流程图。驱动方法可以包括用于一帧的显示时段和消隐时段。如图 13 所示，驱动方法可以包括如下操作：

在一帧的显示时段，包括：

S10：第一输入阶段，响应于显示输入信号，通过显示输入电路将显示控制信号输入到第一节点；

20 S11：第一输出阶段，在第一节点的电平的控制下，通过输出电路将复合输出信号输出至输出端；

S12：充电阶段，响应于第一补偿控制信号和第二补偿控制信号，通过充电子电路将消隐控制信号输入到控制节点；

在一帧的消隐时段，包括：

25 S20：第二输入阶段，响应于消隐输入信号，通过消隐输入电路将消隐控制信号输入到第一节点；

S21：第二输出阶段，在第一节点的电平的控制下，通过输出电路将复合输出信号输出至输出端。

30 例如，在一个示例中，在移位寄存器单元 10 包括第三控制电路 700 的情形下，步骤 S10 还包括：响应于第二控制信号通过第三控制电路对第二节点的电平进行控制，以将第二节点的电平下拉至非工作电位。

例如，在一些示例中，输出端包括移位信号输出端和第一像素信号输出端，

输出电路包括第一输出晶体管和第二输出晶体管。步骤 S11 可以包括：在第一节点的电平的控制下，经由第一输出晶体管将显示移位信号传输至移位信号输出端，经由第二输出晶体管将显示输出信号传输至第一像素信号输出端。复合输出信号包括显示输出信号和显示移位信号。例如，显示输出信号可以用于驱动显示面板中的子像素单元进行显示。

需要说明的是，步骤 S11 和步骤 S12 并没有先后顺序，步骤 S12 可以在步骤 S11 之前执行；步骤 S12 可以在步骤 S11 之后执行；步骤 S12 和步骤 S11 可以同时执行。

例如，在另一个示例中，在移位寄存器单元 10 包括第二控制电路 600 的情形下，步骤 S20 还包括：响应于第一控制信号通过第二控制电路对第二节点的电平进行控制，以将第二节点的电平下拉至非工作电位。

例如，在一些示例中，步骤 S21 可以包括：在第一节点的电平的控制下，经由第一输出晶体管将消隐移位信号传输至移位信号输出端，经由第二输出晶体管将消隐输出信号传输至第一像素信号输出端。复合输出信号包括消隐输出信号和消隐移位信号。例如，消隐输出信号可以用于驱动显示面板中的子像素单元进行外部补偿。

需要说明的是，在上述移位寄存器单元的实施例中，第一输出信号可以包括显示移位信号和消隐移位信号，第二输出信号包括显示输出信号和消隐输出信号。如图 8 所示，显示输出信号可以为在显示时段由第一像素信号输出端输出的信号，显示移位信号可以在显示时段由移位信号输出端输出的信号，显示移位信号和显示输出信号可以相同，显示输出信号例如可以为脉冲信号；消隐输出信号可以在消隐时段由第一像素信号输出端输出的信号，消隐移位信号可以在消隐时段由移位信号输出端输出的信号，消隐移位信号和消隐输出信号也可以相同，消隐输出信号例如可以为高电平信号。

例如，在显示时段，在步骤 S12 之后，驱动方法还可以包括：显示复位阶段，在显示复位信号的控制下，对第一节点进行复位；在第二节点的电平的控制下，通过降噪电路对第一节点、移位信号输出端、第一像素信号输出端和第二像素信号输出端进行降噪。

例如，在消隐时段，在步骤 S21 之后，驱动方法还可以包括：消隐复位阶段，在消隐复位信号和消隐输入信号的控制下，对第一节点和控制节点进行复位。

需要说明的是，关于该驱动方法的详细描述以及技术效果可以参考本公开的实施例中对于移位寄存器单元 10 和栅极驱动电路 20 的相应描述，这里不再赘述。

对于本公开，还有以下几点需要说明：

5 (1) 本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

(2) 在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

以上所述仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，  
10 本公开的保护范围应以所述权利要求的保护范围为准。

## 权利要求书

1、一种移位寄存器单元，包括：消隐输入电路、显示输入电路、输出电路、控制节点和第一节点；

5 其中，所述消隐输入电路被配置为响应于消隐输入信号在消隐时段将消隐控制信号输入到所述第一节点，所述消隐输入电路包括充电子电路，所述充电子电路被配置为响应于第一补偿控制信号和第二补偿控制信号，将所述消隐控制信号输入到所述控制节点；

10 所述显示输入电路被配置为响应于显示输入信号在显示时段将显示控制信号输入到所述第一节点；

所述输出电路被配置为在所述第一节点的电平的控制下，将复合输出信号输出至输出端。

2、根据权利要求 1 所述的移位寄存器单元，其中，所述第一补偿控制信号和所述第二补偿控制信号其中之一为随机信号。

15 3、根据权利要求 1 或 2 所述的移位寄存器单元，其中，所述充电子电路包括第一晶体管和第二晶体管，

所述第一晶体管的栅极被配置为接收所述第一补偿控制信号，所述第一晶体管的第一极被配置为与消隐控制信号端连接以接收所述消隐控制信号，所述第一晶体管的第二极被配置为与所述第二晶体管的第一极连接，

20 所述第二晶体管的第二极被配置为与所述控制节点连接，所述第二晶体管的栅极被配置为接收所述第二补偿控制信号。

4、根据权利要求 1-3 任一项所述的移位寄存器单元，其中，所述消隐输入电路还包括：

存储子电路，被配置为存储所述充电子电路输入的所述消隐控制信号；

25 隔离子电路，被配置为在所述消隐输入信号的控制下，将所述消隐控制信号输入到所述第一节点。

5、根据权利要求 4 所述的移位寄存器单元，其中，所述存储子电路包括第一电容，所述第一电容的第一极被配置为和所述控制节点连接，所述第一电容的第二极被配置为与第一电压端连接以接收第一电压；

30 所述隔离子电路包括第三晶体管，所述第三晶体管的栅极被配置为与消隐输入信号端连接以接收所述消隐输入信号，所述第三晶体管的第一极被配置为

与所述控制节点连接，所述第三晶体管的第二极被配置为与所述第一节点连接。

6、根据权利要求 1-5 任一项所述的移位寄存器单元，其中，所述显示输入电路包括第四晶体管，

所述第四晶体管的栅极与显示输入信号端连接以接收所述显示输入信号，

5 所述第四晶体管的第一极与显示控制信号端连接以接收所述显示控制信号，所述第四晶体管的第二极与所述第一节点连接。

7、根据权利要求 1-6 任一项所述的移位寄存器单元，其中，所述输出端包括移位信号输出端和第一像素信号输出端，

所述输出电路包括第一输出晶体管、第二输出晶体管和第二电容；

10 所述第一输出晶体管的栅极与所述第一节点连接，所述第一输出晶体管的第一极与第一输出时钟信号端连接以接收第一输出时钟信号，所述第一输出晶体管的第二极与所述移位信号输出端连接；

所述第二输出晶体管的栅极和所述第一节点连接，所述第二输出晶体管的第一极与所述第一输出时钟信号端连接以接收所述第一输出时钟信号，所述第15二输出晶体管的第二极与所述第一像素信号输出端连接；

所述第二电容的第一极和所述第一节点连接，所述第二电容的第二极与所述第一输出晶体管的第二极连接；

20 所述第一输出时钟信号经由所述第一输出晶体管传输至所述移位信号输出端以作为第一输出信号，所述第一输出时钟信号经由所述第二输出晶体管传输至所述第一像素信号输出端以作为第二输出信号，所述复合输出信号包括所述第一输出信号和所述第二输出信号。

8、根据权利要求 7 所述的移位寄存器单元，其中，所述输出端还包括第二像素信号输出端，所述输出电路还包括第三输出晶体管，

25 所述第三输出晶体管的栅极与所述第一节点连接，所述第三输出晶体管的第一极与第二输出时钟信号端连接以接收第二输出时钟信号，所述第三输出晶体管的第二极与所述第二像素信号输出端连接，

所述第二输出时钟信号经由所述第三输出晶体管传输至所述第二像素信号输出端以作为第三输出信号，所述复合输出信号还包括所述第三输出信号。

9、根据权利要求 1-8 任一项所述的移位寄存器单元，其中，所述消隐控制信号和所述显示控制信号相同。

10、根据权利要求 1-9 任一项所述的移位寄存器单元，还包括：降噪电路、

第一控制电路和第二节点，

其中，所述降噪电路被配置为在所述第二节点的电平的控制下，对所述第一节点和所述输出端进行降噪；

所述第一控制电路配置为在所述第一节点的电平的控制下，对所述第二节点的电平进行控制；

11、根据权利要求 10 所述的移位寄存器单元，其中，所述第一控制电路包括第五晶体管、第六晶体管和第七晶体管；

所述第五晶体管的栅极与所述第一节点连接，所述第五晶体管的第一极与所述第二节点连接，所述第五晶体管的第二极与第二电压端连接以接收第二电压；

所述第六晶体管的栅极和第一极连接且被配置为与第三电压端连接以接收第三电压，所述第六晶体管的第二极与所述第二节点连接；

所述第七晶体管的栅极与第一极连接且被配置为与第四电压端连接以接收第四电压，所述第七晶体管的第二极与所述第二节点连接。

12、根据权利要求 10 或 11 所述的移位寄存器单元，其中，所述输出端包括移位信号输出端和第一像素信号输出端，

所述降噪电路包括第一降噪晶体管、第二降噪晶体管和第三降噪晶体管；

所述第一降噪晶体管的栅极与所述第二节点连接，所述第一降噪晶体管的第一极与所述第一节点连接，所述第一降噪晶体管的第二极与第二电压端连接以接收第二电压；

所述第二降噪晶体管的栅极与所述第二节点连接，所述第二降噪晶体管的第一极与所述移位信号输出端连接，所述第二降噪晶体管的第二极与所述第二电压端连接以接收所述第二电压；

25 所述第三降噪晶体管的栅极与所述第二节点连接，所述第三降噪晶体管的第一极与所述第一像素信号输出端连接，所述第三降噪晶体管的第二极与第五电压端连接以接收第五电压。

13、根据权利要求 12 所述的移位寄存器单元，其中，所述输出端还包括第二像素信号输出端，所述降噪电路还包括第四降噪晶体管；

30 所述第四降噪晶体管的栅极与所述第二节点连接，所述第四降噪晶体管的第一极与所述第二像素信号输出端连接，所述第四降噪晶体管的第二极与所述第五电压端连接以接收所述第五电压。

14、根据权利要求 10-13 任一项所述的移位寄存器单元，还包括第二控制电路；其中，

所述第二控制电路被配置为响应于第一控制信号对所述第二节点的电平进行控制。

5 15、根据权利要求 1-14 任一项所述的移位寄存器单元，还包括消隐复位电路和显示复位电路，

其中，所述消隐复位电路被配置为响应于消隐复位信号对所述第一节点进行复位；

10 所述显示复位电路被配置为响应于显示复位信号对所述第一节点进行复位。

16、一种栅极驱动电路，包括多个级联的如权利要求 1-15 任一项所述的移位寄存器单元。

15 17、根据权利要求 16 所述的栅极驱动电路，还包括第一子时钟信号线、第二子时钟信号线、第三子时钟信号线和第四子时钟信号线；其中，在所述移位寄存器单元包括第一输出时钟信号端的情形下，

第  $4n_1-3$  级移位寄存器单元的第一输出时钟信号端与所述第一子时钟信号线连接；

第  $4n_1-2$  级移位寄存器单元的第一输出时钟信号端与所述第二子时钟信号线连接；

20 第  $4n_1-1$  级移位寄存器单元的第一输出时钟信号端与所述第三子时钟信号线连接；

第  $4n_1$  级移位寄存器单元的第一输出时钟信号端与所述第四子时钟信号线连接；

$n_1$  为大于 0 的整数。

25 18、根据权利要求 16 或 17 所述的栅极驱动电路，其中，在所述移位寄存器单元包括显示输入信号端和移位信号输出端的情形下，

第  $n_2+2$  级移位寄存器单元的显示输入信号端和第  $n_2$  级移位寄存器单元的移位信号输出端连接， $n_2$  为大于 0 的整数。

19、根据权利要求 18 所述的栅极驱动电路，其中，

30 所述第  $n_2$  级移位寄存器单元的移位信号输出端输出的信号作为所述第  $n_2+2$  级移位寄存器单元的第二补偿控制信号；或者

所述第  $n_2+3$  级移位寄存器单元的移位信号输出端输出的信号作为所述第  $n_2$  级移位寄存器单元的第二补偿控制信号；或者

所述第  $n_2$  级移位寄存器单元的移位信号输出端输出的信号作为所述第  $n_2$  级移位寄存器单元的第二补偿控制信号；或者

5 所述第  $n_2$  级移位寄存器单元的移位信号输出端输出的信号作为所述第  $n_2+2$  级移位寄存器单元的第二补偿控制信号，所述第  $n_2$  级移位寄存器单元的移位信号输出端输出的信号还作为所述第  $n_2+2$  级移位寄存器单元的消隐控制信号。

10 20、根据权利要求 16-19 任一项所述的栅极驱动电路，还包括消隐输入时钟信号线；

其中，在所述移位寄存器单元包括消隐输入信号端的情形下，每级移位寄存器单元的消隐输入信号端与所述消隐输入时钟信号线连接。

21、一种显示装置，包括如权利要求 16-20 任一项所述的栅极驱动电路。

15 22、一种如权利要求 1-15 任一项所述的移位寄存器单元的驱动方法，包括用于一帧的显示时段和消隐时段：

所述显示时段，包括：

第一输入阶段，响应于所述显示输入信号，通过所述显示输入电路将所述显示控制信号输入到所述第一节点；

20 第一输出阶段，在所述第一节点的电平的控制下，通过所述输出电路将所述复合输出信号输出至所述输出端；

充电阶段，响应于所述第一补偿控制信号和所述第二补偿控制信号，通过所述充电子电路将所述消隐控制信号输入到所述控制节点；

所述消隐时段，包括：

25 第二输入阶段，响应于所述消隐输入信号，通过所述消隐输入电路将所述消隐控制信号输入到所述第一节点；

第二输出阶段，在所述第一节点的电平的控制下，通过所述输出电路将所述复合输出信号输出至所述输出端。

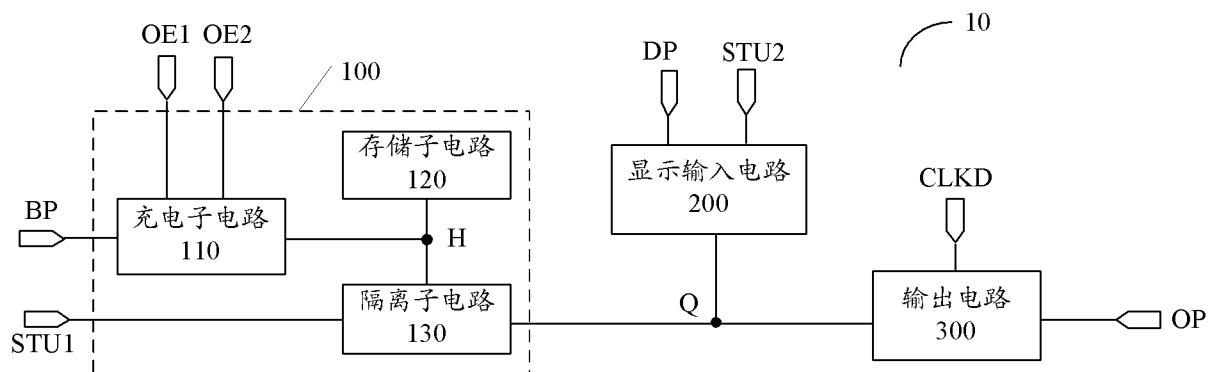


图 1

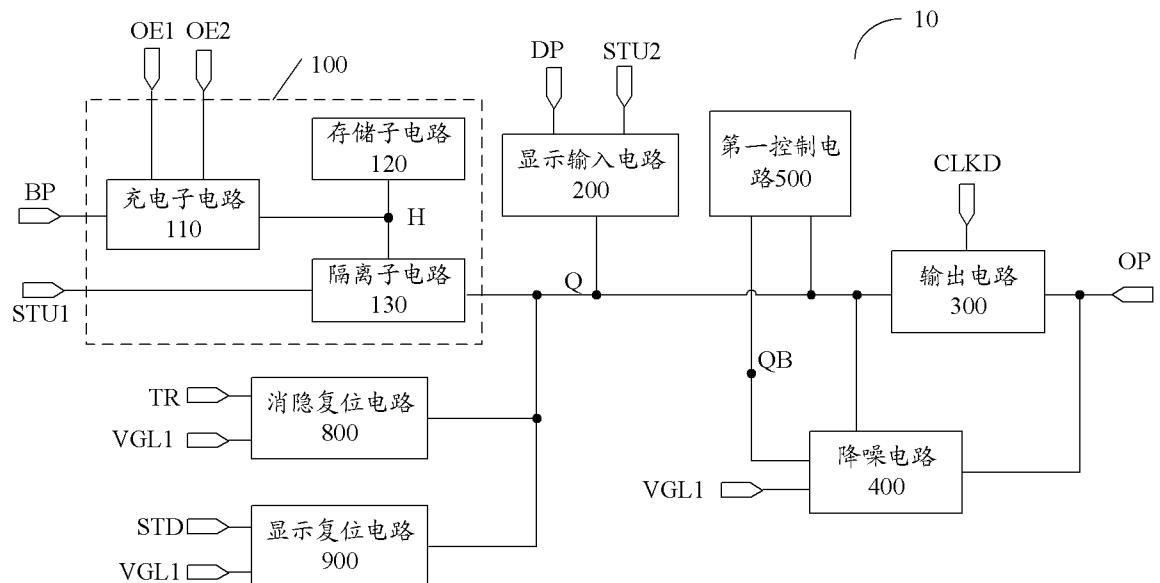


图 2

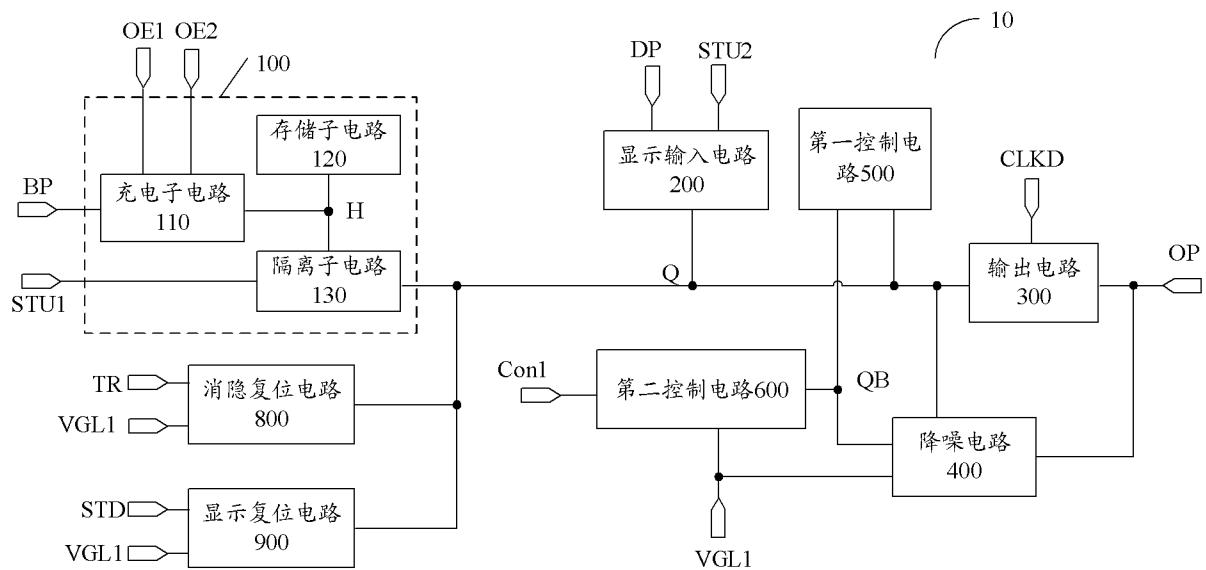


图 3

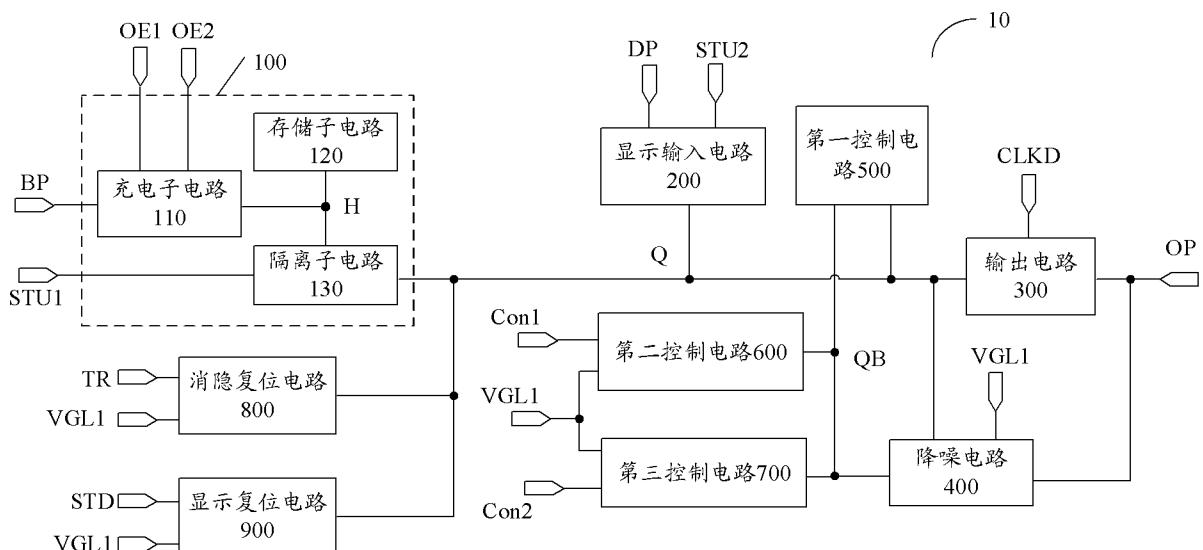


图 4

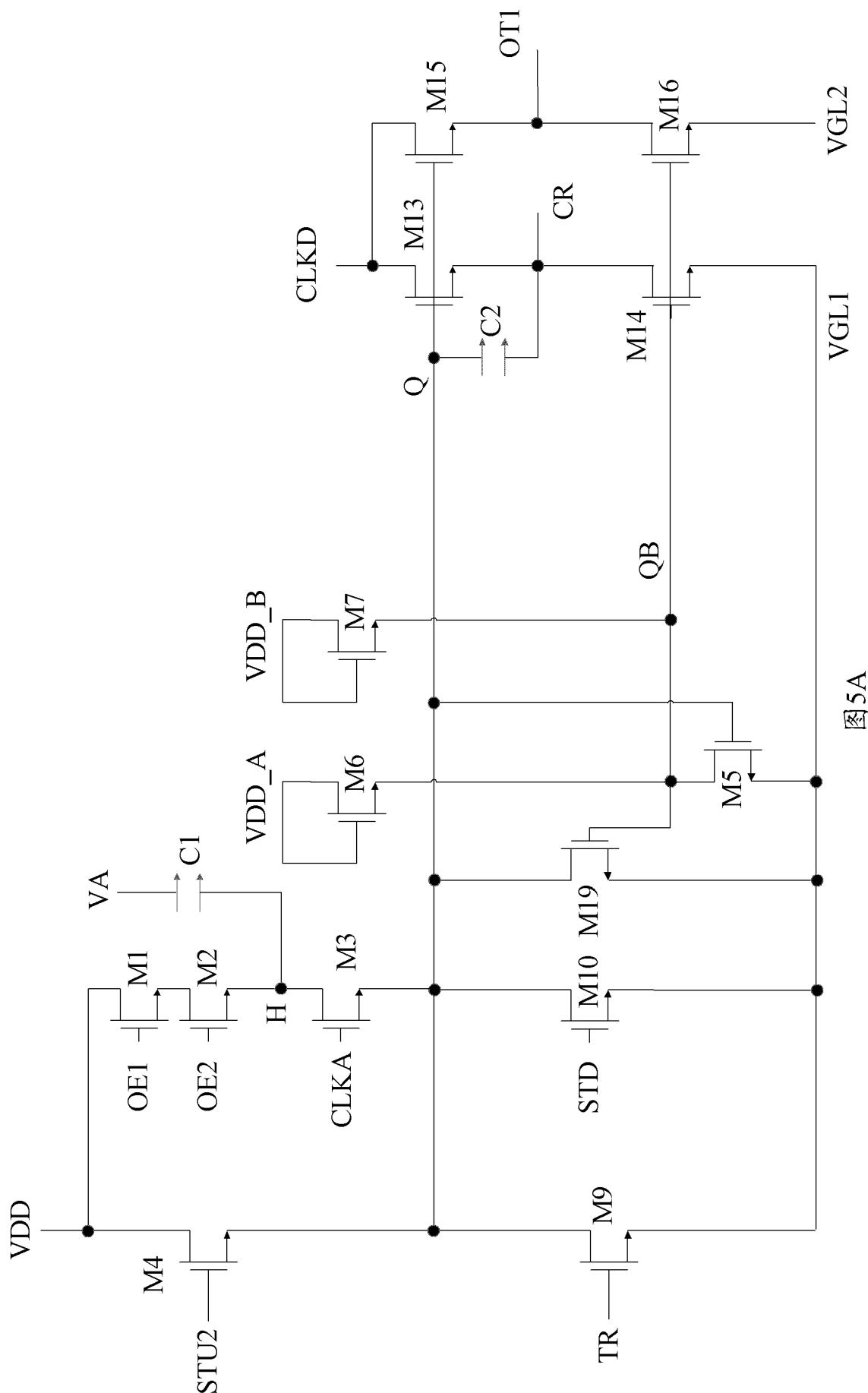
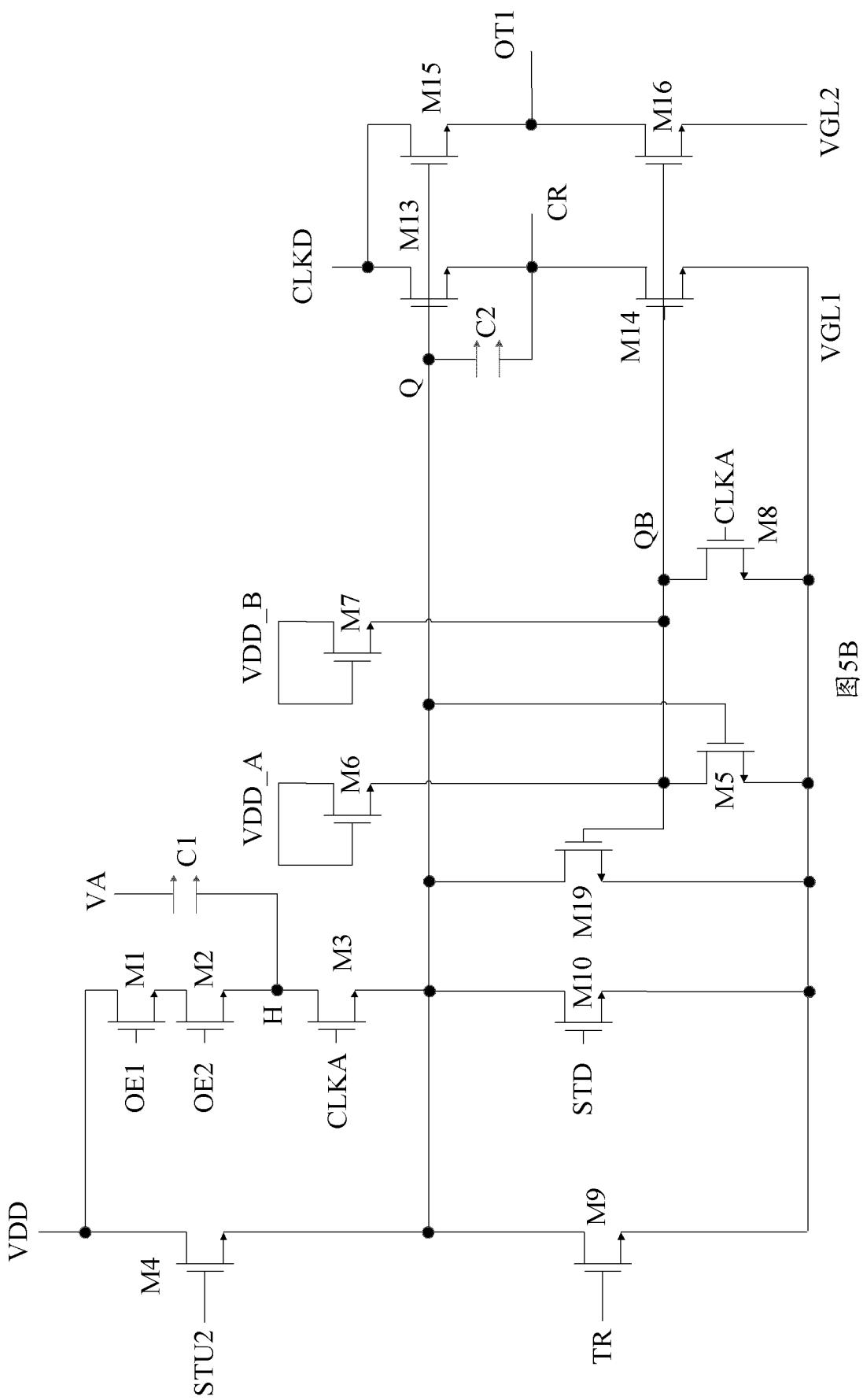


图5A



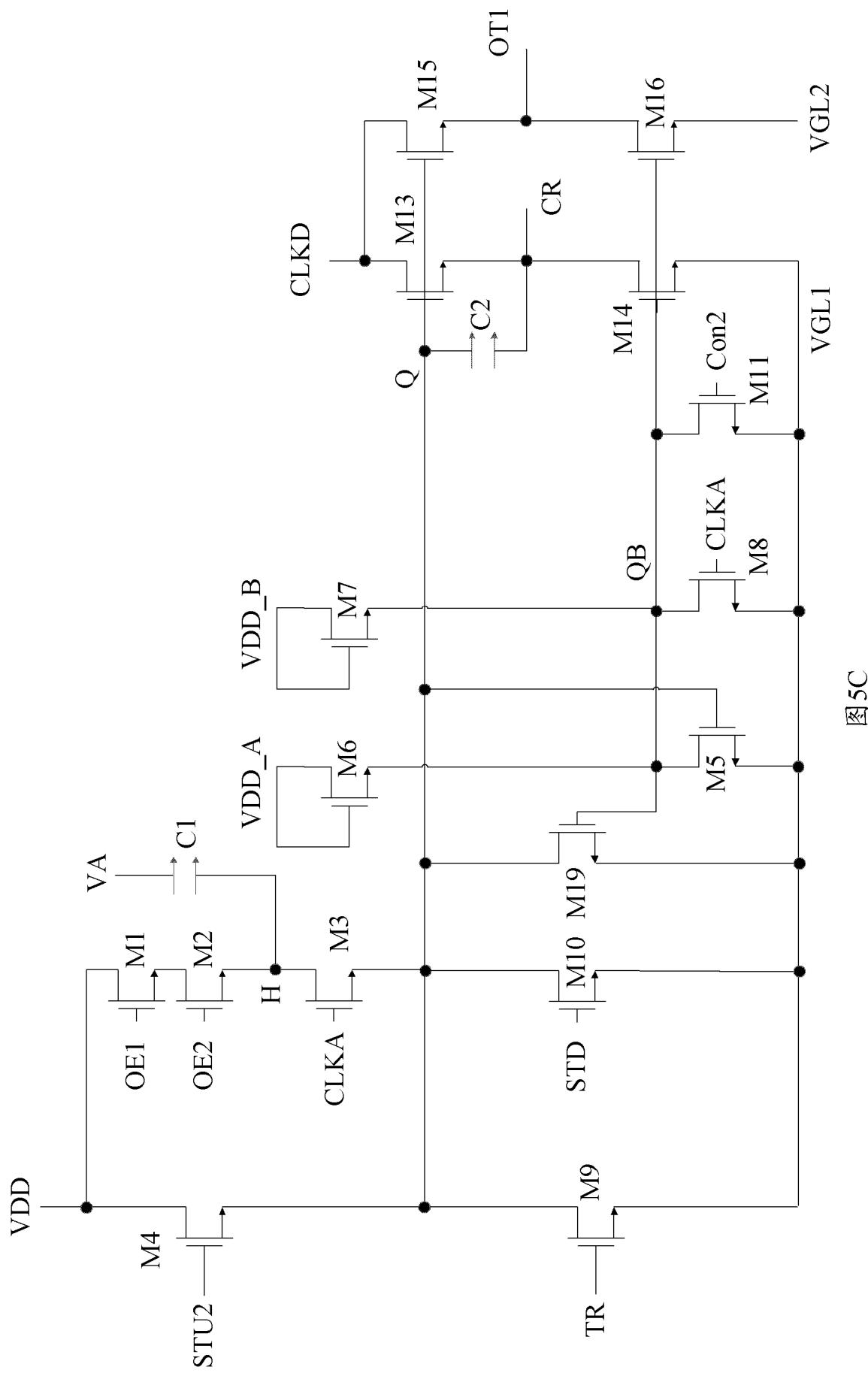
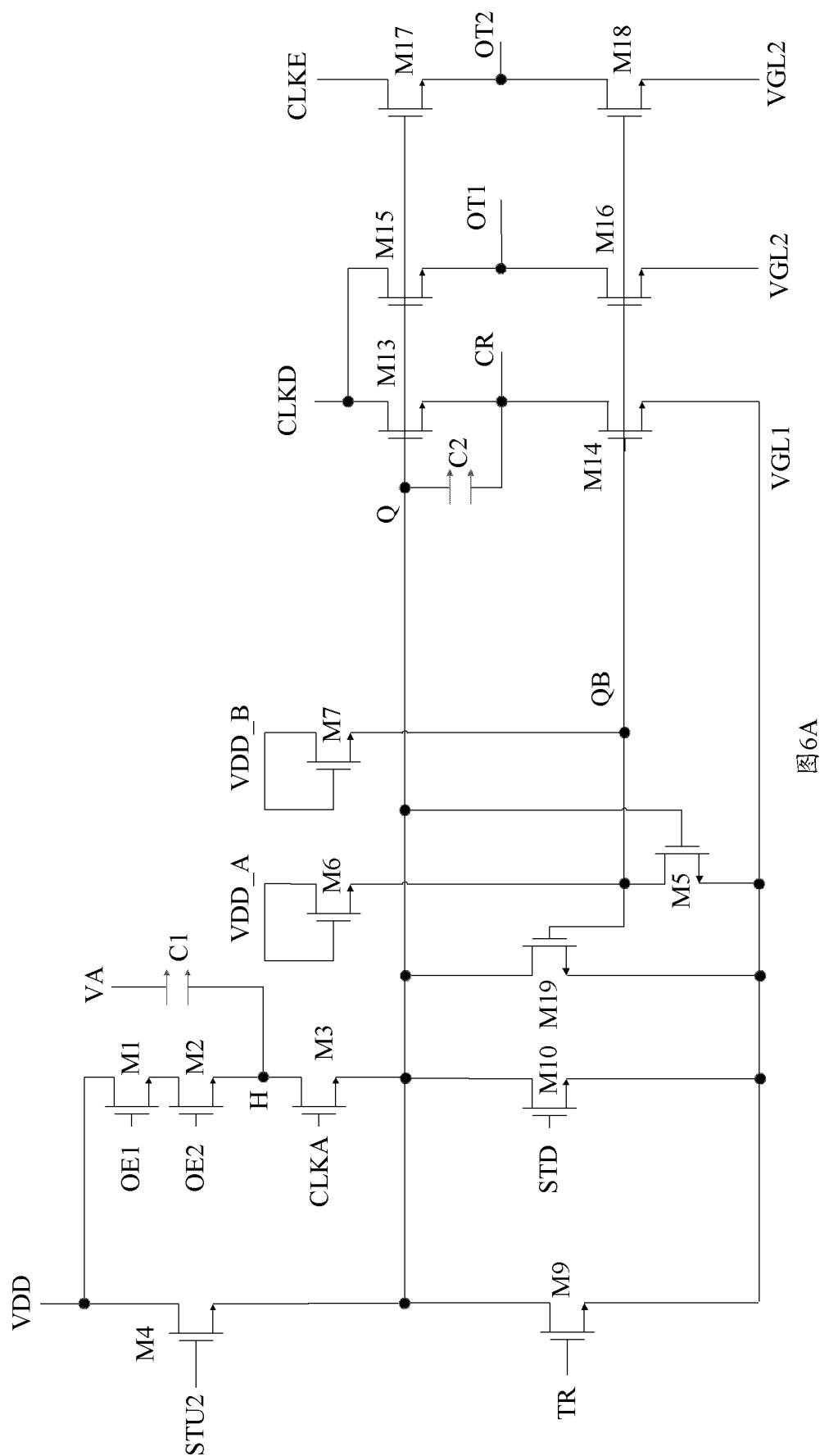


图5C



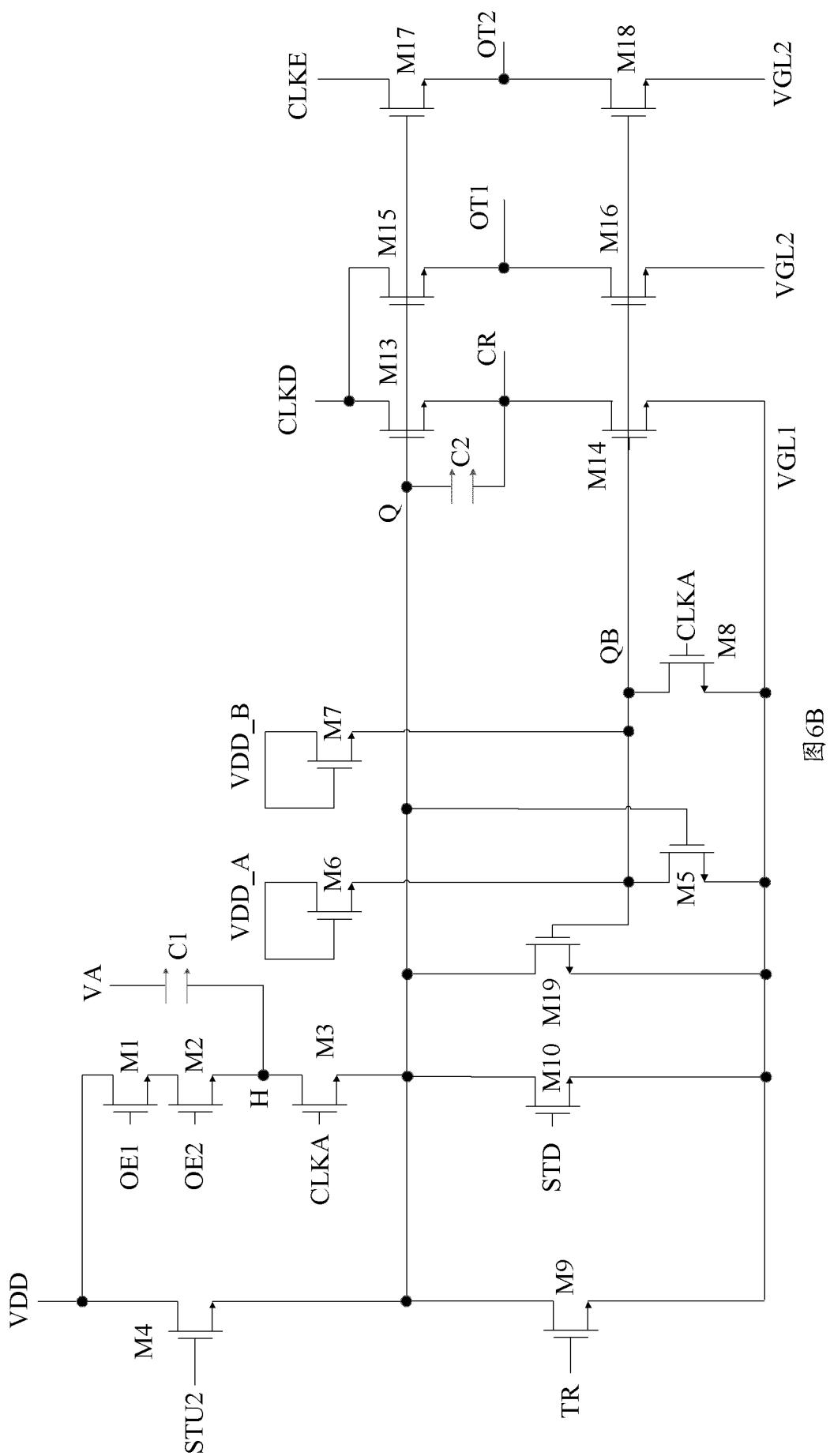
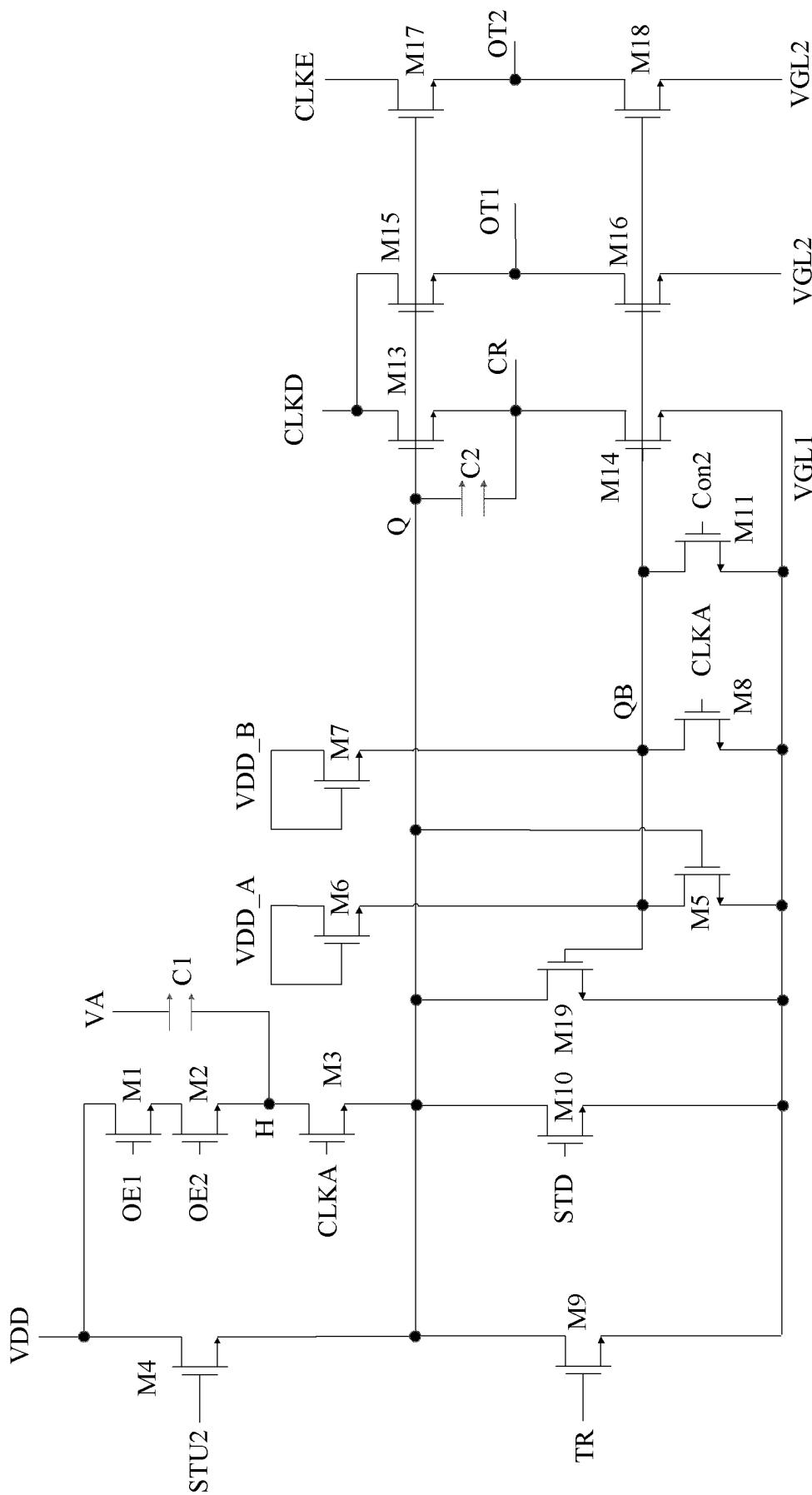


图6B



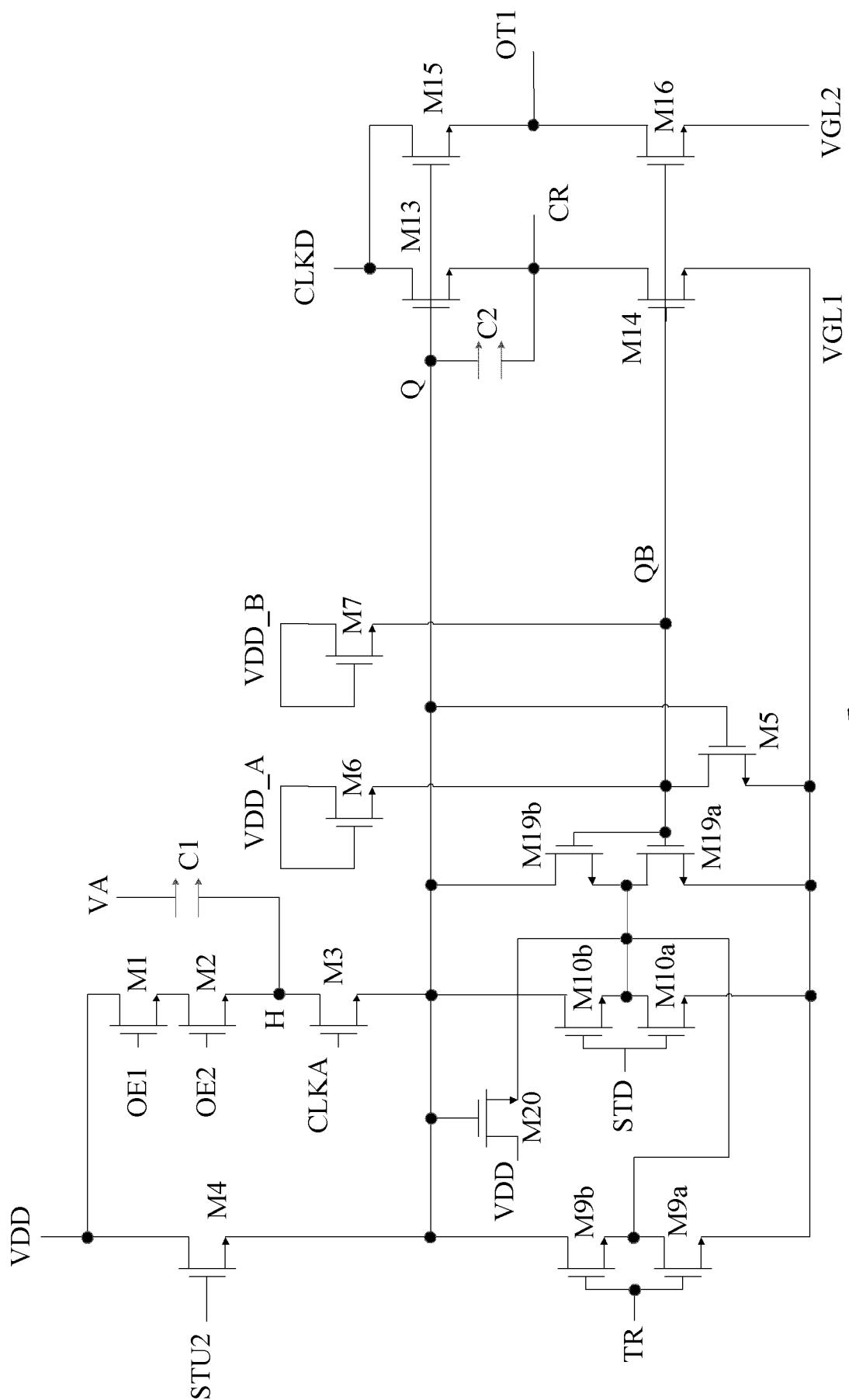


图7

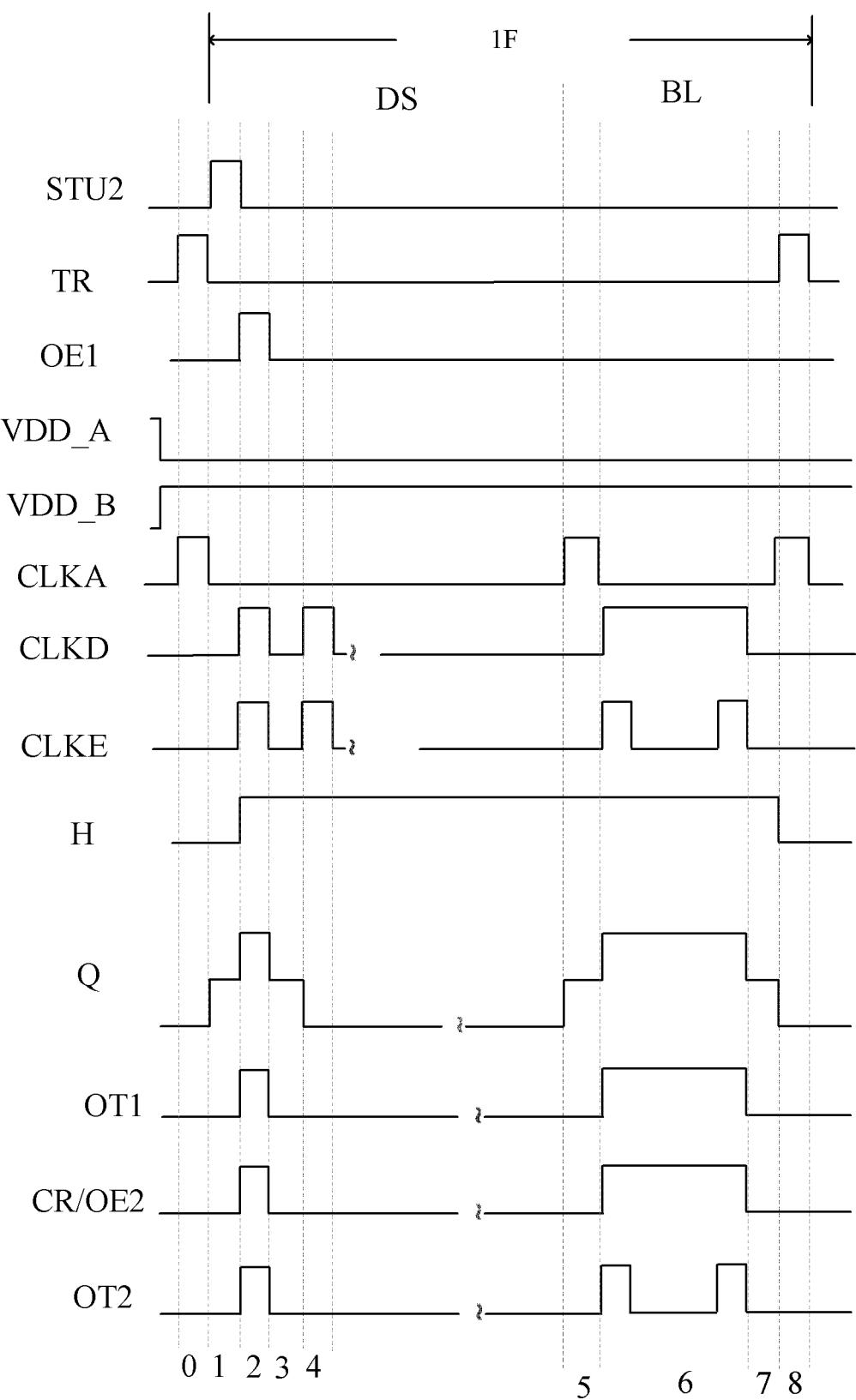


图 8

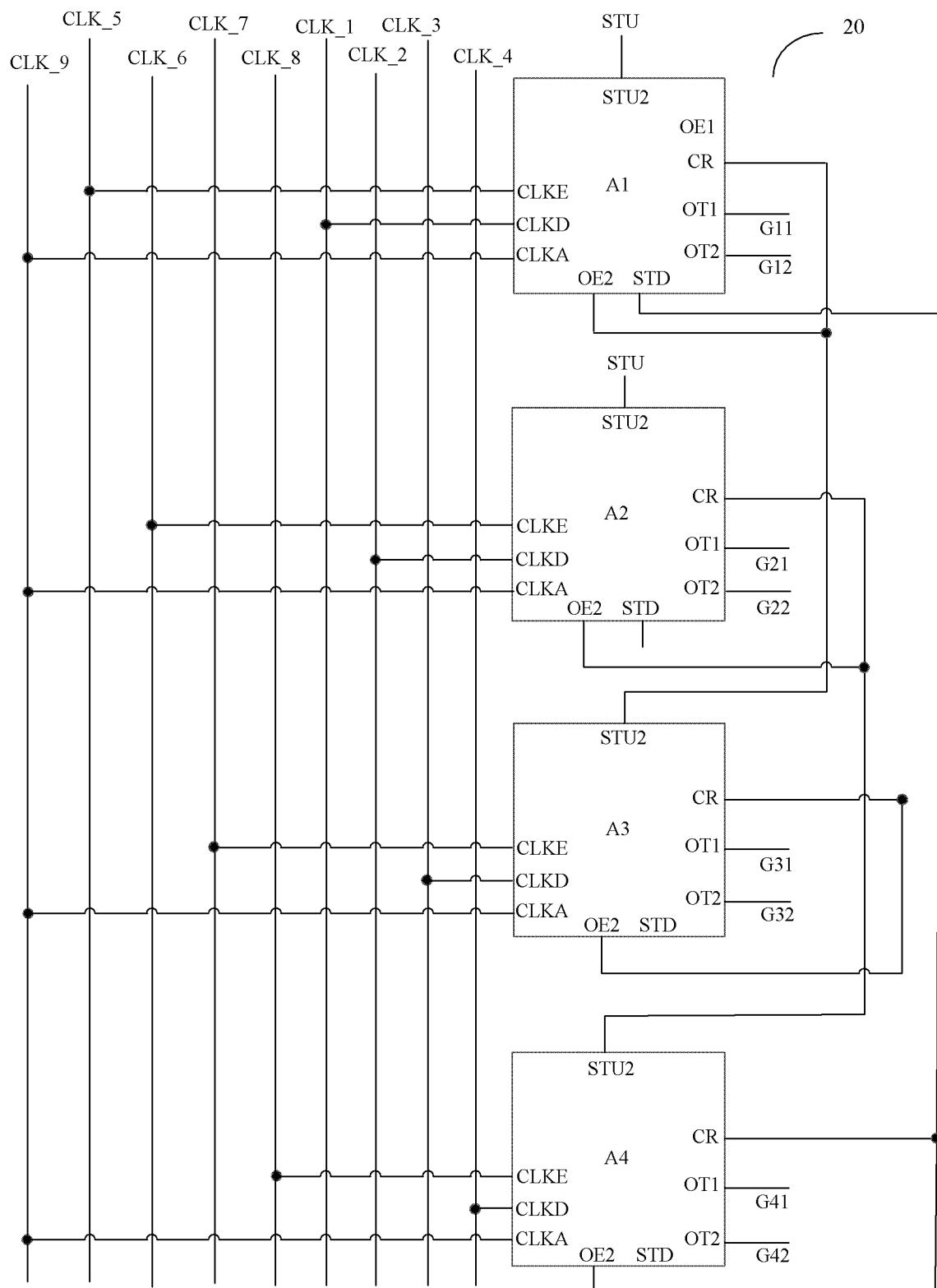


图 9

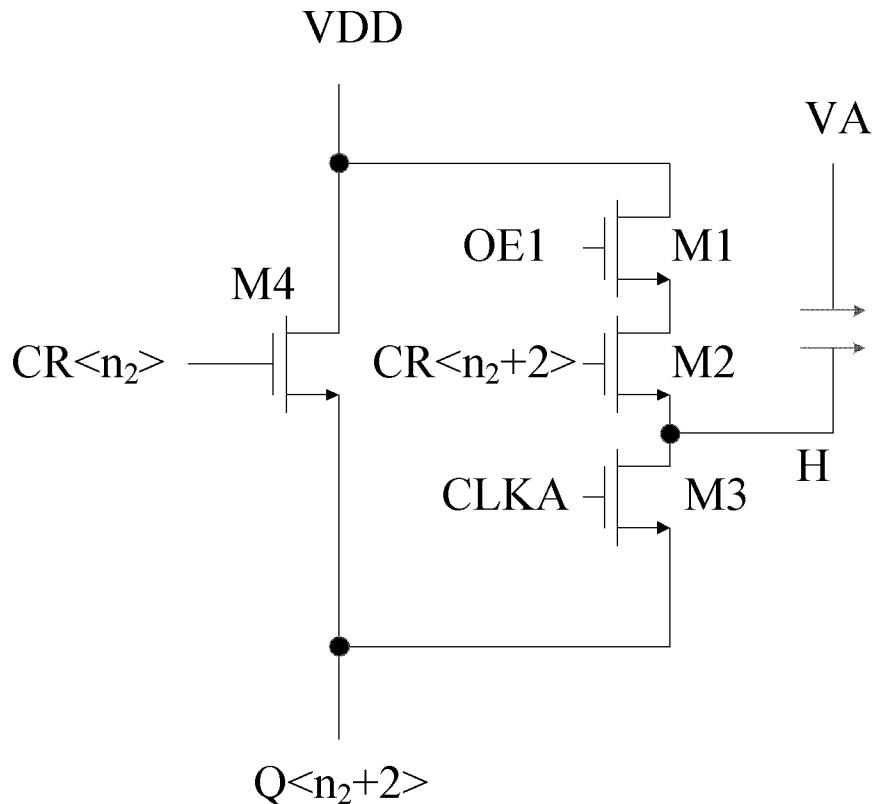


图 10A

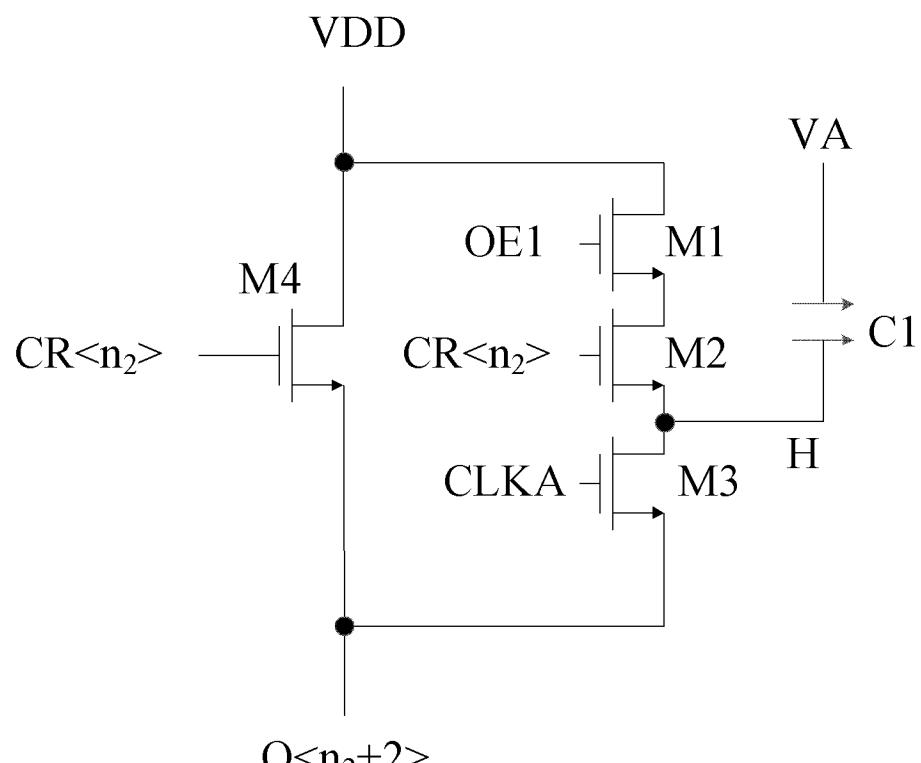


图 10B

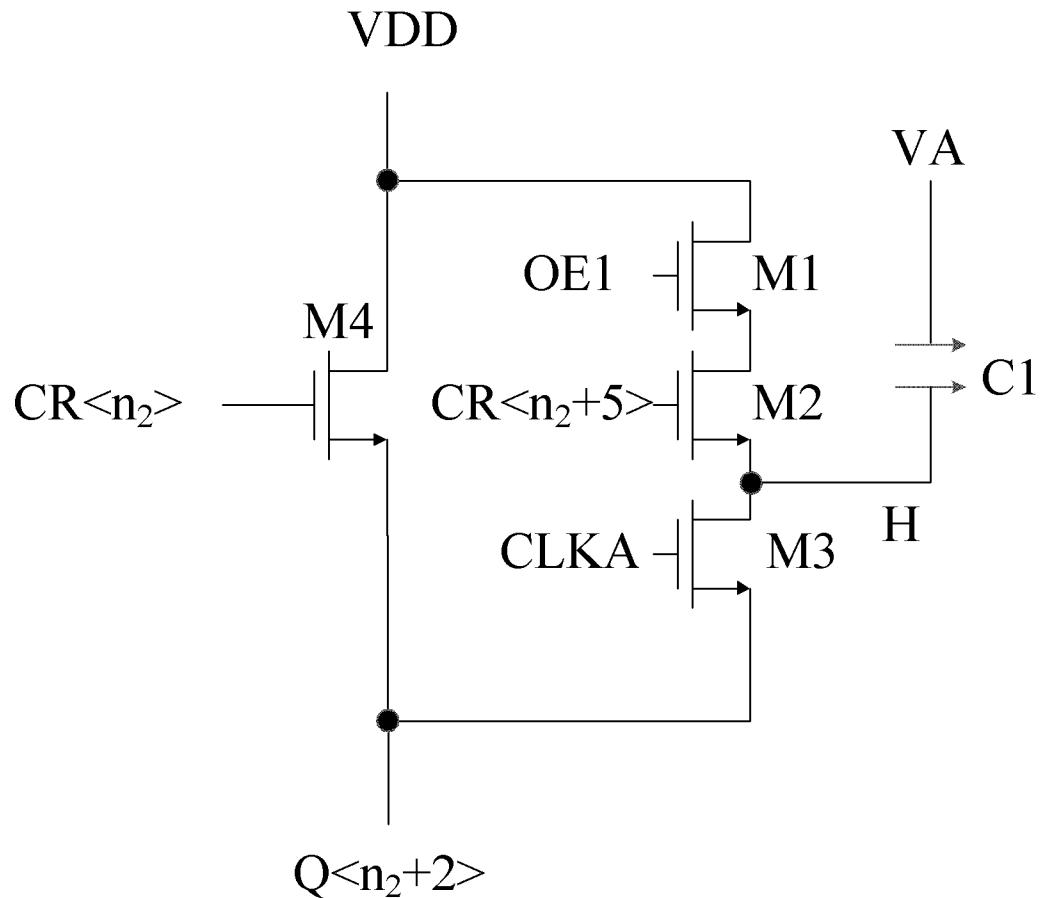


图 10C

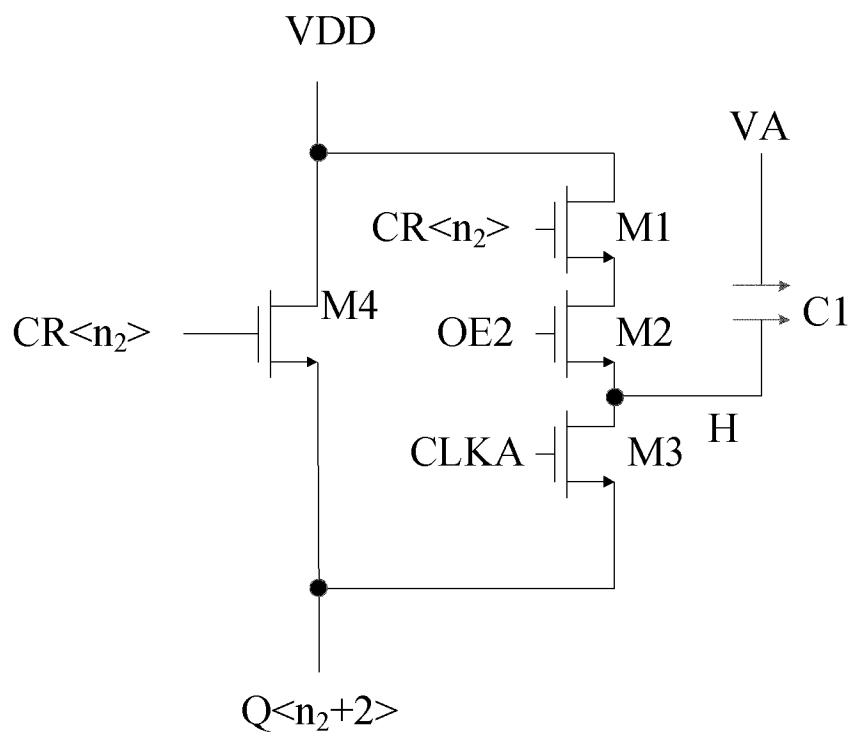


图 10D

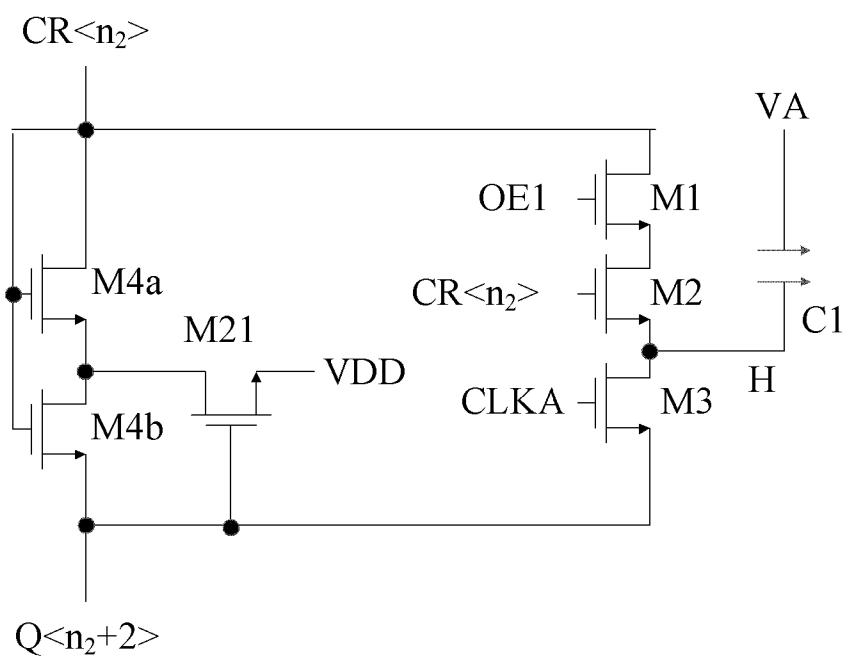


图 10E

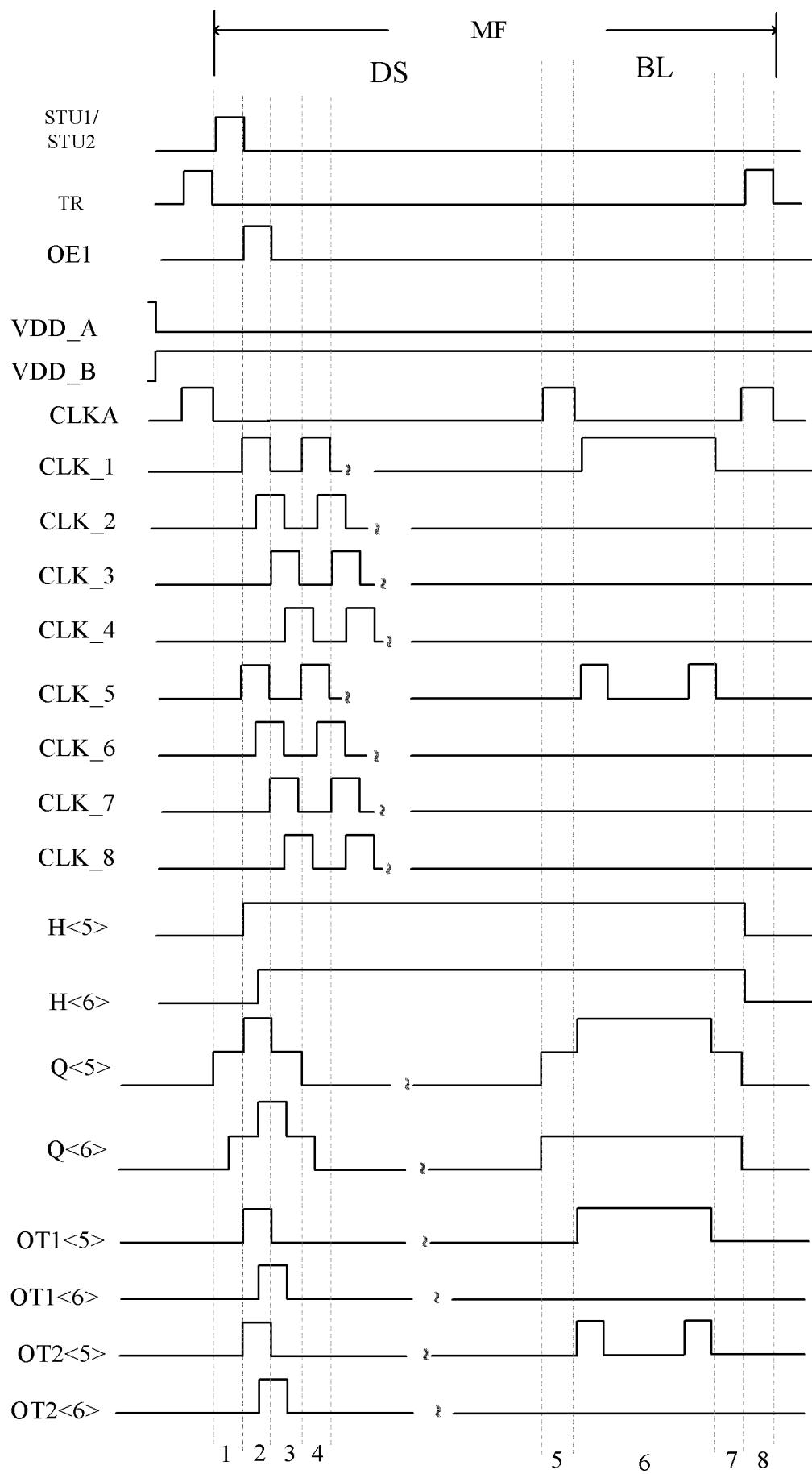


图 11

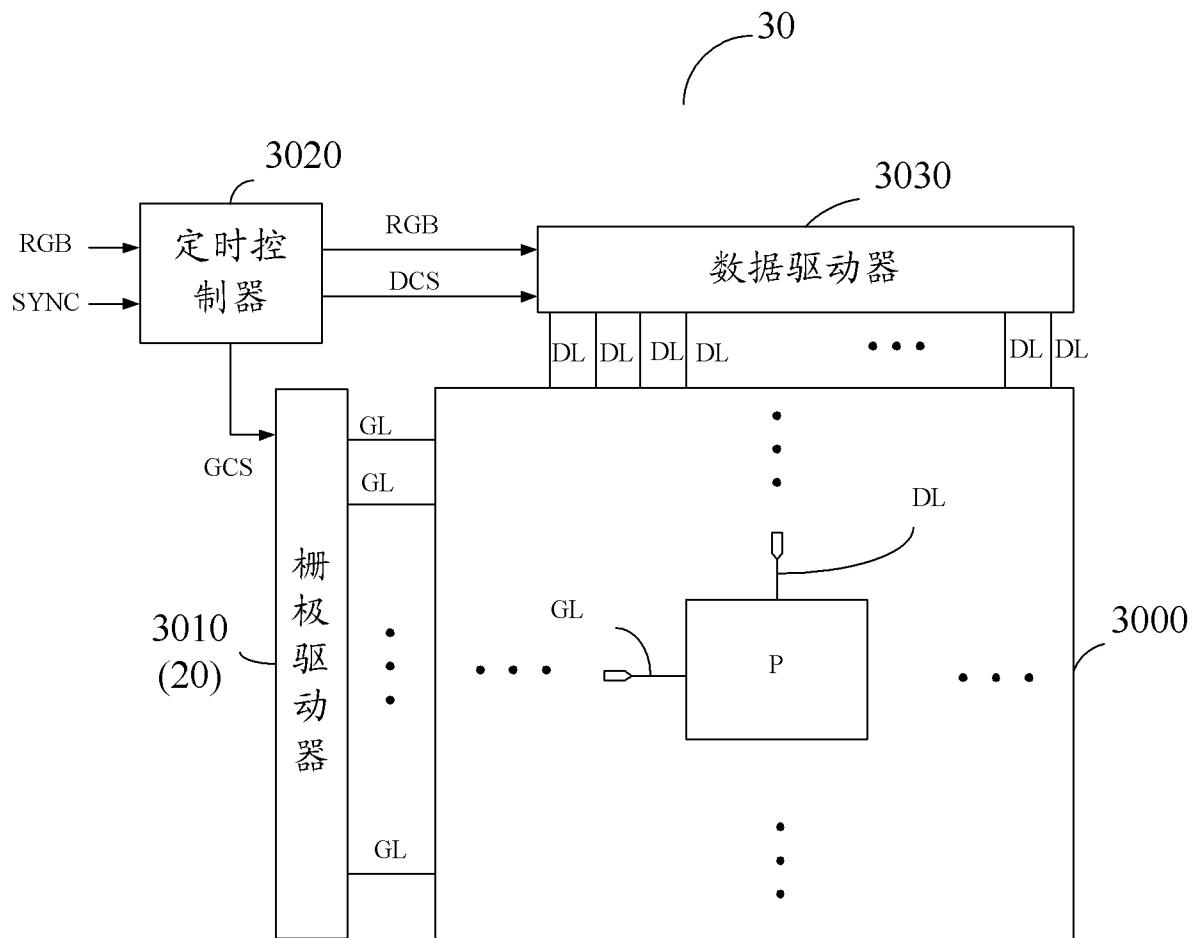


图 12

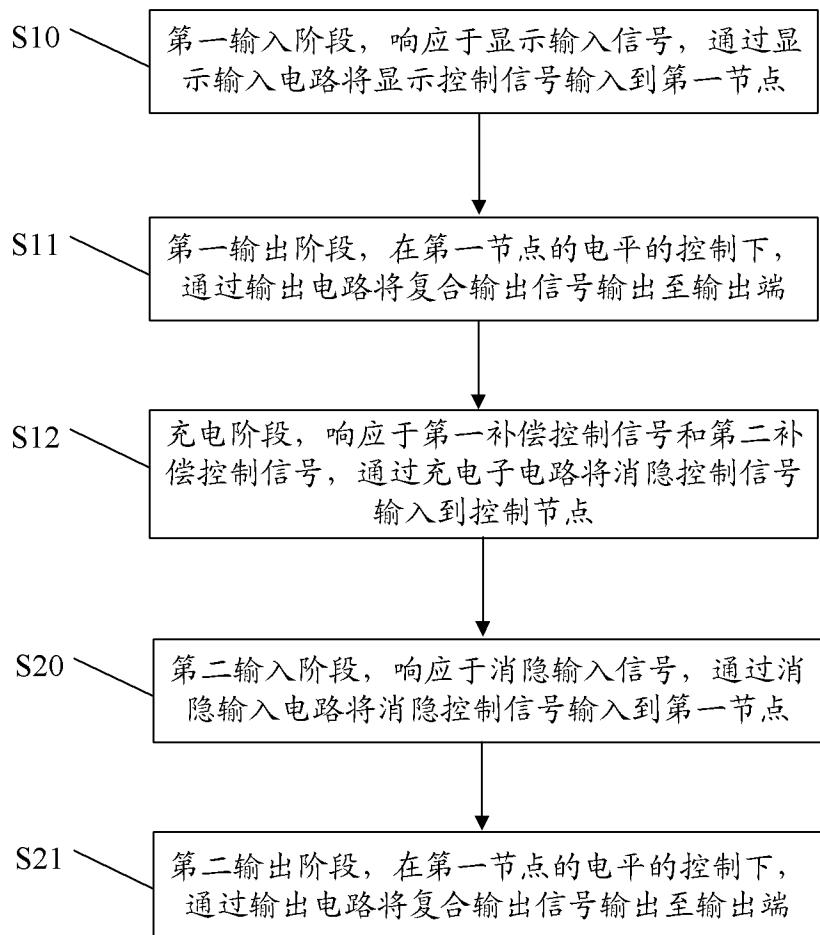


图 13

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2019/085872**

**A. CLASSIFICATION OF SUBJECT MATTER**

G09G 3/20(2006.01)i; G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G09G3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT: 消隐, 信号, 存储, 输出, 电容, 充电, 输入, 移位寄存, 扫描驱动, 栅极驱动, BLANKING, SCANNING, GATE, CHARGING, CAPACITOR

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                         | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | CN 105679229 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 15 June 2016<br>(2016-06-15)<br>description, paragraphs [0110]-[0113], and figure 2 | 1-22                  |
| A         | CN 104900211 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 09 September 2015<br>(2015-09-09)<br>entire document                                | 1-22                  |
| A         | CN 101242178 A (MITSUBISHI ELECTRIC CORPORATION) 13 August 2008<br>(2008-08-13)<br>entire document                                         | 1-22                  |
| A         | CN 105702225 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 22 June 2016<br>(2016-06-22)<br>entire document                                     | 1-22                  |
| A         | US 2012162170 A1 (OCHIAI, T. ET AL.) 28 June 2012 (2012-06-28)<br>entire document                                                          | 1-22                  |
| PX        | CN 108648716 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 12 October 2018<br>(2018-10-12)<br>claims 1-22                                      | 1-22                  |

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- “A” document defining the general state of the art which is not considered to be of particular relevance
- “E” earlier application or patent but published on or after the international filing date
- “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- “O” document referring to an oral disclosure, use, exhibition or other means
- “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

|                                                                                      |                                                                                 |
|--------------------------------------------------------------------------------------|---------------------------------------------------------------------------------|
| Date of the actual completion of the international search<br><br><b>11 July 2019</b> | Date of mailing of the international search report<br><br><b>09 August 2019</b> |
|--------------------------------------------------------------------------------------|---------------------------------------------------------------------------------|

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration  
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing  
100088  
China**

Authorized officer

Faxsimile No. (86-10)62019451

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2019/085872**

| Patent document cited in search report |            |    | Publication date (day/month/year) | Patent family member(s) |             |    | Publication date (day/month/year) |
|----------------------------------------|------------|----|-----------------------------------|-------------------------|-------------|----|-----------------------------------|
| CN                                     | 105679229  | A  | 15 June 2016                      | US                      | 10297204    | B2 | 21 May 2019                       |
|                                        |            |    |                                   | WO                      | 2017181647  | A1 | 26 October 2017                   |
|                                        |            |    |                                   | US                      | 2018204521  | A1 | 19 July 2018                      |
| CN                                     | 104900211  | A  | 09 September 2015                 | US                      | 9875712     | B2 | 23 January 2018                   |
|                                        |            |    |                                   | WO                      | 2017000621  | A1 | 05 January 2017                   |
|                                        |            |    |                                   | CN                      | 104900211   | B  | 05 April 2017                     |
|                                        |            |    |                                   | US                      | 2017178584  | A1 | 22 June 2017                      |
| CN                                     | 101242178  | A  | 13 August 2008                    | US                      | 2011122988  | A1 | 26 May 2011                       |
|                                        |            |    |                                   | CN                      | 101894589   | A  | 24 November 2010                  |
|                                        |            |    |                                   | US                      | 2008187089  | A1 | 07 August 2008                    |
|                                        |            |    |                                   | CN                      | 101242178   | B  | 06 July 2011                      |
|                                        |            |    |                                   | JP                      | 5090008     | B2 | 05 December 2012                  |
|                                        |            |    |                                   | US                      | 8023610     | B2 | 20 September 2011                 |
|                                        |            |    |                                   | KR                      | 20080074026 | A  | 12 August 2008                    |
|                                        |            |    |                                   | JP                      | 2008193545  | A  | 21 August 2008                    |
|                                        |            |    |                                   | TW                      | 200839724   | A  | 01 October 2008                   |
| CN                                     | 105702225  | A  | 22 June 2016                      | CN                      | 105702225   | B  | 04 September 2018                 |
| US                                     | 2012162170 | A1 | 28 June 2012                      | US                      | 9336899     | B2 | 10 May 2016                       |
|                                        |            |    |                                   | US                      | 9793007     | B2 | 17 October 2017                   |
|                                        |            |    |                                   | JP                      | 5618821     | B2 | 05 November 2014                  |
|                                        |            |    |                                   | US                      | 2016217871  | A1 | 28 July 2016                      |
|                                        |            |    |                                   | JP                      | 2012142048  | A  | 26 July 2012                      |
| CN                                     | 108648716  | A  | 12 October 2018                   | None                    |             |    |                                   |

## 国际检索报告

国际申请号

PCT/CN2019/085872

## A. 主题的分类

G09G 3/20(2006.01)i; G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN;CNABS;CNTXT:消隐,信号,存储,输出,电容,充电,输入,移位寄存,扫描驱动,栅极驱动,BLANKING,SCANNING,GATE,CHARGING,CAPACITOR

## C. 相关文件

| 类型* | 引用文件, 必要时, 指明相关段落                                                                      | 相关的权利要求 |
|-----|----------------------------------------------------------------------------------------|---------|
| A   | CN 105679229 A (京东方科技股份有限公司 等) 2016年 6月 15日 (2016 - 06 - 15)<br>说明书第[0110]-[0113]段, 图2 | 1-22    |
| A   | CN 104900211 A (京东方科技股份有限公司 等) 2015年 9月 9日 (2015 - 09 - 09)<br>全文                      | 1-22    |
| A   | CN 101242178 A (三菱电机株式会社) 2008年 8月 13日 (2008 - 08 - 13)<br>全文                          | 1-22    |
| A   | CN 105702225 A (京东方科技股份有限公司 等) 2016年 6月 22日 (2016 - 06 - 22)<br>全文                     | 1-22    |
| A   | US 2012162170 A1 (OCHIAI TAKAHIRO等) 2012年 6月 28日 (2012 - 06 - 28)<br>全文                | 1-22    |
| PX  | CN 108648716 A (京东方科技股份有限公司 等) 2018年 10月 12日 (2018 - 10 - 12)<br>权利要求1-22              | 1-22    |

 其余文件在C栏的续页中列出。 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

|                                                                                            |                                       |
|--------------------------------------------------------------------------------------------|---------------------------------------|
| 国际检索实际完成的日期<br><br>2019年 7月 11日                                                            | 国际检索报告邮寄日期<br><br>2019年 8月 9日         |
| ISA/CN的名称和邮寄地址<br><br>中国国家知识产权局(ISA/CN)<br>中国北京市海淀区蓟门桥西土城路6号 100088<br>传真号 (86-10)62019451 | 受权官员<br><br>刘畅<br>电话号码 86-10-62085774 |

**国际检索报告  
关于同族专利的信息**

国际申请号

PCT/CN2019/085872

| 检索报告引用的专利文件 |            | 公布日<br>(年/月/日) |               | 同族专利 |             |    | 公布日<br>(年/月/日) |  |
|-------------|------------|----------------|---------------|------|-------------|----|----------------|--|
| CN          | 105679229  | A              | 2016年 6月 15日  | US   | 10297204    | B2 | 2019年 5月 21日   |  |
|             |            |                |               | WO   | 2017181647  | A1 | 2017年 10月 26日  |  |
|             |            |                |               | US   | 2018204521  | A1 | 2018年 7月 19日   |  |
| CN          | 104900211  | A              | 2015年 9月 9日   | US   | 9875712     | B2 | 2018年 1月 23日   |  |
|             |            |                |               | WO   | 2017000621  | A1 | 2017年 1月 5日    |  |
|             |            |                |               | CN   | 104900211   | B  | 2017年 4月 5日    |  |
|             |            |                |               | US   | 2017178584  | A1 | 2017年 6月 22日   |  |
| CN          | 101242178  | A              | 2008年 8月 13日  | US   | 2011122988  | A1 | 2011年 5月 26日   |  |
|             |            |                |               | CN   | 101894589   | A  | 2010年 11月 24日  |  |
|             |            |                |               | US   | 2008187089  | A1 | 2008年 8月 7日    |  |
|             |            |                |               | CN   | 101242178   | B  | 2011年 7月 6日    |  |
|             |            |                |               | JP   | 5090008     | B2 | 2012年 12月 5日   |  |
|             |            |                |               | US   | 8023610     | B2 | 2011年 9月 20日   |  |
|             |            |                |               | KR   | 20080074026 | A  | 2008年 8月 12日   |  |
|             |            |                |               | JP   | 2008193545  | A  | 2008年 8月 21日   |  |
|             |            |                |               | TW   | 200839724   | A  | 2008年 10月 1日   |  |
| CN          | 105702225  | A              | 2016年 6月 22日  | CN   | 105702225   | B  | 2018年 9月 4日    |  |
| US          | 2012162170 | A1             | 2012年 6月 28日  | US   | 9336899     | B2 | 2016年 5月 10日   |  |
|             |            |                |               | US   | 9793007     | B2 | 2017年 10月 17日  |  |
|             |            |                |               | JP   | 5618821     | B2 | 2014年 11月 5日   |  |
|             |            |                |               | US   | 2016217871  | A1 | 2016年 7月 28日   |  |
|             |            |                |               | JP   | 2012142048  | A  | 2012年 7月 26日   |  |
| CN          | 108648716  | A              | 2018年 10月 12日 |      |             | 无  |                |  |

表 PCT/ISA/210 (同族专利附件) (2015年1月)